[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 7/06 (2006.01)

[12] 发明专利说明书

专利号 ZL 02823684.X

[45] 授权公告日 2008 年 10 月 1 日

[11] 授权公告号 CN 100423126C

[22] 申请日 2002.11.13 [21] 申请号 02823684.X

[30] 优先权

[32] 2001.11.29 [33] US [31] 09/997,330

[86] 国际申请 PCT/US2002/036388 2002.11.13

[87] 国际公布 WO2003/049119 英 2003.6.12

[85] 进入国家阶段日期 2004.5.28

[73] 专利权人 自由度半导体公司

地址 美国得克萨斯州

[72] 发明人 斯蒂芬·T.·弗兰纳根

[56] 参考文献

US6292418B1 2001.9.18

US5650971A 1997.7.22

US5297092A 1994.3.22

EP0301277A2 1988.7.5

US5834953A 1998.11.10

审查员 刘浩然

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

代理人 付建军

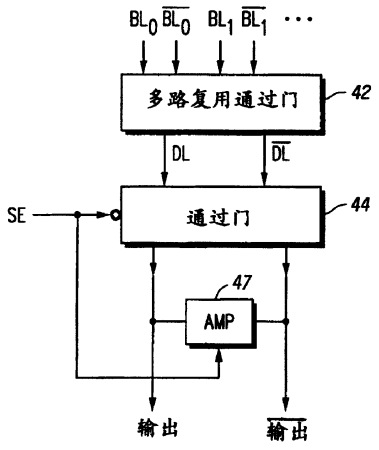
权利要求书 3 页 说明书 10 页 附图 4 页

[54] 发明名称

串叠读出放大器和列选择电路及操作方法

[57] 摘要

一种读出放大器使用接收预先确定位线对差分信号并提供输出的串叠级(76 或 100)。串叠级输出连接到读出放大器的真实和补码输出。在一种形式中，一对通过晶体管(77，78)和放大器(79)连接到串叠级和连接到互补输出，并且由读出允许信号控制。放大器仅当该对通过晶体管变得不导电时操作。在另一种形式中，串叠级直接连接到位线对差分信号和连接到分别由耦合器(102)和放大器(104)连接到数据线对的读出节点(82，86)。



1. 一种读出放大器，包括:

一对通过晶体管，其具有分别连接到用于接收差分数据信号的存储器数据线和互补存储器数据线的第一和第二输入，该对通过晶体管响应读出允许信号分别在其第一和第二输出连接存储器数据线和互补存储器数据线，当该对通过晶体管由读出允许信号禁止时，该对通过晶体管的第一和第二输入与其第一和第二输出电气上不相同;

放大器，其具有连接到该对通过晶体管的第一输出的第一输入、连接到该对通过晶体管的第二输出的第二输入、以及用于以互补形式提供读出放大器数据信号的第一和第二输出，该放大器由读出允许信号控制，并且仅当该对通过晶体管由读出允许信号变得不导电时操作；以及

多个晶体管通过门对，该多个晶体管通过门对的每个具有分别连接到存储器的预定位线和互补位线对的第一和第二输入、以及分别连接到存储器数据线和互补存储器数据线的第一和第二输出。

2. 根据权利要求 1 的读出放大器，其中放大器还包括:

第一导电型的第一晶体管，其具有连接到第一电源端子的第一供电电极、连接到放大器第一输入的控制电极、和连接到放大器第二输入的第二电极;

第二导电型的第二晶体管，其具有连接到第一晶体管第二供电电极的第一供电电极、连接到放大器第一输入的控制电极、和第二供电电极;

第一导电型的第三晶体管，其具有连接到第一电源端子的第一供电电极、连接到放大器第二输入的控制电极、和第二供电电极;

第二导电型的第四晶体管，其具有连接到放大器第一输入的第一供电电极、连接到放大器第二输入的供电电极、和连接到第二晶体管第二供电电极的第二供电电极；以及

第二导电型的第五晶体管，其具有连接到第二晶体管第二供电电极和第四晶体管第二供电电极的第一供电电极、用于接收读出允许信号的控制电极、和连接到第二电源端子的第二供电电极。

3. 根据权利要求 1 的读出放大器，其中放大器还包括:

第一导电型的第一晶体管，其具有连接到存储器数据线的第一供电电极、连接到第一输出的第二供电电极、和连接到第二输出的控制电极;

第二导电型的第二晶体管，其具有连接到第一晶体管第二供电电极的第一供电电极、第二供电电极、和连接到第一晶体管控制电极的控制电极;

第一导电型的第三晶体管，其具有连接到存储器互补数据线的第一供电电极、连接到第二输出的第二供电电极、和连接到第一输出的控制电极;

第二导电型的第四晶体管，其具有连接到第三晶体管第二供电电极的第一供电电极、连接到第二晶体管第二供电电极的第二供电电极、和连接到第一输出的控制电极; 以及

第二导电型的第五晶体管，其具有连接到第二晶体管和第四晶体管第二供电电极的第一供电电极、用于接收读出允许信号的控制电极、和连接到电源端子的第二供电电极。

4. 根据权利要求 1 的读出放大器，其中多个晶体管通过门对等于存储器中的列数。

5. 根据权利要求 1 的读出放大器，其中存储器数据线是存储器位线。

6. 一种读出放大器，包括:

第一导电型的第一晶体管，其具有连接到位线的第一供电电极、控制电极、以及第二供电电极;

第一导电型的第二晶体管，其具有连接到该补码位线的第一供电电极、连接到第一晶体管第二供电电极的控制电极、以及连接到第一晶体管控制电极的第二供电电极;

第二导电型的第三晶体管，其具有连接到第一晶体管第二供电电极的第一供电电极、用于接收列选择信号的控制电极、以及用于提供所述读出放大器第一输出的第二供电电极;

第二导电型的第四晶体管，其具有连接到第二晶体管第二供电电极的第一供电电极、用于接收列选择信号的控制电极、以及用于提供所述

读出放大器第二输出的第二供电电极;

第二导电型的第五晶体管，其具有连接到第三晶体管第二供电电极的第一供电电极、连接到第四晶体管第二供电电极的控制电极、以及连接到参考电压端子的第二供电电极；以及

第二导电型的第六晶体管，其具有连接到第四晶体管第二供电电极的第一供电电极、连接到第三晶体管第二供电电极的控制电极、以及连接到参考电压端子的第二供电电极。

7. 根据权利要求 6 的读出放大器，包括:

第一导电型的第七晶体管，其具有连接到第二参考电压端子的第一供电电极、连接到第一晶体管控制电极的控制电极、以及连接到第三晶体管第二供电电极的第二供电电极；以及

第一导电型的第八晶体管，其具有连接到第二参考电压端子的第一供电电极、连接到第二晶体管控制电极的控制电极、以及连接到第四晶体管第二供电电极的第二供电电极；所述第七和第八晶体管选择地放大读出放大器的第一输出和第二输出。

串叠读出放大器和列选择电路及操作方法

技术领域

本发明一般地涉及半导体存储器，尤其涉及在半导体存储器中使用的读出放大器。

背景技术

读出放大器与存储器，例如静态随机存储器阵列（SRAM）一起使用。读出放大器用于检测存储器阵列中的互补位线响应列和行译码及读出允许信号何时显示出电压转变。在 SRAM 中，存在放大和译码经由存储单元的列提供的信号的需要。晶体管通过门经常用来执行列译码。但是，这些信号的放大和译码需要以晶体管通过门中的欧姆损耗达到最小而执行。静态 RAM 位线差分位线信号以随时间增加的方式而发展。因此，无论何时差分信号由通过门传导，存在对差分信号的损害，这可以用时延或其幅度减小来表征。在本领域中，这两种表征经常称作 RC（电阻乘以电容）时延或 RC 延迟。由于 RC 时间常数，用于将位线连接到数据线的通过设备倾向于延迟差分信号的通过。典型地，在改进位线和数据线信号电平的时间性和幅度与改进器件数和放大器可靠性之间存在交易。一般地，放大器可靠性指的是给定已知偏移量和误差电压，存储器中所有放大器保证准确信号的集体能力。

存储器读出放大器的目的在于，避免在计时读出放大器之后，从位线吸取过量电荷。实现该目的的一种技术是，使用直接连接到位线的晶体管串叠对。晶体管串叠对的缺点在于，与满 V_{CC} 电源值相比，串叠对传递非常小的信号到局部数据线。结果，用小的信号驱动全局数据线是成问题的。实现该目的的另一种技术是，在计时读出放大器之后关闭列译码器，从而避免从位线拉取电流。该技术增加设计的电路复杂度和时间关键程度。

希望用包含一对交叉差分耦合的晶体管的放大器来读出数据信号。读出放大器的导通时间是苛刻的。读出放大器品质的一种度量是，读出放大器能够准确读出的最小差分信号。读出放大器设计中的一个目的是，提供最大差分信号给差分交叉耦合对的栅极-源极驱动的差（ΔV_{GS}）。与读出放大器有关的另一个关键设计参数与差分交叉耦合晶体管对的操作有关。设计参数涉及保证在该对被定时的时候栅极-源极驱动的差大于零。不然的话，输出信号可能不准确。一般地，现有读出放大器已涉及速度、尺寸以及功耗的权衡。

附图说明

本发明经由实例来说明，并且不受附随附图所限制，其中相同的参考指示类似的元素。

图 1 以局部示意图的形式说明具有以本发明的方式使用的读出放大器的存储器；

图 2 以示意图的形式说明根据本发明的读出放大器；

图 3 以框图的形式说明使用第一放大器配置的图 2 的读出放大器的平面图；

图 4 以框图的形式说明使用第二放大器配置的图 2 的读出放大器的平面图；

图 5 以示意图的形式说明根据本发明的读出放大器的另一种实施方案；

图 6 以框图的形式说明图 5 的读出放大器的平面图；

图 7 以示意图的形式说明根据本发明的读出放大器的再一种实施方案；以及

图 8 以框图的形式说明图 7 的读出放大器的平面图。

本领域技术人员理解，图中的元素为了简单和清楚来说明，并且不一定按照比例绘图。例如，图中一些元素的尺寸可能相对于其他元素放大，以帮助提高本发明实施方案的理解。

具体实施方式

图 1 说明在这里公开的读出放大器的各种实施方案可以在其中使用的存储器 10。存储器 10 具有多个存储单元例如存储单元 12 和存储单元 14。每个存储单元连接在位线 BL 和互补位线$\overline{BL}$之间。预先确定的存储单元使用行译码器（没有显示）来寻址，并且被寻址的存储单元中相应存储的数据值提供到读出放大器 16。读出放大器 16 用来放大数据的信号值并且经由数据线输出 DL 和补码数据线$\overline{DL}$提供相应的数据输出。列地址译码器 18 连接到读出放大器 16 并且用来响应列地址选择存储单元 12 和 14 位于其中的列。应当理解，列地址译码器动作可以在读出放大器 16 上游或下游执行，或者可能备选地包括在读出放大器 16 中。

图 2 中说明的是具有多个多路复用通过门对例如通过门 22，24 和 26，28 等的读出放大器 20。每个通过门对具有连接到数据线 DL 的一个通过门，和连接到补码数据线$\overline{DL}$的一个通过门。通过门 22 具有连接到位线 BL0 的第一端子，和连接到数据线 DL 的第二端子。通过门 24 具有连接到补码位线$\overline{BL0}$的第一端子，和连接到补码数据线$\overline{DL}$的第二端子。通过门 26 具有连接到位线 BL1 的第一端子和连接到数据线 DL 的第二端子。通过门 28 具有连接到补码位线 BL1 的第一端子和连接到补码数据线的第二端子。为了说明的方便，连接到通过门 22，24，26 和 28 的每个的真实和补码控制端子的控制信号没有说明，它们是常规的。应当充分理解，另外的通过门存在，但是为了说明的方便而没有显示。在一种形式中，通过门对为读出放大器 20 用于其中的存储器中的每列而存在。P 通道晶体管通过门 30 的第一端子连接到数据线 DL。P 通道晶体管通过门 30 的控制端子连接到读出允许信号，SE。P 通道晶体管通过门 30 的第二端子在节点 33 连接到输出端子。P 通道晶体管 32 的源极连接到电源端子 Vcc。P 通道晶体管 32 的漏极连接到输出端子 33 和连接到 N 通道晶体管 34 的漏极。P 通道晶体管 32 的栅极在形成补码输出端子的节点 35 连接到 N 通道晶体管 34 的栅极。N 通道晶体管 34 的源极连接到节点 37。P 通道晶体管 36 的源极连接到 Vcc 电源端子。P 通道晶体管 36 的漏极在节点 35 连接到 N 通道晶体管 38 的漏极。P

通道晶体管 36 的栅极在节点 33 连接到 N 通道晶体管 38 的栅极。N 通道晶体管 38 的源极连接到节点 37。P 通道晶体管通过门 31 的第一端子连接到互补数据线。P 通道晶体管通过门 31 具有连接到读出允许信号的控制端子和连接到节点 35 的第二端子。N 通道晶体管 39 具有连接到节点 37 的漏极，连接到读出允许信号的栅极，和连接到接地端子的源极。

操作中，来自存储单元（没有显示）的信号施加到位线对，例如 BL0，$\overline{BL0}$等的一个。多路复用通过门 22，24，26，28 等可以在信息信号施加到位线之前，期间，或之后导通。然后，信息信号出现在数据线对上，并且分别传输经过通过门 30 和 31，到达节点 33 和 35。当信号 SE 声明时，晶体管 39 导通。因为由晶体管 34 和 38 形成的晶体管对是交叉耦合的，晶体管 34 和 38 分别放大节点 33 和 35 上的信号。当节点 33 和 35 的共模电平足够低时，交叉耦合的 P 通道晶体管 32 和 36 开始以差模放大，进一步有助于节点 33 和 35 上的放大并且保证分别形成标记为 OUTPUT 和$\overline{OUTPUT}$的输出的节点 33 和 35 上的满电源电压准位电平。高态有效形式的信号 SE 声明的时间必须在适当的差分信号已经出现在数据线对 DL 和$\overline{DL}$上，从而分别经过晶体管通过门 30 和 31 的导电性也已经在节点 33 和 35 上出现之后到达。

图 3 中说明的是使用与图 2 的放大器结构等效的第一放大器配置的图 2 读出放大器 20 的平面图。一般地，读出放大器 20 可以认为具有多个多路复用通过门 42，多个通过门 44 和放大器 47。多路复用通过门 42 在其输入处接收所有位线。多路复用通过门 42 代表图 2 的通过门 22，24，26 和 28。多路复用通过门 42 用来多路复用许多位线并且输出单个数据线及其补码。应当理解，多路复用通过门 42 可以实现成在读出放大器外部的电路系统。通过门 44 在图 2 中由晶体管通过门 30 和 31 来表示。图 2 中剩余电路系统形成图 3 的放大器 47。应当注意，读出允许信号 SE 当禁止放大器 47 时允许通过门 44。类似地，当读出允许信号 SE 激活放大器 47 时，通过门 44 用来将放大器 47 与数据线对断连接。

图 4 中说明的是使用不同于图 2 放大器结构的第二放大器配置，放

大器 46 的图 2 读出放大器 20 的另一个平面图。为了解释的方便，图 2 和 3 中存在的相同元素完全相同地编号。相反，在图 4 中，与图 2 的节点 33 和 35 相对应的通过门 44 的输出分别连接到放大器 46 的第一和第二输入。放大器 46 不同于图 3 的放大器 47 在于，放大器 46 具有与第一和第二输入端子分隔且性质不同的第一和第二输出端子。放大器 46 的第一输出端子提供真实的输出，而放大器 46 的第二输出端子提供补码输出，$\overline{OUTPUT}$。

图 5 中说明的是形成本发明另一种实施方案的读出放大器 50。通过门 51 具有连接到位线 BL0 的第一端子，和连接到数据线 DL 的第二端子。通过门 52 具有连接到补码位线$\overline{BL0}$的第一端子，和连接到补码数据线$\overline{DL}$的第二端子。通过门 53 具有连接到位线 BL1 的第一端子，和连接到 DL 线的第二端子。通过门 54 具有连接到补码位线$\overline{BL1}$的第一端子，和连接到补码数据线$\overline{DL}$的第二端子。另外的通过门为另外的列而存在，但是为了方便而没有显示。在一种形式中，通过门对为读出放大器 50 用于其中的存储器中的每列而存在。P 通道晶体管 60 的源极连接到数据线 DL。晶体管 60 具有连接到形成标记为“输出”的输出端子的节点 61 的漏极，和具有连接到形成标记为“$\overline{\text{输出}}$”的补码输出端子的节点 62 的栅极。N 通道晶体管 63 具有连接到节点 61 的漏极，连接到节点 62 的栅极，和连接到节点 67 的源极。P 通道晶体管 64 具有连接到补码数据线$\overline{DL}$的源极，连接到节点 61 的栅极，和连接到节点 62 的漏极。N 通道晶体管 66 具有连接到节点 62 的漏极，连接到节点 61 的栅极，和连接到节点 67 的源极。N 通道晶体管 68 具有连接到节点 67 的漏极，连接到读出允许信号 SE 的栅极，和连接到作为电源的一个端子的接地端子的源极。P 通道晶体管通过门 70 具有连接到数据线 DL 的第一端子，连接到读出允许信号 SE 的控制端子，和连接到节点 61 的第二端子。P 通道晶体管通过门 72 具有连接到补码数据线$\overline{DL}$的第一端子，连接到读出允许信号 SE 的控制端子，和连接到节点 62 的第二端子。

操作中，来自存储单元（没有显示）的信号施加到位线对，例如 BL0，$\overline{BL0}$等的一个。多路复用通过门 51－54 等可以在信号施加到位线

之前，期间，或之后导通。然后，信号出现在数据线对上，并且分别传输经过 P 通道晶体管通过门 70 和 72，到达节点 61 和 62，因为读出允许信号 SE 无效（也就是，逻辑低）。当读出允许信号 SE 声明时，P 通道晶体管通过门 70 和 72 关闭。N 通道晶体管 68 也变得导电。当 N 通道晶体管 68 变得导电时，N 通道晶体管的交叉耦合对 63，66 开始以差模分别放大节点 61，62 上的信号。当节点 61，62 的共模电平足够低时，P 通道晶体管对 60 和 64 开始以差模放大施加到它们栅极的差分信号。因以串叠方式施加到它们源极的数据线对差分信号，另外的放大在 P 通道晶体管对 60 和 64 中获得。

结果，P 通道晶体管对 60 和 64 上的差分栅极-源极偏压（ΔVgs）是数据线 DL 和互补数据线 $\overline{DL}$ 上差分信号幅度的两倍。因此，P 通道晶体管对 60 和 64 可以容忍两倍平常的域电压偏移。

图 6 中说明的是一般地概括读出放大器 50 的图 5 读出放大器 50 的平面图。通过门 51-54 可以一般地表示成用于接收真实和补码形式的多个位线对的多个多路复用通过门 74。再次，在一种形式中，位线对的数目代表被寻址的存储单元的许多列。通过门 74 用来多路复用多个位线对并且输出单个位线对作为数据线 DL 和补码数据线 $\overline{DL}$。晶体管 70 和 72 可以分别表示成通过门 77 和通过门 78，其分别接收数据线和 $\overline{\text{数据线}}$ 输入并响应当逻辑低形式时的读出允许信号选择性地提供数据。通过门 77 和 78 分别将数据提供到放大器 79 的输出和 $\overline{\text{输出}}$ 端子，它们也用作到放大器 79 的输入端子。换句话说，用作输入的放大器 79 的相同端子也用作输出。图 6 的放大器 79 对应于图 5 的晶体管 60，63，64，66 和 68。

图 7 中说明的是代表本发明另一种实施方案的读出放大器 72。P 通道晶体管 80 具有连接到位线 BL 的源极，连接到节点 86 的栅极，和连接到节点 82 的漏极。P 通道晶体管 84 具有连接到补码位线 $\overline{BL}$ 的源极，连接到节点 82 的栅极，和连接到节点 86 的漏极。P 通道晶体管 88 具有连接到节点 82 的源极，连接到节点 86 的漏极，和连接到列选择信号的栅极。N 通道晶体管 90 具有连接到节点 82 的漏极，连接到列选择信

号的栅极，和连接到数据线 DL 的源极。N 通道晶体管 92 具有连接到节点 86 的漏极，连接到列选择信号的栅极，和连接到补码数据线$\overline{DL}$的源极。P 通道晶体管 93 具有连接到用于接收电源电压 Vcc 的电源端子的源极，连接到 P 通道晶体管 80 的栅极和节点 86 的栅极，以及连接到数据线 DL 的漏极。P 通道晶体管 94 具有连接到用于接收电源电压 Vcc 的电源端子的源极，连接到晶体管 84 的栅极和节点 82 的栅极，以及连接到补码数据线$\overline{DL}$的源极。P 通道晶体管 91 具有连接到用于接收电源电压 Vcc 的电源端子的源极，连接到列选择信号的栅极，和连接到节点 82 的漏极。P 通道晶体管 95 具有连接到用于接收电源电压 Vcc 的电源端子的源极，连接到列选择信号的栅极，和连接到节点 86 的漏极。N 通道晶体管 96 具有连接到数据线 DL 的漏极，连接到补码数据线$\overline{DL}$的栅极，和连接到接地端子的源极。N 通道晶体管 98 具有连接到补码数据线$\overline{DL}$的漏极，连接到数据线 DL 的栅极，和连接到接地端子的源极。

操作中，P 通道晶体管 80 和 84 起直接连接到位线和补码位线的一对串叠结构的交叉耦合晶体管的作用。晶体管 80 和 84 的导电依赖于施加到它们的交叉耦合栅极的电压。应当理解，对于每个位线对，图 7 的电路系统，除了晶体管 96 和 98，被重复。P 通道晶体管 80 和 84 的源极接收差分信号。P 通道晶体管 91 和 95 起预充电设备的作用，以将数据线和$\overline{\text{数据线}}$预充电到接地电势。P 通道晶体管 91 和 95 变得导电，并且经由 N 通道晶体管 90 和 92 将 Vcc 电源连接到 N 通道晶体管 96 和 98 的栅极，使得每个导电。当列选择信号无效时，晶体管 88 导电并且使得同样地偏压晶体管 80 和 84 的节点 82 和 86 的每个上的电压相等。然后，列选择信号激活，表示列已经被选择并且使得 N 通道晶体管 90 和 92 导电。N 通道晶体管 90 和 92 起耦合器的作用，并且提供电流到交叉耦合的 P 通道晶体管 80 和 84。节点 82，86 也将用来分别有效地上拉数据线 DL 和$\overline{DL}$的差分信号提供到 P 通道晶体管 93，94。晶体管 96 和 98 起仅当数据线电压转变时操作的交叉耦合被动(passive)闩锁电路的作用。晶体管 96 和 98 不为存储器的每列而重复，因为它们连接到数据线和$\overline{\text{数据线}}$。当晶体管 96 和 98 变得导电时，在数据线和$\overline{\text{数据线}}$导体

上存在足够的差分信号以保证晶体管 96 和 98 将不会因噪声或偏移而发生故障。换句话说，如果数据线上没有足够的差分信号，噪声或偏移可能错误地使得晶体管 96 或 98 的一个首先变得与最后的数据值相反地导电。为了确定该电路状态满足，DL 和$\overline{DL}$必须预充电为低，以各种方法中任何一种，例如通过使用预充电晶体管（没有显示）。一旦，晶体管 96 或 98 的任何一个首先强导电，另一个晶体管变得不导电，并且导电性将不会改变，不管数据值。但是，该电势问题在读出放大器 72 的设计中避免，因为开关作用保证在晶体管 96 和 98 变得导电之前数据线和$\overline{数据线}$上存在足够的差分信号。通过晶体管 91 和 95 的预充电功能，节点 82 和 86 预充电到 Vcc。

在另一种形式中，晶体管 93，94 的漏极可能代替地分别连接到节点 82，86，而不是连接到数据线和$\overline{数据线}$。操作是类似的，但是在耦合器 N 通道晶体管 90，92 的输入（漏极）以及数据线和$\overline{数据线}$处存在略微不同的功能效果。

读出放大器 72 用 N 通道晶体管 90，92 和 P 通道晶体管 93，94 来驱动数据线和$\overline{数据线}$。没有跨越包含在列译码功能中的另外通过晶体管的欧姆损耗。换句话说，通过在晶体管 80 和 84 的源极放置差分位线信号，传送差分信号经过位线/数据线通过译码器件的欧姆损耗被避免。而且，读出放大器 72 在读出之后不会从任何一个位线消耗电流。因此，不存在关闭读出放大器 72 的关键时间问题。晶体管 93 和 94 提供数据线 DL，$\overline{DL}$的满上拉到 Vcc。读出放大器 72 满足速度、功率和尺寸问题而不具有这些设计参数的任何一个相对于其他的不平衡。典型地，这些参数每个需要严重不利于其他设计参数的电路结构。

图 8 中说明的是图 6 的读出放大器 72 的平面概观。一般地，串叠级 100 接收位线对 BL 和$\overline{BL}$，并且具有第一和第二输出。预充电部分 101 由列选择信号控制，并且连接到串叠级 100 的输出。放大器 104 具有分别连接到串叠级 100 的第一和第二输出的第一和第二输入，并且具有分别连接到数据线 DL 和补码数据线$\overline{DL}$的第一和第二输出。耦合器

102 具有分别连接到串叠级 100 的第一和第二输出的第一和第二输入。耦合器 102 具有分别连接到数据线 DL 和补码数据线 $\overline{DL}$ 的第一和第二输出。被动闩锁 106 连接到数据线 DL 和补码数据线 $\overline{DL}$。

在比较读出放大器 72 和该平面概观中，串叠级由晶体管 80 和 84 实现。预充电部分 101 由晶体管 91 和 95 实现。放大器 104 由晶体管 93 和 94 实现。耦合器 102 由 N 通道晶体管 90 和 92 实现，以及被动闩锁 106 由晶体管 96 和 98 实现。应当充分理解，与在读出放大器 72 中使用的不同的电路系统可以代替以实现图 8 的平面概观。例如，各种放大器结构可以代替所说明的具体放大器配置来使用。

此刻应当理解，已经提供了一种读出放大器，它是快速、尺寸小并且功耗有效的。通过在欧姆列选择门之前使用连接到位线对的、晶体管 80，84 形式的增益元件，位线上的欧姆损耗达到最小。结果，更强的差分信号存在，并且这使得更早且更快的读出能够实现。另外，在这里讲授的读出放大器能够获得高分辨率，而不需要来自位线的连续电流需量，因此功率节省。另外，不存在与通过门或放大器相关的时间关键信号，使得控制电路系统减小并且尺寸达到最小。通过将低电容读出节点，例如图 7 的节点 82 和 86 放大到满准位电势，在这里提供的读出放大器比驱动数据线或全局数据线有效的多，即使当部分电平信号用来驱动这种数据线时。在这里讲授的读出放大器组合列译码和放大的功能。在优选的形式中，N 通道晶体管用于列选择功能，以将差分信号连接到数据线对。N 通道晶体管比 P 通道晶体管具有更高的增益。然后，P 通道晶体管用于放大器功能以在位线和读出节点例如图 7 的节点 82，86 之间对接。

因为实现本发明的装置，对于大部分，包括本领域技术人员已知的电子元件和电路，电路细节将不会以比如上说明认为必需的更大的范围来说明，为了本发明的基础概念的理解和领会，并且为了搞乱或叉开本发明的讲授。

在前述说明书中，本发明已经参考具体实施方案来描述。但是，本领域技术人员理解，可以不背离在下面的权利要求书中陈述的本发明的

范围而做各种修改和改变。例如，各种类型的晶体管，双极型、MOS、GaAs 或其他可以用来实现在这里提供的读出放大器实施方案的平面图。各种放大器结构可以使用。另外，读出放大器可以在各种类型的存储器，例如 SRAM，MRAM 等中使用。读出放大器也可以以除位线对和数据线对以外的其他数据信号来使用。另外，说明书和图被认为是说明性的，而不是限制性的，并且所有这种修改都打算包括在本发明的范围内。

其他好处、优点、和问题的解决办法已经关于具体的实施方案在上面描述。但是，好处、优点、问题的解决办法，和可以引起任何好处、优点、或解决办法发生或变得更明确的任何元素不解释成任何或全部权利要求的关键、必需、或基本特征或要素。如这里使用的，术语“包括”、“包含”、或其任何其他变体打算覆盖非专有的内含物，使得包括一列元素的过程、方法、物品或装置不仅包括那些元素，而是可以包括没有明显列出或者这种过程、方法、物品或装置固有的其他元素。

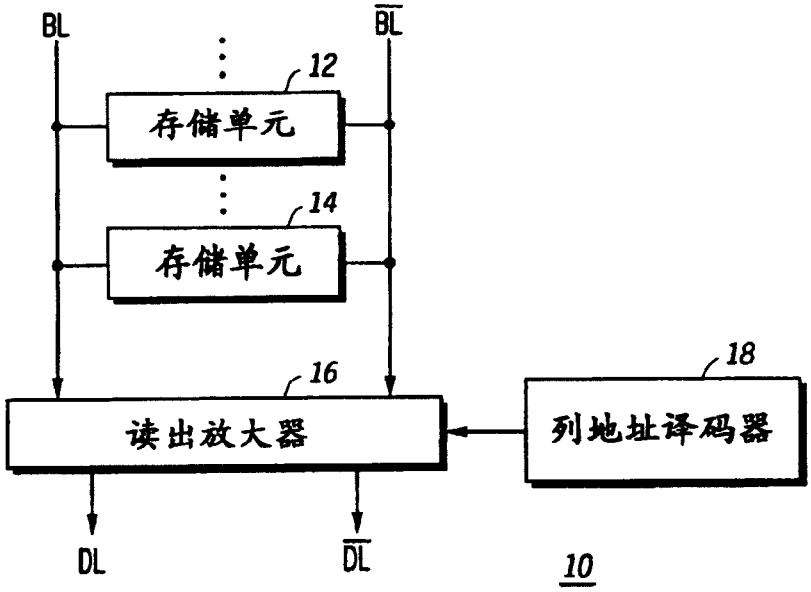

BL
$\overline{BL}$
12
存储单元
14
存储单元
16
读出放大器
18
列地址译码器
DL
$\overline{DL}$
10

图1

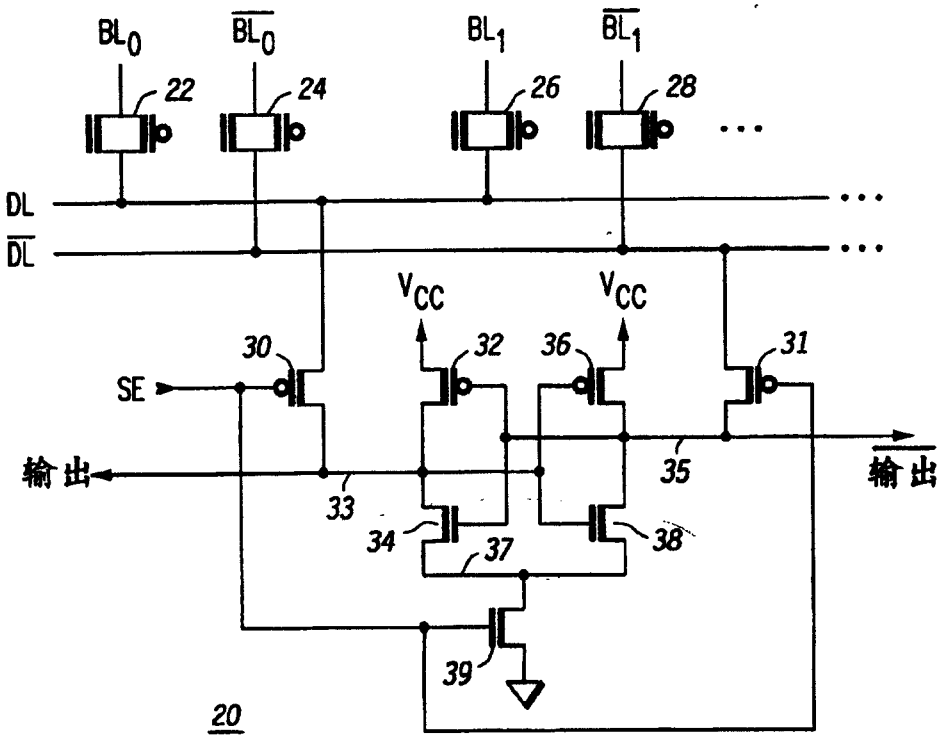

BL_0
$\overline{BL_0}$
BL_1
$\overline{BL_1}$
22
24
26
28
DL
$\overline{DL}$
V_{CC}
V_{CC}
30
32
36
31
SE
输出
$\overline{输出}$
33
35
34
37
38
39
20

图2

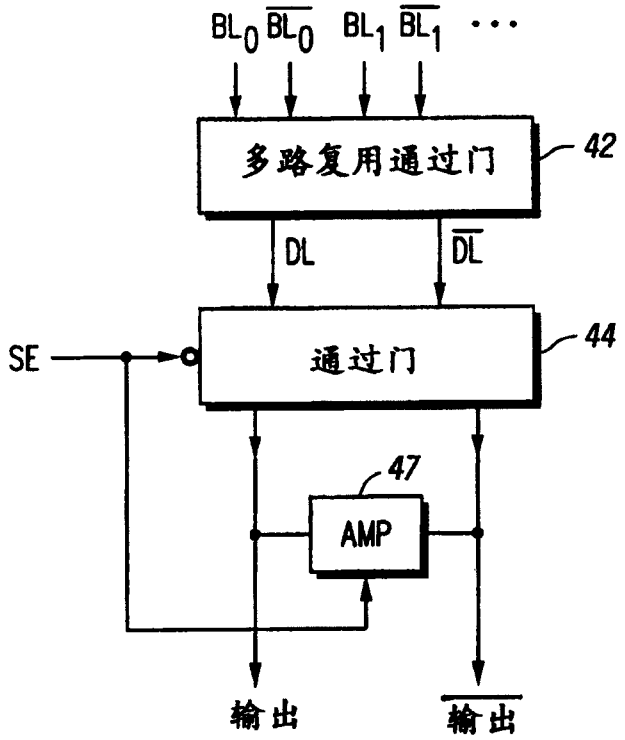

BL0 BL0 BL1 BL1 ···
多路复用通过门
42
DL
DL
SE
通过门
44
47
AMP
输出
输出

图3

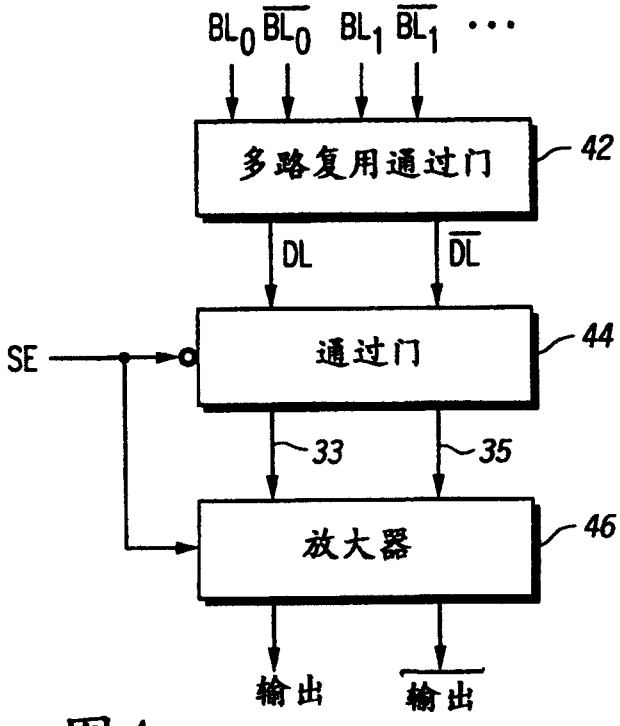

BL0 BL0 BL1 BL1 ···
多路复用通过门
42
DL
DL
SE
通过门
44
33
35
放大器
46
输出
输出

图4

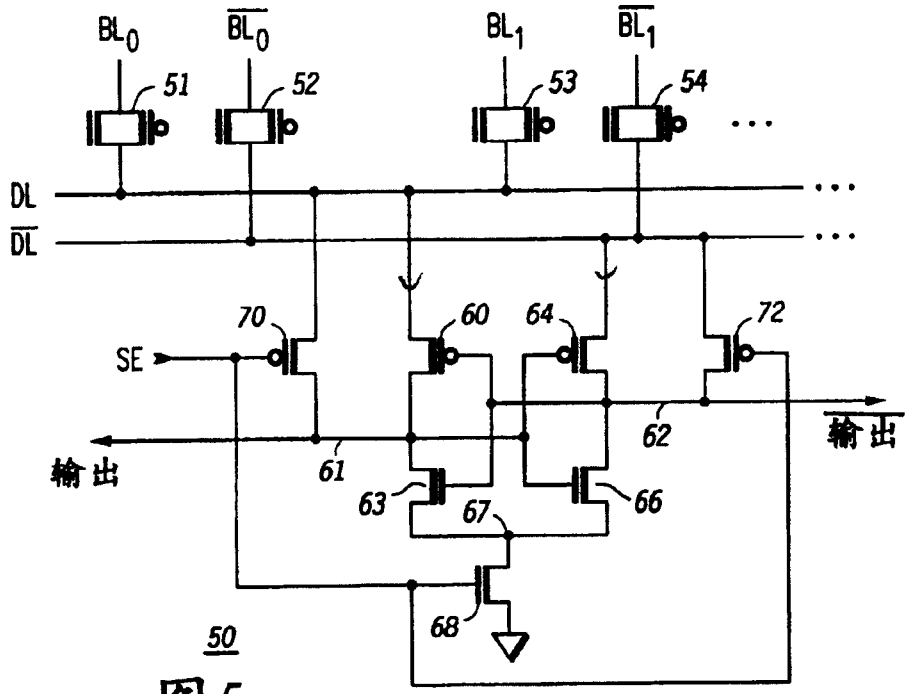

BL0
BL0
BL1
BL1
51
52
53
54
DL
DL
70
60
64
72
SE
输出
输出
61
62
63
66
67
68
50

图5

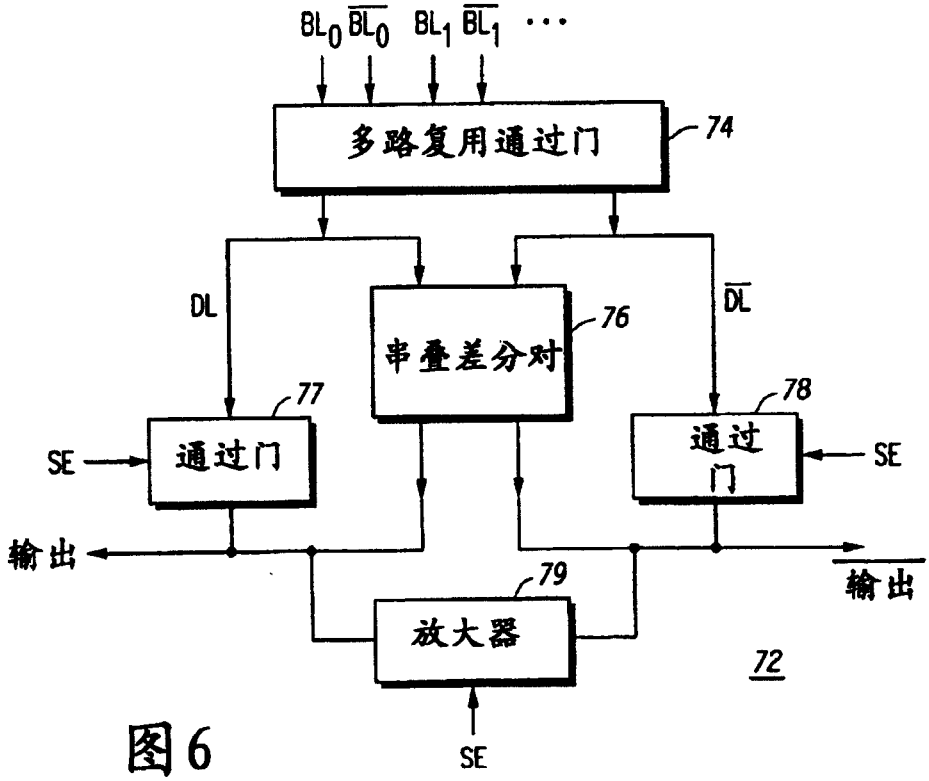

BL0 BL0 BL1 BL1
多路复用通过门
74
DL
串叠差分对
76
DL
77
78
SE
通过门
通过门
SE
输出
输出
79
放大器
72
SE

图6

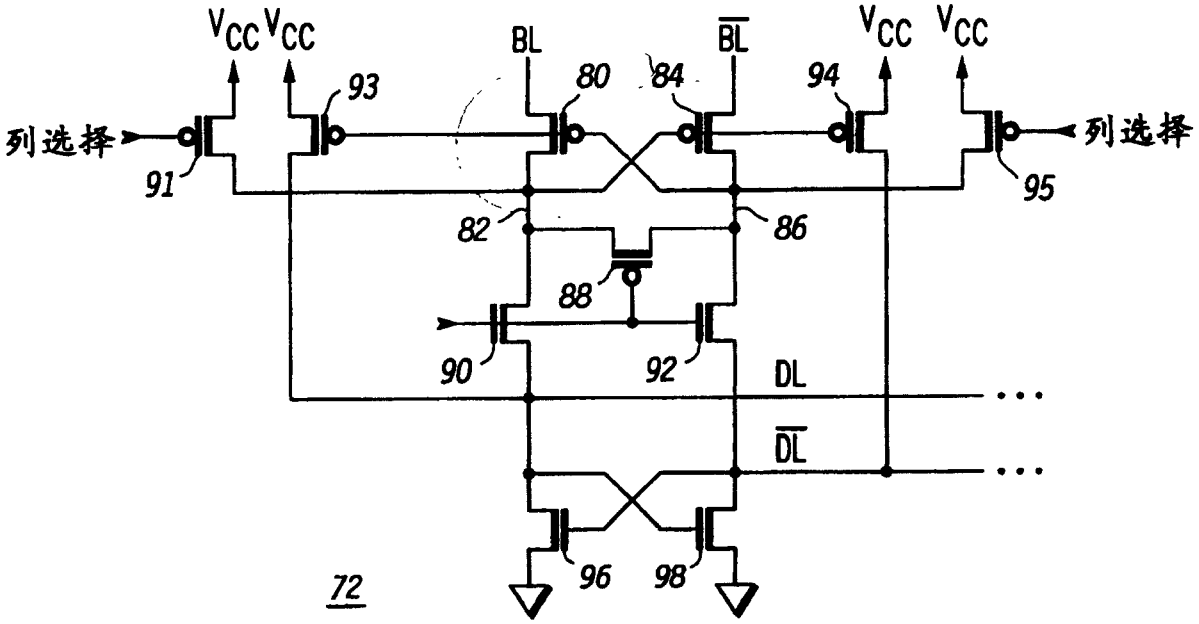

V_{CC} V_{CC}
BL
$\overline{BL}$
V_{CC} V_{CC}
93
80
84
94
列选择
91
95
列选择
82
86
88
90
92
DL
$\overline{DL}$
96
98
72

图7

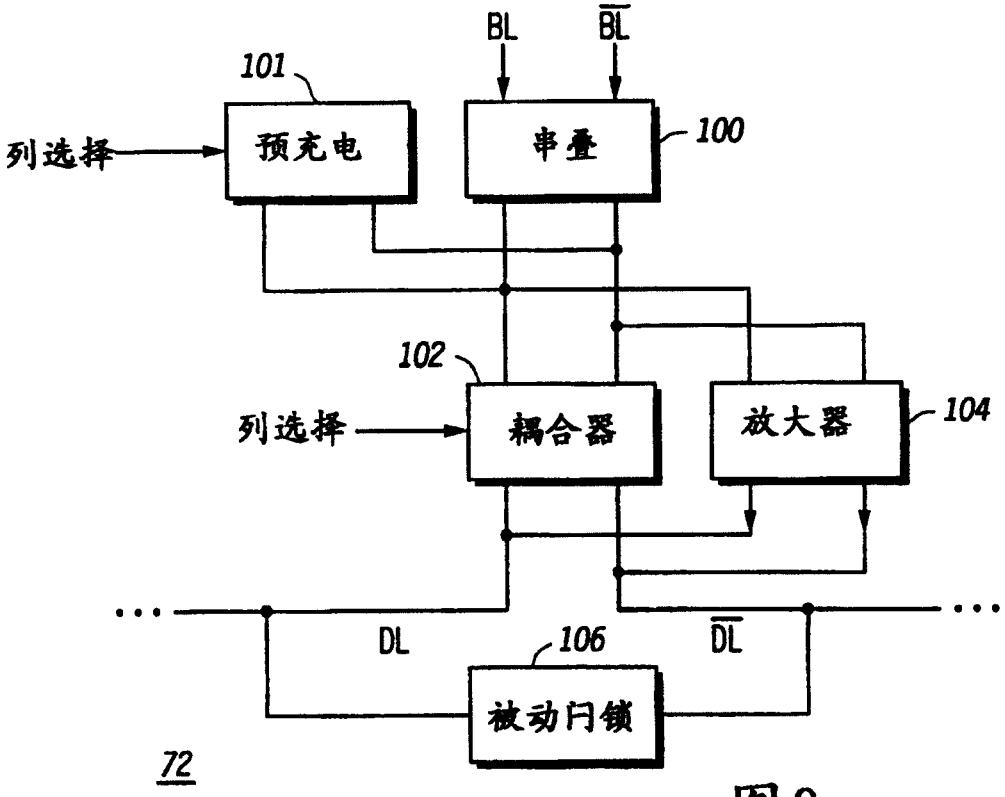

BL
$\overline{BL}$
101
列选择
预充电
串叠
100
102
列选择
耦合器
放大器
104
DL
106
$\overline{DL}$
被动闩锁
72

图8