



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I624002 B

(45) 公告日：中華民國 107 (2018) 年 05 月 11 日

(21) 申請案號：106113885

(22) 申請日：中華民國 106 (2017) 年 04 月 26 日

(51) Int. Cl. : H01L21/74 (2006.01)

H01L21/60 (2006.01)

(71) 申請人：世界先進積體電路股份有限公司 (中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣新竹科學工業園區園區三路 123 號

(72) 發明人：林鑫成 LIN, SHIN CHENG (TW)；胡鈺豪 HO, YU HAO (TW)；林文新 LIN, WEN HSIN (TW)；吳政聰 WU, CHENG TSUNG (TW)；庫馬 馬洛宜 KUMAR, MANOJ (IN)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

US 9105712B1

US 2013/0134511A1

US 2013/0137224A1

US 2014/0353749A1

US 2015/0279969A1

US 2016/0172452A1

審查人員：王世賢

申請專利範圍項數：12 項 圖式數：7 共 24 頁

(54) 名稱

半導體裝置及其形成方法

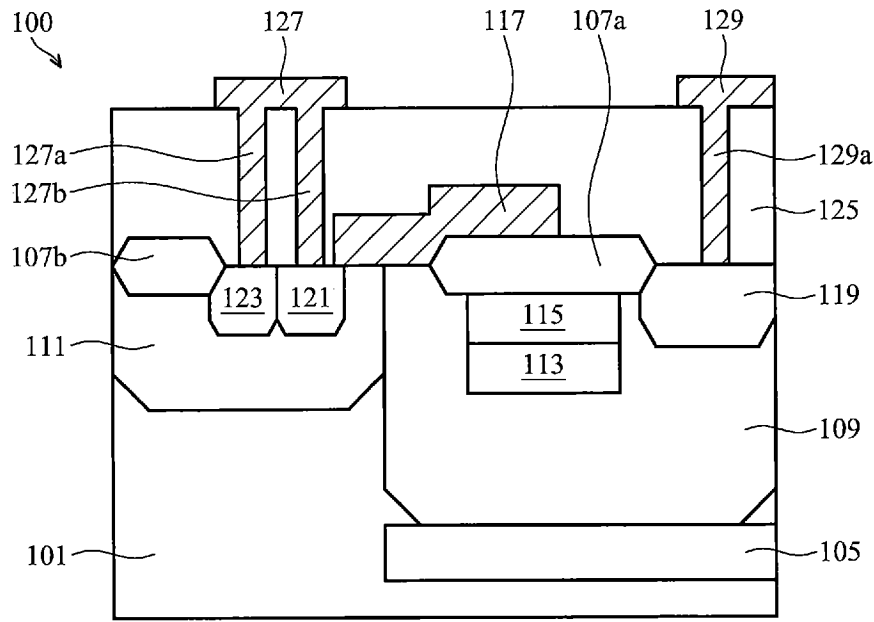
SEMICONDUCTOR DEVICES AND METHODS FOR FORMING THE SAME

(57) 摘要

半導體裝置包含具有第一導電類型的半導體基底，以及設置於半導體基底內的第一井區，其中第一井區具有與第一導電類型相反的第二導電類型。半導體裝置也包含設置於半導體基底內和第一井區下的埋置層，其中埋置層具有第一導電類型且接觸第一井區。半導體裝置更包含設置於半導體基底上的源極電極、汲極電極和閘極結構，其中閘極結構位於源極電極和汲極電極之間。

A semiconductor device includes a semiconductor substrate having a first conductivity type, and a first well region disposed in the semiconductor substrate, wherein the first well region has a second conductivity type opposite to the first conductivity type. The semiconductor device also includes a buried layer disposed in the semiconductor substrate and under the first well region, wherein the buried layer has the first conductivity type and is in contact with the first well region. The semiconductor device further includes a source electrode, a drain electrode and a gate structure disposed on the semiconductor substrate, wherein the gate structure is disposed between the source electrode and the drain electrode.

指定代表圖：



符號簡單說明：

- 100 . . . 半導體裝置
- 101 . . . 半導體基底
- 105 . . . 埋置層
- 107a、107b . . . 隔離結構
- 109 . . . 第一井區
- 111 . . . 第二井區
- 113 . . . 第一頂層
- 115 . . . 第二頂層
- 117 . . . 閘極結構
- 119 . . . 第一摻雜區
- 121 . . . 第二摻雜區
- 123 . . . 第三摻雜區
- 125 . . . 層間介電層
- 127 . . . 源極電極
- 127a、127b、
- 129a . . . 導孔
- 129 . . . 汲極電極

第 7 圖

發明專利說明書

【發明名稱】 半導體裝置及其形成方法

Semiconductor devices and methods for forming the same

【技術領域】

【0001】 本發明是關於半導體裝置，特別是有關於具有埋置層的半導體裝置及其形成方法。

【先前技術】

【0002】 在半導體工業中，超高壓(ultra high voltage, UHV)元件一般係藉由在飄移區(drift region)內設置具有兩相反導電類型的井區和頂層，例如深高壓N型井(deep high voltage n-well, DHVNW)和位於深高壓N型井內且靠近元件頂面的P型頂層，使得兩相反導電類型的載子維持電性平衡，進而使得超高壓元件容易達到完全空乏，提升元件的崩潰電壓，以及降低導通電阻。

【0003】 然而，在非磊晶的半導體製程中，深高壓井的形成需藉由高溫的擴散和植入(diffusion and drive in, D/I)，使得載子濃度無法分布均勻，高濃度的載子會集中在半導體基底的頂面。為了使載子濃度分布均勻以容易達成完全空乏，必須提高深高壓井內之頂層的載子濃度，但超高壓元件的導通電阻將因此而提高。此外，由於深高壓井的載子濃度都集中在頂部，載子容易因為高電場而注入場氧化(field oxide)層，使得元件的可靠度受到影響。

【0004】 雖然目前存在的半導體裝置及其形成方法已足夠應付它們原先預定的用途，但它們仍未在各個方面皆徹底的符合要求，因此，在調控半導體裝置之飄移區的載子濃度的技術上目前仍有一些問題需改善。

【發明內容】

【0005】 本發明提供了半導體裝置及其形成方法的實施例。為了降低半導體裝置的表面電場，使得半導體裝置容易達到完全空乏，本發明的實施例提供具有第一導電類型的半導體基底，在半導體基底內設置第一井區，即深高壓井，第一井區具有與第一導電類型相反之第二導電類型，藉由在第一井區下設置具有第一導電類型的埋置層，以降低在第一井區內具有第一導電類型之第一頂層的載子摻雜濃度，將原本位於半導體基底之頂部且具有第一導電類型的載子濃度分散到半導體基底之底部，使得靠近半導體基底之頂面的第一井區的載子濃度不會僅由一層具有相反導電類型的第二頂層來平衡，進而降低半導體裝置的導通電阻。

【0006】 此外，藉由在深高壓井下設置具有相反導電類型的埋置層，深高壓井的載子濃度不會集中在頂部，可有效降低載子注入場氧化層的機率，進而提升半導體裝置的可靠度。

【0007】 根據一些實施例，提供半導體裝置。半導體裝置包含具有第一導電類型的半導體基底，以及設置於半導體基底內的第一井區，其中第一井區具有與第一導電類型相反的第二導電類型。半導體裝置也包含設置於半導體基底內和第一井區下的埋置層，其中埋置層具有第一導電類型，且埋置層接觸第

一井區。半導體裝置更包含設置於半導體基底上的源極電極、汲極電極和閘極結構，其中閘極結構位於源極電極和汲極電極之間。

【0008】 根據一些實施例，提供半導體裝置的形成方法。此方法包含提供具有第一導電類型的半導體基底，在半導體基底內形成第一井區，其中第一井區具有與第一導電類型相反的第二導電類型。此方法還包含在半導體基底內和第一井區下形成埋置層，其中埋置層具有第一導電類型，且埋置層接觸第一井區。此方法更包含在半導體基底上形成源極電極、汲極電極和閘極結構，其中閘極結構位於源極電極和汲極電極之間。

【圖式簡單說明】

【0009】 藉由以下的詳述配合所附圖式，可以更加理解本發明實施例的觀點。值得注意的是，根據工業上的標準慣例，圖式中的各種部件(feature)可能沒有按照比例繪製。事實上，為了能清楚地討論，各種部件的尺寸可能被任意地增加或減少。

第 1-7 圖是根據本發明的一些實施例，顯示形成半導體裝置之不同階段的剖面示意圖。

【實施方式】

【0010】 以下揭露內容提供了很多不同的實施例或範例，用於實施所提供的半導體裝置之不同元件。各元件和其配置的具體範例描述如下，以簡化本發明的實施例。當然，這些僅僅是範例，並非用以限定本發明。舉例而言，敘述中若提及第一元件形成在第二元件之上，可能包含第一和第二元件直接接觸

的實施例，也可能包含額外的元件形成在第一和第二元件之間，使得第一和第二元件不直接接觸的實施例。此外，本發明實施例可能在不同的範例中重複參考數字及/或字母。如此重複是為了簡明和清楚，而非用以表示所討論的不同實施例及/或形態之間的關係。

【0011】 以下描述實施例的一些變化。在不同圖式和說明的實施例中，相似的參考數字被用來標示相似的元件。可以理解的是，在下述方法的前、中和後可以提供額外的操作，且一些敘述的操作可為了該方法的其他實施例被取代或刪除。

【0012】 本發明的一些實施例提供形成半導體裝置的方法。第 1-7 圖是根據本發明的一些實施例，顯示形成半導體裝置 100 之不同階段的剖面示意圖。

【0013】 根據一些實施例，如第 1 圖所示，提供具有第一導電類型的半導體基底 101。半導體基底 101 可由矽或其他半導體材料製成，或者，半導體基底 101 可包含其他元素半導體材料，例如鍺(Ge)。一些實施例中，半導體基底 101 由化合物半導體製成，例如碳化矽、氮化鎵、砷化鎵、砷化銮或磷化銮。一些實施例中，半導體基底 101 由合金半導體製成，例如矽鍺、碳化矽鍺、磷化砷鎵或磷化銮鎵。本實施例之第一導電類型為 P 型，因此半導體基底 101 為輕摻雜之 P 型基底。在其他實施例中，第一導電類型可為 N 型，因此半導體基底 101 為輕摻雜之 N 型基底。

【0014】 接續前述，如第 1 圖所示，在半導體基底 101 上選擇性地形成圖案化光阻層 103。未覆蓋圖案化光阻層 103 之

區域為後續形成埋置層和第一井區的區域，覆蓋圖案化光阻層 103 之區域為後續形成第二井區的區域。在其他實施例中，可不形成圖案化光阻層 103，並且在後續的製程中，在半導體基底 101 內全面性地形成埋置層。

【0015】 根據一些實施例，如第 2 圖所示，利用圖案化光阻層 103 為遮罩，藉由離子植入製程和高溫擴散製程，在半導體基底 101 內形成具有第一導電類型的埋置層 105。在本實施例中，半導體基底 101 為 P 型基底，且埋置層 105 係藉由在半導體基底 101 內植入 P 型摻雜物，例如硼(B)而形成。在其他實施例中，半導體基底 101 為 N 型基底，埋置層 105 係藉由在半導體基底 101 內植入 N 型摻雜物，例如磷(P)或砷(As)而形成。此外，一些實施例中，埋置層 105 的摻質濃度在約 1×10^{14} 原子/立方公分(atom/cm³)至約 1×10^{15} 原子/立方公分(atom/cm³)的範圍內，且埋置層 105 的深度 D 在約 5 μ m 至約 15 μ m 的範圍內。

【0016】 接著，如第 3 圖所示，移除圖案化光阻層 103，在半導體基底 101 上形成隔離結構 107a 和 107b。在一些實施例中，隔離結構 107a 和 107b 之一部份嵌入半導體基底 101，且隔離結構 107a 和 107b 之另一部分係形成於半導體基底 101 之上。

【0017】 一些實施例中，隔離結構 107a 和 107b 可使用矽局部氧化(local oxidation of silicon, LOCOS)隔離技術而形成。在其他實施例中，隔離結構 107a 和 107b 可為淺溝槽隔離(shallow trench isolation, STI)結構。一些實施例中，隔離結

構 107a 和 107b 係由氧化矽、氮化矽、氮氧化矽或其他合適的介電材料形成。

【0018】 根據一些實施例，如第 4 圖所示，在半導體基底 101 內和埋置層 105 上形成第一井區 109，第一井區 109 具有與第一導電類型相反的第二導電類型。接續前述，在本實施例中，第一井區 109 為深高壓 N 型井，且第一井區 109 的摻質濃度在約 1×10^{15} 原子/立方公分 (atom/cm^3) 至約 5×10^{15} 原子/立方公分 (atom/cm^3) 的範圍內。值得注意的是，第一井區 109 係與埋置層 105 接觸，由於第一井區 109 和埋置層 105 具有相反的導電類型，使得第一井區 109 和埋置層 105 的界面產生 P-N 接面 (P-N junction)。

【0019】 第一井區 109 可由離子植入形成，在本實施例中，第一井區 109 與埋置層 105 係藉由兩個獨立的離子植入製程分別形成。在其他實施例中，第一井區 109 與埋置層 105 可由相同能量的離子植入製程同時形成，舉例而言，埋置層 105 藉由植入硼 (B) 而形成，且第一井區 109 藉由植入磷 (P) 或砷 (As) 而形成，由於硼 (B) 的離子較小，在相同的離子植入之能量下，硼 (B) 可以較快的速度植入半導體基底 101 內，因此，P 型的埋置層 105 可形成在 N 型的第一井區 109 下方。

【0020】 然後，如第 4 圖所示，在具有第一導電類型的半導體基底 101 內形成第二井區 111，第二井區 111 具有第一導電類型，且鄰接於第一井區 109，第一井區 109 的深度比第二井區 111 深，故第一井區 109 可稱為深高壓井。接續前述，在本實施例中，第二井區 111 為 P 型井區，且第二井區 111 的摻

雜濃度在約 1×10^{16} 原子/立方公分 (atom/cm^3) 至約 9×10^{16} 原子/立方公分 (atom/cm^3) 的範圍內。一些實施例中，隔離結構 107a 在第一井區 109 上，且覆蓋一部分的第一井區 109。隔離結構 107b 在第二井區 111 上，且覆蓋一部分的第二井區 111。在本實施例中，埋置層 105 的長度至少與第一井區 109 的長度約略相同。在其他未形成圖案化光阻層 103 的實施例中，埋置層 105 延伸至第二井區 111 的下方。

【0021】 根據一些實施例，如第 5 圖所示，在第一井區 109 內靠近第一井區 109 的頂部形成第一頂層 113 和第二頂層 115。第一頂層 113 具有第一導電類型，第二頂層 115 位於第一頂層 113 上且接觸第一頂層 113，第二頂層 115 具有第二導電類型。在本實施例中，第一頂層 113 為 P 型，第二頂層 115 為 N 型，且第一頂層 113 和第二頂層 115 完全地設置於隔離結構 107a 的下方，亦即隔離結構 107a 在半導體基底 101 上的投影範圍完全覆蓋第一頂層 113 和第二頂層 115 在半導體基底 101 上的投影範圍。

【0022】 值得注意的是，由於第一頂層 113 和第一井區 109 具有相反的導電類型，使得第一頂層 113 和第一井區 109 的界面產生 P-N 接面。同樣地，由於第二頂層 115 和第一頂層 113 具有相反的導電類型，使得第二頂層 115 和第一頂層 113 的界面也產生 P-N 接面。一些實施例中，第一頂層 113 和第二頂層 115 的摻質濃度皆在約 1×10^{16} 原子/立方公分 (atom/cm^3) 至約 9×10^{16} 原子/立方公分 (atom/cm^3) 的範圍內，且第一頂層 113 和第二頂層 115 的摻質濃度約略相同。

【0023】 整體而言，第一頂層 113 和第二頂層 115 的摻質濃度皆大於第一井區 109 的摻質濃度，且第一井區 109 的摻質濃度大於埋置層 105 的摻質濃度。

【0024】 此外，根據本發明的一些實施例，埋置層 105 和第一井區 109 的界面、第一井區 109 和第一頂層 113 的界面，以及第一頂層 113 和第二頂層 115 的界面皆為 P-N 接面，藉由在半導體基底 101 內均勻地分散設置多個 P-N 接面，可多重地降低表面電場(reduced surface field, RESURF)，使得半導體裝置能承受更高的電壓，容易達到完全空乏，進而降低導通電阻和提高崩潰電壓。

【0025】 接續前述，如第 5 圖所示，在半導體基底 101 和一部分的隔離結構 107a 上形成閘極結構 117，閘極結構 117 覆蓋一部分的第一井區 109 和一部分的第二井區 111。一些實施例中，閘極結構 117 可包含單一或多層的閘極介電層(未繪示)，以及單一或多層的閘極電極層設置於閘極介電層上(未繪示)。

【0026】 閘極介電層可由氧化矽、氮化矽、氮氧化矽、具有高介電常數(low-k)之介電材料或前述之組合製成。一些實施例中，閘極介電層係藉由電漿增強化學氣相沉積(plasma enhanced chemical vapor deposition, PECVD)製程或旋轉塗佈(spin coating)製程形成。

【0027】 閘極電極層係由導電材料製成，例如鋁(Al)、銅(Cu)、鎢(W)、鈦(Ti)、鉭(Ta)、多晶矽或其他合適的材料。一些實施例中，閘極電極層係藉由沉積製程和圖案化製程而形

成。沉積製程可為化學氣相沉積(chemical vapor deposition, CVD)製程、物理氣相沉積(physical vapor deposition, PVD)製程、原子層沉積(atomic layer deposition, ALD)製程、高密度電漿化學氣相沉積(high density plasma CVD, HDPCVD)製程、金屬有機化學氣相沉積(metal-organic CVD, MOCVD)製程、電漿增強化學氣相沉積(PECVD)製程或前述之組合。

【0028】 根據一些實施例，如第 6 圖所示，在第一井區 109 內形成第一摻雜區 119，在第二井區 111 內形成第二摻雜區 121 和第三摻雜區 123。此外，第三摻雜區 123 鄰接於第二摻雜區 121。一些實施例中，第一摻雜區 119 的導電類型與第一井區 109 相同，第二摻雜區 121 的導電類型與第二井區 111 相反，且第三摻雜區 123 的導電類型與第二井區 111 相同。在本實施例中，第一摻雜區 119 為 N 型，第二摻雜區 121 為 N 型，第三摻雜區 123 為 P 型，且第一摻雜區 119、第二摻雜區 121 和第三摻雜區 123 的摻雜濃度在約 1×10^{18} 原子/立方公分 (atom/cm^3) 至約 1×10^{19} 原子/立方公分 (atom/cm^3) 的範圍內。

【0029】 根據一些實施例，如第 7 圖所示，在半導體基底 101、隔離結構 107a 和 107b 以及閘極結構 117 上形成層間介電(inter-layer dielectric, ILD)層 125。一些實施例中，層間介電層 125 係由氧化矽、氮化矽、磷矽酸鹽玻璃(phosphosilicate glass, PSG)、硼磷矽酸鹽玻璃(borophosphosilicate glass, BPSG)及/或其他合適的介電材料所形成。層間介電層 125 可由化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、旋轉塗佈或其他合適的製程而形成。

【0030】 根據一些實施例，如第 7 圖所示，在形成層間介電層 125 之後，在層間介電層 125 上形成源極電極 127 和汲極電極 129。此外，在層間介電層 125 內形成導孔(via)127a、127b 和 129a。汲極電極 129 透過導孔 129a 電性連接於第一摻雜區 119，且源極電極 127 透過導孔 127a 和 127b 分別電性連接於第三摻雜區 123 和第二摻雜區 121。一些實施例中，源極電極 127、汲極電極 129 以及導孔 127a、127b 和 129a 可包含金屬或其他合適的導電材料。

【0031】 一些實施例中，閘極結構 117 設置於源極電極 127 與汲極電極 129 之間，且相較於汲極電極 129，閘極結構 117 更靠近源極電極 127。形成源極電極 127 和汲極電極 129 之後，完成半導體裝置 100。

【0032】 為了降低半導體裝置的表面電場，使得半導體裝置容易達到完全空乏，本發明的實施例提供具有第一導電類型的半導體基底，在半導體基底內設置第一井區，即深高壓井，第一井區具有與第一導電類型相反之第二導電類型，藉由在第一井區下設置具有第一導電類型的埋置層，以降低在第一井區內具有第一導電類型之第一頂層的載子摻雜濃度，將原本位於半導體基底之頂部且具有第一導電類型的載子濃度分散到半導體基底之底部，使得靠近半導體基底之頂面的第一井區的載子濃度不會僅由一層具有相反導電類型的的第一頂層來平衡，進而降低半導體裝置的導通電阻。

【0033】 此外，藉由在第一井區下設置具有相反導電類型的埋置層，第一井區的載子濃度不會集中在頂部，可有效降低

載子注入場氧化層的機率，進而提升半導體裝置的可靠度。

【0034】 以上概述數個實施例的部件，以便在本發明所屬技術領域中具有通常知識者可以更理解本發明實施例的觀點。在本發明所屬技術領域中具有通常知識者應該理解，他們能以本發明實施例為基礎，設計或修改其他製程和結構以達到與在此介紹的實施例相同之目的及/或優勢。在本發明所屬技術領域中具有通常知識者也應該理解到，此類等效的結構並無悖離本發明的精神與範圍，且可以在不違背本發明之精神和範圍下，做各式各樣的改變、取代和替換。

【符號說明】

【0035】

- 100～半導體裝置；
- 101～半導體基底；
- 103～圖案化光阻層；
- 105～埋置層；
- 107a、107b～隔離結構；
- 109～第一井區；
- 111～第二井區；
- 113～第一頂層；
- 115～第二頂層；
- 117～閘極結構；
- 119～第一摻雜區；
- 121～第二摻雜區；
- 123～第三摻雜區；

125～層間介電層；

127～源極電極；

127a、127b、129a～導孔；

129～汲極電極；

D～深度。

發明摘要

※ 申請案號：106113885

※ 申請日：106/04/26

※IPC 分類：H01L 21/74 (2006.01)
H01L 21/60 (2006.01)

【發明名稱】 半導體裝置及其形成方法

Semiconductor devices and methods for forming the same

【中文】

半導體裝置包含具有第一導電類型的半導體基底，以及設置於半導體基底內的第一井區，其中第一井區具有與第一導電類型相反的第二導電類型。半導體裝置也包含設置於半導體基底內和第一井區下的埋置層，其中埋置層具有第一導電類型且接觸第一井區。半導體裝置更包含設置於半導體基底上的源極電極、汲極電極和閘極結構，其中閘極結構位於源極電極和汲極電極之間。

【英文】

A semiconductor device includes a semiconductor substrate having a first conductivity type, and a first well region disposed in the semiconductor substrate, wherein the first well region has a second conductivity type opposite to the first conductivity type. The semiconductor device also includes a buried layer disposed in the semiconductor substrate and under the first well region, wherein the buried layer has the first conductivity type and is in contact with the first well region. The semiconductor

device further includes a source electrode, a drain electrode and a gate structure disposed on the semiconductor substrate, wherein the gate structure is disposed between the source electrode and the drain electrode.

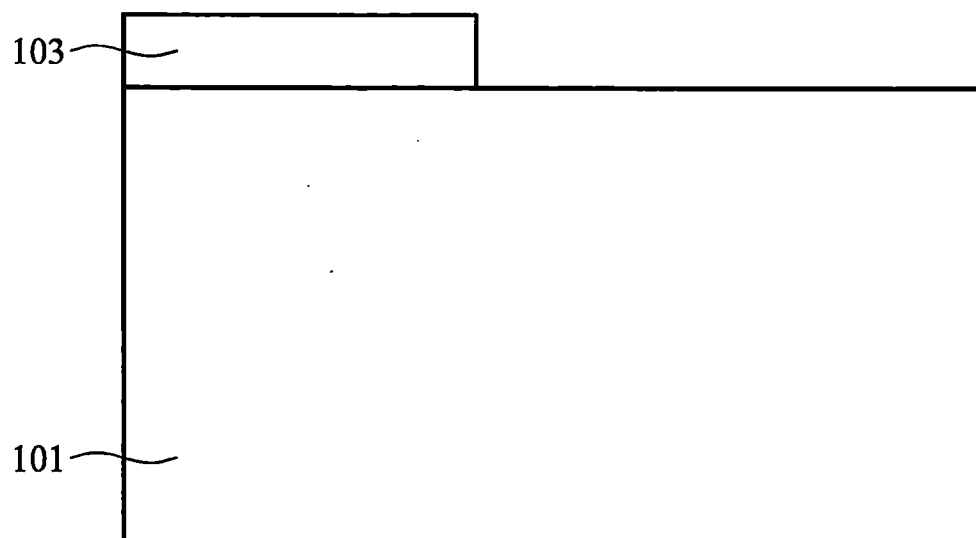
【代表圖】

【本案指定代表圖】：第（ 7 ）圖。

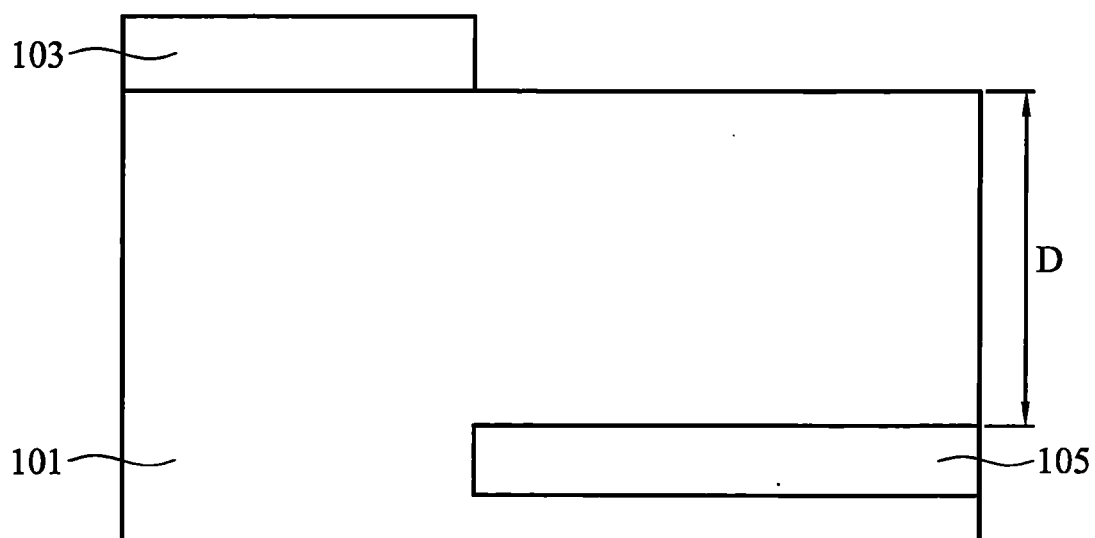
【本代表圖之符號簡單說明】：

- 100～半導體裝置；
- 101～半導體基底；
- 105～埋置層；
- 107a、107b～隔離結構；
- 109～第一井區；
- 111～第二井區；
- 113～第一頂層；
- 115～第二頂層；
- 117～閘極結構；
- 119～第一摻雜區；
- 121～第二摻雜區；
- 123～第三摻雜區；
- 125～層間介電層；
- 127～源極電極；
- 127a、127b、129a～導孔；
- 129～汲極電極。

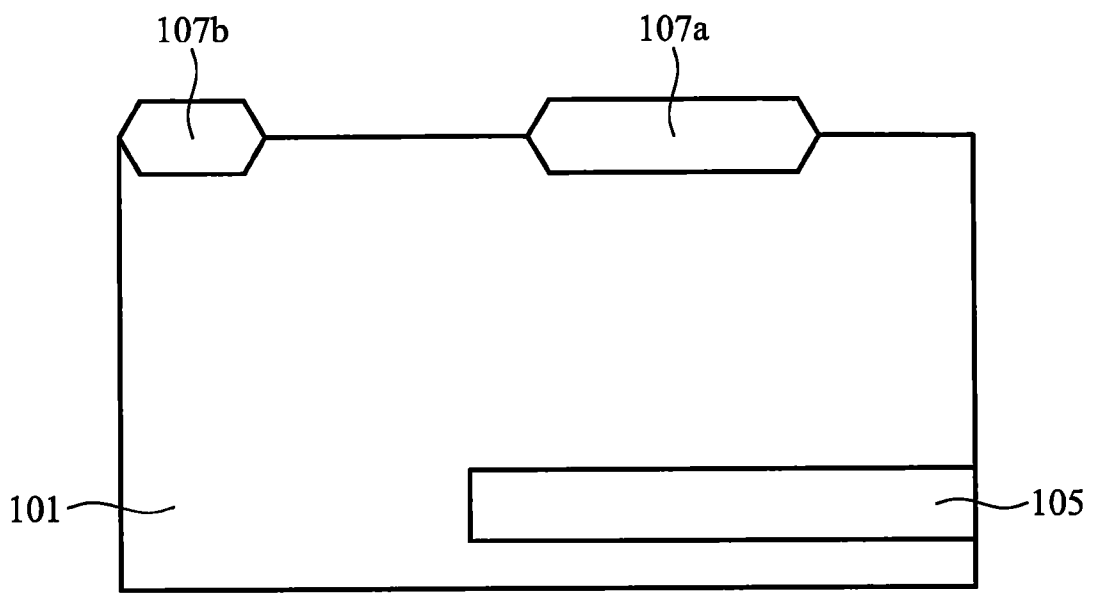
圖式



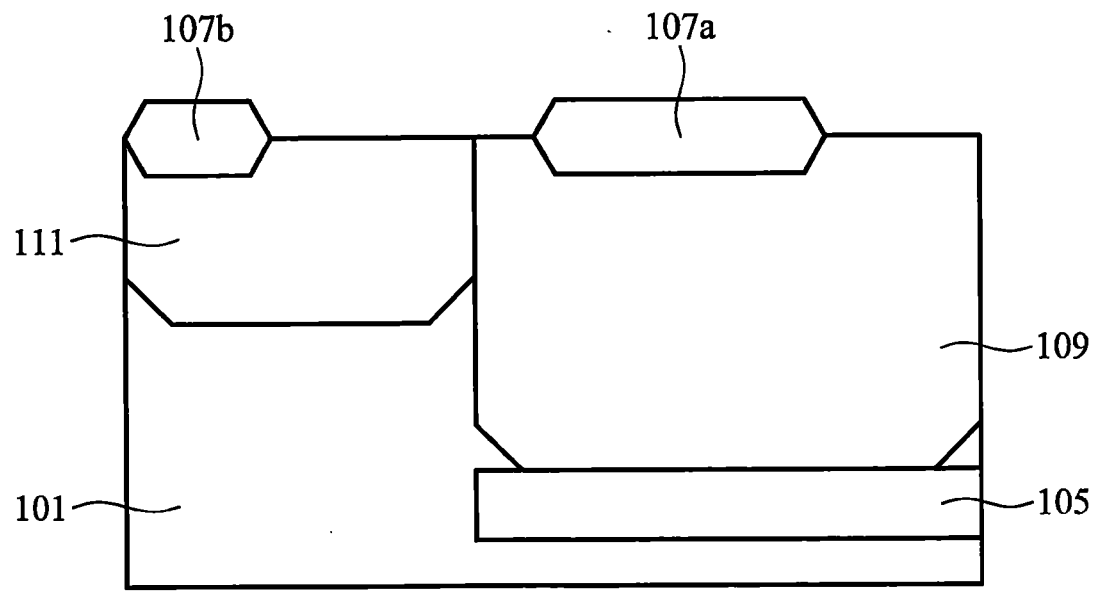
第 1 圖



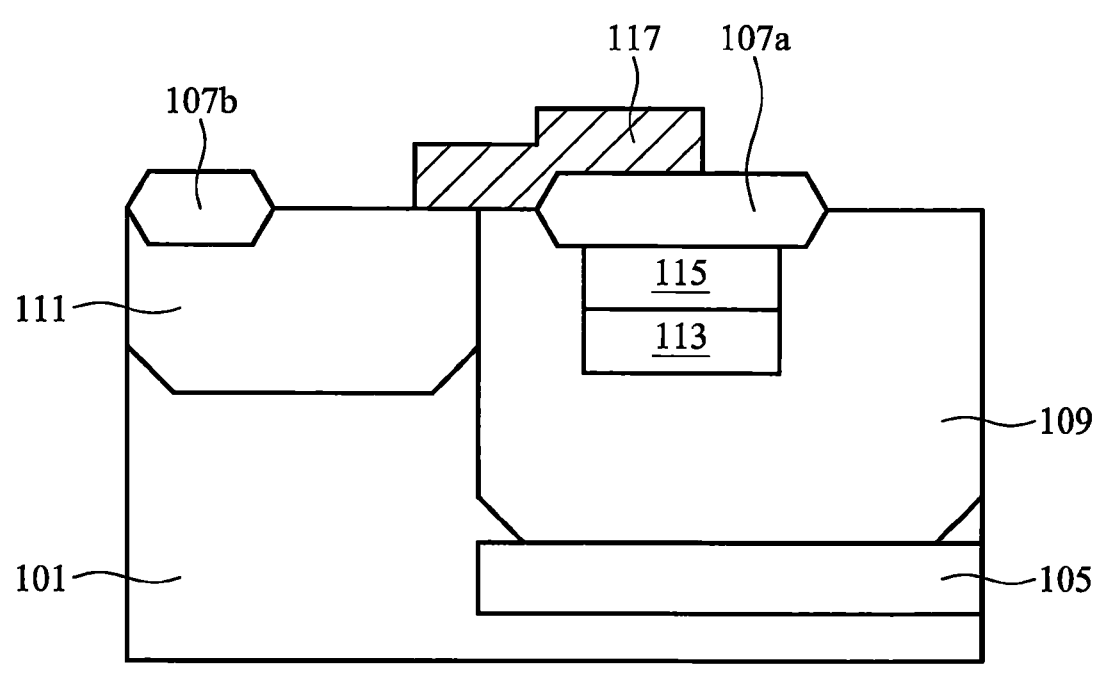
第 2 圖



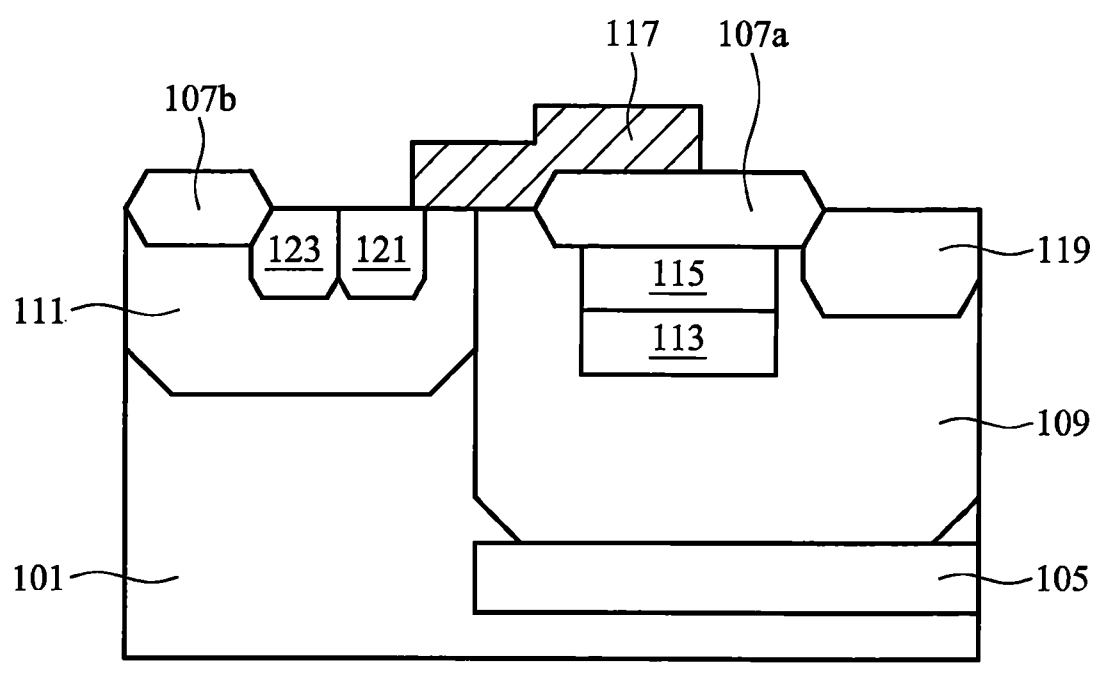
第 3 圖



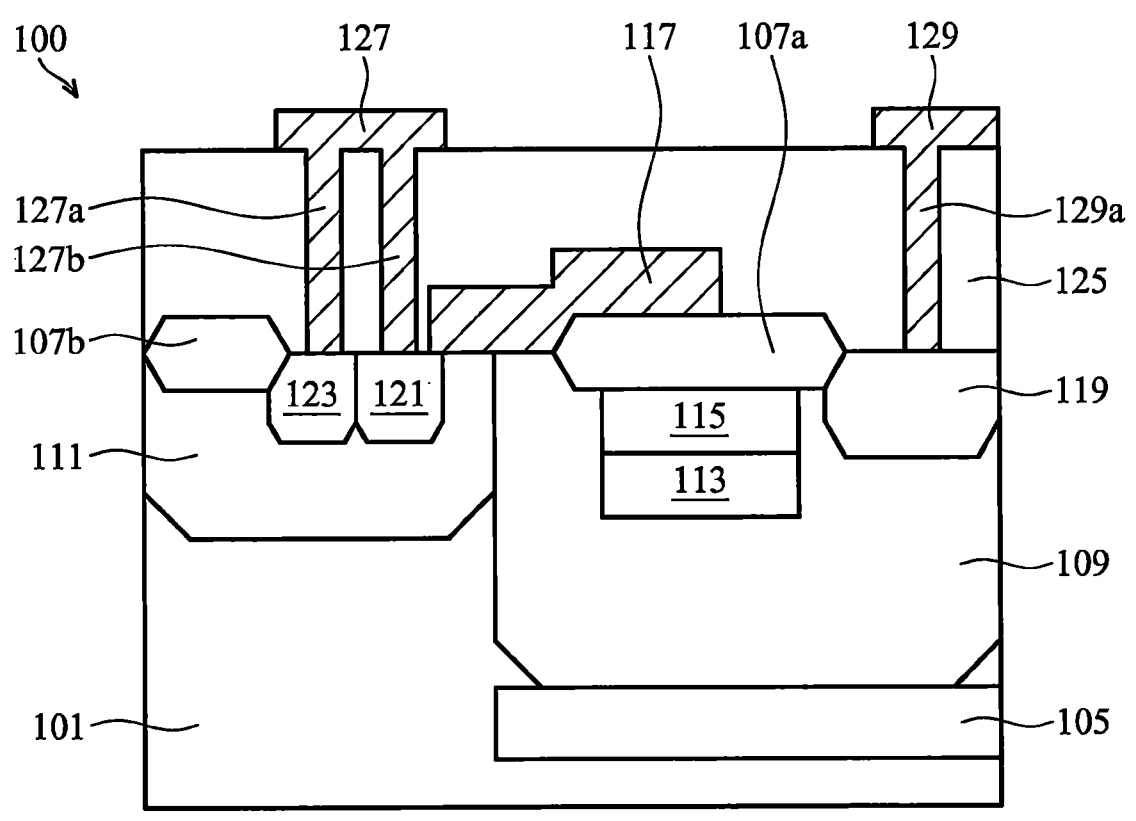
第 4 圖



第 5 圖



第 6 圖



第 7 圖

device further includes a source electrode, a drain electrode and a gate structure disposed on the semiconductor substrate, wherein the gate structure is disposed between the source electrode and the drain electrode.

【代表圖】

【本案指定代表圖】：第（ 7 ）圖。

【本代表圖之符號簡單說明】：

- 100～半導體裝置；
- 101～半導體基底；
- 105～埋置層；
- 107a、107b～隔離結構；
- 109～第一井區；
- 111～第二井區；
- 113～第一頂層；
- 115～第二頂層；
- 117～閘極結構；
- 119～第一摻雜區；
- 121～第二摻雜區；
- 123～第三摻雜區；
- 125～層間介電層；
- 127～源極電極；
- 127a、127b、129a～導孔；
- 129～汲極電極。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

申請專利範圍

1. 一種半導體裝置，包括：

一半導體基底，具有一第一導電類型；

一第一井區，設置於該半導體基底內，其中該第一井區具有與該第一導電類型相反的一第二導電類型；

一第一頂層，設置於該第一井區內，且具有該第一導電類型；

一第二頂層，設置於該第一井區內且完全地在該第一頂層上，其中該第二頂層具有該第二導電類型，且接觸該第一頂層；

一埋置層，設置於該半導體基底內和該第一井區下，其中該埋置層具有該第一導電類型，且該埋置層接觸該第一井區；以及

一源極電極、一汲極電極和一閘極結構，設置於該半導體基底上，其中該閘極結構位於該源極電極與該汲極電極之間；

其中該第一頂層和該第二頂層的摻質濃度大於該第一井區的摻質濃度，且該第一井區的摻質濃度大於該埋置層的摻質濃度。

2. 如申請專利範圍第1項所述之半導體裝置，其中相較於與該汲極電極的距離，該閘極結構更靠近該源極電極。

3. 如申請專利範圍第1項所述之半導體裝置，更包括：

一第二井區，設置於該半導體基底內，且鄰接於該第一井區，其中該第二井區具有該第一導電類型；以及

一隔離結構，覆蓋一部分的該第一井區；

其中該閘極結構設置於一部分的該隔離結構上，且覆蓋一部分的該第一井區和一部分的該第二井區。

4. 如申請專利範圍第3項所述之半導體裝置，更包括：

一第一摻雜區，設置於該第一井區內，具有該第二導電類型；

一第二摻雜區，設置於該第二井區內，具有該第二導電類型；以及

一第三摻雜區，設置於該第二井區內，具有該第一導電類型且鄰接於該第二摻雜區；

其中該第一摻雜區電連接於該汲極電極，且該第二摻雜區和該第三摻雜區電連接於該源極電極。

5. 如申請專利範圍第3項所述之半導體裝置，其中該埋置層延伸至該第二井區下方。

6. 如申請專利範圍第3項所述之半導體裝置，其中該第一頂層和該第二頂層完全地設置於該隔離結構的下方。

7. 一種半導體裝置的形成方法，包括：

提供一半導體基底，具有一第一導電類型；

在該半導體基底內形成一第一井區，其中該第一井區具有與該第一導電類型相反的一第二導電類型；

在該第一井區內形成一第一頂層，該第一頂層具有該第一導電類型；

在該第一井區內且完全地在該第一頂層上形成一第二頂層，該第二頂層具有該第二導電類型，其中該第二頂層接

觸該第一頂層；

在該半導體基底內和該第一井區下形成一埋置層，其中該埋置層具有該第一導電類型，且該埋置層接觸該第一井區；以及

在該半導體基底上形成一源極電極和、一汲極電極和一閘極結構，其中該閘極結構位於該源極電極與該汲極電極之間；

其中該第一頂層和該第二頂層的摻質濃度大於該第一井區的摻質濃度，且該第一井區的摻質濃度大於該埋置層的摻質濃度。

8.如申請專利範圍第7項所述之半導體裝置的形成方法，其中相較於與該汲極電極的距離，該閘極結構更靠近該源極電極。

9.如申請專利範圍第7項所述之半導體裝置的形成方法，更包括：

在該半導體基底內形成一第二井區，其中該第二井區鄰接於該第一井區，且該第二井區具有該第一導電類型；以及形成一隔離結構覆蓋一部分的該第一井區；

其中該閘極結構形成於一部分的該隔離結構上，且覆蓋一部分的該第一井區和一部分的該第二井區。

10.如申請專利範圍第9項所述之半導體裝置的形成方法，更包括：

在該第一井區內形成一第一摻雜區，該第一摻雜區具有該第二導電類型；

在該第二井區內形成一第二摻雜區，該第二摻雜區具有該第二導電類型；以及

在該第二井區內形成一第三摻雜區，該第三摻雜區具有該第一導電類型，且該第三摻雜區鄰接於該第二摻雜區；

其中該第一摻雜區電連接於該汲極電極，且該第二摻雜區和該第三摻雜區電連接於該源極電極。

- 11.如申請專利範圍第9項所述之半導體裝置的形成方法，其中該埋置層延伸至該第二井區下方。
- 12.如申請專利範圍第9項所述之半導體裝置的形成方法，其中該第一頂層和該第二頂層完全地形成於該隔離結構的下方。