



〔12〕发明专利申请审定说明书

〔21〕申请号 86101017

〔51〕Int.Cl⁴

H03L 7/08

〔44〕审定公告日 1989年2月1日

〔22〕申请日 86.2.20

〔30〕优先权

〔32〕85.2.20 〔33〕JP 〔31〕30330/85

〔71〕申请人 株式会社日立制作所

地址 日本东京都千代田区神田骏河台四丁目

〔72〕发明人

6 番地

〔74〕专利代理机构 中国专利代理有限公司

代理人 匡少波 杜有文

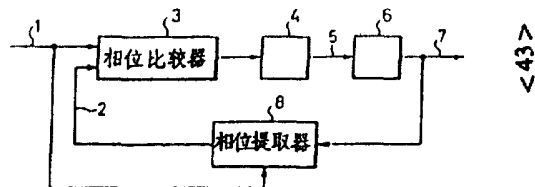
说明书页数：9

附图页数：6

〔54〕发明名称 振荡电路

〔57〕摘要

一使用锁相环的振荡电路包括一电压控制振荡器(VCO),一相位比较器一低通滤波器(LPF)和一电路规模较小的相位提取器,参考脉冲信号的每个重复周期输给相位比较器的一输入端,其频率是VCO的振荡频率的 $1/N$ 倍。相位提取器选取一位参考脉冲信号前沿附近的VCO的输出脉冲的一前沿。被提取的VCO的输出脉冲的前沿输给相位比较器的另一输入端,并由相位比较器将其与参考脉冲信号的前沿进行相位比较。由相位比较器产生的相位误差信号通过LPF加到VCO上作为一控制信号来稳定振荡频率。



△
43

1、一种振荡电路，它含有一个产生输出频率为 $N f_0$ (N 是一个整数， f_0 是参考信号的重复频率) 的电压控制振荡器 (VCO)，其特征在于它由以下装置组成：

一个用来选取相位的装置，它在参考信号的每个重复周期中，在参考信号的预定相位附近提取电压控制振荡器 (VCO) 输出的预定振荡相位中的一个相位。

用来把上述已提取的相位与上述参考信号的预定相位进行相位比较，产生一个相位误差信号的装置。

用来由上述相位比较装置产生的上述相位误差信号，产生一个控制 VCO 的信号装置。

2、根据权利要求 1 所述的一种振荡电路，其特征在于：上述相位提取装置包括两个串联的单稳态多谐振荡器 (MMV) 和一个 D 型触发器 (DFF)，上述第一个 MMV 接受参考信号，而上述第二个 MMV 的输出输给上述 DFF 的输入端 D，而 VCO 的输出则输给上述 DFF 的时钟端 CK。

3、根据权利要求 1 所述的振荡电路，其特征在于：上述控制信号产生装置是一个低通滤波器 (LPF)。

4、根据权利要求 1 所述的振荡电路，其特征在于：上述相位提取装置包括二个 DFF，其中第一个 DFF 在输入端 D 上接收参考信号及在时钟端 CK 上接收 VCO 输出，第二个 DFF 在输入端 D 上接收参考信号及在时钟端上接收脉冲信号，这个脉冲信号的相位与 VCO 的输出相位不同，上述相位比较装置包括第三个 DFF 在时钟端 CK 上接收上述第二个 DFF 的 Q 输出，及在输入端 D 上接收上述第一个 DFF 的

Q输出，并产生上述的相位误差信号作为它的Q输出。

5、根据权利要求4所述的振荡电路，其特征在于：上述其相位与输出的相位不同的脉冲信号是通过将VCO的输出倒相产生的。

6、根据权利要求1所述的振荡电路，其特征在于：上述相位提取装置包括二个T型触发器(TFF)，上述第一个TFF在清除端CLR接收一个参考信号的倒相信号及在时钟端CK上接收VCO的输出倒相信号；上述第二个TFF在清除端CLR接收参考信号的倒相信号及在时钟端CK上接收VCO的输出，而所述相位比较装置包括一DFF在时钟端CK上接收上述第二个TFF的Q输出，而在输入端D上接收上述第一个TFF的Q输出，并产生作为其Q输出的上述相位误差信号。

7、一种振荡电路，它使用包括一个电压控制振荡器(VCO)的锁相环，该振荡器产生频率为 Nf_0 的输出(N是一个整数， f_0 是供锁相环使用的参考信号的重复频率)，其特征在于它由下列装置组成：

一个用来在参考信号的每个重复周期中把参考信号的预定相位与VCO的输出的各预定振荡相位中被提取的一个相位进行比较的装置，以便产生一个相位误差信号。上述被提取的相位是从靠近参考信号的上述预定相位的VCO输出的预定振荡相位中选取的，

一个用来根据上述相位误差信号为VCO产生控制信号的装置。

8、根据权利要求7所述的振荡电路，其特征在于：VCO输出的上述预定振荡相位是该输出的前沿。

9、根据权利要求8所述的振荡电路，其特征在于：参考信号的上述预定相位是该参考信号的前沿。

振 荡 电 路

本发明涉及一种振荡电路，特别涉及这样一种振荡电路：这种电路适用于产生一个频率稳定的输出，该频率被锁到一个频率恒定的参考信号上。

在视频信号仪器中，需要使用这样一种高频脉冲信号，该信号对一个视频信号周期（例如水平扫描周期）具有预定的相位。高频脉冲信号用作仪器的采样脉冲或时钟脉冲，以把视频信号转化成数字信号，一个包括供视频信号使用的电荷耦合器件（CCD）在内的延迟电路等等。

在先有技术中，具有压控振荡器（以下称为VCO）的锁相环（以下称PLL）已得到广泛地应用。基本上在这种迴路中，将VCO的输出作除法运算，被除法的输出与参考信号作相位比较，而VCO由一个误差信号控制，因此可以得到一个频率比参考信号还要高的稳定信号。在视频仪器中，一般以水平扫描频率（ f_H ）作为参考信号的频率，而用等于或低于 $f_H/910$ 倍的频率作为VCO的振荡频率。因为NTSC彩色电视系统的 f_H 是15,734,246赫芝，其 910 倍约为14.3兆赫。因为能够用市场上的数字电路元件在这样的频率上很好地工作，所以上述PLL电路已被使用。

然而，在上述技术中，因为必须使用除法器把VCO的输出分成参考信号的频率，所以存在一些问题。这就是说电路的规模比较大，并且在VCO中产生的噪声也会迭加到视频信号上。

本发明的目的之一是提供一个不含除法器的振荡电路。

本发明的另一个目的是，提供一个电路规模小的PLL型振荡器。

为了达到上述目的，根据本发明，振荡电路中含有以下的装置：
一个电压控制振荡装置，其振荡频率是参考信号频率的 N 倍；一个用来选择性地提取振荡输出的预定相位之一的装置，上述相位在参考信号的每个重复周期中参考信号的一个预定相位的附近；一个把振荡输出的被提取的相位与参考信号的预定相位进行比较的装置；还有一个低通滤波器（LPF），用来通过相位比较装置的输出，其中 LPF 的输出用作电压控制振荡装置的频率控制信号。

此外，根据本发明，可以使用一种有三个 D—型触发器（DFF）的数字电路，或者使用另一种包括有二个 T 型触发器（TFF）和一个 DFF 的数字电路作为提取装置和比较装置。在前一种电路中，两个 DFF 的输入端 D 接收参考信号，而两个 DFF 的时钟端 CK 分别接收电压控制振荡装置的振荡输出及其振荡输出的倒相脉冲。两个 DFF 的 Q 输出分别输给第三个 DFF 的时钟端 CK 和输入端 D。第三个 DFF 的 Q 输出加到 LPF 上以产生频率控制信号。

另外，在后一种电路中，两个 TFF 的清除（Clear）端 CLR 接收参考信号的倒相信号，而两个 TFF 的时钟端 CK 则分别接收振荡输出的倒相脉冲及该振荡输出。两个 TFF 的 Q 输出分别加到 DFF 的时钟端 CK 和输入端。DFF 的 Q 输出则输给 LPF 以产生频率控制信号。

例如，用振荡输出的前沿或后沿作为振荡输出的预定相位。而且，用参考信号的每个重复周期的前沿或后沿作为参考信号的预定相位。在这个技术领域，整数 N 大约定为几百或几十。

图 1 是本发明振荡电路的一个实施例的方框图。

图 2 A—2 C 是图 1 方框图中主要部份的波形，

图3是图1实施例电压控制振荡器6的一个例子的线路图，

图4是图1所示相位提取器8 (Phase extractor) 的一个实施例的方框图，

图5 A—5 D示出了图4方框图中主要部份的波形，

图6是图1所示相位提取器8和相位比较器3的一个实施例的方框图，

图7 A—7 G示出了图6方框图中主要部份的波形，

图8例出了图1中相位比较器3和相位提取器8的另一个实施例的线路图，

图9是图1所示相位比较器3和相位提取器8的另一个实施例的方框图，

图10 A—10 E是图9所示方框图中的主要部份的波形，

图11是本发明振荡电路的另一个实施例的方框图，

图12 A—12 I是图11所示方框图中主要部份的波形。

图1是解释本发明实质的方框图，参看图1，参考脉冲信号1和反馈信号2在相位比较器3上进行比较。相位比较器3的输出信号经低通滤波器 (L P F) 4 滤波。电压控制振荡器 (V C O) 6 由来自 L P F 4 的频率控制电压5控制。在本发明中，为了产生反馈信号2，用相位提取器8来代替先有技术中的除法器。在每个参考脉冲信号重复周期的参考脉冲信号1的前沿附近，相位提取器8提取V C O 6 的输出信号7的一个前沿。

图2 A是参考脉冲信号1的波形。T代表参考脉冲信号1的重复周期。图2 B表示V C O 6 的输出信号7。参考脉冲信号1的前沿a，V C O 6 的输出信号7的前沿b的每个重复周期均被提取，从而产生

如图 2 C 所示的反馈信号 2，该信号具有脉冲边沿 b 的相位信息。相位比较器 3 把参考脉冲信号 1 与反馈信号 2 进行比较，并提供输出信号。该信号在图 2 C 的左侧所示情况下处于高电平，而在图 2 C 右侧所示情况下处于低电平。

为了稳定 VCO 6 的振荡频率，这里需要在左侧所示的前沿 b 和右侧所示的前沿 b 之间保持一个间隔，即保持输出信号 7 的一个预定的周波数。这就是说，为了把 VCO 6 的振荡频率稳定到 $N f_0$ （ N 是一个整数， f_0 是参考脉冲信号 1 的重复频率），当左侧所示的前沿 b 编为零号时，右侧表示的前沿 b 必须成为第 N 个脉冲边沿，此外那些每一个都从低电平变到高电平并置于第零个前沿右侧的前沿依次从第一开始起算。

如下所述，上述条件将得到满足。用一个从晶体振荡器产生的稳频信号作为参考脉冲信号 1。例如，可使用从广播电台发射的水平扫描频率脉冲或从电视摄象机得到的同一类脉冲。这些脉冲的频率变化一般稳定在参考值的正负百万分之 10 到 20（ $\pm 10 \sim 20 \text{ PPM}$ ）。

此外，图 1 中的 VCO 6 可使用如图 3 所示的采用晶体振荡器 9 的晶体振荡型 VCO，参看图 3，10，11，12 和 13 分别表示倒相器，电阻，电容器和变容二极管。图 3 所示的 VCO 在这个技术领域是众所周知的。当频率控制电压 5 变大时，变容二极管 13 的电容变低，而 VCO 的输出信号 7 变高。VCO 的频率变化范围设计为 $N f_0$ 的 $\pm 60 \text{ PPM}$ 。

结果，VCO 6 的振荡频率的最大偏差低于 $\pm 100 \text{ PPM}$ 。即，如果参考脉冲信号 1 的频率定为水平扫描频率 f_H ，而 VCO 的频率置于 $910 \times f_H$ ，即在 NTSC 电视系统中大约为 14.3 兆赫时，

则参考脉冲信号的每个周期中 VCO 的脉冲数是 910 ± 0.091 。因此，上述条件得到满足。

图4是相位提取器8的一个实施例的方框图。图5A—5D是其
主要部份的波形。

参考图4，标号15和16表示单稳态多谐振荡器(MMV)，18是D型触发器(DFF)。图5C所示的脉冲17由MMV16产生。脉冲17的脉冲宽度要比输出信号7的一个周期窄，并包括参考脉冲信号7的前沿的一个记时。

当脉冲17输到DFF18的输入端D，而输出信号7加到时钟端CK上时，DFF18产生脉冲2，该脉冲的相位在输出端Q上与参考脉冲信号7的前沿重合。

因为脉冲17的脉冲宽度选得比输出信号7的周期窄，所以在每一个参考脉冲信号的重复周期中仅有一个前沿被提取。在电源接通后的一个瞬间，可能检测不到信号7的前沿，或许检测到的是预定数的 ± 1 的前沿。然而对于前一种情况，如果使用数字式相位比较器作为相位比较器3，则有可能产生这样的控制电压5，使得在没有反馈信号2的情况下振荡频率较高。还有，如果选择(如电容器12的电容等) VCO 6的参数，使得20VCO6的输出信号7具有预定的频率，而该频率几乎位于控制电压5的最大值和最小值之间的中心值上的话，则不可能在DFF18的输出端Q上保持没有脉冲的状态。

对于后一种情况，因为在参考脉冲信号1的每个重复周期中输出信号7的相位偏离都很小，所以可在静态下选择性地提取输出信号7的预定编号的前沿。

在图4所示的实施例中，需要使用MMV15和MMV16，它

们所产生脉冲的相位在环境条件——如电源电压或环境温度改变等情况下是稳定的。

其次，按照图 6 和图 7 A—7 E 来解释另一个不需要使用这种高度稳定的 MMV 的实施例。参考图 6，标号 19、20 和 24 表示 DFF。参考脉冲信号 1 输给 DFF 19 和 20 的输入端 D，VCO 6 的输出信号加到 DFF 19 的时钟端 CK，而来自倒相器 21 的倒相脉冲提供给 DFF 20 的时钟端 CK。

在这种情况下，响应于参考脉冲信号 1 的前沿 a 和输出信号 7 的前沿 b 之间的相位关系，DFF 19 的 Q 输出 23 与 DFF 20 的 Q 输出 22 之间的相位关系发生变化。图 7 C 和 7 D 分别示出了 Q 输出 22 和 23。Q 输出 22 供给 DFF 24 的时钟端 CK，而 Q 输出 23 供给 DFF 24 的输入端 D。结果，作为相位误差信号的 DFF 24 的 Q 输出 25 在前沿 b 超过前沿 a 时变成低电平，如图 7 A 和 7 B 的左侧所示；而当前沿 b 滞后于前沿 a 时，DFF 24 的 Q 输出 25 变成高电平，如图 7 A 和 7 B 的右侧所示。图 7 E 表示了 Q 输出 25 的波形。当 Q 输出 25 输给 LPF 4 时，控制电压 5 在前一种情况下减少而在后一种情况下则增加。因此，响应于控制电压 5，VCO 6 产生具有预定频率的输出信号 7，因而有可能使输出信号 7 被锁相到参考脉冲信号 1。

例如，如果 VCO 6 输出信号 7 在控制电压 5 的最大值的 70% 电平处具有与参考脉冲信号 1 频率的预定关系，则 Q 输出 25 的低电平周期和高电平周期之比为 3:7。因为输出信号 7 相对于参考脉冲信号 1 的相位偏差很小，所以前沿 b 几乎与前沿 a 重合。

正如从上述解释所看到的，根据图 6 所示的实施例，输出信号 7

的前沿b被选择提取，并与参考脉冲信号的每个重复周期中的参考脉冲信号1的前沿a进行相位比较，从而得到作为相位误差信号的Q输出25。

图8表示本发明的另一个实施例，它由装有倒相器26和27，与非门(NAND)28和与门(AND)29，P—通道MOS晶体管30和N—通道MOS晶体管31的电路来代替图6中的DFF 24，以便产生相位误差信号25'。图7F和7G分别示出NAND门28的输出32及AND门29的输出33的波形。P—通道的MOS晶体管30在输出32的低电平上导通，以传送一个高电压34作为相位误差信号25'，并在输出32的高电平处关闭。与此相反，N—通道MOS晶体管31在输出33的高电平处导通，以传送一个低电压，例如，图8中的地电平，N—通道MOS晶体管31在输出33的低电平时关闭。因此，当相位误差信号传输给图1中的LPF4时，可得到和图6的实施例一样的控制电压5。

图9表示本发明的另一个实施例，其中以一般的T型触发器(TFF)35和36来替代图6的DFF 19和20。参考TFF 35和36，CK端的圆圈表示TFF 35和36工作在输入信号的后沿，而在它的清除端(CLR)上的圆圈则表示TFF 35和36停止在参考脉冲信号1的低电平上。图10A到10E表示图9所示电路主要部份的波形图。图10A的参考脉冲信号1输给CLR端。VCO6的输出信号7及其倒相信号则分别送给TFF 36和35的CK端。当输出信号7的前沿b如图10B左侧所示超前于参考脉冲信号1的前沿a时，TFF 35的Q输出37如图10C和10D的右侧所示超前于TFF 36的Q输出38。与此相反，当如图10B

右侧所示前沿 b 跟随前沿 a 时, T F F 3 6 的 Q 输出 3 8 如图 1 0 C 和 1 0 D 右侧所示将超前于 T F F 3 5 的 Q 输出 3 7。因此, 结果是如图 1 0 E 所示那样可以在 D F F 2 4 的 Q 输出端产生一个与该实施例同样的相位误差信号。

顺便指出, 在图 9 所示的实施例中, T F F 3 5 和 3 6 产生的脉冲是一些将 V C O 6 的输出信号 7 用 2 除的脉冲。例如, 当输出信号 7 的频率是 1 4 3 兆赫时, 则被 2 除的脉冲的频率约为 7 1 6 兆赫。因此, 在涉及 N T S C 电视信号的仪器中 (它的频带是 4 兆赫左右), 即使来自 T F F 3 5 和 3 6 的噪声迭加在电视信号上, 该噪声也可用加在视频信号电路中的 L P F 等来消除。

还有, 在这个技术领域, 很容易制做出这样的电路: 只将参考脉冲信号 1 的前沿 a 之后的 Q 输出 3 7 和 3 8 的第一批脉冲输给 D F F 2 4, 而不传送 Q 输出 3 7 和 3 8 的其它脉冲。

此外, 可以用具有适当延迟时间的脉冲延迟电路来代替倒相器 2 1, 因为需要使向图 6 和图 8 中的 D F F 2 0 的 C K 端及图 9 中的 T F F 3 5 提供的时钟脉冲具有与输出信号 7 不同的相位。

图 1 1 表明了本发明的另一类实施例, 这里不用信号 7, 而用输出信号 7 进行除法运算后得到的脉冲 4 5 来作为相位提取器 8 的输入脉冲。在图 1 1 中, 脉冲 4 5 是通过用 3 去除输出信号 7 得到的。图 1 2 A 到 1 2 I 是图 1 1 中所示电路的主要部份的波形。

有一种固体成象器件, 其时钟脉冲频率为水平扫描频率 f_H 的 $910/3$ 倍, 即约为 4.8 兆赫, 例如日立公司生产的一种使用固体成象器件 H E 9 8, 2 5 5 的固体成象传感器, 图 1 1 所示的实施例适用于这种器件。

输出信号 7 由用 3 除的除法器 3 9 作除法运算, 产生三个相位脉冲 4 1 1, 4 1 2 和 4 1 3 (如图 1 2 C, 1 2 D 和 1 2 E 所示), 它们的相位偏差是输出信号 7 的一个周期。此外, 参考脉冲信号 1 也由用 3 除的除法器 4 0 进行除法运算, 由此产生由图 1 2 F, 1 2 G 和 1 2 H 所示的三个相位脉冲 4 2 1, 4 2 2 和 4 2 3。在这个技术领域, 运用数字电路技术来制作用 3 除的除法器 3 9 和 4 0 是众所周知的事。AND 门 4 3 和或 (OR) 门 4 4 根据三个相位脉冲 4 1 1, 4 1 2 和 4 1 3 产生如图 1 2 I 所示的脉冲 4 5。脉冲 4 5 是依次选取的三个相位脉冲 4 1 1, 4 1 2 和 4 1 3 中的一个。在这种结构中, 可能在参考信号的每个重复周期中获得输出信号 7 的预定脉冲的前沿 b。因此, 当脉冲 4 5 被用来代替图 4、6、8、9 电路中的输出信号 7 时, 有可能在参考脉冲信号 1 的每个重复周期中选取输出脉冲 7 的前沿 b, 以便将它与参考脉冲信号的前沿 a 进行比较。

在这个实施例中, 因为用 3 除的除法器 3 9 和 4 0, AND 门 4 3 和 OR 门 4 4 都与用来产生频率为 f_H 的 $910/3$ 倍的时钟脉冲电路共用, 所以可减小整个电路的规模。

正如前面所详细叙述的那样, 根据本发明, 当具有频率为 f_0 的参考信号与通过 PLL 电路由 VCO 产生的频率为 $N f_0$ 的输出信号锁相时, 则不需使用把 VCO 的输出信号除以 N (例如几百) 的除法器, 因此有可能减小整个电路的规模并防止可能由除法器产生的噪声的影响。

图 1

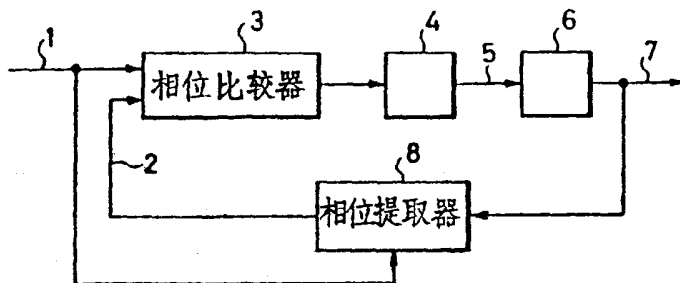


图 2 A

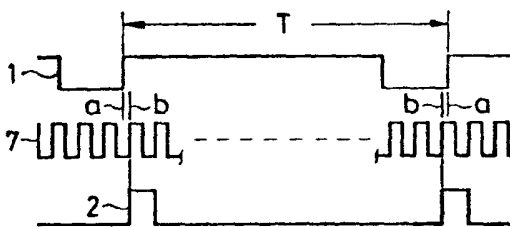


图 2 B

图 2 C

图 3

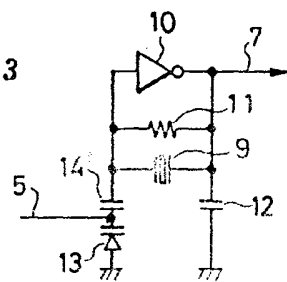


图 4

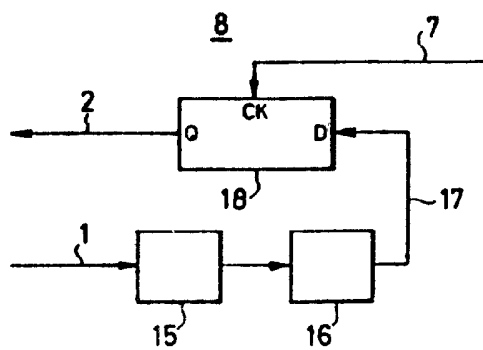


图 5 A

图 5 B

图 5 C

图 5 D

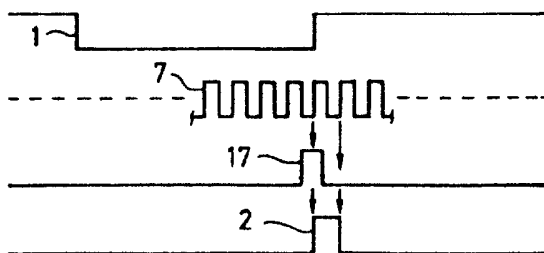


图 6

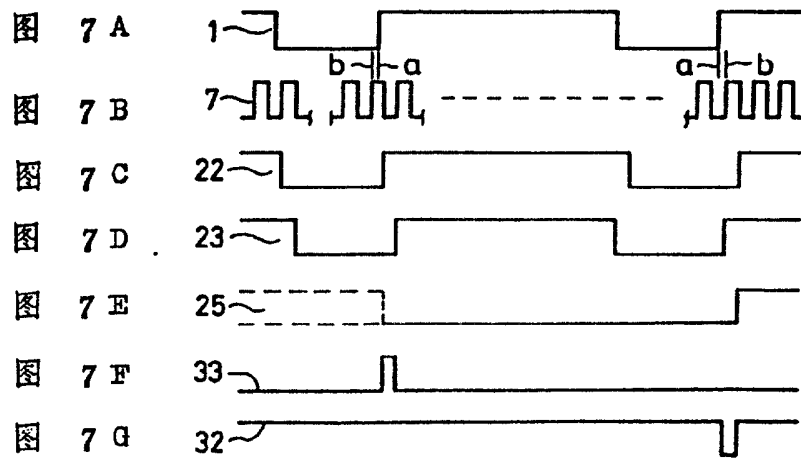
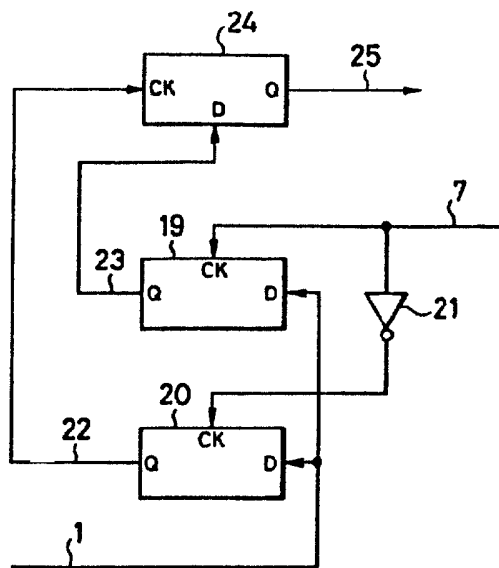


图 8

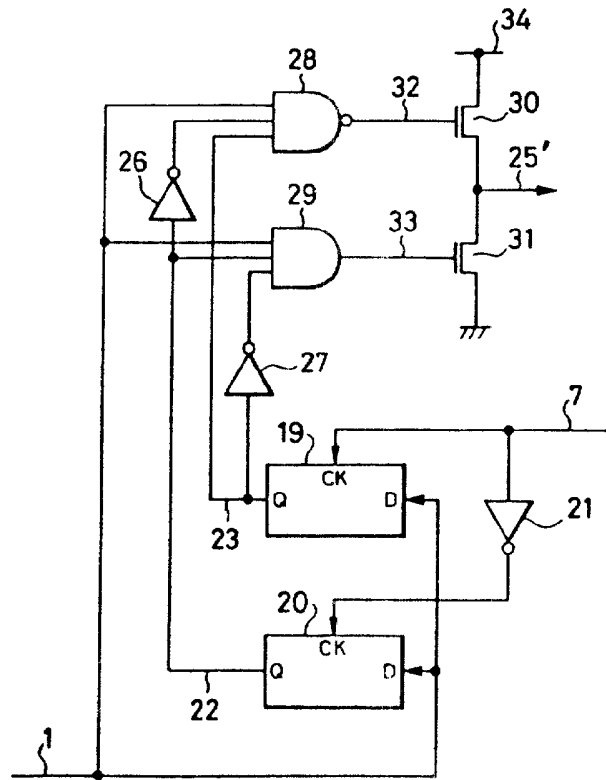


图 9

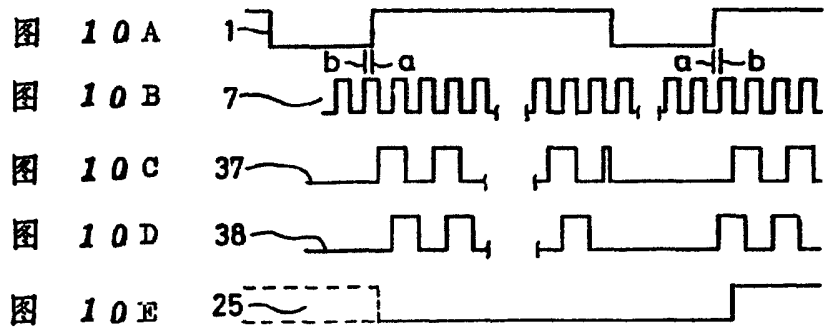
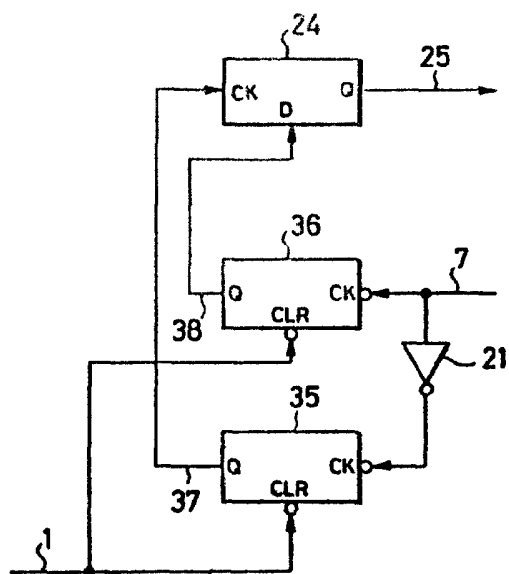


图 1 1

