



Wirtschaftspatent

Erteilt gemäÙ § 17 Absatz 1 Patentgesetz

ISSN 0433-6461

(11)

213 791

Int.Cl.³

3(51)

H 01 L 23/48

H 01 L 23/14

H 01 L 21/60

AMT FUER ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 01 L/ 2481 924

(22) 23.02.83

(44) 19.09.84

(71) INSTITUT FUER REGELUNGSTECHNIK, BERLIN, DD

(72) EGLINSKI, LOTHAR, DR. DIPL.-PHYS.; HEEG, KARL-HEINZ, DIPL.-ING.; DD;

(54) **VERBUNDELEKTRODE ZUR KONTAKTIERUNG AKTIVER HALBLEITERELEMENTE**

(57) Verbundelektrode zur Kontaktierung aktiver Halbleiterelemente, die durch eine thermische Wechsellast beansprucht sind. Die Erfindung bezweckt, durch Verwendung eines Anpassungsmetalls bei Druckkontaktierung eine Minimierung der bei Temperaturänderungen zwischen Elektrode und Halbleiter auftretenden Reibungen bei Einhaltung eines stabilen thermischen und elektrischen Übergangswiderstandes zu erreichen sowie bei der Lötkontaktierung mechanische Spannungen und Wechselbeanspruchungen zu vermeiden. ErfindungsgemäÙ geschieht dies dadurch, daÙ ein vorzugsweise aus Wolfram oder Molybdän bestehendes Trägermetall in an sich bekannter Weise mit einem vorzugsweise aus Kupfer bestehenden Anpassungsmetall mit in Abhängigkeit von der Größe und physikalischen Beschaffenheit des Trägermetalls definierter Dicke stoffschlüssig verbunden ist. Angewendet wird die Erfindung insbesondere zur Kontaktierung von Chips bei Halbleiterleistungselementen.
Fig.3

Erfinder: Dr. Lothar Eglinski
Dipl.-Ing. Karl-Heinz Heeg

Berlin, 1.02.1983
P 1330

- 1 -

Zustellungsbevollm.:

Institut für Regelungstechnik im
Kombinat VEB EAW Berlin-Treptow
"Friedrich Ebert"
1055 Berlin, Storkower Str. 101
Büro für Schutzrechte

Verbundelektrode zur Kontaktierung aktiver Halbleiterelemente

H 01 L 23/36

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Verbundelektrode zur Kontaktierung aktiver Halbleiterelemente, die durch eine thermische Wechsel- last beansprucht sind, insbesondere zur Kontaktierung von Chips bei Halbleiterleistungselementen.

Charakteristik der bekannten technischen Lösungen

Bei Gleichrichterbauelementen mit Silizium-Chips eines Durch- messers ≥ 8 mm ist es allgemein üblich, diese nicht unmittel- bar, sondern unter Einfügung von Spannungsentlastungsscheiben aus Wolfram oder Molybdän mit den Kupferelektroden zu kontak- tieren. Da diese Metalle einen thermischen Ausdehnungskoeffizi- enten aufweisen, der dem des Siliziums näher kommt als der von Kupfer, werden die bei thermischer Wechsellast in durch Löt- technik kontaktierten Silizium-Chips auftretenden thermomecha- nischen Spannungen bzw. wird die an der Oberfläche druckkontak- tierter Chips auftretende Reibung verringert. Wird zur Kontak- tierung der Silizium-Chips mit den Wolfram- oder Molybdän-Ent- lastungsscheiben die Hartlöttechnologie angewendet, kann es bei Abkühlung der verlöteten Struktur trotz des relativ geringen

- 2 -

23 FEB 1983*071163

Unterschiedes der thermischen Ausdehnungskoeffizienten von Silizium und Wolfram bzw. Molybdän zur Ausbildung mechanischer Spannungen kommen, die zu einer Zerstörung des Siliziums führen.

In der DE-OS 25 34 938 wird eine Silizium-Halbleiteranordnung mit spannungsfreien Elektroden dadurch erreicht, daß zur Kontaktierung des Halbleiterchips eine oder mehrere Silizium-Elektroden mit durchgehenden Dotierungskonzentrationen $> 10^{19}$ Atome/cm³, vorzugsweise $> 10^{20}$ Atome/cm³, verwendet werden.

Die entarteten Silizium-Elektroden werden am aktiven Halbleiterelement über eine Lotschicht befestigt, die durch Legieren mit Lotmaterial, ausgewählt aus einer Gruppe, bestehend aus Aluminium, Aluminium-Germanium-Legierung, Aluminium-Silizium-Legierung und Germanium mit einer durchgehenden Dotierung $> 10^{19}$ Atome je Kubikzentimeter mit dem Silizium-Körper an wenigstens einer Hauptoberfläche gebildet wird.

Da jedoch auch ein bis zur Entartung dotierter Halbleiter einen wesentlich größeren spezifischen Widerstand aufweist als ein Metall, ist bei der Realisierung von Bauelementen mit derartig kontaktierten aktiven Halbleiterelementen zu berücksichtigen, daß neben der im aktiven Chip umgesetzten Verlustleistung auch an den entarteten Silizium-Elektroden Wärme freigesetzt wird, was sich besonders bei Leistungsbaulementen wegen des erforderlichen größeren Kühlaufwandes nachteilig auswirkt.

Außerdem sind für diese Anordnung bei der Kontaktierung der entarteten Silizium-Elektroden mit den Stromzuführungen, die allgemein aus Kupfer bestehen, die hinreichend bekannten Nachteile der direkten Kontaktierung zwischen Kupfer und Silizium zu berücksichtigen:

Infolge des relativ großen Unterschiedes der thermischen Ausdehnungskoeffizienten von Kupfer und Silizium kommt es bei thermischer Wechsellast zu Ermüdungserscheinungen in der Kontaktschicht zwischen Kupfer und Silizium und/oder zu mechanischen Spannungen im Silizium, wodurch die Bauelementezuverlässigkeit negativ beeinflusst wird.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, bei Lötkontaktierung eine Verminderung der mechanischen Spannungen im Halbleitermaterial und der mechanischen Wechselbeanspruchungen der Löttschicht bei Temperaturänderung zu erreichen, ein günstiges thermisches Verhalten bei Auftreten von Leistungsspitzen durch die hohe Wärmeeindringzahl von Kupfer zu realisieren sowie bei Einsatz der Druckkontaktierung die Zuverlässigkeit zu erhöhen.

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung besteht darin, eine Verbundelektrode zur Kontaktierung von aktiven Halbleiterbauelementen zu entwickeln, bei der durch Verwendung eines Anpassungsmetalls bei Druckkontaktierung eine Minimierung der bei Temperaturänderungen zwischen Elektrode und Halbleiter auftretende Reibungen bei Einhaltung eines stabilen thermischen und elektrischen Übergangswiderstandes ermöglicht sowie bei Lötkontaktierung mechanische Spannungen und Wechselbeanspruchungen vermieden werden.

Erfindungsgemäß wird dies dadurch erreicht, daß eine Verbundelektrode zur Kontaktierung aktiver Halbleiterelemente unter Verwendung eines mit einem Anpassungsmetall versehenen Trägermetalls eingesetzt wird. Das vorzugsweise aus Wolfram oder Molybdän bestehende, einen geringeren Ausdehnungskoeffizienten als das zu kontaktierende Halbleitermaterial sowie eine hohe Festigkeit aufweisende Trägermetall ist in an sich bekannter Weise stoffschlüssig mit einem Anpassungsmetall mit in Abhängigkeit von der Größe und der physikalischen Beschaffenheit des Trägermetalls definierter Dicke verbunden. Das eine niedrige mechanische Festigkeit und einen größeren thermischen Ausdehnungskoeffizienten als das Halbleitermaterial aufweisende Anpassungsmaterial besteht vorzugsweise aus Kupfer und wird in seinem thermisch bedingten Ausdehnungsverhalten derart beeinflusst, daß es an seiner dem Halbleiterchip zugewandten Seite diesem in seinem Ausdehnungsverhalten weitgehend gleicht. Bei

fertigungstechnologisch und betriebstechnisch bedingter thermischer Wechselbeanspruchung kommt es dadurch in dem mit dem Anpassungsmetall zu einen durch Löttechnik verbundenen Halbleiter nur zur Ausbildung minimaler mechanischer Spannungen und zum anderen an der Oberfläche des mit ihm mittels Druckkontakttechnik kontaktierten Halbleiters nur zu vernachlässigbarer Reibung.

Ausführungsbeispiel

Die Erfindung soll anhand eines Ausführungsbeispiels näher erläutert werden. Die dazugehörige Zeichnung zeigt:

- Fig. 1: beide Teile der Verbundelektrode und Halbleiterchip unkontaktiert bei Raumtemperatur
- Fig. 2: beide Teile der Verbundelektrode und Halbleiterchip unkontaktiert bei erhöhter Temperatur
- Fig. 3: Verbundelektrode und Halbleiterchip bei erhöhter Temperatur

Fig. 1 zeigt die beiden Bestandteile der Verbundelektrode, das Trägermetall 1 - z. B. Wolfram oder Molybdän - sowie das Anpassungsmetall 2 - z. B. Kupfer - und den Silizium-Halbleiterchip 3 - im Ausgangszustand bei Raumtemperatur. Wie in Fig. 2 zu erkennen ist, dehnen sich die beiden Bestandteile der Verbundelektrode 1, 2 und der Halbleiterchip 3 bei Erwärmung prozentual unterschiedlich aus. Analog würden sich unterschiedliche prozentuale Geometrieänderungen bei Abkühlung ergeben. Werden das Trägermetall 1 und der Halbleiterchip 3 durch Löten direkt kontaktiert, so entstehen im Halbleiterchip 3 nach Abkühlung auf Raumtemperatur Zugspannungen, die zu seiner Zerstörung führen können. Durch eine zweckmäßige Festlegung der Dicke des Anpassungsmetall 2, das mit dem Trägermetall 1 in an sich bekannter Weise, beispielsweise durch einen Hartlötprozeß, stoffschlüssig verbunden ist, wird gemäß Fig. 3, dessen Ausdehnungsverhalten an der dem Halbleiterchip 3 zugewandten Seite dem Ausdehnungsverhalten des Halbleitermaterials angeglichen. Dadurch werden mechanische Spannungen im Halbleitermaterial, die zu dessen Zerstörung führen können, vermieden.

Erfindungsanspruch

Verbundelektrode zur Kontaktierung aktiver Halbleiterelemente, gekennzeichnet dadurch, daß ein vorzugsweise aus Wolfram oder Molybdän bestehendes Trägermetall (1) in an sich bekannter Weise mit einem vorzugsweise aus Kupfer bestehenden Anpassungsmetall (2) mit in Abhängigkeit von der Größe und physikalischen Beschaffenheit des Trägermetalls (1) definierter Dicke stoffschlüssig verbunden ist.

Hierzu 1 Seite Zeichnung.

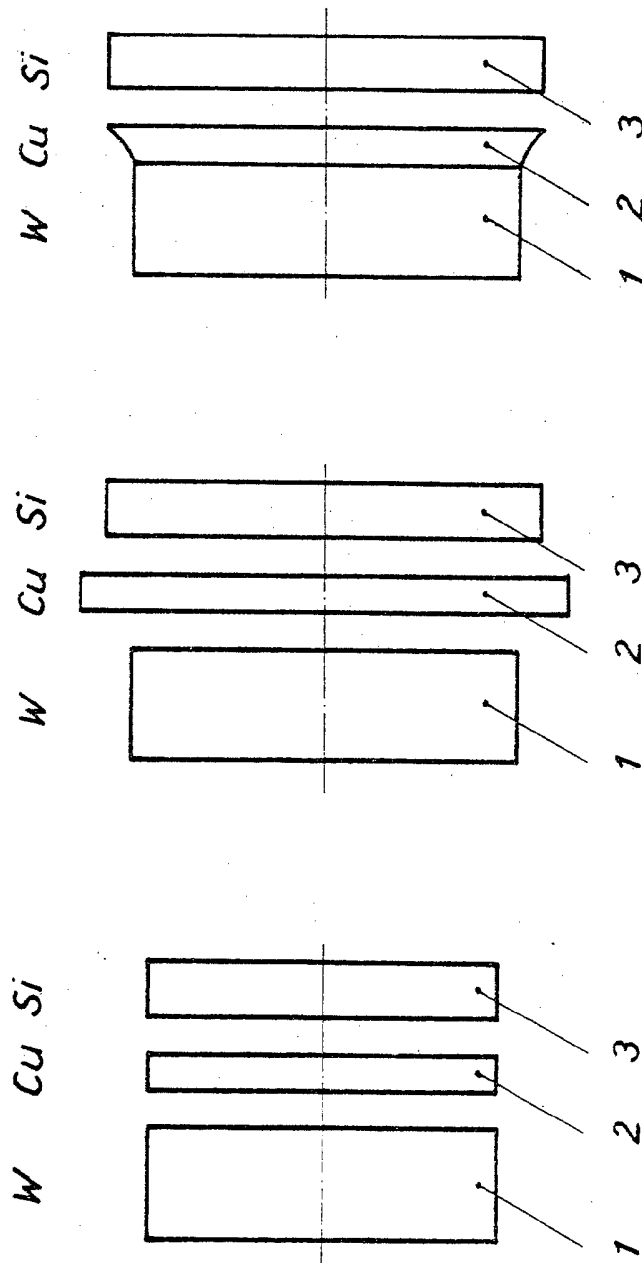


Fig. 1

Fig. 2

Fig. 3