

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7576207号  
(P7576207)

(45)発行日 令和6年10月30日(2024.10.30)

(24)登録日 令和6年10月22日(2024.10.22)

(51)国際特許分類

F I

H 0 1 L	21/338 (2006.01)	H 0 1 L	29/80	E
H 0 1 L	29/812 (2006.01)	H 0 1 L	29/80	H
H 0 1 L	29/778 (2006.01)	H 0 1 L	29/80	F
H 0 1 L	21/822 (2006.01)	H 0 1 L	29/80	L
H 0 1 L	27/04 (2006.01)	H 0 1 L	27/04	P

請求項の数 18 (全40頁)

(21)出願番号	特願2024-507629(P2024-507629)	(73)特許権者	520133916 ヌヴォンテクノロジージャパン株式会社 京都府長岡京市神足焼町1番地
(86)(22)出願日	令和5年2月17日(2023.2.17)	(74)代理人	100109210 弁理士 新居 広守
(86)国際出願番号	PCT/JP2023/005728	(74)代理人	100137235 弁理士 寺谷 英作
(87)国際公開番号	WO2023/176312	(74)代理人	100131417 弁理士 道坂 伸一
(87)国際公開日	令和5年9月21日(2023.9.21)	(72)発明者	西尾 明彦 日本国富山県魚津市東山800番地 ア ットフィールズテクノロジー株式会社社内
審査請求日	令和6年6月20日(2024.6.20)	(72)発明者	土居 寛之 日本国富山県魚津市東山800番地 ア 最終頁に続く
(31)優先権主張番号	特願2022-44441(P2022-44441)		
(32)優先日	令和4年3月18日(2022.3.18)		
(33)優先権主張国・地域又は機関	日本国(JP)		
早期審査対象出願			

(54)【発明の名称】 電力増幅用半導体装置

(57)【特許請求の範囲】

【請求項1】

基板と、

前記基板上に設けられた第1窒化物半導体層と、

前記第1窒化物半導体層上に設けられ、前記第1窒化物半導体層と比べてバンドギャップが大きい第2窒化物半導体層と、

前記第1窒化物半導体層と前記第2窒化物半導体層との界面の前記第1窒化物半導体層側に設けられた二次元電子ガス層と、

前記第1窒化物半導体層の上方に間隔を空けて設けられ、それぞれが前記二次元電子ガス層に電氣的に接続されたソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極と間隔を空けて設けられ、前記第2窒化物半導体層に接触するゲート電極と、

前記ソース電極と同電位であり、前記ゲート電極と前記ドレイン電極との間に前記ドレイン電極側の端部を有するフィールドプレートを備え、

前記基板の平面視で、前記基板は、前記二次元電子ガス層がある活性領域と、前記二次元電子ガス層がない非活性領域とに区分され、

前記活性領域に、

前記ソース電極、前記ドレイン電極および前記ゲート電極を含む高電子移動度トランジスタと、

前記第2窒化物半導体層の上方に設けられた温度検知用の抵抗体と、を有し、

10

20

前記非活性領域に、  
前記ドレイン電極または前記ゲート電極に接続された第 1 端子パッドと、  
前記抵抗体に接続された第 2 端子パッドと、を有する  
電力増幅用半導体装置。

【請求項 2】

前記平面視において、前記抵抗体の長辺方向は、前記ゲート電極の延在方向である第 1 方向である

請求項 1 に記載の電力増幅用半導体装置。

【請求項 3】

前記フィールドプレートを前記第 2 窒化物半導体層の上方に備え、

前記抵抗体の全体は、前記基板の断面視で、前記ゲート電極の前記ドレイン電極側の端部の最下点と前記フィールドプレートの前記ドレイン電極側の端部の最下点とを通る仮想直線より前記ゲート電極側に配置され、

前記抵抗体の前記ソース電極側の端部は、前記ソース電極の前記ドレイン電極側の端部より前記ドレイン電極側に配置されている

請求項 2 に記載の電力増幅用半導体装置。

【請求項 4】

前記平面視における前記第 1 方向と直交する第 2 方向において、前記抵抗体の前記ドレイン電極側の端部は、前記フィールドプレートの前記ドレイン電極側の端部より前記ソース電極側に配置されている

請求項 2 または 3 に記載の電力増幅用半導体装置。

【請求項 5】

前記平面視における前記第 1 方向と直交する第 2 方向において、前記抵抗体の前記ソース電極側の端部は、前記フィールドプレートの前記ソース電極側の端部より前記ドレイン電極側に配置されている

請求項 2 または 3 に記載の電力増幅用半導体装置。

【請求項 6】

前記平面視において、前記第 1 方向と直交する第 2 方向における前記活性領域の長さを  $L_1$  とすると、

前記第 2 方向において、前記抵抗体は前記活性領域の中心から  $L_1 / 8$  以内の範囲に配置されている

請求項 2 または 3 に記載の電力増幅用半導体装置。

【請求項 7】

前記抵抗体は、第 1 抵抗体と第 2 抵抗体とを含み、

前記平面視での前記第 2 方向において、前記第 1 抵抗体は前記活性領域の中心から  $L_1 / 8$  以内の範囲に配置され、かつ、前記第 2 抵抗体は前記中心から  $L_1 / 8$  より外側の範囲に配置されている

請求項 6 に記載の電力増幅用半導体装置。

【請求項 8】

前記平面視において、前記活性領域の前記第 1 方向の長さを  $L_2$  とすると、

前記抵抗体は、前記第 1 方向の長さが  $L_2 / 2$  未満である、

請求項 2 または 3 に記載の電力増幅用半導体装置。

【請求項 9】

前記平面視での前記第 1 方向において、前記抵抗体は前記活性領域の中心から  $L_2 / 4$  以内の範囲に配置されている

請求項 8 に記載の電力増幅用半導体装置。

【請求項 10】

前記抵抗体は、第 1 抵抗体と第 2 抵抗体とを含み、

前記平面視での前記第 1 方向において、前記第 1 抵抗体は前記活性領域の中心から  $L_2 / 4$  以内の範囲に配置され、かつ、前記第 2 抵抗体は前記中心から  $L_2 / 4$  より外側の範

10

20

30

40

50

囲に配置されている

請求項 9 に記載の電力増幅用半導体装置。

【請求項 1 1】

前記平面視において、前記活性領域の前記第 1 方向の長さを  $L_2$  とすると、

前記抵抗体は、前記第 1 方向の長さが  $L_2 / 2$  以上である

請求項 2 または 3 に記載の電力増幅用半導体装置。

【請求項 1 2】

前記抵抗体は、前記第 1 方向の長さが  $L_2$  以上であり、前記非活性領域まで配置されている

請求項 1 1 に記載の電力増幅用半導体装置。

10

【請求項 1 3】

前記平面視において、前記抵抗体の長辺方向は、前記ゲート電極の延在方向である第 1 方向と直交する第 2 方向である

請求項 1 に記載の電力増幅用半導体装置。

【請求項 1 4】

前記平面視において、前記第 1 方向の前記活性領域の長さを  $L_2$  とすると、

前記平面視での前記第 1 方向において、前記抵抗体は前記活性領域の中心から  $L_2 / 4$  以内の範囲に配置されている

請求項 1 3 に記載の電力増幅用半導体装置。

【請求項 1 5】

20

前記抵抗体は、第 1 抵抗体と第 2 抵抗体とを含み、

前記平面視での前記第 1 方向において、前記第 1 抵抗体は前記活性領域の中心から  $L_2 / 4$  以内の範囲に配置され、かつ、前記第 2 抵抗体は前記中心から  $L_2 / 4$  より外側の範囲に配置されている

請求項 1 4 に記載の電力増幅用半導体装置。

【請求項 1 6】

前記抵抗体は、複数設けられている

請求項 1 から 3、1 3 から 1 5 のいずれか 1 項に記載の電力増幅用半導体装置。

【請求項 1 7】

前記平面視において、

前記第 1 端子パッドは、前記ゲート電極の延在方向において、前記活性領域と並ぶ前記非活性領域に配置され、

前記第 2 端子パッドは、前記延在方向と直交方向において、前記活性領域と並ぶ前記非活性領域に配置されている

請求項 1 から 3、1 3 から 1 5 のいずれか 1 項に記載の電力増幅用半導体装置。

30

【請求項 1 8】

前記抵抗体の一端は、前記ソース電極と同電位である

請求項 1 から 3、1 3 から 1 5 のいずれか 1 項に記載の電力増幅用半導体装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本開示は、電力増幅用半導体装置に関する。

【背景技術】

【0002】

III-V 族系半導体、特にヒ素系の GaAs もしくは AlGaAs、または、窒化物系の GaN もしくは AlGaN は、AlGaAs / GaAs、AlGaN / GaN 等のヘテロ構造を容易に形成することが可能である。III 族窒化物半導体の場合は、バンドギャップの差に加えて、イオン半径の違いによる自発分極または AlGaN と GaN との格子定数差から発生するピエゾ分極による固定電荷により、AlGaAs / GaAs の GaAs 側、AlGaN / GaN 界面の GaN 層側に高移動度、かつ高濃度な電子のチャネル

50

(二次元電子ガス：2DEG(Dimensional Electron Gas))を発生させることができる。この二次元電子ガスをチャネルとして制御することにより高電子移動度トランジスタ(HEMT:High Electron Mobility Transistor)を形成することが可能となる。この高移動度による高速動作を活かし、増幅アンプやスイッチング素子といった高周波用デバイスとしての応用が広がっている。

【0003】

近年は、特に携帯電話用基地局向けに高周波増幅用アンプとしての実用化が進んでおり、携帯電話の通信世代の進化とともに、さらなる動作周波数の上昇および出力電力の向上が期待されている。動作周波数の上昇または出力電力の向上は、高周波増幅用アンプとして用いられるデバイス(例えば、トランジスタ)自身から発生する熱量の増加につながる。

10

【0004】

特許文献1には、トランジスタのわきに温度センサが取り付けられた半導体装置が開示されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開昭63-299264号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

20

ところで、動作中のトランジスタ温度を応答性良く検知し、トランジスタ自身から発生する熱量を制御することが求められている。しかしながら、特許文献1に記載の従来技術では、応答性良く温度検知を行うことが困難である。

【0007】

そこで、本開示は、トランジスタの温度を応答性良く検知することができる電力増幅用半導体装置(高周波増幅用半導体装置)を提供する。

【課題を解決するための手段】

【0008】

本開示の一態様に係る電力増幅用半導体装置は、基板と、前記基板上に設けられた第1室化物半導体層と、前記第1室化物半導体層上に設けられ、前記第1室化物半導体層と比べてバンドギャップが大きい第2室化物半導体層と、前記第1室化物半導体層と前記第2室化物半導体層との界面の前記第1室化物半導体層側に設けられた二次元電子ガス層と、前記第1室化物半導体層の上方に間隔を空けて設けられ、それぞれが前記二次元電子ガス層に電氣的に接続されたソース電極およびドレイン電極と、前記ソース電極および前記ドレイン電極と間隔を空けて設けられ、前記第2室化物半導体層に接触するゲート電極と、を備え、前記基板の平面視で、前記基板は、前記二次元電子ガス層がある活性領域と、前記二次元電子ガス層がない非活性領域とに区分され、前記活性領域に、前記ソース電極、前記ドレイン電極および前記ゲート電極を含む高電子移動度トランジスタと、前記第2室化物半導体層の上方に設けられた温度検知用の抵抗体と、を有し、前記非活性領域に、前記ドレイン電極または前記ゲート電極に接続された第1端子パッドと、前記抵抗体に接続された第2端子パッドと、を有する。

30

40

【発明の効果】

【0009】

本開示の一態様に係る電力増幅用半導体装置によれば、トランジスタの温度を応答性良く検知することができる。

【図面の簡単な説明】

【0010】

【図1】図1は、実施の形態1に係る高周波増幅用半導体装置の構成を示す平面図である。

【図2A】図2Aは、図1のIIa-IIa線における、高周波増幅用半導体装置の構成を示す断面図である。

50

【図 2 B】図 2 B は、図 1 の I I b - I I b 線における、高周波増幅用半導体装置の構成を示す断面図である。

【図 3 A】図 3 A は、実施の形態 1 の変形例 1 に係る高周波増幅用半導体装置の構成の第 1 例を示す平面図である。

【図 3 B】図 3 B は、実施の形態 1 の変形例 1 に係る高周波増幅用半導体装置の構成の第 2 例を示す平面図である。

【図 4 A】図 4 A は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置における抵抗体を配置可能な範囲を示す断面図である。

【図 4 B】図 4 B は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の第 1 例を示す断面図である。

10

【図 4 C】図 4 C は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の第 2 例を示す断面図である。

【図 4 D】図 4 D は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の第 3 例を示す断面図である。

【図 4 E】図 4 E は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の第 4 例を示す断面図である。

【図 4 F】図 4 F は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の第 5 例を示す断面図である。

【図 4 G】図 4 G は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の第 6 例を示す断面図である。

20

【図 4 H】図 4 H は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の第 7 例を示す断面図である。

【図 4 I】図 4 I は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の第 8 例を示す断面図である。

【図 4 J】図 4 J は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の第 9 例を示す断面図である。

【図 5】図 5 は、実施の形態 1 の変形例 3 に係る高周波増幅用半導体装置の構成を示す平面図である。

【図 6 A】図 6 A は、実施の形態 1 の変形例 4 に係る高周波増幅用半導体装置の構成の第 1 例を示す平面図である。

30

【図 6 B】図 6 B は、実施の形態 1 の変形例 4 に係る高周波増幅用半導体装置の構成の第 2 例を示す平面図である。

【図 6 C】図 6 C は、実施の形態 1 の変形例 4 に係る高周波増幅用半導体装置の構成の第 3 例を示す平面図である。

【図 7 A】図 7 A は、実施の形態 1 の変形例 5 に係る高周波増幅用半導体装置の構成の第 1 例を示す平面図である。

【図 7 B】図 7 B は、実施の形態 1 の変形例 5 に係る高周波増幅用半導体装置の構成の第 2 例を示す平面図である。

【図 7 C】図 7 C は、実施の形態 1 の変形例 5 に係る高周波増幅用半導体装置の構成の第 3 例を示す平面図である。

40

【図 8 A】図 8 A は、実施の形態 1 の変形例 6 に係る高周波増幅用半導体装置の構成の第 1 例を示す平面図である。

【図 8 B】図 8 B は、実施の形態 1 の変形例 6 に係る高周波増幅用半導体装置の構成の第 2 例を示す平面図である。

【図 8 C】図 8 C は、実施の形態 1 の変形例 6 に係る高周波増幅用半導体装置の構成の第 3 例を示す平面図である。

【図 9】図 9 は、実施の形態 2 に係る高周波増幅用半導体装置の構成を示す平面図である。

【図 10 A】図 10 A は、実施の形態 2 の変形例に係る高周波増幅用半導体装置の構成の第 1 例を示す平面図である。

【図 10 B】図 10 B は、実施の形態 2 の変形例に係る高周波増幅用半導体装置の構成の

50

第 2 例を示す平面図である。

【図 1 1】図 1 1 は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための第 1 の断面図である。

【図 1 2】図 1 2 は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための第 2 の断面図である。

【図 1 3】図 1 3 は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための第 3 の断面図である。

【図 1 4】図 1 4 は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための第 4 の断面図である。

【図 1 5】図 1 5 は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための第 5 の断面図である。

10

【図 1 6】図 1 6 は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための第 6 の断面図である。

【図 1 7】図 1 7 は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための第 7 の断面図である。

【図 1 8 A】図 1 8 A は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための、図 1 の I I a - I I a 線に対応する第 8 の断面図である。

【図 1 8 B】図 1 8 B は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための、図 1 の I I b - I I b 線に対応する第 9 の断面図である。

【図 1 9 A】図 1 9 A は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための、図 1 の I I a - I I a 線に対応する第 1 0 の断面図である。

20

【図 1 9 B】図 1 9 B は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための、図 1 の I I b - I I b 線に対応する第 1 1 の断面図である。

【図 2 0 A】図 2 0 A は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための、図 1 の I I a - I I a 線に対応する第 1 2 の断面図である。

【図 2 0 B】図 2 0 B は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための、図 1 の I I b - I I b 線に対応する第 1 3 の断面図である。

【図 2 1 A】図 2 1 A は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための、図 1 の I I a - I I a 線に対応する第 1 4 の断面図である。

【図 2 1 B】図 2 1 B は、実施の形態 1 に係る高周波増幅用半導体装置の製造方法を説明するための、図 1 の I I b - I I b 線に対応する第 1 5 の断面図である。

30

【発明を実施するための形態】

【0011】

以下、本開示の実施の形態について、図面を参照しながら説明する。なお、以下に説明する実施形態は、いずれも本開示の好ましい一具体例を示すものである。したがって、以下の実施形態で示される、数値、形状、材料、構成要素、構成要素の配置位置および接続形態、並びに、ステップ（工程）およびステップ（工程）の順序などは、一例であって本開示を限定する主旨ではない。よって、以下の実施形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

40

【0012】

また、各図は、模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺などは必ずしも一致していない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

【0013】

また、本明細書において、高周波増幅用半導体装置の構成における「上」および「下」という用語は、絶対的な空間認識における上方向（鉛直上方）および下方向（鉛直下方）を指すものではなく、積層構造における積層順を基に相対的な位置関係により規定される用語である。また、「上」および「下」という用語は、2つの構成要素が互いに間隔を空けて配置されて2つの構成要素の間に別の構成要素が存在する場合のみならず、2つの構

50

成要素が互いに密着して配置されて2つの構成要素が接する場合にも適用される。

【0014】

また、本明細書および図面において、X軸、Y軸およびZ軸は、右手系の三次元直交座標系の三軸を示している。各実施の形態等では、高周波増幅用半導体装置が有する各層の積層方向をZ軸方向とし、高周波増幅用半導体装置の主面に平行な二軸をX軸およびY軸としている。また、本明細書において「平面視」とは、高周波増幅用半導体装置をZ軸方向から見ることをいう。

【0015】

また、本明細書において、直交、平行、同じ等の要素間の関係性を示す用語、および、矩形等の要素の形状を示す用語、並びに、数値、および、数値範囲は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲、例えば数%程度（あるいは、10%程度）の差異をも含むことを意味する表現である。

10

【0016】

(実施の形態1)

[1-1. 高周波増幅用半導体装置の構成]

まず、実施の形態1に係る高周波増幅用半導体装置の構成について、図1、図2Aおよび図2Bを参照しながら説明する。図1は、実施の形態1に係る高周波増幅用半導体装置100の構成を示す平面図である。図2Aは、図1のIIa-IIa線における、高周波増幅用半導体装置100の構成を示す断面図である。図2Bは、図1のIIb-IIb線における、高周波増幅用半導体装置100の構成を示す断面図である。

20

【0017】

なお、図1では、第1配線層801下に配置されるソース電極301、ドレイン電極302、ソース・ドレイン電極接続用開口部801a、ゲート電極接続用開口部801c、第2配線層接続用開口部801d、並びに、第2配線層901下に配置される抵抗体接続用開口部901aについては、位置関係を認識しやすいように、破線で表記している。また、図1では、識別のため、ソースフィールドプレート電極501をドットハッチングで示しており、抵抗体601を横線のハッチングで示しており、第2配線層901を斜線のハッチングで示しており、その他の第1配線層801等はハッチングなしで示している。なお、実施の形態1の変形例1以降の平面図においても、同様である。

【0018】

図1、図2Aおよび図2Bに示すように、高周波増幅用半導体装置100は、基板101と、バッファ層102と、第1窒化物半導体層103と、第2窒化物半導体層104と、第1絶縁層201と、第2絶縁層202と、第3絶縁層203と、第4絶縁層204と、ソース電極301と、ドレイン電極302と、ゲート電極401と、ソースフィールドプレート電極501と、抵抗体601と、活性領域701と、非活性領域704と、第1配線層801と、ソース・ドレイン電極接続用開口部801aと、ソースフィールドプレート電極接続用開口部801bと、ゲート電極接続用開口部801cと、第2配線層接続用開口部801dと、ソースピアホール802と、ドレイン端子803と、ゲート端子804と、第1の抵抗端子805と、第2の抵抗端子806と、第2配線層901と、抵抗体接続用開口部901aとを備える。

40

【0019】

また、高周波増幅用半導体装置100では、第2窒化物半導体層104と第1窒化物半導体層103とのヘテロ界面の第1窒化物半導体層103側に二次元電子ガス層105が形成される。なお、高周波増幅用半導体装置100は、電力増幅用半導体装置（以降、電力増幅用半導体チップ、または、単にチップと呼ぶことがある）の一例である。

【0020】

基板101は、例えば、Siからなる基板である。基板101は、Siからなる基板に限らず、サファイア(Sapphire)、SiC、GaN、AlN等からなる基板であってもよい。

【0021】

50

バッファ層 102 は、基板 101 上に形成される。バッファ層 102 は、例えば厚さ 2  $\mu\text{m}$  の AlN および AlGa<sub>N</sub> の複数の積層構造からなる窒化物半導体層である。バッファ層 102 は、その他に、Ga<sub>N</sub>、AlGa<sub>N</sub>、AlN、InGa<sub>N</sub>、AlInGa<sub>N</sub> 等の III 族窒化物半導体の単層または複数層によって構成されていてもよい。

#### 【0022】

第 1 窒化物半導体層 103 は、基板 101 上に形成される。本実施の形態において、第 1 窒化物半導体層 103 は、バッファ層 102 の上に形成される。第 1 窒化物半導体層 103 は、例えば、厚さ 200 nm のアンドープ (i 型) Ga<sub>N</sub> によって構成される。アンドープ (i 型) とは、エピタキシャル成長時に不純物が意図的にドーピングされていないことを意味する。第 1 窒化物半導体層 103 は、Ga<sub>N</sub> の他に、AlGa<sub>N</sub>、InGa<sub>N</sub>、AlInGa<sub>N</sub> 等の III 族窒化物半導体によって構成されていてもよい。また、第 1 窒化物半導体層 103 には、アンドープ型 (i 型) だけでなく、Si 等の n 型の不純物が含まれていてもよい。

10

#### 【0023】

第 2 窒化物半導体層 104 は、第 1 窒化物半導体層 103 上に形成される。第 2 窒化物半導体層 104 は、例えば厚さ 20 nm で Al 組成比が 25% のアンドープ (i 型) AlGa<sub>N</sub> によって構成される。

#### 【0024】

なお、第 2 窒化物半導体層 104 は、AlGa<sub>N</sub> に限らず、AlN、InGa<sub>N</sub>、AlInGa<sub>N</sub> 等の III 族窒化物半導体によって構成されていてもよく、また、第 2 窒化物半導体層 104 には、n 型の不純物が含まれていてもよい。

20

#### 【0025】

また、第 2 窒化物半導体層 104 上にはキャップ層として例えば Ga<sub>N</sub> からなる約 1 ~ 2 nm の厚さの半導体層、SiN からなる約 2 ~ 5 nm の厚さの保護絶縁層等が設けられてもよい。

#### 【0026】

本実施の形態において、第 2 窒化物半導体層 104 のバンドギャップは、第 1 窒化物半導体層 103 のバンドギャップより大きい。また、アンドープ (i 型) AlGa<sub>N</sub> からなる第 2 窒化物半導体層 104 とアンドープ (i 型) Ga<sub>N</sub> からなる第 1 窒化物半導体層 103 とはヘテロ構造となっている。つまり、第 2 窒化物半導体層 104 と第 1 窒化物半導体層 103 との界面はヘテロ接合されており、第 2 窒化物半導体層 104 と第 1 窒化物半導体層 103 との界面にはヘテロ障壁が形成されている。

30

#### 【0027】

この結果、第 1 窒化物半導体層 103 と第 2 窒化物半導体層 104 との境界近傍、例えば、第 2 窒化物半導体層 104 と第 1 窒化物半導体層 103 とのヘテロ界面の第 1 窒化物半導体層 103 側 (言い換えると、第 1 窒化物半導体層 103 内の第 2 窒化物半導体層 104 側) に、二次元電子ガス層 105 が形成される。例えば、二次元電子ガス層 105 は、第 1 窒化物半導体層 103 と第 2 窒化物半導体層 104 との界面の第 1 窒化物半導体層 103 側に設けられる。

#### 【0028】

なお、第 2 窒化物半導体層 104 と第 1 窒化物半導体層 103 との間にスペーサ層として、例えば AlN からなる約 1 ~ 2 nm の厚さの半導体層が設けられてもよい。

40

#### 【0029】

ソース電極 301 およびドレイン電極 302 は、第 2 窒化物半導体層 104 上において対向するように間隔を空けて設けられている。ソース電極 301 およびドレイン電極 302 は、それぞれが第 1 窒化物半導体層 103 に電氣的に接続されている。ソース電極 301 およびドレイン電極 302 は、例えば、Ti 膜と Al 膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。また、ソース電極 301 およびドレイン電極 302 は、二次元電子ガス層 105 と電氣的に接続されている (例えばオーミック接続されている)。

50

## 【0030】

なお、ソース電極301およびドレイン電極302の下には、第2窒化物半導体層104および/または第1窒化物半導体層103の一部を除去したりセス、Si等のドナーを含んだn型の不純物を含んだコンタクト層等が設けられてもよい。また、n型の不純物を含んだコンタクト層は、プラズマ処理、イオン注入および再成長等により形成されてもよい。

## 【0031】

ゲート電極401は、第2窒化物半導体層104上における、ソース電極301およびドレイン電極302の間の位置に設けられている。ゲート電極401は、ソース電極301およびドレイン電極302と間隔を空けて設けられている。ゲート電極401は、例えば、Ni膜とAu膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。また、ゲート電極401は、二次元電子ガス層105と電氣的にショットキー接続されていてよい。また、ゲート電極401と第2窒化物半導体層104との間に絶縁層を挟んでゲート電極401と第2窒化物半導体層104とを電氣的に絶縁する、Metal-Insulator-SemiconductorのいわゆるMIS構造が形成されていてよい。

10

## 【0032】

ゲート電極401は、平面視において、Y軸方向に延在して設けられる。ゲート電極401は、平面視において矩形形状であり、長辺方向がY軸方向と平行である。Y軸方向は、第1方向の一例である。

20

## 【0033】

ゲート電極401は、例えば、Ni、Ta、Ti、W、Ta<sub>2</sub>N<sub>5</sub>、TiN、Pt、Pd、Al、Au、Cu、Agのいずれか、または、少なくとも1つを含む合金であってもよい。また、ゲート電極401は、単層(単層膜)で構成されていてよいし、積層(積層膜)で構成されていてよい。

## 【0034】

第1絶縁層201は、ソース電極301、ドレイン電極302およびゲート電極401上に設けられている。第1絶縁層201は、SiN、SiO<sub>2</sub>、SiON、AlN、Al<sub>2</sub>O<sub>3</sub>、SiC、C(ダイヤモンド)の少なくとも1つを含んで構成され、本実施の形態では、厚さが150nmのSiNによって構成される。また、第1絶縁層201は、単層で構成されていてよいし、積層で構成されていてよい。なお、SiC、C(ダイヤモンド)は、所定以上の熱伝導率を有する高熱伝導材料である。

30

## 【0035】

ソースフィールドプレート電極501は、ソース電極301と同電位であり、ゲート電極401とドレイン電極302との間にドレイン電極302側の端部を有し、第2窒化物半導体層104の上方に設けられる。具体的には、ソースフィールドプレート電極501は、ゲート電極401のソース電極301側の端部よりもドレイン電極302側であり、ゲート電極401とドレイン電極302との間にドレイン電極302側の端部があるように、第1絶縁層201上に設けられる。また、ゲート電極401は、平面視で見たときにゲート電極401の長辺方向と平行に設けられている。例えば、ソースフィールドプレート電極501は、Ti膜とAl膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。

40

## 【0036】

ソースフィールドプレート電極501は、ソース・ドレイン電極接続用開口部801aを介してソース電極301と接続する第1配線層801に、ソースフィールドプレート電極接続用開口部801bを介して接続される。ソースフィールドプレート電極501は、フィールドプレートの一例である。

## 【0037】

ソースフィールドプレート電極501は、例えば、Ni、Ta、Ti、W、Ta<sub>2</sub>N<sub>5</sub>、TiN、Pt、Pd、Al、Au、Cu、Agのいずれか、または、少なくとも1つを含む

50

合金であってもよい。また、ソースフィールドプレート電極501は、単層で構成されていてもよいし、積層で構成されていてもよい。なお、Cu、Agは、所定以上の熱伝導率を有する高熱伝導材料である。

【0038】

第2絶縁層202は、第1絶縁層201、ソースフィールドプレート電極501上に設けられている。第2絶縁層202は、SiN、SiO<sub>2</sub>、SiON、AlN、Al<sub>2</sub>O<sub>3</sub>、SiC、C（ダイヤモンド）の少なくとも1つを含んで構成され、本実施の形態では、厚さが100nmのSiNによって構成される。また、第2絶縁層202は、単層で構成されていてもよいし、積層で構成されていてもよい。

【0039】

抵抗体601は、平面視において活性領域701内であり、かつ、断面視において第2窒化物半導体層104上（Z軸プラス側）に設けられ、後述する高周波増幅用トランジスタ（デバイスの一例）の温度を抵抗値変化として検知するための温度検知用の抵抗体である。本実施の形態では、抵抗体601は、第2絶縁層202上に設けられる。また、本実施の形態では、抵抗体601は、ソースフィールドプレート電極501上に設けられる。つまり、平面視において、抵抗体601は、ソースフィールドプレート電極501と少なくとも一部が重なる。また、本実施の形態では、抵抗体601は、平面視においてゲート電極401と少なくとも一部が重なる。例えば、抵抗体601は、平面視において、ソースフィールドプレート電極501およびゲート電極401が重なる領域と、少なくとも一部が重なる。なお、抵抗体601は、平面視において、活性領域701における、ソースフィールドプレート電極501および/またはゲート電極401と重ならない領域には設けられない。

【0040】

抵抗体601は、ソース電極301側（X軸マイナス側）の端部がソースフィールドプレート電極501のソース電極301側（X軸マイナス側）の端部よりもドレイン電極302側（X軸プラス側）に配置される。また、抵抗体601は、ドレイン電極302側（X軸プラス側）の端部がソースフィールドプレート電極501のドレイン電極302側（X軸プラス側）の端部よりもソース電極301側（X軸マイナス側）に配置される。これにより、抵抗体601に起因する寄生容量の増加を抑制することができる。

【0041】

抵抗体601は、平面視において、Y軸方向に延在して設けられる。抵抗体601は、平面視において矩形形状であり、長辺方向がY軸方向と平行である。例えば、平面視において、抵抗体601の長辺方向は、ゲート電極401の長辺方向（延在方向）と平行である。言い換えると、抵抗体601の長辺方向は、第1方向である。抵抗体601の平面視形状は、例えば、Y軸方向に長尺な矩形形状である。抵抗体601は、Y軸方向に沿って設けられた2つの抵抗体接続用開口部901aを下側から覆うように長尺な矩形形状である。なお、抵抗体601の平面視形状は、これに限定らない。

【0042】

抵抗体601の幅（X軸方向の長さ）は、例えば、ソースフィールドプレート電極501の幅（X軸方向の長さ）および/またはゲート電極401の幅（X軸方向の長さ）以下であるが、これに限定らない。また、抵抗体601の厚み（Z軸方向の長さ）は、例えば、ソースフィールドプレート電極501の厚み（Z軸方向の長さ）および/またはゲート電極401の厚み（Z軸方向の長さ）以下であるが、これに限定されない。

【0043】

例えば、抵抗体601は、Ti膜とAl膜とを順に積層した積層構造からなる多層電極膜であるが、TiおよびAlの組み合わせに限らず、Ti、Al、Cu、Ni、Au、Pt、Pd、Ta、W、Si、Hf等の1つの金属からなる単層電極膜であってもよいし、これらの金属を2つ以上組み合わせることによって構成された多層電極膜であってもよいし、これらの金属を合金化した電極膜であってもよいし、これらの金属を窒化または酸化することで得られる導電性化合物であってもよいし、これら導電性化合物と前述の電極膜

10

20

30

40

50

とを組合せたものであってもよい。また、抵抗体 601 は、ゲート電極 401 と同じ金属で構成されていてもよいし、異なる金属で構成されていてもよい。

【0044】

第3絶縁層 203 は、第2絶縁層 202 および抵抗体 601 の上に設けられている。第3絶縁層 203 は、SiN、SiO<sub>2</sub>、SiON、AlN、Al<sub>2</sub>O<sub>3</sub>、SiC、C（ダイヤモンド）の少なくとも1つを含んで構成され、本実施の形態では、厚さが200nmのSiNによって構成される。また、第3絶縁層 203 は、単層（単層膜）で構成されていてもよいし、積層（積層膜）で構成されていてもよい。

【0045】

第4絶縁層 204 は、第3絶縁層 203 上に設けられている。第4絶縁層 204 は、SiN、SiO<sub>2</sub>、SiON、AlN、Al<sub>2</sub>O<sub>3</sub>、SiC、C（ダイヤモンド）の少なくとも1つを含んで構成され、本実施の形態では、厚さが200nmのSiNによって構成される。また、第4絶縁層 204 は、単層（単層膜）で構成されていてもよいし、積層（積層膜）で構成されていてもよい。

10

【0046】

活性領域 701 は、平面視において二次元電子ガス層 105 が存在する領域（基板 101 上の領域）であり、ゲート電極 401 の長辺方向と直交する方向をX軸方向とした場合、活性領域 701 のX軸方向の長さはL1であり、ゲート電極 401 の長辺方向と平行な方向をY軸方向とした場合、活性領域 701 のY軸方向の長さはL2である。X軸方向は、平面視における第1方向と直交する方向であり、第2方向の一例である。

20

【0047】

活性領域 701 内に、ソース電極 301、ドレイン電極 302 およびゲート電極 401 を少なくとも含む高周波増幅用トランジスタ（高周波増幅用アンプ）が形成される。本実施の形態では、高周波増幅用トランジスタは、ソース電極 301、ドレイン電極 302 およびゲート電極 401 に加えてソースフィールドプレート電極 501 を含んで形成される。

【0048】

非活性領域 704 は、活性領域 701 の外側の基板 101 上の領域であり、二次元電子ガス層 105 が存在しない領域である。非活性領域 704 は、例えばHe、B、H、F およびFeのいずれかを含む分子を注入することにより形成されてもよいし、第2窒化物半導体層 104、第1窒化物半導体層 103 およびバッファ層 102 の一部を除去し、残った領域にHe、B、H、F およびFeのいずれかを含む分子を注入することにより形成されてもよい。また、非活性領域 704 は、第2窒化物半導体層 104、第1窒化物半導体層 103 およびバッファ層 102 の一部を除去することにより形成されてもよい。なお、二次元電子ガス層 105 が存在しないとは、電子が完全に存在しないことに加えて、実質的に電子が存在しないことを含む。

30

【0049】

このように、基板 101 は、平面視で、二次元電子ガス層 105 がある活性領域 701 と、二次元電子ガス層 105 がない非活性領域 704 とに区分されている。

【0050】

第1配線層 801 は、第4絶縁層 204 上に設けられる。第1配線層 801 は、Ti層上にAu層を順に積層した積層構造からなる多層金属層であるが、これに限らない。

40

【0051】

ソース電極 301 およびドレイン電極 302 と、第1配線層 801 との電氣的な接続は、第4絶縁層 204 と第3絶縁層 203 と第2絶縁層 202 と第1絶縁層 201 とに設けられた、ソース電極 301 およびドレイン電極 302 に到達するソース・ドレイン電極接続用開口部 801 a を、第1配線層 801 が覆うこととなる。

【0052】

ソースフィールドプレート電極 501 とソース電極 301 との電氣的な接続は、第4絶縁層 204 と第3絶縁層 203 と第2絶縁層 202 とに設けられた、ソースフィールドプレート電極 501 に達するソースフィールドプレート電極接続用開口部 801 b を、第1

50

配線層 801 が覆うこととなる。ソースフィールドプレート電極接続用開口部 801b は、平面視において、活性領域 701 外部の領域（非活性領域 704）のうち Y 軸方向側の領域に形成される。

【0053】

ソース電極 301 とソースフィールドプレート電極 501 とは、平面視において、活性領域 701 外部の Y 軸方向側に形成された、第 4 絶縁層 204 と第 3 絶縁層 203 と第 2 絶縁層 202 と第 1 絶縁層 201 と第 2 窒化物半導体層 104 と第 1 窒化物半導体層 103 とバッファ層 102 と基板 101 とに設けられた、基板 101 の裏面に到達するソースビアホール 802 を経由して、基板 101 の裏面に設けられた裏面金属（図示しない）に接続され、基準電位を持つ。

10

【0054】

平面視において、非活性領域 704 の Y 軸方向側の領域にて、第 1 配線層 801 によりドレイン端子 803 が形成され、当該ドレイン端子 803 は、ドレイン電極 302 と接続される。

【0055】

ゲート電極 401 と第 1 配線層 801（ゲート端子 804）との電気的な接続は、平面視において、活性領域 701 外部の Y 軸方向側に形成された、第 4 絶縁層 204 と第 2 絶縁層 202 と第 1 絶縁層 201 とに設けられた、ゲート電極 401 に到達するゲート電極接続用開口部 801c を、第 1 配線層 801 が覆うこととなる。

【0056】

平面視において、非活性領域 704 の Y 軸方向におけるドレイン端子 803 と反対側（Y 軸マイナス側）の領域にて、第 1 配線層 801 により、ゲート端子 804 が形成され、当該ゲート端子 804 は、ゲート電極 401 と接続される。

20

【0057】

第 2 配線層 901 は、抵抗体 601 と、第 1 の抵抗端子 805 および第 2 の抵抗端子 806 とを接続するための配線層であり、第 3 絶縁層 203 と第 4 絶縁層 204 との間に設けられる。第 2 配線層 901 は、抵抗体 601 の両端と、抵抗体接続用開口部 901a を介して接続される。第 2 配線層 901 は、Ti 層上に Au 層を順に積層した積層構造からなる多層金属層であるが、これに限らない。

【0058】

抵抗体 601 と第 2 配線層 901 との電気的な接続は、第 3 絶縁層 203 に設けられた、抵抗体 601 に達する抵抗体接続用開口部 901a を、第 2 配線層 901 が覆うこととなる。

30

【0059】

ドレイン端子 803 は、活性領域 701 の外側のうち Y 軸方向側において、ソース・ドレイン電極接続用開口部 801a を介してドレイン電極 302 と接続する。ドレイン端子 803 は、第 1 配線層 801 からなる。

【0060】

ゲート端子 804 は、ゲート電極接続用開口部 801c を介してゲート電極 401 と接続する。ゲート端子 804 は、第 1 配線層 801 からなる。

40

【0061】

ドレイン端子 803 およびゲート端子 804 の少なくとも一方は、第 1 端子パッドの一例である。第 1 端子パッドは、ワイヤ等を接続することでチップ外部（例えば、実装基板または半導体パッケージ）と電気的に接続する箇所であり、例えば、ドレイン電極 302 またはゲート電極 401 に接続されている。また、第 1 端子パッドは、例えば、非活性領域 704 のうち、ゲート電極 401 の延在方向（Y 軸方向）において活性領域 701 と並ぶ領域に配置される。

【0062】

ソースビアホール 802 は、ソース・ドレイン電極接続用開口部 801a を介してソース電極 301 と接続する第 1 配線層 801 と裏面金属とを接続する。

50

## 【 0 0 6 3 】

第1の抵抗端子805および第2の抵抗端子806は、第2配線層901を介して抵抗体601と接続され、かつ、ワイヤ等により高周波増幅用半導体装置100の外部の温度検知用の処理部または電子部品と接続される。第1の抵抗端子805は、抵抗体601のY軸プラス側の端部（長辺方向の一方の端部）と第2配線層901を介して接続され、第2の抵抗端子806は、抵抗体601のY軸マイナス側の端部（長辺方向の他方の端部）と第2配線層901を介して接続される。言い換えると、抵抗体601の両端のそれぞれが、第1の抵抗端子805および第2の抵抗端子806のいずれかの抵抗端子に接続される。

## 【 0 0 6 4 】

第1の抵抗端子805および第2の抵抗端子806の少なくとも一方は、抵抗体601が接続される第2端子パッドの一例である。例えば、第2端子パッドは、ワイヤ等を接続することでチップ外部（例えば、実装基板または半導体パッケージ）と電氣的に接続する箇所であり、非活性領域704のうち、ゲート電極401の延在方向（Y軸方向）と直交方向（X軸方向）において活性領域701と並ぶ領域に配置される。

## 【 0 0 6 5 】

第1の抵抗端子805および第2の抵抗端子806は、活性領域701の外側の領域（非活性領域704）のうちX軸方向側の領域に設けられ、第2配線層901と第2配線層接続用開口部801dを介して接続される。

## 【 0 0 6 6 】

第1の抵抗端子805および第2の抵抗端子806は、例えば、平面視において、活性領域701の外側のX軸方向側の領域のうち、X軸マイナス側の領域に設けられる。例えば、第1の抵抗端子805および第2の抵抗端子806は、高周波増幅用半導体装置100の同じ辺側に設けられる。

## 【 0 0 6 7 】

第1の抵抗端子805および第2の抵抗端子806は、高周波増幅用トランジスタが接続される端子パッド（第1端子パッド）とは異なる端子パッド（第2端子パッド）である。高周波増幅用トランジスタが接続される端子パッドは、ドレイン端子803、ゲート端子804等である。

## 【 0 0 6 8 】

第1の抵抗端子805および第2の抵抗端子806は、例えば、第1配線層801からなる。

## 【 0 0 6 9 】

このように、非活性領域704のY軸方向に配置されるゲート端子804およびドレイン端子803に対して、第1の抵抗端子805および第2の抵抗端子806が非活性領域704のX軸方向側に配置されることで、高周波動作時のゲート端子804からの入力信号およびドレイン端子803からの出力信号を阻害することなく、抵抗体601の抵抗値変化を、応答性良く検知することが可能となる。

## 【 0 0 7 0 】

なお、第1の抵抗端子805および第2の抵抗端子806と第2配線層901との電氣的な接続は、非活性領域704にて、第1の抵抗端子805および第2の抵抗端子806と第2配線層901との間の絶縁層に設けられた、抵抗体601の両端からそれぞれ接続された第2配線層901に達する第2配線層接続用開口部801dを第1配線層801（例えば、第1の抵抗端子805および第2の抵抗端子806）が覆うことからなる。

## 【 0 0 7 1 】

上記のように、高周波増幅用半導体装置100では、抵抗体601と、第1の抵抗端子805および第2の抵抗端子806との間に、他の素子（例えば、電子部品）は接続されていない。抵抗体601と、第1の抵抗端子805および第2の抵抗端子806とは、他の電子部品を介さずに接続される。抵抗体601のY軸プラス側の端部と、第1の抵抗端子805とは一方の第2配線層901（配線）を介して直接接続されており、抵抗体60

10

20

30

40

50

1のY軸マイナス側の端部と、第2の抵抗端子806とは他方の第2配線層901(配線)を介して直接接続されている。

#### 【0072】

[1-2.高周波増幅用半導体装置の効果]

上記の本実施の形態に係る高周波増幅用半導体装置100によれば、発熱するトランジスタ(例えば、高周波増幅用トランジスタ)の活性領域701上に温度センサとなる抵抗体601が配置されるので、活性領域701内の温度分布に追従して、動作中のトランジスタの温度変化を応答性良く検知することができる。例えば、高周波増幅用半導体装置100によれば、抵抗体601に最も近い、ゲート電極401のドレイン電極302側の端部付近で発生するトランジスタ動作中の発熱による温度の変化を、抵抗体601の抵抗値変化として、応答性良く検知することが可能となる。また、抵抗体601の位置を第2窒化物半導体層104よりも上に配置し、第1の抵抗端子805および第2の抵抗端子806から出力することで、トランジスタの動作自体に影響を与えることなく、トランジスタの温度を応答性良く検知することが可能となる。なお、応答性が良いとは、活性領域内の温度の変化が温度センサで検知された温度にすぐに反映されることを意味する。

10

#### 【0073】

なお、特許文献1では、温度センサの位置が非活性領域上であることは開示されているが、発熱源である活性領域上であることは開示されていない。そのため、特許文献1の技術では、応答性の良い温度検知を実現することが困難である。特に、トランジスタ(デバイス)を活性領域内で等間隔に配置した場合、活性領域内の温度分布は、活性領域中心部に発熱が集中しやすい。そのため、特許文献1のように、非活性領域に配置された温度センサでは、活性領域内の温度分布に追従することが困難である。なお、追従とは、温度センサで検知された温度が、現在の活性領域内の実際の温度に近い温度となることが維持されることを意味する。

20

#### 【0074】

一方、本実施の形態では、平面視において、抵抗体601が活性領域701内に設けられるので、発熱が集中しやすい活性領域701の中心付近の温度の変化を検知しやすい。よって、抵抗体601を用いて得られる温度は、活性領域701内の温度に追従した温度となり得る。

#### 【0075】

以上のように、本実施の形態に係る高周波増幅用半導体装置100は、基板101と、基板101上に設けられた第1窒化物半導体層103と、第1窒化物半導体層103上に設けられ、第1窒化物半導体層103と比べてバンドギャップが大きい第2窒化物半導体層104と、第1窒化物半導体層103と第2窒化物半導体層104との界面の第1窒化物半導体層103側に設けられた二次元電子ガス層105と、第2窒化物半導体層104の上方に間隔を空けて設けられ、それぞれが二次元電子ガス層105に電気的に接続されたソース電極301およびドレイン電極302と、ソース電極301およびドレイン電極302と間隔を空けて設けられ、第2窒化物半導体層104に接触するゲート電極401とを備える。基板101の平面視において、基板101は、二次元電子ガス層105がある活性領域701と、二次元電子ガス層105がない非活性領域704とに区分される。そして、高周波増幅用半導体装置100は、活性領域701にソース電極301、ドレイン電極302およびゲート電極401を含む高周波増幅用トランジスタと、第2窒化物半導体層104の上方に設けられた抵抗体601と、有し、非活性領域704に、ドレイン電極302またはゲート電極401に接続された第1端子パッド(例えば、ドレイン端子803またはゲート端子804)と、抵抗体601が接続された第2端子パッド(例えば、第1の抵抗端子805および第2の抵抗端子806)と、を有する。

30

40

#### 【0076】

これにより、高周波増幅用半導体装置100は、発熱する高周波増幅用トランジスタが形成される活性領域701上に温度センサとなる抵抗体601が配置されるので、当該高周波増幅用トランジスタが形成されない非活性領域704上に抵抗体601が配置される

50

場合に比べて、当該高周波増幅用トランジスタの温度変化を応答性良く検知することが可能である。よって、高周波増幅用半導体装置 100 は、トランジスタの温度を応答性良く検知することができる。

【0077】

なお、第1端子パッドがドレイン電極302またはゲート電極401に接続されるとは、第1端子パッドが各配線を介してドレイン電極302またはゲート電極401と電氣的に接続されることを意味する。

【0078】

また、例えば、平面視において、抵抗体601の長辺方向は、ゲート電極401の延在方向（Y軸方向）である第1方向である。つまり、抵抗体601の長辺方向と第1方向とは、と平行である。

10

【0079】

これにより、特定のゲート電極401の温度を検知可能である。

【0080】

また、例えば、平面視において、第1端子パッドは、ゲート電極401の延在方向において、活性領域701と並ぶ非活性領域704に配置され、第2端子パッドは、当該延在方向と直交方向において、活性領域701と並ぶ非活性領域704に配置されている。

【0081】

これにより、ゲート端子804からの入力信号およびドレイン端子803からの出力信号とチップ内部で干渉することなく、抵抗体601による温度の検知が可能となる。また、チップ外部から、第1端子パッドへの接続ワイヤと第2端子パッドへの接続ワイヤとを分離配置できるので、ワイヤ密集度を低減でき、ひいては、チップ外部での信号干渉を抑制できる。

20

【0082】

（実施の形態1の変形例1）

本変形例では、実施の形態1に係る高周波増幅用半導体装置100における、抵抗体601の両端と外部接続端子（例えば、第1の抵抗端子805、第2の抵抗端子806、裏面電極、ソースパッド）との接続の他の例について、図3Aおよび図3Bを参照しながら説明する。図3Aおよび図3Bは、実施の形態1の変形例1に係る高周波増幅用半導体装置の構成の各例を示す平面図である。なお、高周波増幅用半導体装置100A1の構成を図3Aで示し、高周波増幅用半導体装置100A2の構成を図3Bで示す。

30

【0083】

図3Aおよび図3Bに示すように、抵抗体601の一端は、チップ内部でソース電位に設定されていてもよい。具体的には、図3Aに示すような、ソース電位に設定された第1配線層801に対する第2配線層接続用開口部801dを介した接続であってもよく、また、図3Bに示すような、ソース電位に設定されたソースフィールドプレート電極501に対する抵抗体-ソースフィールドプレート電極接続用開口部601aを介した接続であってもよい。これらの何れの場合でも、抵抗体601の他端は第1の抵抗端子805と接続され、第2の抵抗端子806が不要となり、高周波増幅用半導体装置100A1および100A2が有するパッド数を削減できる。高周波増幅用半導体装置100の外部からの抵抗体601を用いた温度検知は、第1の抵抗端子805とソース外部端子（裏面電極、ソースパッド）との間の電気特性を測定すればよい。

40

【0084】

（実施の形態1の変形例2）

本変形例では、実施の形態1に係る高周波増幅用半導体装置100における、抵抗体601の配置位置について、図4A～図4Jを参照しながら説明する。まずは、抵抗体601を配置可能な範囲について、図4Aを参照しながら説明する。図4Aは、実施の形態1の変形例2に係る高周波増幅用半導体装置100における抵抗体601を配置可能な範囲を示す断面図である。なお、図4A～図4Jでは、図2A等を示す第4絶縁層204、第1配線層801、ソース・ドレイン電極接続用開口部801a等の記載を省略している。

50

## 【 0 0 8 5 】

図 4 A に示す破線領域 R は、抵抗体 6 0 1 を配置可能な範囲を示す。図 4 A では、抵抗体 6 0 1 を配置可能な最大の範囲を示している。抵抗体 6 0 1 は、ソース電極 3 0 1 側の端部がソース電極 3 0 1 のドレイン電極 3 0 2 側の端部よりドレイン電極 3 0 2 側（例えば、仮想線 6 0 2 b よりドレイン電極 3 0 2 側）に配置される。また、抵抗体 6 0 1 は、ドレイン電極 3 0 2 側の端部がゲート電極 4 0 1 のドレイン電極 3 0 2 側の端部（点 P 1）とソースフィールドプレート電極 5 0 1 のドレイン電極 3 0 2 側の端部（点 P 2）とを通る直線である仮想線 6 0 2 a よりゲート電極 4 0 1 側（X 軸マイナス側）に配置される。例えば、抵抗体 6 0 1 のドレイン電極 3 0 2 側の端部は、第 2 絶縁層 2 0 2 上部の交点 P 3（例えば、交点 P 3 を通り Z 軸に平行な仮想線）よりもソース電極 3 0 1 側（X 軸マイナス側）に配置される。仮想線 6 0 2 a は、仮想直線の一例である。

10

## 【 0 0 8 6 】

破線領域 R 内に抵抗体 6 0 1 が配置されることで、抵抗体 6 0 1 に最も近い、ゲート電極 4 0 1 のドレイン電極 3 0 2 側の端部付近で発生する、トランジスタ動作中の発熱による温度の変化を選択的に、応答性良く検知することが可能となる。

## 【 0 0 8 7 】

なお、仮想線 6 0 2 a は、ゲート電極 4 0 1 のドレイン電極 3 0 2 側の端部とソースフィールドプレート電極 5 0 1 のドレイン電極 3 0 2 側の端部とを結ぶ線分の延長線でもある。また、仮想線 6 0 2 b は、ソース電極 3 0 1 のドレイン電極 3 0 2 側の端部を通り、Z 軸に平行な直線である。

20

## 【 0 0 8 8 】

以下、図 4 A に示す破線領域 R 内における抵抗体 6 0 1 の配置例について、図 4 B ~ 図 4 J を参照しながら説明する。図 4 B ~ 図 4 J は、実施の形態 1 の変形例 2 に係る高周波増幅用半導体装置の構成の各例を示す断面図である。なお、高周波増幅用半導体装置 1 0 0 B 1 の構成を図 4 B で示し、高周波増幅用半導体装置 1 0 0 B 2 の構成を図 4 C で示し、高周波増幅用半導体装置 1 0 0 B 3 の構成を図 4 D で示し、高周波増幅用半導体装置 1 0 0 B 4 の構成を図 4 E で示し、高周波増幅用半導体装置 1 0 0 B 5 の構成を図 4 F で示し、高周波増幅用半導体装置 1 0 0 B 6 の構成を図 4 G で示し、高周波増幅用半導体装置 1 0 0 B 7 の構成を図 4 H で示し、高周波増幅用半導体装置 1 0 0 B 8 の構成を図 4 I で示し、高周波増幅用半導体装置 1 0 0 B 9 の構成を図 4 J で示す。

30

## 【 0 0 8 9 】

図 4 B および図 4 C に示すように、抵抗体 6 0 1 は、ゲート電極 4 0 1 およびソースフィールドプレート電極 5 0 1 上に配置されていなくてもよい。

## 【 0 0 9 0 】

また、例えば、図 4 B に示すように、抵抗体 6 0 1 のドレイン電極 3 0 2 側の端部が仮想線 6 0 2 a よりもソース電極 3 0 1 側であり、かつ、ソース電極 3 0 1 側の端部がソースフィールドプレート電極 5 0 1 のドレイン電極 3 0 2 側の端部よりもドレイン電極 3 0 2 側に設けられてもよい。例えば、抵抗体 6 0 1 は、平面視において、ドレイン電極 3 0 2 とソースフィールドプレート電極 5 0 1 との間であって、ドレイン電極 3 0 2 およびソースフィールドプレート電極 5 0 1 のそれぞれと重ならない位置に設けられてもよい。

40

## 【 0 0 9 1 】

また、例えば、図 4 C に示すように、抵抗体 6 0 1 のドレイン電極 3 0 2 側の端部が、ゲート電極 4 0 1 のソース電極 3 0 1 側の端部よりもソース電極 3 0 1 側（X 軸マイナス側）であり、かつ、ソース電極 3 0 1 側の端部がソース電極 3 0 1 のドレイン電極 3 0 2 側（X 軸プラス側）に設けられていてもよい。例えば、抵抗体 6 0 1 は、平面視において、ソース電極 3 0 1 とゲート電極 4 0 1 との間であって、ソース電極 3 0 1 およびゲート電極 4 0 1 のそれぞれと重ならない位置に設けられてもよい。

## 【 0 0 9 2 】

図 4 B および図 4 C の例では、抵抗体 6 0 1 の下面（Z 軸マイナス側の面）は、ゲート電極 4 0 1 の上面（Z 軸プラス側の面）より下方に位置する。

50

## 【 0 0 9 3 】

また、図 4 D に示すように、抵抗体 6 0 1 のドレイン電極 3 0 2 側の端部が仮想線 6 0 2 a よりソース電極 3 0 1 側であり、かつ、ソース電極 3 0 1 側の端部がソースフィールドプレート電極 5 0 1 のソース電極 3 0 1 側の端部よりドレイン電極 3 0 2 側（例えば、仮想線 6 0 2 d よりドレイン電極 3 0 2 側）に設けられていてもよい。例えば、抵抗体 6 0 1 は、平面視において、ソースフィールドプレート電極 5 0 1 と、ソースフィールドプレート電極 5 0 1 の少なくとも一部およびドレイン電極 3 0 2 の間の領域の一部とを覆うように設けられてもよい。なお、仮想線 6 0 2 d は、ソースフィールドプレート電極 5 0 1 のソース電極 3 0 1 側の端部を通り、Z 軸に平行な直線である。

## 【 0 0 9 4 】

また、図 4 E に示すように、抵抗体 6 0 1 のドレイン電極 3 0 2 側の端部が仮想線 6 0 2 a よりソース電極 3 0 1 側であり、かつ、ソース電極 3 0 1 側の端部がゲート電極 4 0 1 のソース電極 3 0 1 側の端部よりドレイン電極 3 0 2 側（例えば、仮想線 6 0 2 e よりドレイン電極 3 0 2 側）に設けられていてもよい。例えば、抵抗体 6 0 1 は、平面視において、ゲート電極 4 0 1 の少なくとも一部と、ソースフィールドプレート電極 5 0 1 と、ソースフィールドプレート電極 5 0 1 およびドレイン電極 3 0 2 の間の領域の一部とを覆うように設けられてもよい。なお、仮想線 6 0 2 e は、ゲート電極 4 0 1 のソース電極 3 0 1 側の端部を通り、Z 軸に平行な直線である。なお、抵抗体 6 0 1 は、ソースフィールドプレート電極 5 0 1 の断面形状に沿った断面形状を有していてもよい。抵抗体 6 0 1 は、例えば、階段状であってもよい。

## 【 0 0 9 5 】

また、図 4 F に示すように、抵抗体 6 0 1 のドレイン電極 3 0 2 側の端部がソースフィールドプレート電極 5 0 1 のドレイン電極 3 0 2 側の端部よりソース電極 3 0 1 側（X 軸マイナス側）であり、ソース電極 3 0 1 側の端部がソース電極 3 0 1 のドレイン電極 3 0 2 側（X 軸プラス側）に設けられていてもよい。

## 【 0 0 9 6 】

また、図 4 G に示すように、抵抗体 6 0 1 のドレイン電極 3 0 2 側の端部がソースフィールドプレート電極 5 0 1 のソース電極 3 0 1 側の端部よりもソース電極 3 0 1 側（例えば、仮想線 6 0 2 d よりソース電極 3 0 1 側）であり、ソース電極 3 0 1 側の端部がソース電極 3 0 1 のドレイン電極 3 0 2 側に設けられていてもよい。また、例えば、抵抗体 6 0 1 のドレイン電極 3 0 2 側の端部がゲート電極 4 0 1 のドレイン電極 3 0 2 側の端部よりもソース電極 3 0 1 側（X 軸マイナス側）であってもよい。なお、抵抗体 6 0 1 は、ソースフィールドプレート電極 5 0 1 およびゲート電極 4 0 1 の配置位置および断面形状に沿った断面形状を有していてもよい。抵抗体 6 0 1 は、例えば、階段状であってもよい。

## 【 0 0 9 7 】

また、抵抗体 6 0 1 の少なくとも一部が、ソース電極 3 0 1 のドレイン電極 3 0 2 側の端部と、ゲート電極 4 0 1 のソース電極 3 0 1 側の端部との間に配置される場合、図 4 H ~ 図 4 J に示すように、第 2 絶縁層 2 0 2 から掘り込み 2 0 2 a を設けて、その上に抵抗体 6 0 1 を配置してもよい。掘り込み 2 0 2 a は、平面視において、第 2 絶縁層 2 0 2 のうちソース電極 3 0 1 およびゲート電極 4 0 1 の間の領域の一部の領域に形成される凹み（貫通孔）である。例えば、図 4 H ~ 図 4 J に示すように、抵抗体 6 0 1 の一部が、第 1 絶縁層 2 0 1 と接触するように設けられてもよい。

## 【 0 0 9 8 】

また、第 2 絶縁層 2 0 2 からの掘り込み 2 0 2 a の深さを変えることで、抵抗体 6 0 1 が第 2 絶縁層 2 0 2 の途中にあってもよいし、第 1 絶縁層 2 0 1 の途中にあってもよい。つまり、掘り込み 2 0 2 a は、第 2 絶縁層 2 0 2 を貫通しない凹みであってもよいし、第 1 絶縁層 2 0 1 の一部に達する凹みであってもよい。また、図 4 H に示す配置の場合、抵抗体 6 0 1 は、ソースフィールドプレート電極 5 0 1 を用いて形成されてもよい。つまり、抵抗体 6 0 1 は、ソースフィールドプレート電極 5 0 1 と同時に形成されてもよい。

## 【 0 0 9 9 】

10

20

30

40

50

このように、抵抗体 601 の全体は、基板 101 の断面視で、ドレイン電極 302 側の端部がゲート電極 401 のドレイン電極 302 側の端部の最下点（点 P1）とソースフィールドプレート電極 501 のドレイン電極 302 側の端部の最下点（点 P2）とを通る直線である仮想線 602 a よりゲート電極 401 側（X 軸マイナス側）に配置される。ここでの抵抗体 601 の全体とは、抵抗体 601 のうち平面視において活性領域 701 と重なる部分の全体を意味する。また、仮想線 602 a よりゲート電極 401 側とは、図 4 B ~ 図 4 J に示される抵抗体 601 の断面部分（ハッチング部分）の全体が仮想線 602 a よりゲート電極 401 側であることを意味する。

#### 【0100】

以上のように、本変形例に係る高周波増幅用半導体装置 100 B1 ~ 100 B9 は、さらにソース電極 301 と同電位であり、ゲート電極 401 とドレイン電極 302 との間にドレイン電極 302 側の端部を有するソースフィールドプレート電極 501 を第 2 窒化物半導体層 104 の上方に備える。そして、抵抗体 601 の全体は、断面視で、ゲート電極 401 のドレイン電極 302 側の端部の最下点（例えば、図 4 B に示す点 P1）とソースフィールドプレート電極 501 のドレイン電極 302 側の端部の最下点（例えば、図 4 B に示す点 P2）とを通る仮想直線（例えば、仮想線 602 a）よりゲート電極 401 側に配置され、抵抗体 601 のソース電極 301 側の端部は、ソース電極 301 のドレイン電極 302 側の端部よりドレイン電極 302 側に配置されている。

10

#### 【0101】

これにより、抵抗体 601 に最も近いゲート電極 401 のドレイン電極 302 側の端部付近で発生する、トランジスタ動作中の発熱による温度の変化を選択的に、応答性良く検知することが可能となる。また、抵抗体 601 がドレイン電極 302 側で発生する電界に及ぼす影響を小さくすることができる。

20

#### 【0102】

また、例えば、平面視における第 1 方向と直交する第 2 方向において、抵抗体 601 のドレイン電極 302 側の端部は、ソースフィールドプレート電極 501 のドレイン電極 302 側の端部よりソース電極 301 側に配置されている。また、例えば、平面視における第 1 方向と直交する第 2 方向において、抵抗体 601 のソース電極 301 側の端部は、ソースフィールドプレート電極 501 のソース電極 301 側の端部よりドレイン電極 302 側に配置されている。

30

#### 【0103】

これにより、抵抗体 601 に起因する寄生容量の増加を抑制することができる。

#### 【0104】

（実施の形態 1 の変形例 3）

本変形例では、抵抗体 601 が複数設けられる例について、図 5 を参照しながら説明する。図 5 は、実施の形態 1 の変形例 3 に係る高周波増幅用半導体装置 100 C1 の構成を示す平面図である。

#### 【0105】

図 5 に示すように、平面視において、活性領域 701 内に複数の抵抗体が存在していてもよい。図 5 の例では、第 1 の抵抗体 603 および第 2 の抵抗体 604 の 2 つの抵抗体が設けられる例を示しているが、抵抗体は 3 つ以上設けられてもよい。また、例えば、第 1 の抵抗体 603 と、第 2 の抵抗体 604 とは、平面視において、ソース電極 301 を挟むように設けられるが、これに限定されない。なお、第 1 の抵抗体 603 および第 2 の抵抗体 604 は、例えば、同じ材料を用いて形成される。また、第 1 の抵抗体 603 および第 2 の抵抗体 604 の平面視における大きさおよび形状は、例えば、同じである。

40

#### 【0106】

第 1 の抵抗体 603 と、第 2 の抵抗体 604 とは、並列に設けられ、それぞれが第 2 配線層 901 と接続されている。複数の抵抗体を並列に配置することで、仮に片方の抵抗体が断線していても他方の抵抗体により温度変化を抵抗値変化として検出することが可能となる。

50

## 【0107】

また、第1の抵抗体603および第2の抵抗体604のそれぞれは、平面視において、活性領域701のX軸方向の中心から、X軸方向に長さ $L1/8$ 以内の範囲に設けられる。当該範囲は、活性領域701のX軸方向の中心（一点鎖線Cx）からX軸プラス側に $L1/8$ の位置と、X軸マイナス側に $L1/8$ の位置との間の範囲（例えば、Y軸方向に長尺な矩形の範囲）である。また、第1の抵抗体603および第2の抵抗体604のそれぞれは、平面視において、活性領域701に、Y軸方向に長さ $L2/2$ 未満の長さをもって配置される。また、第1の抵抗体603および第2の抵抗体604のそれぞれは、平面視において、より好ましくは、活性領域701のY軸方向の中心から、Y軸方向に長さ $L2/4$ 以内の範囲に配置される。これにより、第1の抵抗体603と、第2の抵抗体604は、デバイスが等間隔に配置された際に最も発熱が集中する、活性領域701中心付近の温度変化を選択的に抵抗値変化として検出することが可能となる。なお、第1の抵抗体603および第2の抵抗体604の少なくとも一方の活性領域701内におけるY軸方向の長さが、平面視において、 $L2/2$ 未満であればよい。

10

## 【0108】

また、第1の抵抗体603および第2の抵抗体604のそれぞれは、平面視において、ソースフィールドプレート電極501上における活性領域701のY軸方向の中心と重なるように配置されてもよい。第1の抵抗体603および第2の抵抗体604のそれぞれは、平面視において、一点鎖線Cyと重なるように（例えば、一点鎖線Cyを跨ぐように）、ソースフィールドプレート電極501上に配置されてもよい。なお、実施の形態1に係る抵抗体601においても、同様のことが言える。抵抗体601は、一点鎖線Cyと重なるように（例えば、一点鎖線Cyを跨ぐように）、ソースフィールドプレート電極501上に配置されてもよい。

20

## 【0109】

なお、一点鎖線Cxは、X軸方向の中心を示しており、活性領域701のX軸方向の端部からの距離が $L1/2$ となる（活性領域701のX軸方向両端からの距離が等しい）直線である。

## 【0110】

なお、第1の抵抗体603および第2の抵抗体604は、共通の第2端子パッドである、第1の抵抗端子805および第2の抵抗端子806に接続される。

30

## 【0111】

以上のように、本変形例に係る高周波増幅用半導体装置100C1が備える抵抗体（例えば、第1の抵抗体603および第2の抵抗体604）は、複数設けられる。

## 【0112】

これにより、1つの抵抗体が断線していても他の抵抗体により温度変化を抵抗値変化として検出することが可能となるので、高周波増幅用半導体装置100C1の信頼性が向上する。

## 【0113】

また、例えば、高周波増幅用半導体装置100C1は、平面視において、第1方向（例えば、Y軸方向）と直交する第2方向（例えば、X軸方向）の長さを $L1$ とすると、第2方向において、抵抗体は、活性領域701の中心から $L1/8$ 以内の範囲に配置されている。

40

## 【0114】

これにより、抵抗体は、デバイスが等間隔に配置された際に最も発熱が集中しやすい活性領域701の中心付近（発熱大部）の温度変化を抵抗値変化として検出することが可能となる。

## 【0115】

また、例えば、平面視において、活性領域701の第1方向の長さ（つまり、活性領域701における第1方向の長さ）を $L2$ とすると、抵抗体は、第1方向の長さが $L2/2$ 未満である。また、例えば、平面視での第1方向において、抵抗体は、活性領域701の

50

中心から  $L/4$  以内の範囲に配置されている。

【0116】

これにより、抵抗体は、デバイスが等間隔に配置された際に最も発熱が集中しやすいゲート電極 401 の Y 軸方向における中心付近の温度変化を抵抗値変化として検出することが可能となる。

【0117】

(実施の形態 1 の変形例 4)

本変形例では、複数設けられる抵抗体の他の配置例について、図 6A ~ 図 6C を参照しながら説明する。図 6A ~ 図 6C は、実施の形態 1 の変形例 4 に係る高周波増幅用半導体装置の構成の各例を示す平面図である。なお、高周波増幅用半導体装置 100C2 の構成を図 6A で示し、高周波増幅用半導体装置 100C3 の構成を図 6B で示し、高周波増幅用半導体装置 100C4 の構成を図 6C で示す。

10

【0118】

図 6A、図 6B および図 6C に示すように、第 1 の抵抗体 603 および第 2 の抵抗体 604 は、互いに異なる端子パッドに接続される。具体的には、第 1 の抵抗体 603 の両端は、第 1 の抵抗端子 805 および第 2 の抵抗端子 806 に接続され、第 2 の抵抗体 604 の両端は、第 3 の抵抗端子 807 および第 4 の抵抗端子 808 に接続される。これにより、活性領域 701 内の任意の 2 か所の温度変化をそれぞれの抵抗値変化で検出することができる。第 3 の抵抗端子 807 および第 4 の抵抗端子 808 は、第 2 端子パッドの一例である。

20

【0119】

図 6A ~ 図 6C に示すように、第 1 の抵抗体 603 は、活性領域 701 の X 軸方向の中心 (一点鎖線 Cx) から、X 軸方向に長さ  $L/8$  以内であり、かつ、活性領域 701 の Y 軸方向の中心 (一点鎖線 Cy) から、Y 軸方向に長さ  $L/4$  以内の範囲に配置される。これにより、高周波増幅用半導体装置 100C2 ~ 100C4 は、活性領域 701 中心付近の発熱集中部の温度変化を選択的に抵抗値変化として検出することができる。

【0120】

また、図 6A に示すように、第 2 の抵抗体 604 は、第 1 の抵抗体 603 より活性領域 701 の X 軸方向の中心から X 軸方向側に遠い位置に配置されてもよい。第 2 の抵抗体 604 は、活性領域 701 の X 軸方向の中心から、X 軸方向に長さ  $L/8$  よりも外側の活性領域 701 内の範囲であり、かつ、活性領域 701 の Y 軸方向の中心から、Y 軸方向に長さ  $L/4$  以内の範囲に配置されてもよい。これにより、高周波増幅用半導体装置 100C2 ~ 100C4 は、デバイスが等間隔に配置された際には、活性領域 701 の端部付近における発熱が最も集中しやすい活性領域 701 の箇所温度変化を、選択的に抵抗値変化として検出することができる。

30

【0121】

図 6B に示すように、第 2 の抵抗体 604 は、活性領域 701 の X 軸方向の中心から、X 軸方向に長さ  $L/8$  以内であり、かつ、活性領域 701 の Y 軸方向の中心から、Y 軸方向に長さ  $L/4$  よりも外側の活性領域 701 内の範囲に配置されてもよい。これにより、高周波増幅用半導体装置 100C2 ~ 100C4 は、デバイスが等間隔に配置された際には、活性領域 701 の中心付近における発熱が最も集中しない活性領域 701 の箇所の温度変化を、選択的に抵抗値変化として検出することができる。

40

【0122】

図 6C に示すように、第 2 の抵抗体 604 は、活性領域 701 の X 軸方向の中心から、X 軸方向に長さ  $L/8$  よりも外側の活性領域 701 内の範囲であり、かつ、活性領域 701 の Y 軸方向の中心から、Y 軸方向に長さ  $L/4$  よりも外側の活性領域 701 内の範囲に配置されてもよい。これにより、高周波増幅用半導体装置 100C2 ~ C4 は、デバイスが等間隔に配置された際には、活性領域 701 の全体において発熱が最も集中しない活性領域 701 の箇所の温度変化を、選択的に抵抗値変化として検出することができる。

【0123】

50

以上のように、本変形例に係る高周波増幅用半導体装置 100C2 が備える抵抗体は、第 1 の抵抗体 603 と第 2 の抵抗体 604 とを含み、平面視での第 2 方向において、第 1 の抵抗体 603 は、活性領域 701 の中心から  $L1/8$  以内の範囲に配置され、かつ、第 2 の抵抗体 604 は、活性領域 701 の中心から  $L1/8$  より外側の範囲に配置されている。

【0124】

これにより、活性領域 701 のうち、第 2 方向における発熱が大きい箇所および発熱が小さい箇所それぞれの温度変化を抵抗値変化として検出することが可能である。よって、活性領域 701 における温度差を検出することが可能である。

【0125】

また、例えば、抵抗体は、第 1 の抵抗体 603 と第 2 の抵抗体 604 とを含み、平面視での第 1 方向において、第 1 の抵抗体 603 は、活性領域 701 の中心から  $L2/4$  以内の範囲に配置され、かつ、第 2 の抵抗体 604 は、活性領域 701 の中心から  $L2/4$  より外側の範囲に配置されている。

【0126】

これにより、活性領域 701 のうち、第 1 方向における発熱が大きい箇所および発熱が小さい箇所それぞれの温度変化を抵抗値変化として検出することが可能である。よって、活性領域 701 における温度差を検知することが可能である。

【0127】

(実施の形態 1 の変形例 5)

本変形例では、抵抗体の長さが実施の形態 1 等と異なる例について、図 7A ~ 図 7C を参照しながら説明する。図 7A ~ 図 7C は、実施の形態 1 の変形例 5 に係る高周波増幅用半導体装置の構成の各例を示す平面図である。図 7A に示す高周波増幅用半導体装置 100D1 は、図 1 に示す高周波増幅用半導体装置 100 の抵抗体 601 の長さを長くした構成を有し、図 7B に示す高周波増幅用半導体装置 100D2 は、図 5 に示す高周波増幅用半導体装置 100C1 の第 1 の抵抗体 603 および第 2 の抵抗体 604 の長さを長くした構成を有し、図 7C に示す高周波増幅用半導体装置 100D3 は、図 6A に示す高周波増幅用半導体装置 100C2 の第 1 の抵抗体 603 および第 2 の抵抗体 604 の長さを長くした構成を有する。

【0128】

図 7A に示すように、抵抗体 601 は、活性領域 701 に、Y 軸方向に長さ  $L2/2$  以上の長さをもって配置されてもよい。また、図 7B および図 7C に示すように、第 1 の抵抗体 603 および第 2 の抵抗体 604 は、活性領域 701 に、Y 軸方向に長さ  $L2/2$  以上の長さをもって配置されてもよい。これらにより、発熱量全体の平均的な温度変化を、抵抗値変化として検出することができる。なお、抵抗体 601、第 1 の抵抗体 603 および第 2 の抵抗体 604 は、活性領域 701 の Y 軸方向に長さ  $L2$  以下であってもよい。

【0129】

以上のように、本変形例に係る高周波増幅用半導体装置 100D1 ~ 100D3 が備える抵抗体は、平面視において、活性領域 701 の第 1 方向の長さ（つまり、活性領域 701 における第 1 方向の長さ）を  $L2$  とすると、第 1 方向の長さが  $L2/2$  以上である。

【0130】

これにより、抵抗体の第 1 方向の長さが  $L2/2$  以上と長いので、ゲート電極 401 全体の平均的な温度変化を抵抗値変化として検出することが可能となる。

【0131】

(実施の形態 1 の変形例 6)

本変形例では、第 2 配線層 901 を備えない構成について、図 8A ~ 図 8C を参照しながら説明する。図 8A ~ 図 8C は、実施の形態 1 の変形例 6 に係る高周波増幅用半導体装置の構成の各例を示す平面図である。なお、高周波増幅用半導体装置 100E1 の構成を図 8A で示し、高周波増幅用半導体装置 100E2 の構成を図 8B で示し、高周波増幅用半導体装置 100E3 の構成を図 8C で示す。

10

20

30

40

50

## 【 0 1 3 2 】

図 8 A および図 8 B に示すように、抵抗体 6 0 1 は、活性領域 7 0 1 の Y 軸方向の中心から、Y 軸方向に長さ  $L 2 / 2$  よりも外側の範囲、つまり活性領域 7 0 1 の外側まで配置される。抵抗体 6 0 1 は、活性領域 7 0 1 および非活性領域 7 0 4 を跨いで設けられる。抵抗体 6 0 1 は、例えば、活性領域 7 0 1 の Y マイナス側の非活性領域 7 0 4 から活性領域 7 0 1 の Y プラス側の非活性領域 7 0 4 にわたって設けられる。

## 【 0 1 3 3 】

また、抵抗体 6 0 1 は、第 1 の抵抗端子 8 0 5 および第 2 の抵抗端子 8 0 6 まで延在しており、第 2 配線層 9 0 1 を介さずに第 1 の抵抗端子 8 0 5 および第 2 の抵抗端子 8 0 6 と直接接続されている。抵抗体 6 0 1 の両端から、第 1 配線層 8 0 1 につながる、抵抗体接続用開口部 8 0 1 e を、第 1 の抵抗端子 8 0 5 および第 2 の抵抗端子 8 0 6 が覆うことで、第 2 配線層 9 0 1 がなくても、本開示を実施することが可能となる。抵抗体接続用開口部 8 0 1 e は、抵抗体 6 0 1 と第 1 の抵抗端子 8 0 5 および第 2 の抵抗端子 8 0 6 とを直接接続するための開口部である。抵抗体接続用開口部 8 0 1 e は、第 3 絶縁層 2 0 3 および第 4 絶縁層 2 0 4 を貫通する開口である。

10

## 【 0 1 3 4 】

このような抵抗体 6 0 1 は、Y 軸方向に延在する温度検知用として機能する第 1 部分と、当該第 1 部分の両端から X 軸方向に延在する配線として機能する第 2 部分とを有する。第 2 部分は、平面視において、非活性領域 7 0 4 に形成される。図 8 A および図 8 B の例では、抵抗体 6 0 1 は、平面視において、U 字を反時計周りに 9 0 度回転させて角を設けた形状（3 つの直線で形成される形状）を有する。

20

## 【 0 1 3 5 】

また、図 8 C に示すように、第 1 の抵抗体 6 0 3 および第 2 の抵抗体 6 0 4 は、活性領域 7 0 1 の Y 軸方向の中心から、Y 軸方向に長さ  $L 2 / 4$  よりも外側の範囲、例えば、活性領域 7 0 1 の外側まで配置される。第 1 の抵抗体 6 0 3 および第 2 の抵抗体 6 0 4 は、活性領域 7 0 1 および非活性領域 7 0 4 を跨いで設けられる。第 1 の抵抗体 6 0 3 および第 2 の抵抗体 6 0 4 は、例えば、活性領域 7 0 1 の Y マイナス側の非活性領域 7 0 4 から活性領域 7 0 1 の Y プラス側の非活性領域 7 0 4 にわたって設けられる。

## 【 0 1 3 6 】

第 1 の抵抗体 6 0 3 および第 2 の抵抗体 6 0 4 は、Y 軸方向に延在する温度検知用として機能する第 1 部分と、当該第 1 部分の両端から X 軸方向に延在する配線として機能する第 2 部分とを有する。第 2 部分は、平面視において、非活性領域 7 0 4 に形成される。

30

## 【 0 1 3 7 】

以上のように、本変形例に係る高周波増幅用半導体装置 1 0 0 E 1 ~ 1 0 0 E 3 が備える抵抗体 6 0 1 は、第 1 方向（例えば、Y 軸方向）の長さが  $L 2$  以上であり、非活性領域 7 0 4 まで配置されている。

## 【 0 1 3 8 】

これにより、抵抗体 6 0 1 と配線層（例えば、第 2 配線層 9 0 1）とを接続する場合、構造が複雑である接続部が活性領域 7 0 1 上に形成されないので、配線の乗り換え、つまり抵抗体 6 0 1 と配線層との接続を容易に行うことができる。また、さらに第 2 配線層 9 0 1 を設けなくても、抵抗体 6 0 1 と第 1 の抵抗端子 8 0 5 および第 2 の抵抗端子 8 0 6 とを電氣的に接続することができる。よって、高周波増幅用半導体装置 1 0 0 E 1 ~ 1 0 0 E 3 の構成を簡素化することができる。

40

## 【 0 1 3 9 】

（実施の形態 2）

[ 2 - 1 . 高周波増幅用半導体装置の構成 ]

次に、実施の形態 2 に係る高周波増幅用半導体装置について、図 9 を参照しながら説明する。図 9 は、実施の形態 2 に係る高周波増幅用半導体装置 2 0 0 の構成を示す平面図である。なお、本実施の形態では、実施の形態 1 と共通または類似の構成要素については、実施の形態 1 と同一の符号を付し詳細な説明を省略する。

50

## 【 0 1 4 0 】

図 9 に示すように、高周波増幅用半導体装置 2 0 0 の抵抗体 6 0 1 は、X 軸方向に平行に延在している。抵抗体 6 0 1 は、複数のゲート電極 4 0 1 が並ぶ方向である X 軸方向に長尺な矩形状を有する。そのため、抵抗体 6 0 1 は、複数のゲート電極 4 0 1 に跨って設けられているので、複数のゲート電極 4 0 1 の温度変化を抵抗値変化として検出することができる。本実施の形態では、平面視において、ゲート電極 4 0 1 の長辺方向と、抵抗体 6 0 1 の長辺方向とは交差しており、図 9 の例では、直交している。なお、平面視において、抵抗体 6 0 1 と重なる部分には、ソース・ドレイン電極接続用開口部 8 0 1 a は設けられない。

## 【 0 1 4 1 】

抵抗体 6 0 1 は、例えば、平面視において、活性領域 7 0 1 の X 軸方向の中心（一点鎖線 C x）から、X 軸方向に長さ L 1 / 4 以内であり、かつ、活性領域 7 0 1 の Y 軸方向の中心（一点鎖線 C y）から、Y 軸方向に長さ L 2 / 4 以内の範囲に配置される。

## 【 0 1 4 2 】

これにより、複数のゲート電極 4 0 1 に跨って、発熱集中部の温度変化を抵抗値変化として検出することができる。なお、抵抗体 6 0 1 の X 軸方向の長さは L 1 / 4 以内であることに限定されず、少なくとも 2 つのゲート電極 4 0 1 を跨るように設けられていればよい。

## 【 0 1 4 3 】

以上のように、本実施の形態に係る高周波増幅用半導体装置 2 0 0 が備える抵抗体 6 0 1 の長辺方向は、平面視において、ゲート電極 4 0 1 の延在方向である第 1 方向（例えば、Y 軸方向）と直交する第 2 方向（例えば、X 軸方向）である。

## 【 0 1 4 4 】

これにより、抵抗体 6 0 1 は、複数のゲート電極 4 0 1 に跨って設けられているので、複数のゲート電極 4 0 1 の温度変化を抵抗値変化として検出することが可能となる。

## 【 0 1 4 5 】

また、例えば、平面視において、第 1 方向の活性領域 7 0 1 の長さ（つまり、活性領域 7 0 1 における第 1 方向の長さ）を L 2 とすると、平面視での第 1 方向において、抵抗体 6 0 1 は、活性領域 7 0 1 の中心から L 2 / 4 以内の範囲に配置されている。

## 【 0 1 4 6 】

これにより、発熱が集中しやすい活性領域 7 0 1 の中心付近（発熱大部）の複数のゲート電極 4 0 1 の温度変化を抵抗値変化として検出することが可能となる。

## 【 0 1 4 7 】

（実施の形態 2 の変形例）

本変形例では、X 軸方向に平行に配置された抵抗体を複数備える高周波増幅用半導体装置について、図 1 0 A および図 1 0 B を参照しながら説明する。図 1 0 A および図 1 0 B は、実施の形態 2 の変形例に係る高周波増幅用半導体装置の構成の各例を示す平面図である。なお、高周波増幅用半導体装置 2 0 0 A の構成を図 1 0 A で示し、高周波増幅用半導体装置 2 0 0 B の構成を図 1 0 B で示す。なお、本変形例では、第 1 の抵抗体 6 0 3 および第 2 の抵抗体 6 0 4 のそれぞれは、2 以上のゲート電極 4 0 1 を跨ぐように設けられる。

## 【 0 1 4 8 】

図 1 0 A および図 1 0 B に示すように、X 軸方向に平行に延在する抵抗体が複数存在していてもよい。第 1 の抵抗体 6 0 3 の両端は、第 1 の抵抗端子 8 0 5 および第 2 の抵抗端子 8 0 6 に接続され、第 2 の抵抗体 6 0 4 の両端は、第 3 の抵抗端子 8 0 7 および第 4 の抵抗端子 8 0 8 に接続される。これにより、活性領域 7 0 1 内の 2 か所の温度変化をそれぞれの抵抗値変化で検出することができる。

## 【 0 1 4 9 】

第 1 の抵抗体 6 0 3 は、活性領域 7 0 1 の X 軸方向の中心（一点鎖線 C x）から、X 軸方向に長さ L 1 / 4 以内であり、かつ、活性領域 7 0 1 の Y 軸方向の中心（一点鎖線 C y）から、Y 軸方向に長さ L 2 / 4 以内の範囲に配置される。これにより、複数のゲート電

10

20

30

40

50

極 4 0 1 に跨って、発熱集中部の温度変化を抵抗値変化として検出することができる。

【 0 1 5 0 】

図 1 0 A に示すように、第 2 の抵抗体 6 0 4 は、活性領域 7 0 1 の X 軸方向の中心から、X 軸方向に長さ  $L 1 / 4$  よりも外側であり、かつ、活性領域 7 0 1 の Y 軸方向の中心から、Y 軸方向に長さ  $L 2 / 4$  よりも外側に配置されてもよい。これにより、複数のゲート電極 4 0 1 に跨って、活性領域 7 0 1 の全体において発熱が最も集中しない箇所の温度変化を抵抗値変化として検出することができる。

【 0 1 5 1 】

なお、この場合、第 1 の抵抗体 6 0 3 および第 2 の抵抗体 6 0 4 は、互いに異なるゲート電極 4 0 1 を跨ぐように設けられるが、少なくとも 1 本のゲート電極 4 0 1 をそれぞれが跨ぐように設けられていてもよい。また、第 1 の抵抗体 6 0 3 の X 軸方向の長さ、第 2 の抵抗体 6 0 4 の X 軸方向の長さとは、異なっているが同じであってもよい。例えば、Y 軸方向の中心に近い位置に設けられる第 1 の抵抗体 6 0 3 の X 軸方向の長さは、Y 軸方向の中心から遠い位置に設けられる第 2 の抵抗体 6 0 4 の X 軸方向の長さより長くてもよい。

10

【 0 1 5 2 】

図 1 0 B に示すように、第 2 の抵抗体 6 0 4 は、第 1 の抵抗体 6 0 3 より活性領域 7 0 1 の Y 軸方向の中心から Y 軸方向側に遠い位置に配置されてもよい。第 2 の抵抗体 6 0 4 は、活性領域 7 0 1 の X 軸方向の中心から、X 軸方向に長さ  $L 1 / 4$  以内であり、かつ、活性領域 7 0 1 の Y 軸方向の中心から、Y 軸方向に長さ  $L 2 / 4$  よりも外側の範囲に配置されてもよい。これにより、複数のゲート電極に跨って、活性領域 7 0 1 の中心付近において発熱が最も集中しない箇所の温度変化を抵抗値変化として検出することができる。

20

【 0 1 5 3 】

なお、この場合、第 1 の抵抗体 6 0 3 および第 2 の抵抗体 6 0 4 は、互いに共通の複数のゲート電極 4 0 1 を跨ぐように設けられるが、少なくとも 1 本が異なるゲート電極 4 0 1 をそれぞれが跨ぐように設けられてもよい。

【 0 1 5 4 】

以上のように、本変形例に係る高周波増幅用半導体装置 2 0 0 A および 2 0 0 B が備える抵抗体は、第 1 の抵抗体 6 0 3 と第 2 の抵抗体 6 0 4 とを含み、平面視での第 1 方向において、第 1 の抵抗体 6 0 3 は、活性領域 7 0 1 の中心から  $L 2 / 4$  以内の範囲に配置され、かつ、第 2 の抵抗体 6 0 4 は、活性領域 7 0 1 の中心から  $L 2 / 4$  よりも外側の範囲に配置されている。

30

【 0 1 5 5 】

これにより、複数のゲート電極 4 0 1 に跨って、活性領域 7 0 1 内の発熱が集中する箇所および発熱が集中しない箇所それぞれの温度変化を抵抗値変化として検出することが可能となる。

【 0 1 5 6 】

( 製造方法 )

次に、上記のように構成される高周波増幅用半導体装置の製造方法について、図 1 1 ~ 図 2 1 B を参照しながら説明する。以下では一例として、実施の形態 1 に係る高周波増幅用半導体装置 1 0 0 の製造方法を説明する。図 1 1 ~ 図 2 1 B は、実施の形態 1 に係る高周波増幅用半導体装置 1 0 0 の製造方法を説明するための各断面図であり、製造途上における高周波増幅用半導体装置 1 0 0 の構成を示す断面図である。また、図 1 8 A、図 1 9 A、図 2 0 A および図 2 1 A は、図 1 の I I a - I I a 線に対応する断面図であり、図 1 8 B、図 1 9 B、図 2 0 B および図 2 1 B は、図 1 の I I b - I I b 線に対応する断面図である。なお、実施の形態 1 の各変形例、実施の形態 2 および実施の形態 2 の変形例に係る高周波増幅用半導体装置についても製造方法は実施の形態 1 と同じであるため、説明は省略する。

40

【 0 1 5 7 】

図 1 1 に示すように、S i からなる基板 1 0 1 上に、有機金属気相成長法 ( M O C V D

50

: Metal Organic Chemical Vapor Deposition) を用いて、厚さが  $2\ \mu\text{m}$  で AlN および AlGaIn の積層構造からなるバッファ層 102 と、厚さが  $200\ \text{nm}$  で i 型の GaN からなる第 1 窒化物半導体層 103 と、厚さが  $20\ \text{nm}$  で Al 組成比 25% の i 型の AlGaIn からなる第 2 窒化物半導体層 104 とを、+c 面方向 ( $\langle 0001 \rangle$  方向) に順次エピタキシャル成長させる。第 1 窒化物半導体層 103 と第 2 窒化物半導体層 104 とのヘテロ界面の第 1 窒化物半導体層 103 側には、二次元電子ガス層 105 が形成される。

【0158】

次に、図 12 に示すように、第 2 窒化物半導体層 104 上に、ソース電極 301 領域とドレイン電極 302 領域とを開口したフォトレジスト 300 の開口部に、Ti を  $20\ \text{nm}$  と Al を  $200\ \text{nm}$  とを蒸着法より順次積層することで、ソース電極 301 と、ドレイン電極 302 とが形成される。次に、フォトレジスト 300 を有機溶剤により除去したのち、RTA (Rapid Thermal Anneal) 法にて熱処理による合金化処理を行うことで、ソース電極 301 とドレイン電極 302 とが二次元電子ガス層 105 とオーミック接続される。

10

【0159】

次に、図 13 に示すように、第 2 窒化物半導体層 104 上に、ゲート電極 401 領域を開口したフォトレジスト 400 の開口部に、Ni を  $50\ \text{nm}$  と Au を  $500\ \text{nm}$  とを蒸着法より順次積層することで、ゲート電極 401 が形成される。

【0160】

次に、フォトレジスト 400 を有機溶剤により除去した後に、図 14 に示すように、第 2 窒化物半導体層 104、ソース電極 301、ドレイン電極 302 およびゲート電極 401 の上に、プラズマ CVD (Chemical Vapor Deposition) 法により、第 1 絶縁層 201 として SiN を  $150\ \text{nm}$  形成する。

20

【0161】

次に、図 15 に示すように、第 1 絶縁層 201 上にソースフィールドプレート電極 501 領域を開口したフォトレジスト 500 の開口部に、Ni を  $150\ \text{nm}$  と Au を  $400\ \text{nm}$  とを蒸着法より順次積層することで、ソースフィールドプレート電極 501 が形成される。

【0162】

次に、フォトレジスト 500 を有機溶剤により除去した後に、図 16 に示すように、第 1 絶縁層 201 およびソースフィールドプレート電極 501 の上に、プラズマ CVD 法により、第 2 絶縁層 202 として SiN を  $100\ \text{nm}$  形成する。

30

【0163】

次に、図 17 に示すように、第 2 絶縁層 202 上に、抵抗体 601 領域を開口したフォトレジスト 600 の開口部に、Al を蒸着法より  $200\ \text{nm}$  堆積することで、抵抗体 601 が形成される。

【0164】

次に、フォトレジスト 600 を有機溶剤により除去した後に、図 18 A および図 18 B に示すように、第 2 絶縁層 202 および抵抗体 601 の上に、プラズマ CVD 法により第 3 絶縁層 203 として SiN を  $200\ \text{nm}$  形成し、抵抗体接続用開口部 901 a を開口したフォトレジスト 900 a をその上に形成し、その後ドライエッチにてフォトレジスト 900 a の開口部の第 3 絶縁層 203 を除去する。なお、図 18 A に示すように、第 2 配線層 901 が形成されない部分においては、第 3 絶縁層 203 は除去されない。

40

【0165】

次に、アッシングによりフォトレジスト 900 a を除去した後に、図 19 A および図 19 B に示すように、第 3 絶縁層 203 および抵抗体接続用開口部 901 a の上に、第 2 配線層 901 領域を開口したフォトレジスト 900 を形成し、フォトレジスト 900 の開口部に Ti を  $50\ \text{nm}$  と Au を  $50\ \text{nm}$  とを蒸着法により順次堆積した後に、Au をメッキにて  $2.0\ \mu\text{m}$  形成し、フォトレジスト 900 を有機溶剤により除去することで、第 2 配

50

線層 901 が形成される。

【0166】

次に、図 20A および図 20B に示すように、第 3 絶縁層 203 および第 2 配線層 901 の上に、プラズマ CVD 法により第 4 絶縁層 204 として SiN を 200 nm 形成し、ソース・ドレイン電極接続用開口部 801a 領域を開口したフォトレジスト 800a を形成し、その後にドライエッチにてフォトレジスト 800a の開口部の第 4 絶縁層 204、第 3 絶縁層 203、第 2 絶縁層と 202 および第 1 絶縁層 201 を開口する。

【0167】

次に、アッシングによりフォトレジスト 800a を除去した後に、図 21A および図 21B に示すように、第 4 絶縁層 204 およびソース・ドレイン電極接続用開口部 801a の上に、第 1 配線層 801 領域を開口したフォトレジスト 800 を形成し、フォトレジスト 800 の開口部に Ti を 50 nm と Au を 50 nm とを蒸着法により順次堆積した後に、Au をメッキにて 3.0 μm 形成し、第 1 配線層 801 が形成される。また、フォトレジスト 800 には第 1 の抵抗端子 805 および第 2 の抵抗端子 806 に対応する位置にも開口部が形成されており、図 21A および図 21B に示す第 1 配線層 801 に加えて第 1 の抵抗端子 805 および第 2 の抵抗端子 806 が形成される。

【0168】

次に、フォトレジスト 800 を有機溶剤により除去することで、図 1、図 2A および図 2B に示される、実施の形態 1 に係る高周波増幅用半導体装置 100 が形成される。

【0169】

以上、本開示の 1 つまたは複数の態様に係る高周波増幅用半導体装置について、実施の形態等に基づいて説明したが、本開示は、この各実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせる構築される形態も、本開示の 1 つまたは複数の態様の範囲内に含まれてもよい。

【0170】

例えば、上記実施の形態等に係る高周波増幅用半導体装置は、AB 級動作または B 級動作をするキャリアアンプとして用いられてもよいし、C 級動作をするピークアンプとして用いられてもよい。例えば、高周波増幅用半導体装置は、キャリアアンプとピークアンプとを組み合わせるドハティ増幅器に用いられてもよい。

【0171】

また、上記実施の形態等における第 1 端子パッドおよび第 2 端子パッドは、高周波増幅用半導体装置の最上部に設けられ、最上位配線層（例えば、第 1 配線層 801 や第 2 配線層 901）を覆う絶縁層（図示しない）に開口部が形成され、最上位配線層が露出している部分を指す。当該開口部は、平面視において、第 1 端子パッドおよび第 2 端子パッドを含む最上位配線層の形状より小さい開口サイズである。

【0172】

また、上記実施の形態等では、高周波増幅用半導体装置は、第 1 端子パッドおよび第 2 端子パッドの面を上向き（実装基板とは反対向き）にして実装基板等を実装する、いわゆるフェイスアップ（face up）実装により実装される例について説明したが、第 1 端子パッドおよび第 2 端子パッドの面を下向き（実装基板向き）にして実装基板等を実装する、いわゆるフェイスダウン（face down）実装により実装されてもよい。

【0173】

例えば、フェイスアップ実装の場合は、ソース電位の第 1 配線層 801 にソースパッド（図示しない）が第 1 端子パッドとして形成され、当該ソースパッドと実装基板上の GND パターンとがワイヤなどで接続されてソース電圧が供給されてもよいし、裏面金属が実装基板の GND パターンと接続されてソース電圧が供給されてもよい。

【0174】

例えば、フェイスダウン実装の場合は、ソース電位の第 1 配線層 801 にソースパッドが第 1 端子パッドとして形成され、当該ソースパッドと実装基板上の GND パターンとが

10

20

30

40

50

半田バンプなどで接続されてソース電圧が供給されてもよい。

【産業上の利用可能性】

【0175】

本開示に係る高周波増幅用半導体装置は、動作中の温度変化の検出応答性に優れるため、温度検出技術と組み合わせた通信用増幅器等に有用である。

【符号の説明】

【0176】

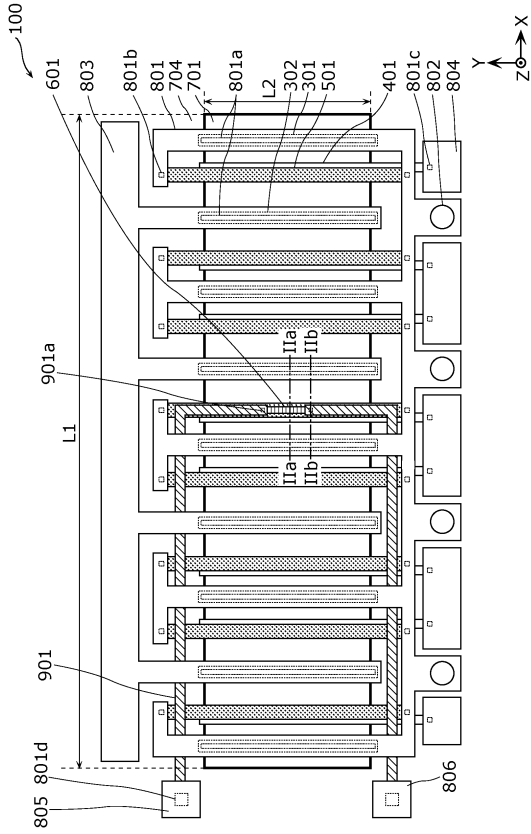
100、100A1、100A2、100B1～100B9、100C1～100C4、100D1～100D3、100E1～100E3、200、200A、200B 高周波増幅用半導体装置（電力増幅用半導体装置）

101	基板	
102	バッファ層	
103	第1窒化物半導体層	
104	第2窒化物半導体層	
105	二次元電子ガス層	
201	第1絶縁層	
202	第2絶縁層	
202a	掘り込み	
203	第3絶縁層	
204	第4絶縁層	20
300、400、500、600、800、800a、900、900a	フォトレジスト	
301	ソース電極	
302	ドレイン電極	
401	ゲート電極	
501	ソースフィールドプレート電極（フィールドプレート）	
601	抵抗体	
601a	抵抗体 - ソースフィールドプレート電極接続用開口部	
602a	仮想線（仮想直線）	
602b、602d、602e	仮想線	30
603	第1の抵抗体（第1抵抗体）	
604	第2の抵抗体（第2抵抗体）	
701	活性領域	
704	非活性領域	
801	第1配線層	
801a	ソース・ドレイン電極接続用開口部	
801b	ソースフィールドプレート電極接続用開口部	
801c	ゲート電極接続用開口部	
801d	第2配線層接続用開口部	
801e、901a	抵抗体接続用開口部	40
802	ソースピアホール	
803	ドレイン端子（第1端子パッド）	
804	ゲート端子（第1端子パッド）	
805	第1の抵抗端子（第2端子パッド）	
806	第2の抵抗端子（第2端子パッド）	
807	第3の抵抗端子（第2端子パッド）	
808	第4の抵抗端子（第2端子パッド）	
901	第2配線層	
Cx、Cy	一点鎖線	
L1、L2	長さ	50

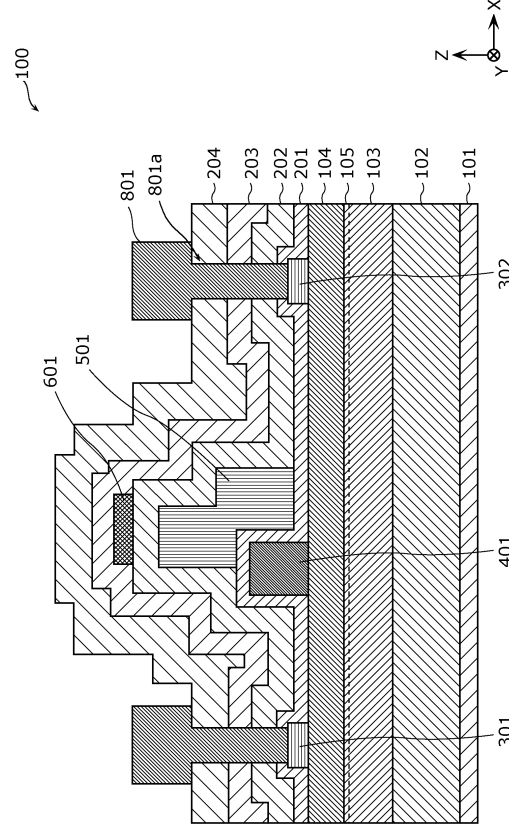
P 1、P 2 点  
 P 3 交点  
 R 破線領域

【図面】

【図 1】



【図 2 A】



10

20

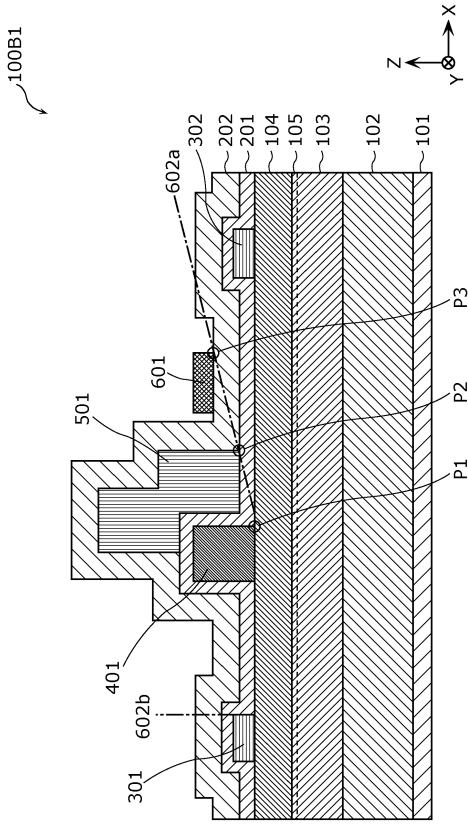
30

40

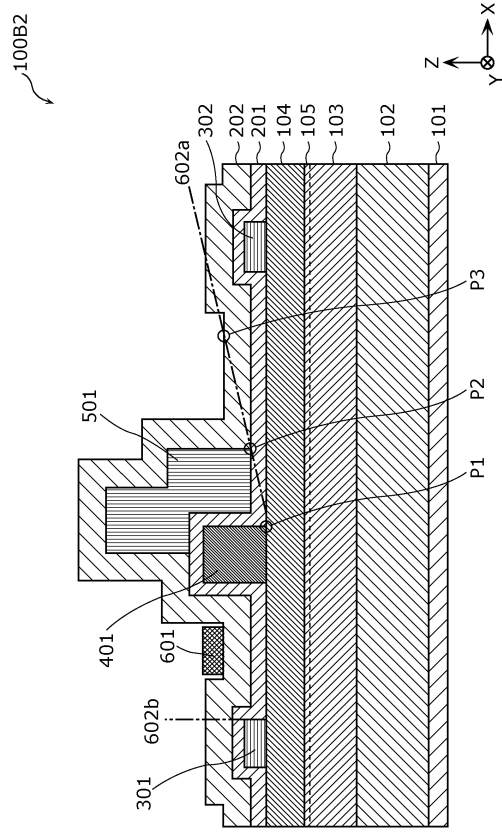
50



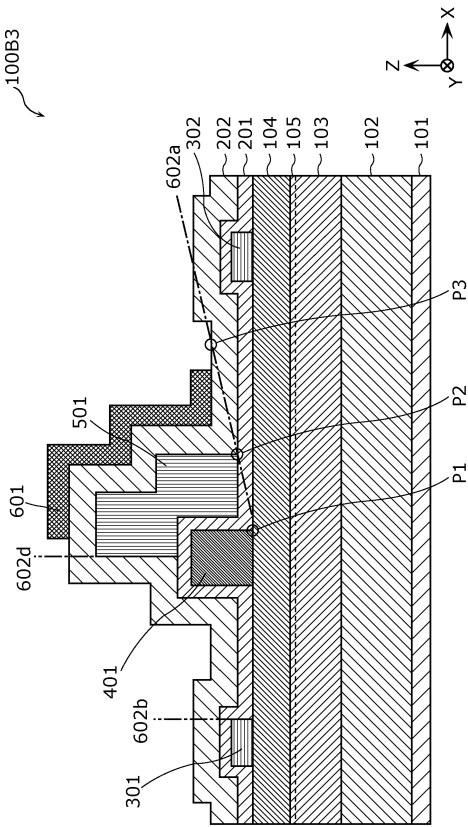
【図 4 B】



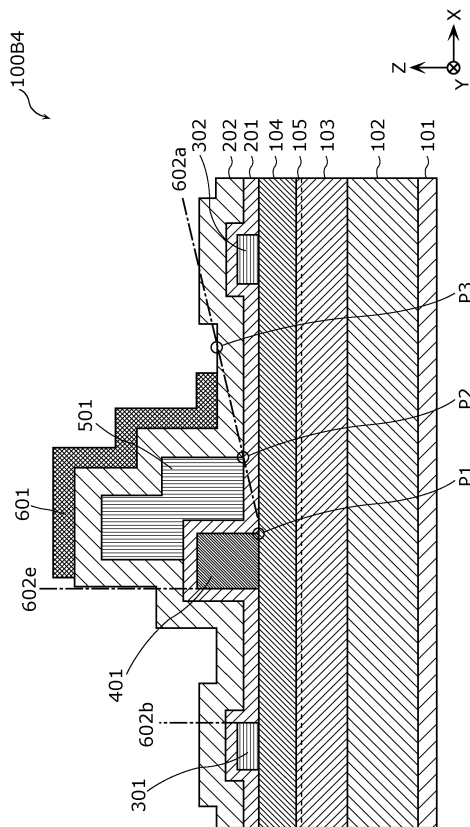
【図 4 C】



【図 4 D】



【図 4 E】



10

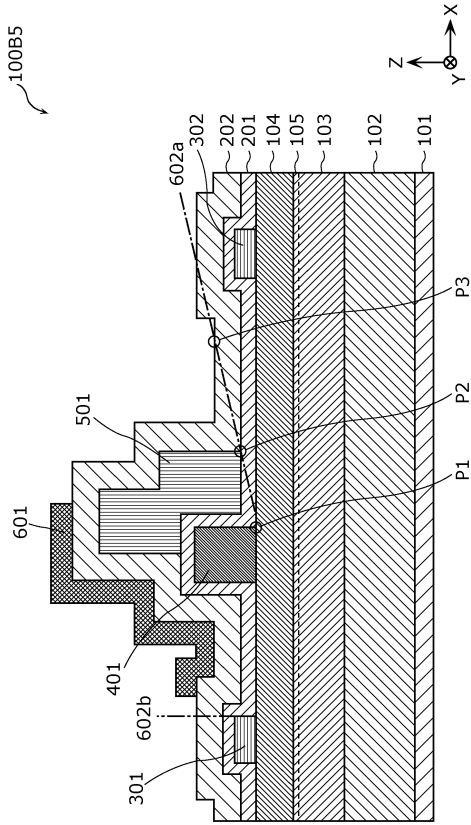
20

30

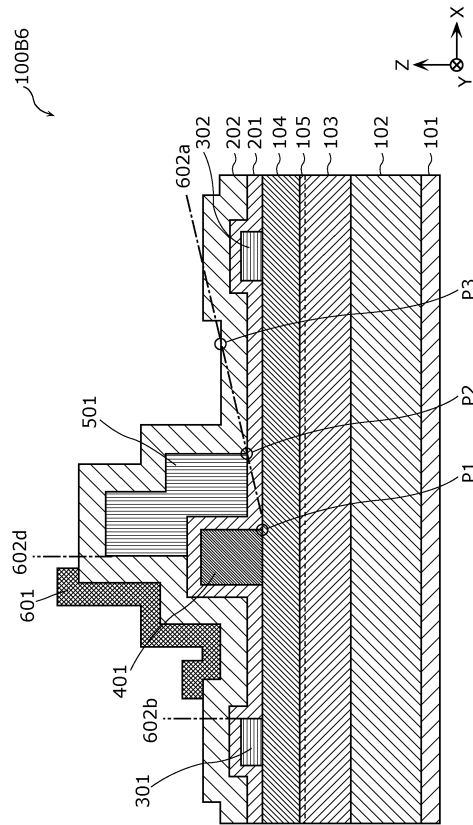
40

50

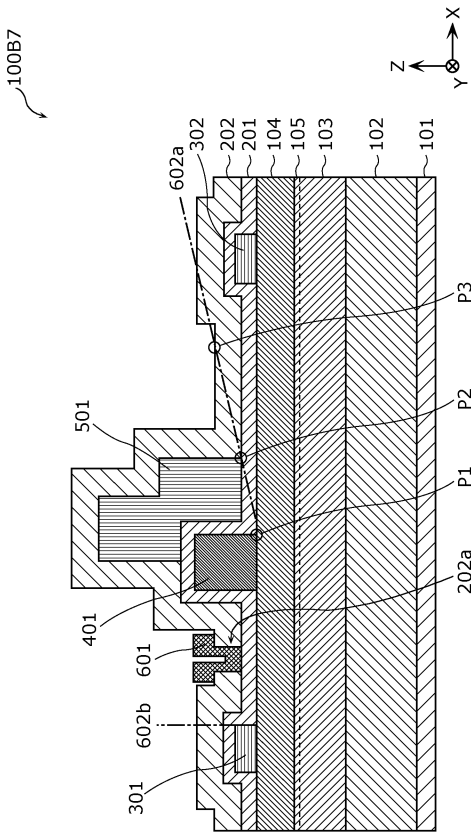
【図 4 F】



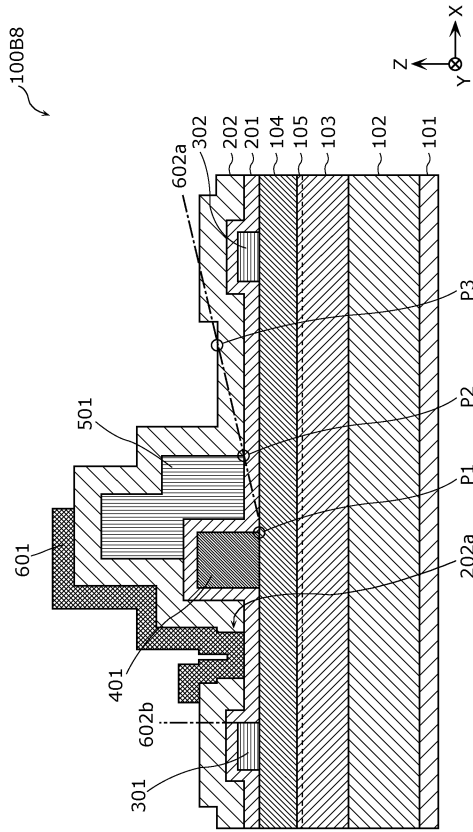
【図 4 G】



【図 4 H】



【図 4 I】



10

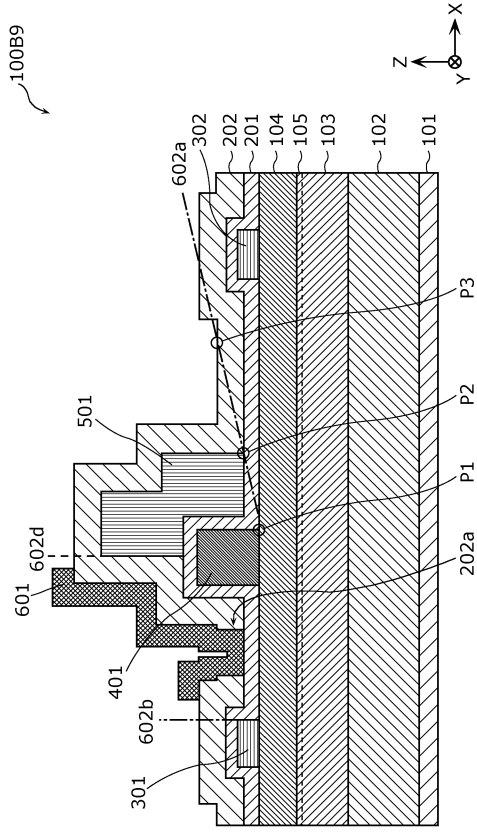
20

30

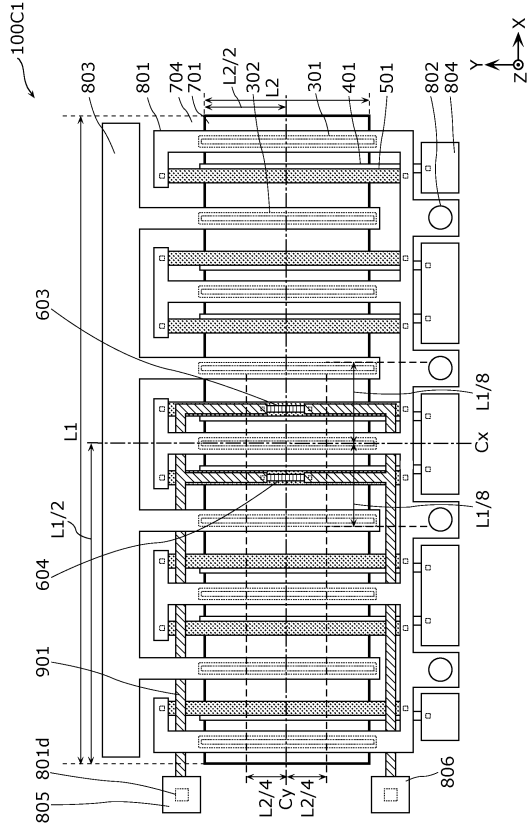
40

50

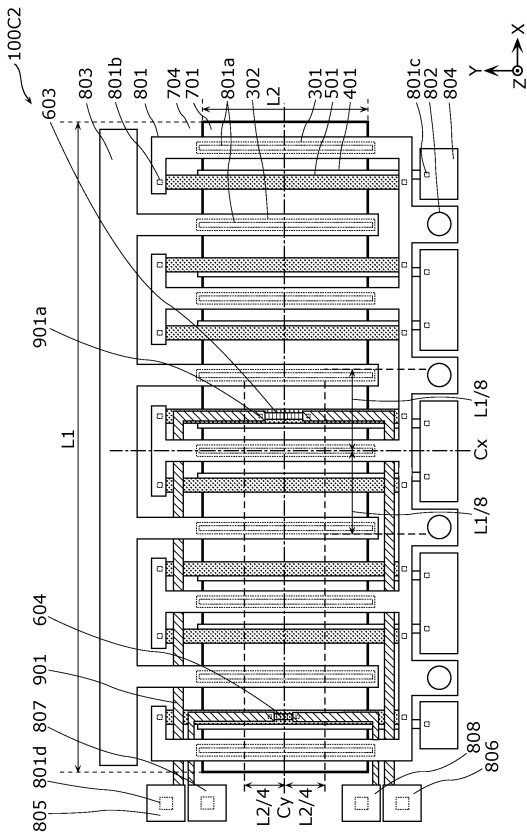
【 図 4 J 】



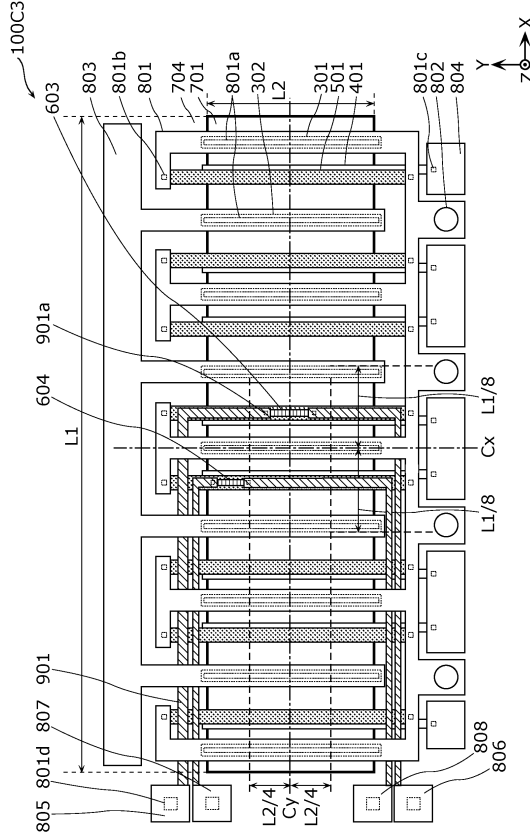
【 図 5 】



【 図 6 A 】



【 図 6 B 】



10

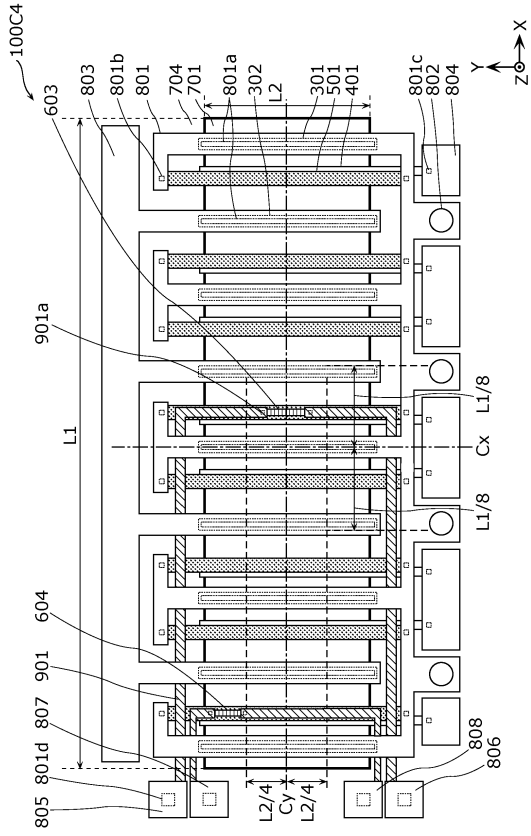
20

30

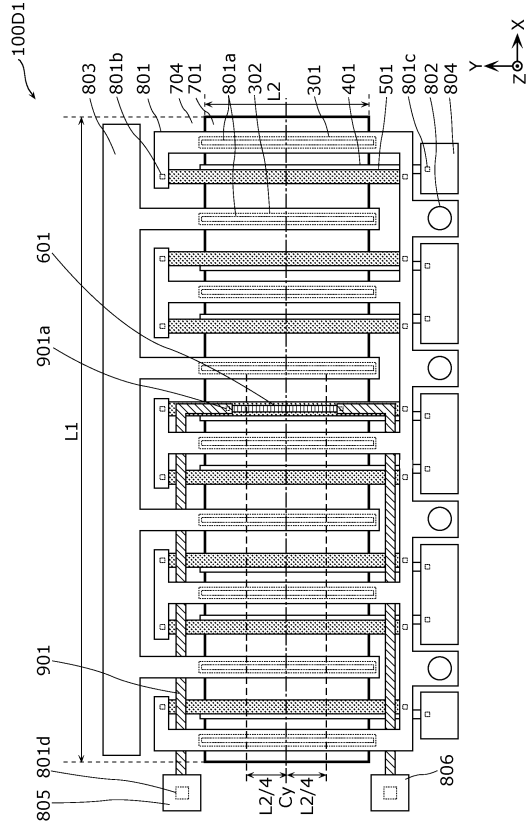
40

50

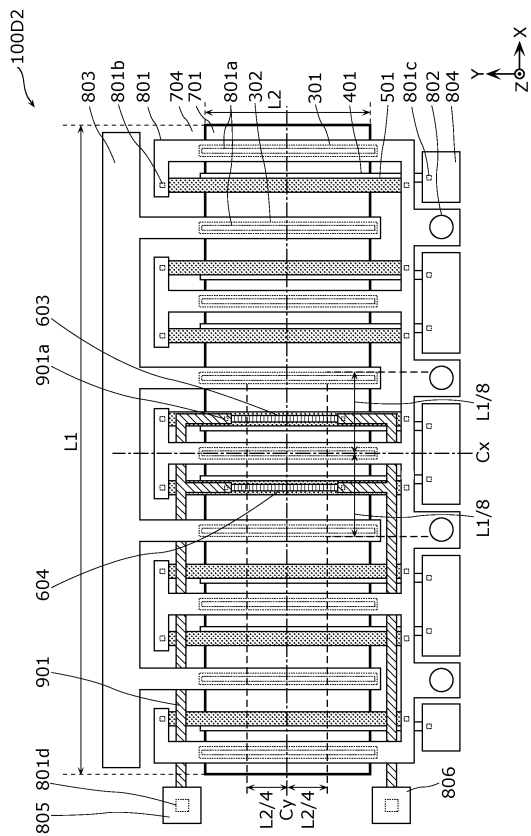
【図 6 C】



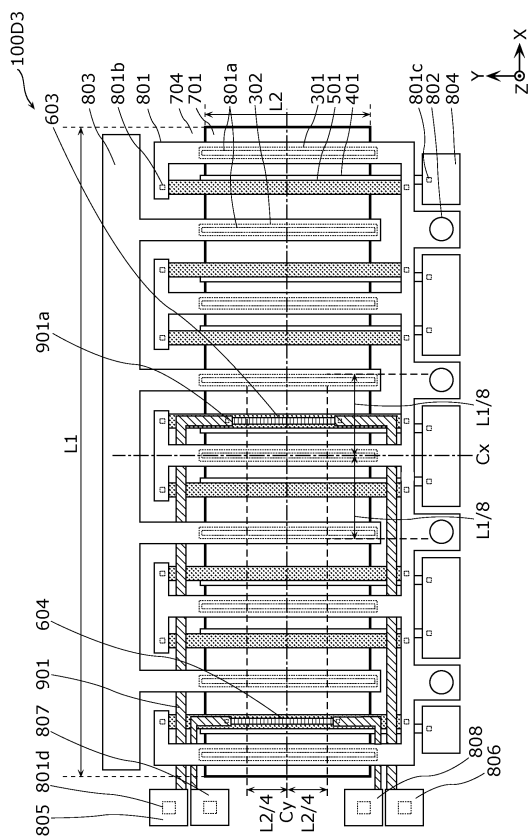
【図 7 A】



【図 7 B】



【図 7 C】



10

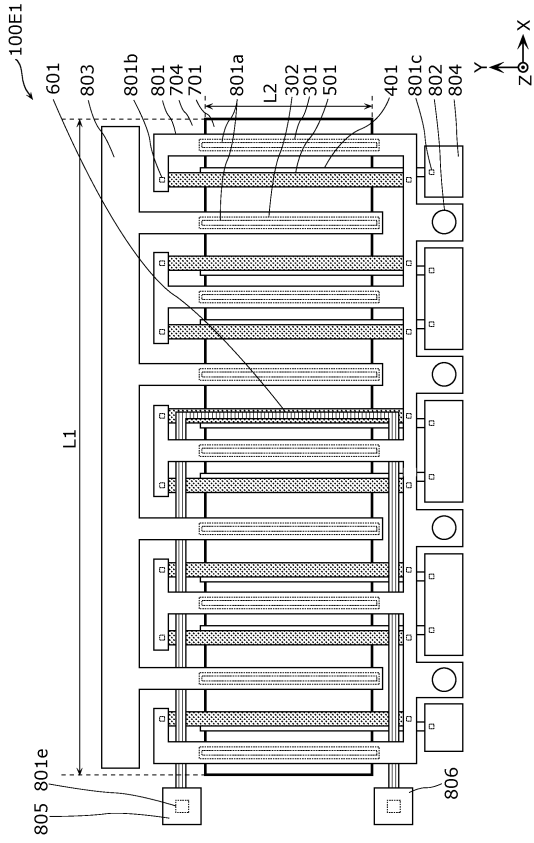
20

30

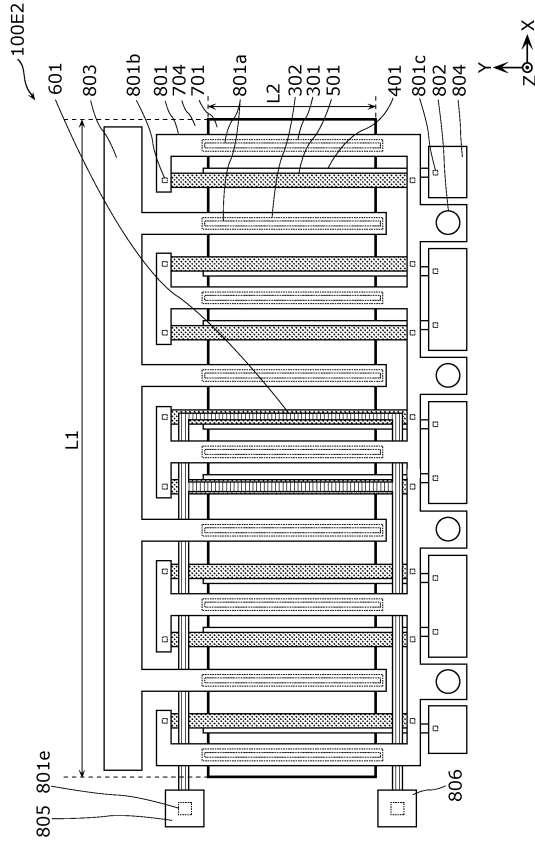
40

50

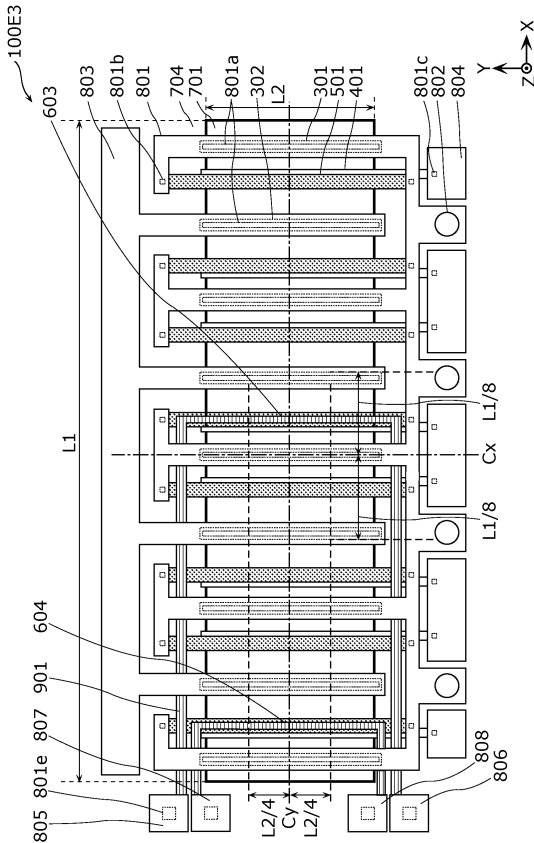
【図 8 A】



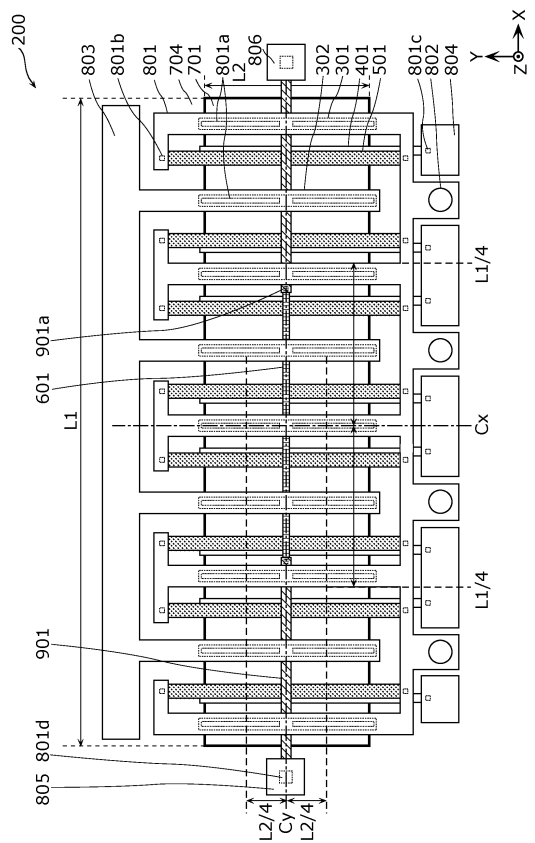
【図 8 B】



【図 8 C】



【図 9】



10

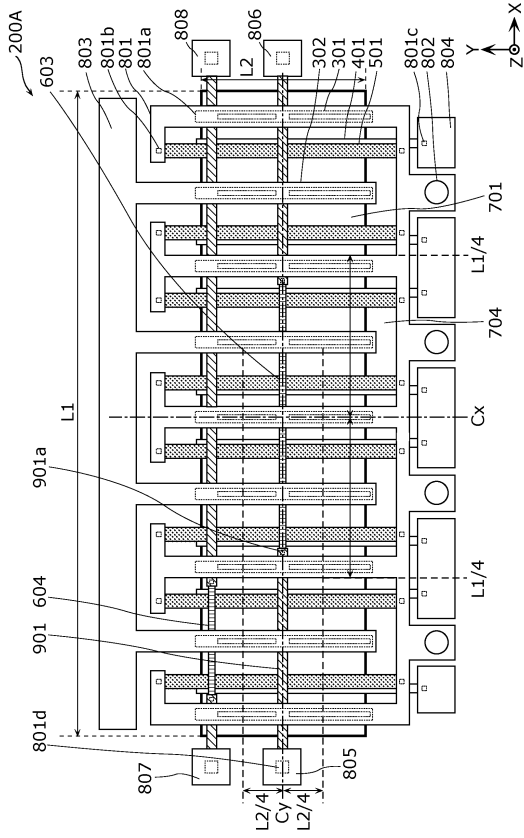
20

30

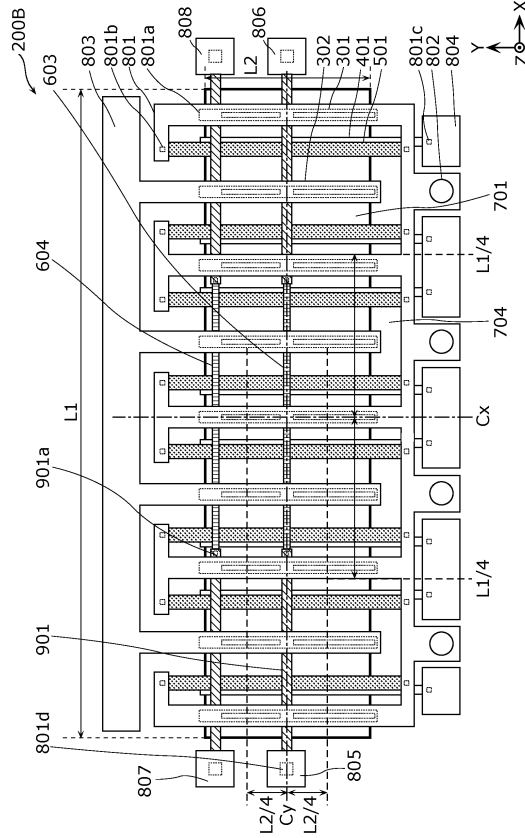
40

50

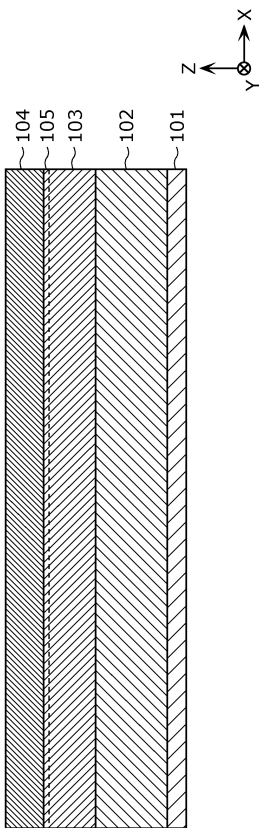
【図 10A】



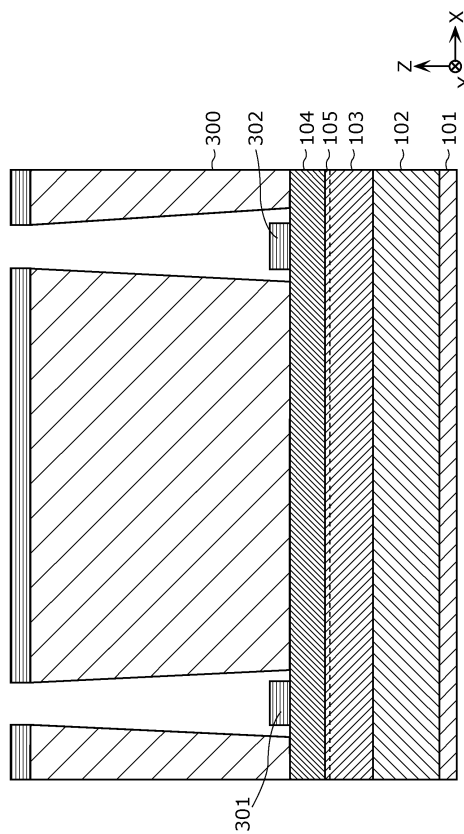
【図 10B】



【図 11】



【図 12】



10

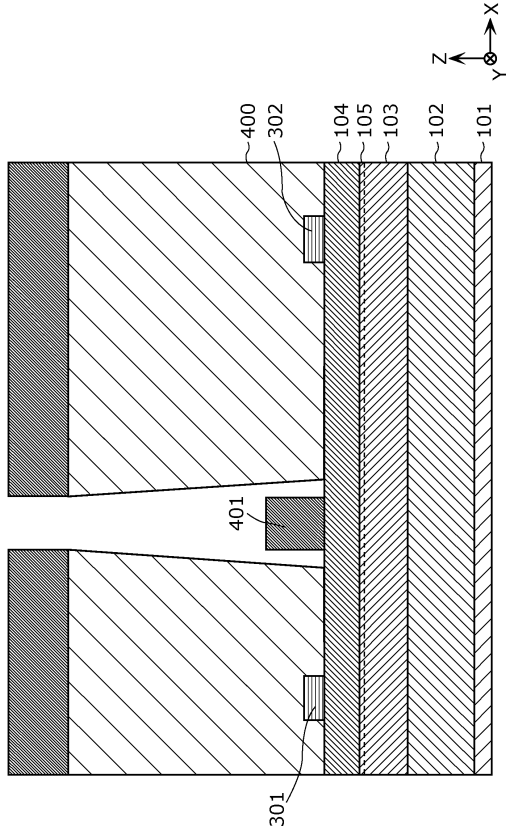
20

30

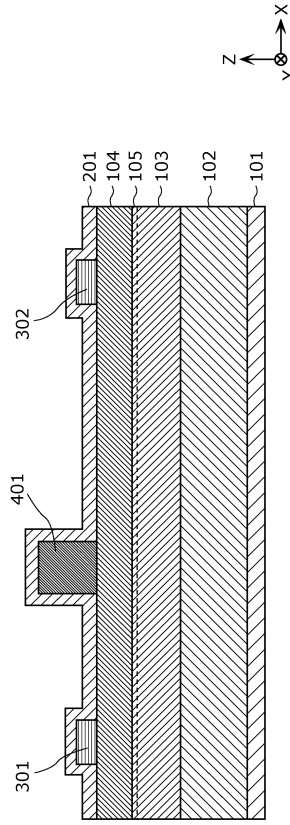
40

50

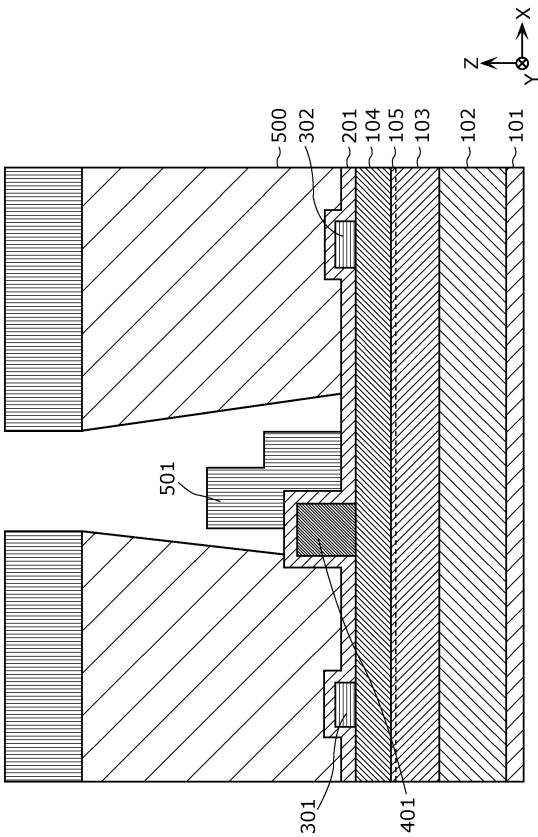
【図 1 3】



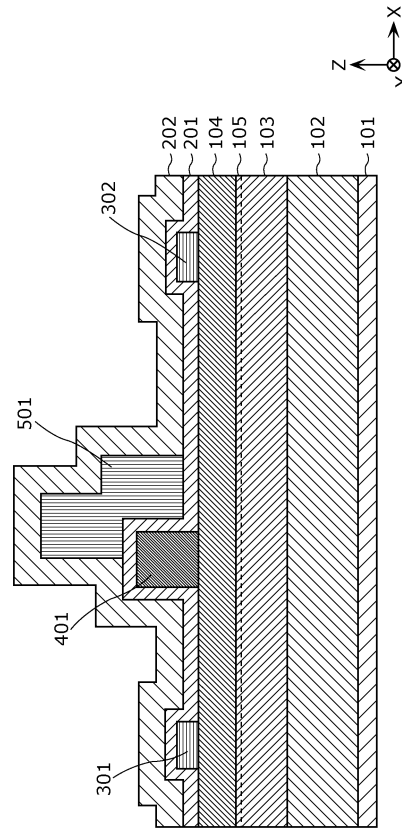
【図 1 4】



【図 1 5】



【図 1 6】



10

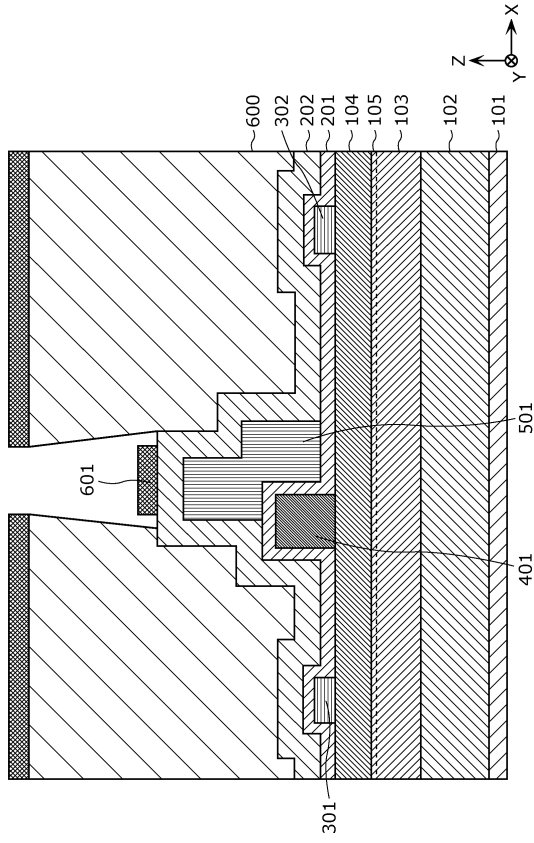
20

30

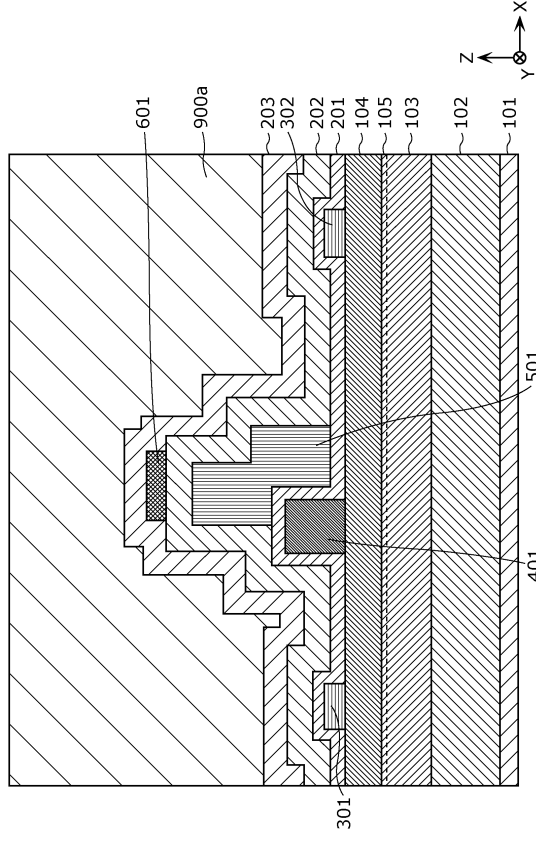
40

50

【図 17】



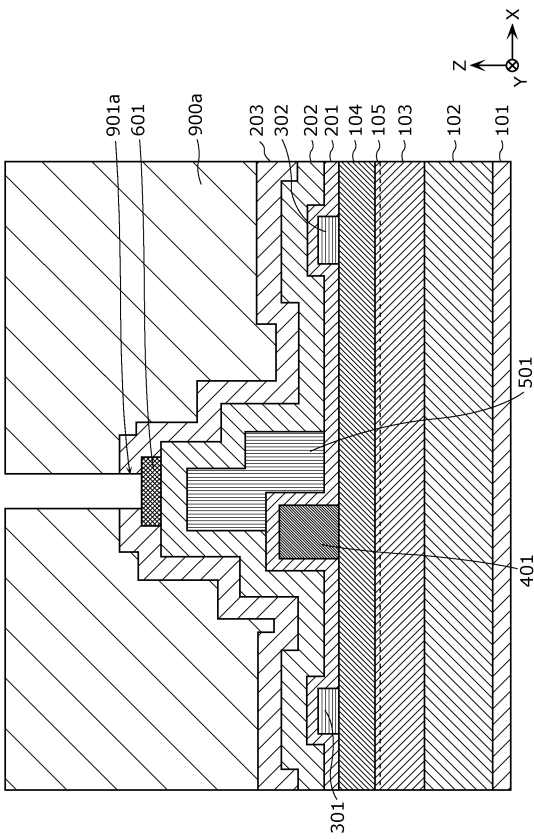
【図 18 A】



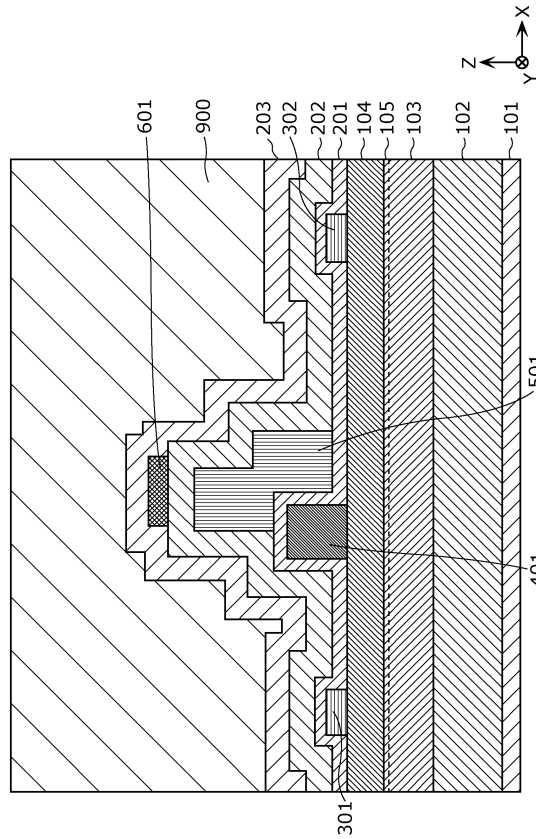
10

20

【図 18 B】



【図 19 A】

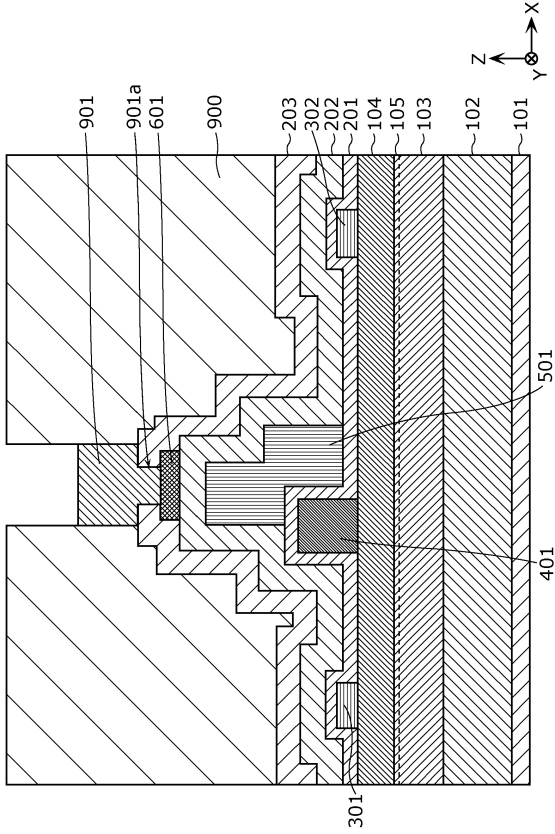


30

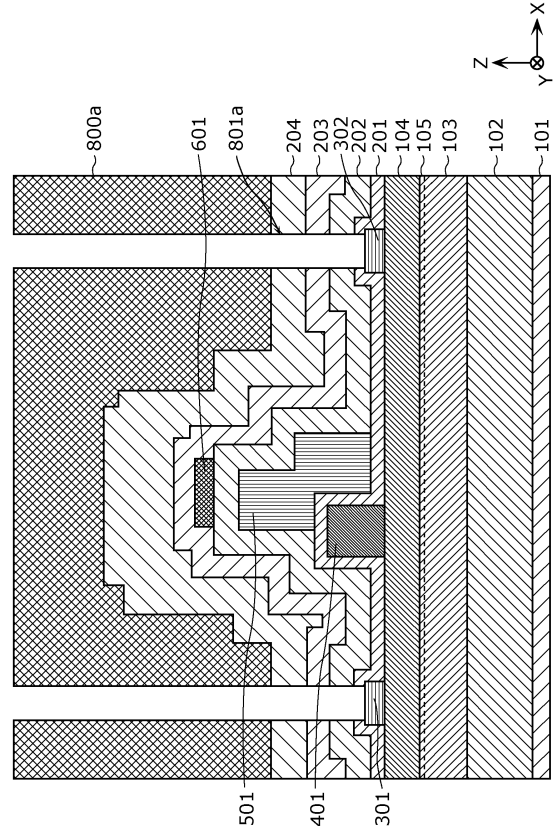
40

50

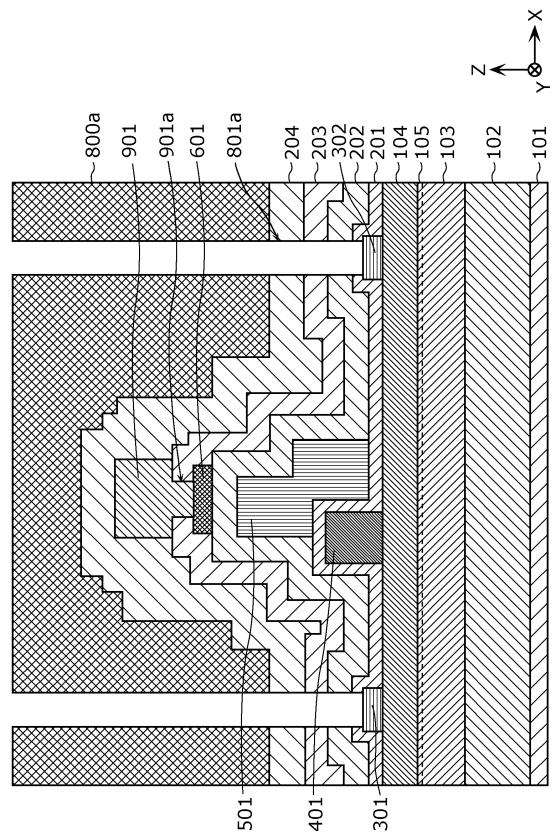
【図 19 B】



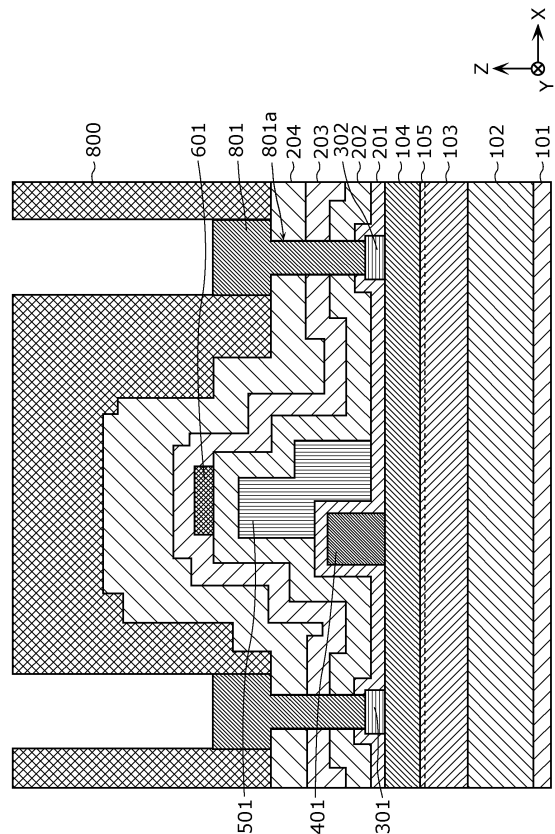
【図 20 A】



【図 20 B】



【図 21 A】



10

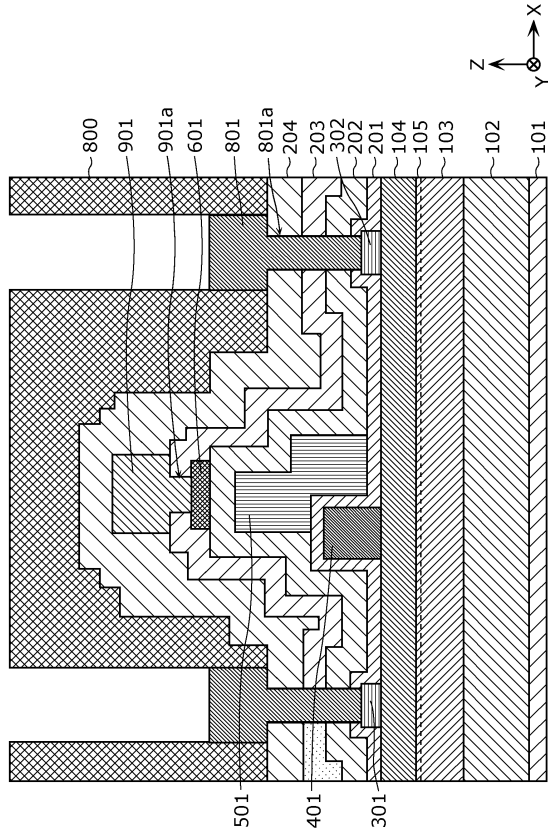
20

30

40

50

【 2 1 B 】



10

20

30

40

50

---

フロントページの続き

ットフィールズテクノロジー株式会社内

審査官 戸川 匠

- (56)参考文献 中国特許出願公開第 1 1 3 7 9 3 8 7 0 ( C N , A )  
特開 2 0 1 6 - 2 1 9 6 3 2 ( J P , A )  
特開 2 0 2 1 - 0 7 7 7 9 7 ( J P , A )  
米国特許出願公開第 2 0 2 0 / 0 1 4 4 9 6 9 ( U S , A 1 )  
米国特許出願公開第 2 0 2 2 / 0 0 2 0 8 7 2 ( U S , A 1 )
- (58)調査した分野 (Int.Cl. , D B 名)
- H 0 1 L 2 1 / 3 3 8  
H 0 1 L 2 1 / 8 2 2  
H 0 1 L 2 7 / 0 4  
H 0 1 L 2 9 / 7 7 8  
H 0 1 L 2 9 / 8 1 2