

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200480039538.8

H01L 29/10 (2006.01)

H01L 21/04 (2006.01)

H01L 29/49 (2006.01)

H01L 29/51 (2006.01)

[45] 授权公告日 2009年5月13日

[11] 授权公告号 CN 100487908C

[22] 申请日 2004.11.26

[21] 申请号 200480039538.8

[30] 优先权

[32] 2003.12.30 [33] US [31] 10/748,995

[86] 国际申请 PCT/EP2004/053141 2004.11.26

[87] 国际公布 WO2005/064683 英 2005.7.14

[85] 进入国家阶段日期 2006.6.30

[73] 专利权人 英飞凌科技股份有限公司

地址 德国慕尼黑

[72] 发明人 H·-J·李

[56] 参考文献

US20020125502A1 2002.9.12

US20030148584A1 2003.8.7

US6358806B1 2002.3.19

EP0921575A2 1999.6.9

US5683934A 1997.11.4

US6492216B1 2002.12.10

CN1389926A 2003.1.8

EP1020898A2 2000.7.19

US20030146473A1 2003.8.7

US5986287A 1999.11.16

审查员 杨春光

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张雪梅 魏 军

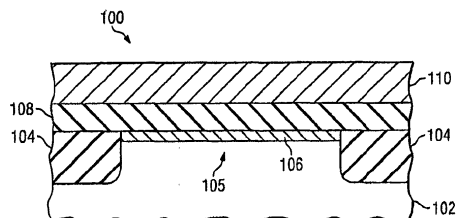
权利要求书 2 页 说明书 9 页 附图 3 页

[54] 发明名称

沟道区中具有硅和碳层的晶体管

[57] 摘要

一种晶体管及其制造方法，该晶体管具有形成于沟道内的应变材料层以增加晶体管速度并改善晶体管性能。在该沟道区内外延生长硅和碳层。可在该硅和碳层上形成薄半导体材料，并在形成该硅和碳层之前外延生长应变半导体层。



1. 一种制造晶体管的方法，该方法包括：

提供工件；

在该工件上生长应变半导体层；

在该应变半导体层上生长第一硅和碳层；

在该硅和碳层上沉积栅介电材料；

在该栅介电材料上沉积栅材料；

图形化该栅材料和该栅介电材料从而形成置于该硅和碳层上的栅及栅电介质；以及

在该硅和碳层以及该应变半导体层内形成源区和漏区，其中该源区、漏区、栅和栅电介质构成晶体管，

其中沉积该栅介电材料包括沉积高 k 介电材料，

该栅介电材料的高 k 材料包括 HfO_2 、 HfSiO_x 、 ZrO_2 、 ZrSiO_x 或 Ta_2O_5 。

2. 根据权利要求 1 的方法，其中生长该硅和碳层包括外延生长由 90 至 99.5% 的硅和 0.5 至 10% 的碳形成的层，该层厚度为几十 Å 至 $5\ \mu\text{m}$ 。

3. 根据权利要求 1 的方法，其中生长该应变半导体层包括外延生长第二硅和碳层，硅和锗层，或硅、碳和锗层，且其中生长该应变半导体层包括生长厚度为 100Å 至 $5\ \mu\text{m}$ 的材料。

4. 根据权利要求 1 的方法，其中沉积该栅材料包括沉积半导体材料或金属。

5. 根据权利要求 1 的方法，进一步包括，在沉积栅介电材料之前，在第一硅和碳层上沉积半导体材料。

6. 根据权利要求 5 的方法，其中沉积该半导体材料包括沉积 100Å 或更薄的 Si、Ge、SiGe、Si/SiGe 双层、或 Ge/SiGe 双层。

7. 根据权利要求 1 的方法，进一步包括在该工件上生长该应变半导体层及在该工件上生长第一硅和碳层之前或之后，在该工件内形成隔离区，并进一步包括在该栅和栅电介质的侧壁上形成隔离物。

8. 根据权利要求 1 的方法，其中提供工件包括提供绝缘体上硅(SOI)晶片。

9. 一种晶体管，包括：

工件；

置于该工件上的应变半导体层；

置于该应变半导体层上的第一硅和碳层;

置于该硅和碳层上的栅电介质;

置于该栅电介质上的栅; 以及

形成于该硅和碳层以及应变半导体层内的源区和漏区, 其中该源区、漏区、栅和栅电介质构成晶体管,

该栅电介质包含高k介电材料,

该栅介电材料的高k材料包括 HfO_2 、 HfSiO_x 、 ZrO_2 、 ZrSiO_x 或 Ta_2O_5 。

10. 根据权利要求9的晶体管, 其中该硅和碳层包含外延生长层, 该外延生长层包含90至99.5%的硅和0.5至10%的碳, 厚度为几十Å至5μm。

11. 根据权利要求9的晶体管, 其中该应变半导体层包含外延生长的第二硅和碳层, 硅和锗层, 或硅、碳和锗层, 且其中该应变半导体层包含100Å至5μm的厚度。

12. 根据权利要求9的晶体管, 其中该栅包含半导体材料或金属。

13. 根据权利要求9的晶体管, 进一步包含置于第一硅和碳层上的半导体材料。

14. 根据权利要求13的晶体管, 其中该半导体材料包含100Å或更薄的Si、Ge、SiGe、Si/SiGe双层、或Ge/SiGe双层。

15. 根据权利要求13的晶体管, 进一步包含置于该工件内的隔离区, 并进一步包含形成于该栅和栅电介质的侧壁上的隔离物。

16. 根据权利要求13的晶体管, 其中该工件包括绝缘体上硅(SOI)晶片。

沟道区中具有硅和碳层的晶体管

技术领域

本发明通常涉及半导体装置，更为具体地涉及晶体管的制造方法及其结构。

背景技术

半导体装置被用于各种电器，其示例为例如个人计算机、蜂窝电话、数码相机、及其它电子设备。晶体管是一种被广泛用于半导体装置的元件。例如在单个集成电路（IC）上可存在数百万个晶体管。半导体装置制造中使用的常见类型的晶体管为金属氧化物场效应晶体管（MOSFET）。

MOSFET 器件的栅电介质过去通常包含二氧化硅。然而，随着器件尺寸的缩小，二氧化硅由于栅极漏电流而成为问题，该栅漏电流会使器件性能退化。因此在该行业中存在朝着使用高介电常数（k）材料作为 MOSFET 器件中使用的栅电介质的方向发展的趋势。

在 2003 版 International Technology Roadmap for Semiconductor（ITRS）中已经将高 k 栅电介质发展确定为重大挑战之一，该 ITRS 指出了接下来 15 年中半导体行业面临的技术挑战和需要。对于低功率逻辑（例如用于便携式电器），主要问题在于低泄漏电流，为了延长电池寿命这是绝对必需的。由此根据小泄漏电流需要最大化器件性能。在低功率应用中，除了亚阈值泄漏、结泄漏、以及带间隧穿之外，还需要控制栅极泄漏电流。

为了完全实现晶体管尺寸缩小的益处，需要将栅极氧化物的厚度缩小到小于 2nm。然而，在要求低待机功耗的许多装置应用中，所产生的栅极泄漏电流使采用这么薄的氧化物变得不切实际。为此，栅极氧化物电介质材料将最终被具有更高介电常数的备选介电材料所替代。然而，使用高 k 介电材料的器件性能遭受在介电层中存在被俘获电荷的问题，这会使迁移率恶化，使得驱动电流小于使用二氧化硅栅极氧化物的晶体管中的驱动电流，因此降低了使用高 k 栅介电材料的晶体管的速度和性能。

因此，本领域中需要的是使用高 k 栅介电材料并具有增加的速度和改善的性能的晶体管的设计和制造方法。

发明内容

通常通过本发明的优选实施例来解决或克服这些及其它问题，并通过本发明的优选实施例实现技术优势，本发明的优选实施例包含具有应变沟道的 MOS 器件，该应变沟道增大了 MOS 器件的速度并改善了器件性能。在 MOS 器件的沟道区中外延生长硅和碳层。该硅和碳层可置于可选的外延生长的应变半导体层上。可在该硅和碳层上沉积可选的薄半导体材料。该硅和碳层以及可选的应变半导体层在 MOS 器件的沟道内产生应变区域，这是有利的，因为改善了电子迁移率和空穴迁移率。应变半导体层降低了下方工件与该硅和碳层之间的晶格失配界面，这进一步改善了 MOS 器件的性能。

根据本发明的优选实施例，制造晶体管的方法包括：提供工件，在该工件上生长应变半导体层，在该应变半导体层上生长第一硅和碳层，并在该硅和碳层上沉积栅介电材料。在该栅介电材料上沉积栅材料，图形化该栅材料和栅介电材料从而形成置于该硅和碳层上的栅及栅电介质。在该硅和碳层以及应变半导体层内形成源区和漏区，其中该源区、漏区、栅和栅电介质构成晶体管。

根据本发明的另一个优选实施例，制造晶体管的方法包括：提供工件，在该工件上生长第一硅和碳层，并在该硅和碳层上沉积栅介电材料，该栅电介质材料包含高 k 材料。在该栅介电材料上沉积包含金属的栅材料，图形化该栅材料和栅介电材料从而形成置于该硅和碳层上的栅及栅电介质。至少在该硅和碳层内形成源区和漏区，其中该源区、漏区、栅和栅电介质构成晶体管。

根据本发明的又一个优选实施例，晶体管包括：工件、置于该工件上的应变半导体层、以及置于该应变半导体层上的第一硅和碳层。栅电介质置于该硅和碳层上，且栅置于该栅电介质上。源区和漏区形成在该硅和碳层以及应变半导体层内，其中该源区、漏区、栅和栅电介质构成晶体管。

根据本发明的另一个优选实施例，晶体管包括：工件、置于该工件上的第一硅和碳层、以及置于该硅和碳层上的栅电介质，该栅电介

质包含高 k 材料。包含金属的栅置于该栅电介质上，并且源区和漏区至少形成在该硅和碳层内，其中该源区、漏区、栅和栅电介质构成晶体管。

本发明优选实施例的优点包括，提供了晶体管设计及其制造方法，其中该晶体管的电学性能以及电学参数得到改善。该晶体管具有增加的速度，并可制成更小的尺寸。将外延生长的材料层引入到沟道区，从而在晶体结构中引入应力，改善了电子和空穴迁移率。该晶体管的驱动电流也得到增大。

前文非常广泛地概述了本发明实施例的特征和技术优点，以便可以更好地理解下文中对本发明的详细描述。下面将详细描述本发明实施例的另外特征和优点，这些特征和优点形成了本发明权利要求的主题。本领域技术人员应理解，可容易地使用这里所公开的概念和具体实施例作为基础，调整或设计出用于实现本发明相同目的的其他结构或工艺。本领域技术人员还应意识到，这种等效构造并不偏离由所附权利要求定义的本发明的精神和范围。

附图说明

为了更彻底地理解本发明及其优点，现在参考附图进行下述描述。附图中：

图 1 和 2 示出了根据本发明优选实施例的晶体管在各个制造阶段的截面视图，其中在该晶体管的沟道区上形成硅和碳层；

图 3 示出了本发明一实施例，其中在该晶体管沟道区内的硅和碳层上形成薄半导体材料；

图 4 和 5 示出了本发明实施例的截面视图，其中分别在绝缘体上硅 (SOI) 衬底上形成图 2 和 3 的实施例；

图 6 和 7 分别示出了图 2 和 3 的实施例，其中在形成第一层硅和碳之前，在工件上形成应变半导体层；以及

图 8 示出了本发明的一个实施例，该实施例包含形成于硅和碳层下的应变半导体层以及形成于 SOI 衬底上的薄半导体层。

除非另外指出，不同附图中相应的数字和符号通常表示相应的部件。绘制这些附图的目的是清楚地阐述优选实施例的相关方面，不一定按比例绘制这些附图。

具体实施方式

下面详细描述当前优选实施例的制造和使用。然而应该理解，本发明提供了可在许多特定环境中实施的诸多可应用发明概念。所讨论的具体实施例纯粹是阐述了制造和使用本发明的具体方式，但并不限制本发明的范围。

将参考在特定环境中的优选实施例，即形成于半导体装置上的晶体管，对本发明进行描述。然而，本发明还可应用于 MOSFET 或其它晶体管器件，可包括例如 PMOS、NMOS、或 CMOS 器件。在各个附图中只示出了一个晶体管，然而，可在所示的半导体装置上形成许多个晶体管。

图 1 和 2 示出了根据本发明优选实施例的晶体管在各种制造阶段的截面视图，其中在该晶体管的沟道区内沉积了硅和碳层。为了制造根据本发明实施例的晶体管 100，提供了工件 102。工件 102 可包含半导体衬底，该半导体衬底包含覆盖了例如绝缘层的硅或其它半导体材料。工件 102 也可包含形成于前段制程（front end of line, FEOL）内的其它有源元件或电路（未示出）。工件 102 可包含例如单晶硅上的氧化硅。工件 102 可包含其它导电层或其它半导体元件，例如晶体管、二极管等。可使用例如 GaAs、InP、Si/Ge、或 SiC 的化合物半导体替代硅。

如图所示，可在工件 102 上的不同位置形成隔离区 104。隔离区 104 例如可置于晶体管器件 100 的沟道区 105 的任意一侧。可通过在工件 102 上沉积光致抗蚀剂（未示出）而形成隔离区 104。使用光刻技术图形化该光致抗蚀剂，该光致抗蚀剂可用作掩模，同时蚀刻工件 102，从而在工件 102 的上表面内形成用于隔离区 104 的孔或图形。可在该工件 102 上沉积例如诸如氧化物的绝缘体以填充该图形，形成隔离区 104。或者，例如可通过其它方法形成隔离区 104。根据本发明的实施例，可在沟道区 105 内形成应变材料层之前或之后形成隔离区 104，这将在这里得到进一步描述。

根据本发明的优选实施例，如图所示，在沟道区 105 内的工件 102 上表面上形成硅和碳层 106。优选地，通过外延生长包含约 90 至 99.5% 的硅和约 0.5 至 10% 的碳的材料层而形成该硅和碳层 106。该硅和碳

层优选包含约为几十 Å 至约 5 μm 的厚度。或者，该硅和碳层 106 例如可包含其它百分比的硅和碳，并可包含其它厚度。该硅和碳层 106 优选包含相对少量的碳，以便层 106 保持导电。例如，碳可包含硅晶体材料中的间隙键 (interstitial bond)。优选地，该硅和碳层 106 不形成于隔离区 104 上。因为使用外延生长方法形成该硅和碳层 106，硅和碳层 106 优选不形成于例如隔离区 104 的绝缘体材料上。然而，如果在隔离区 104 上沉积或生长了任何材料，可使用抛光工艺或蚀刻工艺从隔离区 104 的上表面上除去任何硅和碳。

为了 V_T 阈值电压，例如随后可注入工件 102 的一些区域 (未示出)。可在工件 102 多个部分上执行抗击穿注入，这也未在图中示出。该工件 102 可随后经过栅前 (pre-gate) 清洗或包含例如 HF 化学腐蚀的处理，从而除去位于沟道区 105 内硅和碳层 106 上表面上的例如任何颗粒、污物、或自然氧化物颗粒。

接着，根据本发明实施例，如图 1 所示，在该硅和碳层 106 及隔离区 104 上沉积栅介电材料 108。根据本发明一个优选实施例的栅介电材料 108 包含高 k 材料。栅介电材料 108 的高 k 材料可包含例如 HfO_2 、 $HfSiO_x$ 、 ZrO_2 、 $ZrSiO_x$ 、 Ta_2O_5 、或其它高 k 材料。然而，在另一个实施例中，栅介电材料 108 可包含非高 k 介电材料，例如 SiO_2 、 Si_3N_4 、或其它介电材料。

随后在栅介电材料 108 上沉积栅材料 110。栅材料 110 优选包含适合用作晶体管器件 100 的栅电极的材料。在本发明一个优选实施例中，栅材料 110 包含金属，例如 TiN、HfN、TaN，完全硅化的栅材料 (FUSI)，或其它金属。备选地，在另一个实施例中，栅材料 110 可包含多晶硅或其它半导体材料。

图形化栅材料 110 和栅介电材料 108 以形成栅 110 和栅电介质 108，如图 2 所示。可使用传统的光刻技术图形化栅材料 110 和栅介电材料 108，例如通过沉积光致抗蚀剂、图形化该光致抗蚀剂、并使用该光致抗蚀剂作为掩模图形化该栅材料 110 和栅介电材料 108 (未示出)。备选地，例如可直接蚀刻或使用其它方法图形化该栅材料 110 和栅介电材料 108。

随后靠近沟道区 105 形成源区 S 和漏区 D。更为特别地，如图所示，

优选至少在硅和碳层 106 内形成源区 S 和漏区 D。注意，在本实施例中，源区 S 和漏区 D 的部分也形成在工件 102 的顶部内。可使用延伸注入（extension implant）形成源区 S 和漏区 D，该注入可包含使用例如约 200eV 至 1KeV 的低能注入来注入掺杂剂。在整个工件 102 上沉积例如氮化硅或其它绝缘体的隔离材料，随后使用例如各向异性蚀刻的蚀刻过程蚀刻该隔离材料，形成如图所示的隔离物 112。备选地，隔离物 112 的形状可更接近矩形，且例如可使用光致抗蚀剂作为掩模进行图形化（未示出）。为了完成该延伸注入，随后执行第二掺杂剂注入过程，优选使用高能注入工艺。例如，第二注入过程可以约为 5KeV 至 20KeV。随后可执行高温退火从而将掺杂剂向内驱赶并激活掺杂剂。例如可在约 800℃ 至约 1015℃ 下执行该高温退火。

图 2 所示的晶体管 100 的优点为，沟道区 105 内的硅和碳层 106 在沟道区 105 内引入了应力，这增大了晶体管 100 工作时的驱动电流，还增大了晶体管器件 100 的空穴和电子迁移率。这样形成了性能得到改善且速度增大的晶体管 100。

在图 1 和 2 所示的实施例中，可在外延生长硅和碳层 106 之前或之后形成隔离区 104。如果在形成隔离区 104 之后生长硅和碳层 106，则可使用氧化物或绝缘体回填该隔离区 104，使得隔离区 104 上表面与硅和碳层 106 的上表面共面，并确保沟道区 105 不会升高到高于隔离区 104 的上表面。

图 3 示出了本发明的另一个实施例，其中在晶体管 200 的沟道区 205 内的硅和碳层 206 上放置了薄半导体材料 214。使用与图 1 和 2 中相似的参考数字表示各个元件。为了避免重复，在此不详细描述图中所示每个参考数字。更确切地，与图 1 和 2 所述相同，所示材料层优选使用相似材料 x02、x04、x05 等，其中在图 1 和 2 中 $x=1$ ，在图 3 中 $x=2$ 。例如，图 1 和 2 的描述中所罗列的栅介电材料 108 的优选和备选材料也优选用于图 3 中的栅介电材料 208。

在所示晶体管 200 中，在沉积栅介电材料 208 之前，在硅和碳层 206 上形成薄半导体材料 214。该薄半导体材料 214 优选包含约 100Å 或更薄的半导体材料。例如，该薄半导体材料 214 优选地外延生长在硅和碳层 206 上。该薄半导体材料 214 在一个实施例中优选包含硅。

备选地,该薄半导体材料 214 可包含 Ge、SiGe、Si/SiGe 双层或 Ge/SiGe 双层。

如果该薄半导体材料 214 包含 Si/SiGe 双层,该双层可包含第一层 Si 和置于该第一层 Si 上的第二层 SiGe。备选地,该双层例如可包含第一层 SiGe 和置于该第一层 SiGe 上的第二层 Si。类似地,如果该薄半导体材料 214 包含 Ge/SiGe 双层,则该双层可包含第一层 Ge 和置于该第一层 Ge 上的第二层 SiGe,或者包含第一层 SiGe 以及置于该第一层 SiGe 上的第二层 Ge。

图 3 所示晶体管 200 的优点为,薄半导体材料 214 置于栅电介质 208 与硅和碳层 206 之间。这将硅和碳层 206 与沟道区 205 中的下方工件 202 之间的界面向下移动到沟道区 205 内。这是有利的,因为该硅和碳层 206 与工件 202 的界面可包含失配晶格。例如,工件 202 内硅的晶体结构的晶格间距不同于硅和碳层 206 内包含间隙碳原子的硅的晶格间距。因此,这会在硅和碳层 206 与工件 202 的相交或界面处产生晶格失配与/或缺陷。因此,通过另外的薄半导体材料 214 层可进一步改善晶体管 200 的器件性能和速度。

在图 3 所示实施例中,可在外延生长硅和碳层 206 及薄半导体材料 214 层之前或之后形成隔离区 204。如果在形成隔离区 204 之后生长硅和碳层 206 及薄半导体材料 214 层,可使用氧化物或其它绝缘体材料回填该隔离区 204,使得隔离区 204 上表面与薄半导体材料 214 层上表面共面,并确保沟道区 205 不会升高到高于隔离区 204 的上表面。

图 4 和 5 示出了本发明实施例的截面视图,其中分别参考图 1 和 2 以及图 3 所述的实施例被示成形成于绝缘体上硅(SOI)衬底或晶片 302 上。同样,使用与图 1 至 3 中相似的参考数字表示各个元件,且为了避免重复,在此不再详细描述图中所示每个参考数字。更确切地,与图 1 至 3 所述相同,所示材料层优选使用相似材料 x02、x04、x05 等,其中在图 1 和 2 中 $x=1$,在图 3 中 $x=2$,在图 4 和 5, $x=3$ 。

在图 4 和 5 所示实施例中,工件 302 优选包含 SOI 衬底 302。SOI 衬底 302 包含厚的硅或厚度例如约为 $500\mu\text{m}$ 的其它半导体材料部分 316。在该厚硅层区域 316 上形成掩埋 SiO_2 层 318。该 SiO_2 层 318 可包含例如约 1000\AA 的厚度。在掩埋 SiO_2 层 318 上形成薄硅层 320。薄硅

层 320 可包含例如约 500Å 或更小的厚度。SOI 衬底 302 的优点为，从源到衬底的泄漏电流得到阻止并降低了晶体管 300 的寄生电容，进一步增大了晶体管 300 的速度并减小功耗。

在图 4 中，晶体管 300 包含生长在沟道区 305 内的 SOI 衬底 302 的顶部薄硅层 320 上的硅和碳层 306。在图 5 中，晶体管 300 进一步包含生长于沟道区 305 内的硅和碳层 306 上的薄半导体层 314。同样地，在这些实施例中，可在外延生长硅和碳层 306 及薄半导体材料 314 层之前或之后形成隔离区 304。如果在形成隔离区 304 之后生长硅和碳层 306 及薄半导体材料 314 层，则可使用氧化物或其它绝缘体材料回填该隔离区 304，使得隔离区 304 上表面与薄半导体材料 314 层或硅和碳层 306 上表面共面，并确保沟道区 305 不会升高到高于隔离区 304 的上表面。

图 6 和 7 分别示出了图 2 和 3 的实施例，其中在形成硅和碳层 406 之前，在工件 402 上外延生长应变半导体层 422。同样地，使用了和前述图示中相似的参考数字。在这些实施例中，在生长硅和碳层 406 之前，在工件 402 上外延生长应变半导体层 422。随后在图 6 的硅和碳层 406 及应变半导体层 422 内，并且也在图 7 所示可选薄半导体材料 414 内，形成源区 S 和漏区 D。在这些实施例中，应变半导体层 422 优选包含约 100Å 至 5 μm 的厚度。在一个实施例中，应变半导体层 422 优选包含第二硅和碳层，该层包含与硅和碳层 406 相似的材料。在该实施例中，应变半导体层 422 优选包含大于硅和碳层 406 的厚度。优选地，应变半导体层 422 包含的碳的浓度低于硅和碳层 406 的碳浓度。例如，应变半导体层 422 优选包含约 2-3% 或更小的碳浓度。

在另一个实施例中，应变半导体层 422 优选包含硅和锗层或硅、碳、和锗层。在应变半导体层 422 中引入锗是有利的，因为硅和锗晶体结构（或硅、碳、和锗）的晶格间距不同于硅和碳层 406 的晶格间距，这进一步增大晶体管 400 的空穴迁移率。在本实施例中，例如，应变半导体层 422 的锗浓度优选约为 25%，备选地可包含约 15 至 45%，碳浓度优选为约 2-3%。

图 8 示出了本发明的一实施例，该实施例包含形成于 SOI 衬底 502 上的置于硅和碳层 506 和可选的薄半导体层 514 之下的应变半导体层

522。在本实施例中，在晶体管 500 的沟道区 505 内形成薄半导体材料 514、硅和碳层 506、以及应变半导体层 522。工件 502 包含 SOI 衬底 502，该 SOI 衬底 502 包含硅区域 516、掩埋 SiO₂ 层 518、和形成于掩埋 SiO₂ 层 518 上的薄硅层 520。注意，在本实施例中，优选地至少在外延生长应变半导体层 522 之后形成隔离区 504。尽管如图 8 所示，但薄半导体材料 514 是可选的，可以不置于硅和碳层 506 与栅电介质 508 之间（未示出）。

注意，在附图中所示各个实施例中，外延硅层可分别置于硅和碳层 106、206、306、406、506 与下方的层 102、202、320、422、和 522 之间（未示出）。该外延硅层薄，并优选包含例如约 50Å 或更薄的材料。该外延薄硅层改善了例如随后形成的外延层 106、206、306、406、506 的生长。

本发明实施例的优点包括提供了具有增加的速度和改善的电学特性的晶体管 100、200、300、400、500。晶体管 100、200、300、400、500 具有增大的驱动电流、降低的功耗、以及增加的空穴和电子迁移率。

尽管已经详细描述了本发明的实施例及其优点，应该理解，在不离开由所附权利要求定义的本发明精神和范围的情况下可进行各种改变、替换、和变更。例如，本领域技术人员将容易理解，在本发明的范围内可改变这里所描述的特征、功能、工艺、和材料中的很多。此外，本发明的范围不应受限于本说明书中所描述的工艺、机器、制造、物质成分、工具、方法和步骤的具体实施例。本领域普通技术人员将容易地从本发明的公开了解到，根据本发明可以使用能够执行和这里所述相应实施例基本上相同功能或获得与其基本上相同的结果的现有或随后发展的工艺、机器、制造、物质成分、工具、方法、或步骤。因此，所附权利要求旨在将这些工艺、机器、制造、物质成分、工具、方法、或步骤包含在其范围内。

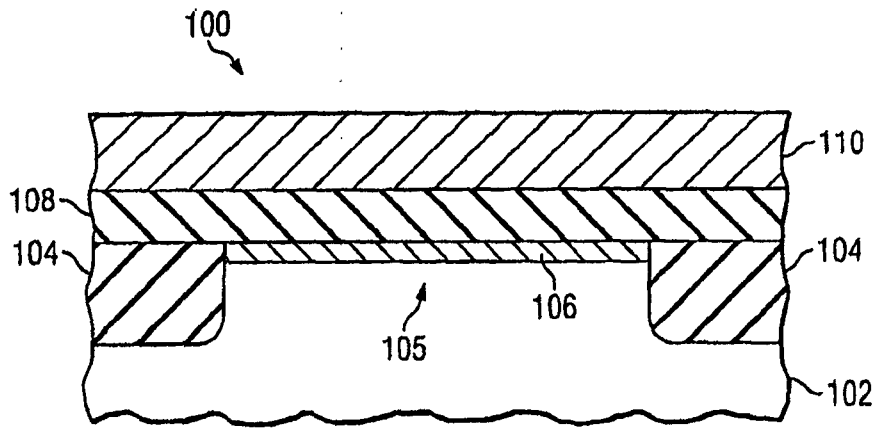


图 1

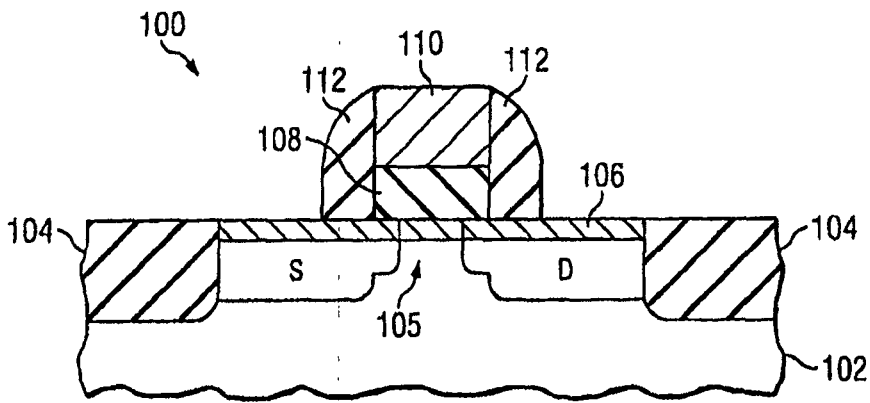


图 2

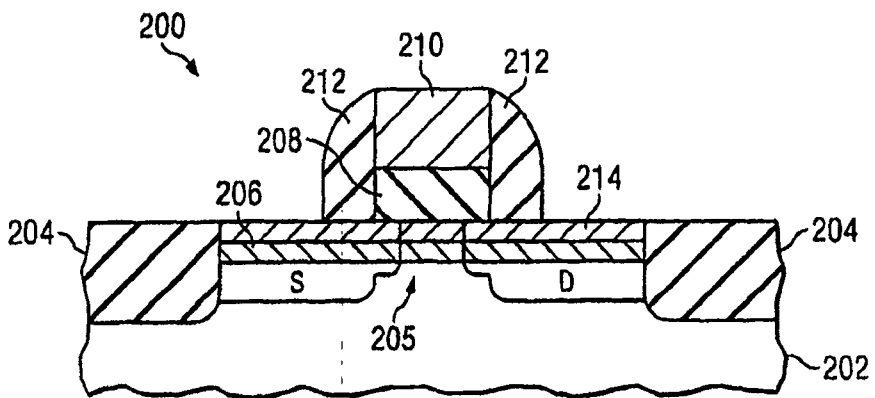


图 3

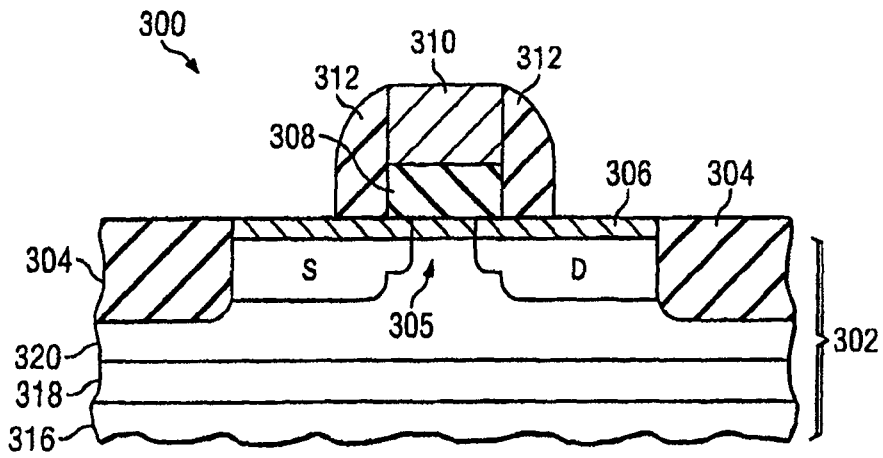


图 4

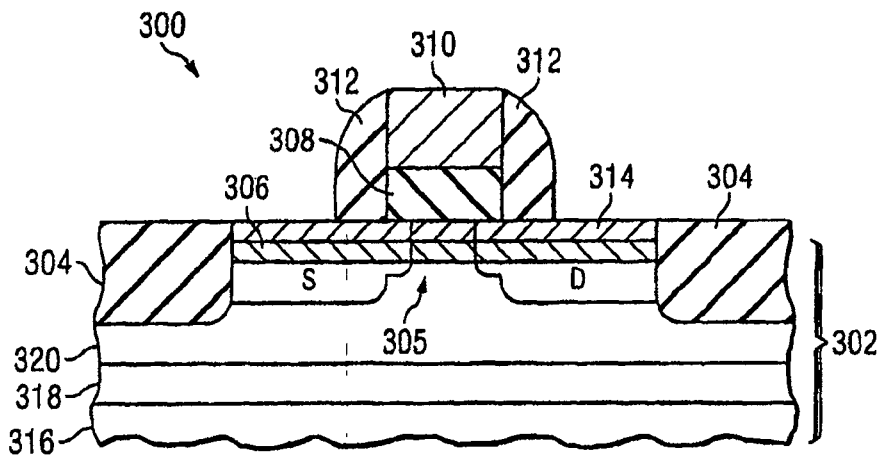


图 5

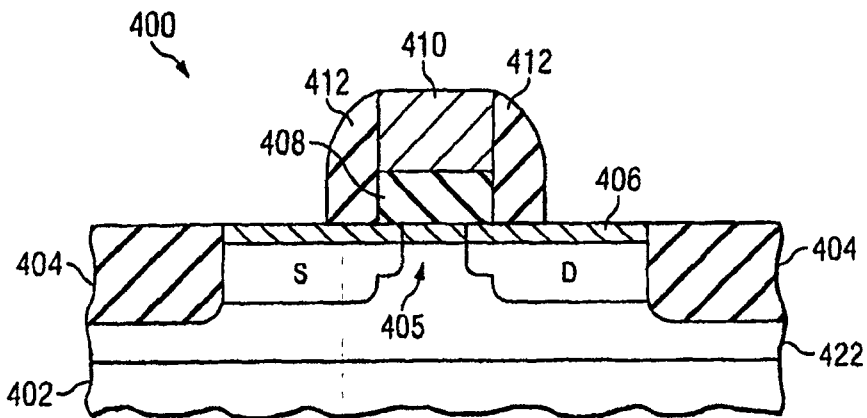


图 6

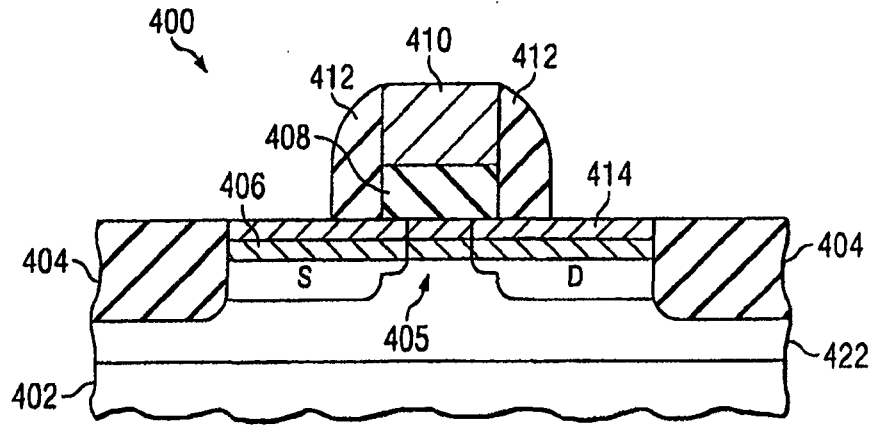


图 7

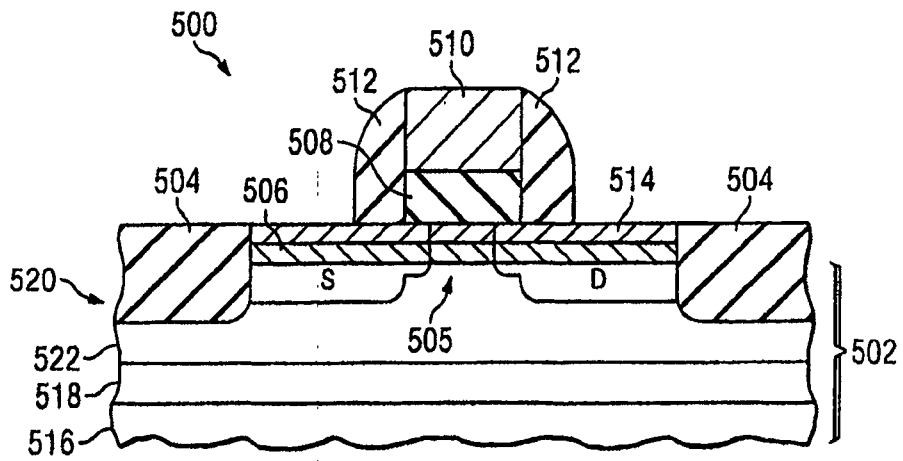


图 8