

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成31年4月25日(2019.4.25)

【公表番号】特表2018-519570(P2018-519570A)

【公表日】平成30年7月19日(2018.7.19)

【年通号数】公開・登録公報2018-027

【出願番号】特願2017-559370(P2017-559370)

【国際特許分類】

G 0 6 F 12/0895 (2016.01)

【F I】

G 0 6 F 12/0895 1 0 0

【手続補正書】

【提出日】平成31年3月15日(2019.3.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

キャッシュメモリであって、

複数のタグ圧縮エントリを記憶するタグ圧縮構造であって、前記複数のタグ圧縮エントリのうちの少なくとも1つが、少なくとも2つのメモリタグによって共有される高位ビットの一意のセットを含み、それぞれのインデックス値によって識別される、タグ圧縮構造と

、
複数のタグアレイエントリを記憶するタグアレイであって、前記複数のタグアレイエントリの各々が、前記メモリタグのうちの1つの低位ビットのそれぞれのセットと、インデックス値とを含み、各タグアレイエントリの前記インデックス値が、前記それぞれのタグアレイエントリの前記メモリタグの前記高位ビットを含む前記タグ圧縮構造エントリの前記インデックス値に対応し、前記複数のメモリタグの各々が、データアレイ内に記憶されたデータ要素のそれぞれのメモリアドレスの少なくとも一部分を備える、タグアレイとを備える、キャッシュメモリ。

【請求項2】

第1のタグ圧縮エントリ内の前記メモリタグの高位ビットの前記セットが入力メモリアドレスの高位ビットのセットと一致するとの決定時に、前記タグ圧縮構造から前記第1のタグ圧縮エントリに対応する前記インデックス値を返すことと、

前記入力メモリアドレスの低位ビットの前記セットが第1のタグアレイエントリ内の前記メモリタグの低位ビットの前記セットと一致するとの決定時に、前記第1のタグアレイエントリ内に記憶された前記インデックス値および前記メモリタグの低位ビットの前記セットを返すことと、

前記第1のタグ圧縮エントリの前記返されたインデックス値が前記第1のタグアレイエントリの前記返されたインデックス値と一致すると決定することと

によって、前記入力メモリアドレスに関する前記タグアレイ内のヒットの指示を返すように構成された論理をさらに備える、請求項1に記載のキャッシュメモリ。

【請求項3】

入力メモリアドレスの高位ビットのセットが、前記複数のタグ圧縮エントリ内の高位ビットの前記セットのうちのいずれにも一致しないこと、

前記入力メモリアドレスの低位ビットのセットが、前記複数のタグアレイエントリ内に

記憶された低位ビットの前記セットのうちのいずれにも一致しないこと、

前記入力メモリアドレスの前記低位ビットと一致する低位ビットのセットを記憶するタグアレイエントリから返されたインデックス値が前記入力メモリアドレスの前記高位ビットと一致する高位ビットのセットを記憶するタグ圧縮エントリのインデックス値と一致しないこと

のうちの少なくとも1つの決定時に、前記入力メモリアドレスに関する前記タグアレイ内のミスの指示を返すように構成された論理をさらに備える、請求項1に記載のキャッシュメモリ。

【請求項4】

前記タグアレイ内の前記ミスの前記指示を返すことに応じて、

メモリ階層の次のレベルにおいて記憶されたデータを取り出すことと、

前記データを前記データアレイの第1のエントリ内に記憶することと、

前記入力メモリアドレスの高位ビットのセットを前記タグ圧縮構造内の第2のタグ圧縮エントリ内に記憶することと、

(i)前記入力メモリアドレスの低位ビットのセット、および(ii)前記第2のタグ圧縮エントリに対応するインデックス値を前記タグアレイの第2のタグアレイエントリ内に記憶することであって、前記第2のタグアレイエントリが前記データアレイの前記第1のエントリに対応する、記憶することと

を行うように構成された論理をさらに備える、請求項3に記載のキャッシュメモリ。

【請求項5】

前記タグ圧縮構造内の前記エントリが、(i)プロセスのアドレス空間識別子(ASID)、(ii)セキュリティビットのセット、および(iii)例外レベルビットのセットのうちの1つまたは複数を記憶するようにさらに構成される、請求項1に記載のキャッシュメモリ。

【請求項6】

第1のタグアレイエントリおよび第2のタグアレイエントリが各々、第1のタグ圧縮エントリに対応するインデックス値を特定し、前記第2のタグアレイエントリの低位ビットのセットが、前記第1のタグアレイエントリの低位ビットのセットと一致しない、請求項1に記載のキャッシュメモリ。

【請求項7】

前記タグ圧縮構造が、フルアソシティブコンテンツアドレスサブルメモリを備え、前記タグアレイが、(i)データキャッシュ、(ii)トランシェションルックアサイドバッファ、(iii)ラインフィルバッファ、および(iv)命令キャッシュのうちの少なくとも1つの一部を備える、請求項1に記載のキャッシュメモリ。

【請求項8】

前記キャッシュメモリが集積回路内に配設される、請求項1に記載のキャッシュメモリ。

【請求項9】

タグ圧縮構造内の複数のタグ圧縮エントリの第1のタグ圧縮エントリ内に、第1のメモリタグおよび第2のメモリタグによって共有される高位ビットのセットを記憶するステップであって、前記複数のタグ圧縮エントリの各々が、それぞれのインデックス値によって識別される、記憶するステップと、

タグアレイ内の複数のタグアレイエントリの第1のタグアレイエントリ内に、前記第1のメモリタグの低位ビットのセットおよび前記第1のタグアレイエントリに関するインデックス値を記憶するステップであって、前記第1のタグアレイエントリの前記インデックス値が、前記第1のタグ圧縮エントリの前記インデックス値に対応し、前記第1のメモリタグが、データアレイ内に記憶されたデータ要素のメモリアドレスの少なくとも一部分を備え、前記複数のタグアレイエントリの第2のタグアレイエントリが、前記第1のタグ圧縮エントリに対応するインデックス値を特定し、前記第2のメモリタグの低位ビットのセットを記憶し、前記第2のメモリタグの低位ビットの前記セットが、前記第1のメモリタグの低位ビットの前記セットと一致しない、記憶するステップと

を含む、方法。

【請求項 10】

前記第1のタグ圧縮エントリ内の前記メモリタグの高位ビットの前記セットが入力メモリアドレスの高位ビットのセットと一致するとの決定時に、前記タグ圧縮構造から前記第1のタグ圧縮エントリに対応する前記インデックス値を返すことと、

前記入力メモリアドレスの低位ビットの前記セットが前記第1のタグアレイエントリ内の前記メモリタグの低位ビットの前記セットと一致するとの決定時に、前記第1のタグアレイエントリ内に記憶された前記インデックス値および前記メモリタグの低位ビットの前記セットを返すことと、

前記第1のタグ圧縮エントリの前記返されたインデックス値が前記第1のタグアレイエントリの前記返されたインデックス値と一致すると決定することと

によって、前記入力メモリアドレスに関する前記タグアレイ内のヒットの指示を返すステップをさらに含む、請求項9に記載の方法。

【請求項 11】

前記タグ圧縮構造内の前記複数のタグ圧縮エントリの各々が、それぞれの複数のメモリタグによって共有される高位ビットの一意のセットを記憶するように構成され、前記複数のタグアレイエントリの各々が、それぞれのメモリタグの低位ビットのセットおよびインデックス値を記憶するように構成され、各タグアレイエントリの前記インデックス値が、前記それぞれのタグアレイエントリの前記メモリタグの前記高位ビットを含む前記タグ圧縮エントリの前記インデックス値に対応し、前記方法が、

入力メモリアドレスの高位ビットのセットが、前記複数のタグ圧縮エントリ内の高位ビットの前記セットのうちのいずれにも一致しないこと、

前記入力メモリアドレスの低位ビットのセットが、前記複数のタグアレイエントリ内に記憶された低位ビットの前記セットのうちのいずれにも一致しないこと、

前記入力メモリアドレスの前記低位ビットと一致する低位ビットのセットを記憶するタグアレイエントリから返されたインデックス値が前記入力メモリアドレスの前記高位ビットと一致する高位ビットのセットを記憶するタグ圧縮エントリのインデックス値と一致しないこと

のうちの少なくとも1つの決定時に、前記入力メモリアドレスに関する前記タグアレイ内のミスの指示を返すステップをさらに含む、請求項9に記載の方法。

【請求項 12】

前記タグアレイ内の前記ミスの前記指示を返すことに応じて、

メモリ階層の次のレベルにおいて記憶されたデータを取り出すステップと、

前記データを前記データアレイの第1のエントリ内に記憶するステップと、

前記入力メモリアドレスの高位ビットのセットを前記タグ圧縮構造内の第2のタグ圧縮エントリ内に記憶するステップと、

(i)前記入力メモリアドレスの低位ビットのセット、および(ii)前記第2のタグ圧縮エントリに対応するインデックス値を前記タグアレイの第2のタグアレイエントリ内に記憶するステップであって、前記第2のタグアレイエントリが前記データアレイの前記第1のエントリに対応する、記憶するステップと

をさらに含む、請求項11に記載の方法。

【請求項 13】

前記タグ圧縮構造内の前記エントリが、(i)プロセスのアドレス空間識別子(ASID)、(ii)セキュリティビットのセット、および(iii)例外レベルビットのセットのうちの1つまたは複数を記憶するようにさらに構成される、請求項9に記載の方法。

【請求項 14】

前記タグ圧縮構造が、フルアソシアティブコンテンツアドレスサブルメモリを備え、前記タグアレイが、(i)データキャッシュ、(ii)トランスレーショナルルックアサイドバッファ、(iii)ラインフィルバッファ、および(iv)命令キャッシュのうちの少なくとも1つの一部を備える、請求項9に記載の方法。

【請求項 15】

プロセッサによって実行されると、前記プロセッサに動作を実行させる命令を記憶した、コンピュータ可読記憶媒体であって、前記動作が、

タグ圧縮構造内の複数のタグ圧縮エントリの第1のタグ圧縮エントリ内に、第1のメモリタグおよび第2のメモリタグによって共有される高位ビットのセットを記憶することであって、前記複数のタグ圧縮エントリの各々が、それぞれのインデックス値によって識別される、記憶することと、

タグアレイ内の複数のタグアレイエントリの第1のタグアレイエントリ内に、前記第1のメモリタグの低位ビットのセットおよび前記第1のタグアレイエントリに関するインデックス値を記憶することであって、前記第1のタグアレイエントリの前記インデックス値が、前記第1のタグ圧縮エントリの前記インデックス値に対応し、前記第1のメモリタグが、データアレイ内に記憶されたデータ要素のメモリアドレスの少なくとも一部分を備え、前記複数のタグアレイエントリの第2のタグアレイエントリが、前記第1のタグ圧縮エントリに対応するインデックス値を特定し、前記第2のメモリタグの低位ビットのセットを記憶し、前記第2のメモリタグの低位ビットの前記セットが、前記第1のメモリタグの低位ビットの前記セットと一致しない、記憶することとを含む、コンピュータ可読記憶媒体。