

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

显示面板和显示装置

技术领域

本公开的实施例涉及一种显示面板和显示装置。

5

背景技术

近年来，有源矩阵有机发光二极管（Active-matrix organic light-emitting diode, AMOLED）显示装置在显示领域迅猛发展，应用越来越广泛，与此同时，消费者对于显示装置的显示效果的要求也越来越高。

10 AMOLED 柔性屏技术日趋成熟，其具有的可弯曲，对比度高，功耗低等特点使其成为取代液晶显示器（Liquid Crystal Display, LCD）的下一代显示方式。

发明内容

15 本公开的实施例提供一种显示面板和显示装置。

本公开的实施例提供一种显示面板，包括：显示区域；透光区域，位于所述显示区域的一侧；第一虚设区域，位于所述显示区域和所述透光区域之间，所述第一虚设区域为不发光区域；第一信号线，位于所述显示区域和所述第一虚设区域；显示像素单元，位于所述显示区域，包括显示像素电路；
20 以及第一虚设像素单元，位于所述第一虚设区域，包括第一虚设像素电路；所述显示像素电路与所述第一信号线相连，所述第一虚设像素电路与所述第一信号线相连。

根据本公开的一些实施例提供的显示面板，所述第一虚设像素电路的结构与所述显示像素电路的结构相同。

25 根据本公开的一些实施例提供的显示面板，所述显示像素电路和所述第一虚设像素电路均包括晶体管。

根据本公开的一些实施例提供的显示面板，所述显示像素电路和所述第一虚设像素电路还均包括存储电容。

30 根据本公开的一些实施例提供的显示面板，显示面板还包括第二信号线和连接元件；所述第二信号线与所述第一信号线的延伸方向相同，所述第二信号线与所述第一信号线通过所述连接元件相连，所述第二信号线与所述第一虚设像素单元相连。

根据本公开的一些实施例提供的显示面板，所述第一信号线包括栅线，所述第二信号线包括复位控制信号线。

35 根据本公开的一些实施例提供的显示面板，与所述第一信号线相连的所述第一虚设像素单元构成的负载小于所述第一信号线在补偿前缺失的负载。

根据本公开的一些实施例提供的显示面板，与所述第一信号线相连的所述第一虚设像素单元构成的负载为所述第一信号线在补偿前缺失的负载的65%-80%。

- 5 根据本公开的一些实施例提供的显示面板，与所述第一信号线相连的第一虚设像素单元构成的负载为所述第一信号线在补偿前缺失的负载的70%。

- 10 根据本公开的一些实施例提供的显示面板，显示面板还包括第二虚设像素单元和第二虚设区域；所述第二虚设像素单元位于所述第二虚设区域，所述第二虚设区域靠近所述显示面板的边缘，位于所述第一虚设区域远离所述显示区域的一侧，所述第二虚设像素单元包括第二虚设像素电路，所述第二虚设像素电路的结构为所述第一虚设像素电路的结构的一部分。

根据本公开的一些实施例提供的显示面板，所述第一信号线提供为多个，所述第一信号线沿第一方向延伸，所述多条第一信号线沿第二方向排列，所述第一方向与所述第二方向相交，在所述第二方向上，多条第一信号线的负载呈线性递增趋势。

- 15 根据本公开的一些实施例提供的显示面板，还包括缺口，所述缺口位于所述透光区域。

根据本公开的一些实施例提供的显示面板，所述第一虚设像素单元提供为多个，所述第一信号线的两端分别与所述多个第一虚设像素单元相连。

- 20 根据本公开的一些实施例提供的显示面板，与所述第一信号线的每一端相连的所述第一虚设像素单元的个数大于2个。

根据本公开的一些实施例提供的显示面板，所述第一信号线位于所述缺口的沿所述第一信号线的延伸方向上相对的两侧中的至少一侧，所述第一信号线的靠近所述缺口的一端连接的所述第一虚设像素单元的个数大于所述第一信号线的远离所述缺口的一端连接的所述第一虚设像素单元的个数。

- 25 根据本公开的一些实施例提供的显示面板，所述透光区域位于所述显示区域的一侧，所述显示区域的靠近所述透光区域的一侧的边缘为曲线，包括谷和分设在所述谷的两侧的脊，所述透光区域位于所述谷的位置处。

- 30 根据本公开的一些实施例提供的显示面板，所述曲线的位于所述脊的靠近所述缺口的一侧的部分的坡度大于所述曲线的位于所述脊的远离所述缺口的一侧的部分的坡度。

根据本公开的一些实施例提供的显示面板，所述第一信号线提供为多个，所述第一信号线沿第一方向延伸，多条第一信号线沿第二方向排列，所述第一方向与所述第二方向相交，在所述第二方向上，多条第一信号线的负载呈线性递减再线性递增趋势。

- 35 根据本公开的一些实施例提供的显示面板，所述透光区域被所述显示区域包围；所述透光区域包括通孔区域，所述通孔区域包括第一通孔区域和第

二通孔区域, 所述第一虚设区域包括位于所述第一通孔区域和所述第二通孔区域之间的部分, 所述第一虚设像素单元位于所述第一虚设区域的位于所述第一通孔区域和所述第二通孔区域之间的所述部分内。

根据本公开的一些实施例提供的显示面板, 显示面板还包括像素限定层; 5 所述像素限定层在所述显示区域设置开口以限定所述显示像素单元的发光面积, 所述像素限定层在所述第一虚设区域不设置开口, 使得所述第一虚设像素单元不发光。

根据本公开的一些实施例提供的显示面板, 所述第一虚设像素单元还包括虚设元件, 其中, 所述虚设元件不与所述显示像素电路相连, 或者所述虚 10 设元件的第一电极不与所述虚设元件的发光功能层接触。

根据本公开的一些实施例提供的显示面板, 显示面板还包括数据线、发光控制信号线、第一电源线、第二电源线、复位控制信号线、第一初始化信号线以及第二初始化信号线; 所述第一虚设像素单元还包括虚设元件, 所述 15 第一虚设像素单元包括驱动晶体管、数据写入晶体管、阈值补偿晶体管、第一发光控制晶体管、第二发光控制晶体管、第一复位晶体管、第二复位晶体管以及存储电容; 所述存储电容的第一极与所述阈值补偿晶体管的第二极电连接, 所述存储电容的第二极与所述第一电源线电连接; 所述数据写入晶体管的栅极与所述第一信号线电连接, 所述数据写入晶体管的第一极与第二极分别与所述数据线、所述驱动晶体管的第一极电连接; 所述阈值补偿晶体管的 20 栅极与所述第一信号线电连接, 所述阈值补偿晶体管的第一极与所述驱动晶体管的第二极电连接, 所述阈值补偿晶体管的第二极与所述驱动晶体管的栅极电连接; 所述第一发光控制晶体管的栅极和所述第二发光控制晶体管的栅极均与发光控制信号线相连; 所述第一发光控制晶体管的第一极与第二极分别与所述第一电源线和所述驱动晶体管的第一极电连接, 所述第二发光控 25 制晶体管的第一极与所述驱动晶体管的第二极电连接, 所述虚设元件的第二电极与所述第二电源线电连接; 所述第一复位晶体管的栅极与所述复位控制信号线电连接, 所述第一复位晶体管的第一极与所述第一初始化信号线电连接, 所述第一复位晶体管的第二极与所述驱动晶体管的栅极电连接; 所述第二复位晶体管的栅极与所述第二信号线电连接, 所述第二复位晶体管的第一 30 极与所述第二初始化信号线电连接; 所述虚设元件不设置第一电极, 或者, 在所述虚设元件设置第一电极的情况下, 所述第二发光控制晶体管的第二极不与所述虚设元件的第一电极电连接, 所述第二复位晶体管的第二极不与所述虚设元件的第一电极电连接。

本公开的至少一实施例还提供一种显示装置, 包括上述任一显示面板。

35

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1 为一种显示面板的示意图；

5 图 2 为图 1 所示的显示面板的局部示意图；

图 3 为本公开一实施例提供的一种显示面板的局部示意图；

图 4 为本公开一实施例提供的一种显示面板中的显示像素单元、虚设像素单元以及为显示像素单元提供信号的信号线的示意图；

图 5 为本公开一实施例提供的一种显示面板的局部示意图；

10 图 6 为本公开一实施例提供的一种显示面板的示意图；

图 7 为图 5 的部分结构示意图；

图 8 为本公开一实施例提供的一种显示面板中的第一虚设像素单元的分布示意图；

图 9 为图 8 中虚线框 B1 内的结构的示意图；

15 图 10 为本公开一实施例提供的一种显示面板的示意图；

图 11 为本公开一实施例提供的一种显示面板的示意图；

图 12 为图 11 的局部示意图；

图 13 为本公开一实施例提供的一种显示面板的局部示意图；

图 14 为本公开一实施例提供的一种显示面板的局部示意图；

20 图 15 为本公开一实施例提供的一种显示面板中为每个显示像素单元提供信号的信号线的示意图；

图 16 为本公开一实施例提供的一种显示面板的显示像素电路结构的原理图；

25 图 17 为本公开实施例提供的一种显示面板中一个显示像素单元的时序信号图；

图 18 为本公开一实施例提供的一种显示像素单元的显示像素电路结构的平面图；

图 19 为本公开一实施例提供的一种显示面板的显示像素单元的剖视图；

30 图 20 为本公开一实施例提供的一种显示基板的制作方法中形成的半导体图案层的示意图；

图 21 为本公开一实施例提供的一种显示基板的制作方法中在第一绝缘薄膜层上形成的第一导电图案层的示意图；

图 22 为本公开一实施例提供的一种显示基板的制作方法中对半导体图案层采用自对准工艺进行导体化处理后的结构示意图；

35 图 23 为本公开一实施例提供的一种显示基板的制作方法中在第二绝缘薄膜层上形成的第二导电图案层的示意图；

图 24 为本公开一实施例提供的一种显示基板的制作方法中在第二导电图案层上形成第三绝缘薄膜层，并在第一绝缘薄膜层、第二绝缘薄膜层和第三绝缘薄膜层至少之一中形成过孔的示意图；

图 25 为本公开一实施例提供的一种显示基板的制作方法中在层间绝缘层上形成的第三导电图案层的示意图；

图 26 为本公开一实施例提供的一种显示面板的第一虚设像素单元的剖视图；

图 27 为本公开一实施例提供的一种显示面板的第一虚设像素单元的剖视图；

图 28 为本公开一实施例提供的一种显示面板的第一虚设像素电路结构的原理图；

图 29 为一种采用平板电容的方式进行负载补偿的显示面板的示意图；以及

图 30 为本公开一实施例提供的显示面板中的第二虚设像素单元的平面图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

目前，对于需要设置透光区域的柔性屏，在透光区域附近形成异形显示区域，而透光区域的设置会对屏幕的显示效果有影响，若不对异形显示区域进行补偿，在整屏显示时，会因亮度差异出现 Mura 等显示不良，因此，设置透光区域的显示屏需要考虑对异形显示区域进行补偿设计。例如，设置透光区域可通过设置缺口形成透光区域或者开设通孔形成透光区域。

图 1 为一种显示面板的示意图。如图 1 所示，显示面板包括显示区域 R1 边框区域 Rf 和透光区域 R2，图 1 中的实线为显示面板的轮廓线，图 1 中的虚线为显示面板的显示区域的边界。边框区域 Rf 位于显示区域 R1 外，并围绕显示区域 R1。例如，轮廓线为切割线。在形成封装层后按照轮廓线进行切割形成单个的显示面板。

图 2 为图 1 所示的显示面板的局部示意图。如图 2 所示，显示面板包括栅线 GL 以及与栅线 GL 相连的多个显示像素单元 P0。

如图 2 所示，透光区域 R2 所在的显示像素单元行会缺少一定数量的显示像素单元，透光区域越大，显示像素单元缺少的数量越多，导致该行显示像素单元的栅线的负载减小，每一行的显示像素单元的栅线的负载不一致会导致显示像素单元的充电时间不同，相邻行显示像素单元的栅线的充电时间相差过大就会导致这两行显示像素单元的电流差较大，当电流差异超过规格时，该区域将出现 Mura 显示不良。例如，如图 2 所示，在透光区域 R2 附近，越靠上的栅线 GL 的负载越小，充电时间越多，栅信号的开启时间不同，刷新频率不同，相同的数据信号下，写入显示像素单元的电压不同，从而导致显示面板的上部的亮度大于显示面板的下部的亮度，整屏显示时，画面不一样，呈现 mura 等显示不良现象。为了使透光区域附近的各行显示像素单元的栅线的负载相差不大，需要对透光区域附近的每一行的显示像素单元的栅线的负载进行补偿。在补偿的过程中需要根据显示区域的异形程度，充分利用空间，采用适合的补偿方案进行补偿，以优化显示效果，并力求达到既能优化显示效果又能窄化边框的目的。

图 3 为本公开一实施例提供的一种显示面板的局部示意图。如图 3 所示，显示面板包括显示区域 R1、透光区域 R2、第一虚设区域 R31、第一信号线 L1、显示像素单元 P0 以及第一虚设像素单元 P1。

如图 3 所示，透光区域 R2 位于显示区域 R1 的一侧，在其他的实施例中，透光区域 R2 也可被显示区域 R1 包围。透光区域 R2 可用来放置传感元件，传感元件包括摄像头，但不限于此。例如，传感元件的至少一部分位于透光区域 R2 内。

如图 3 所示，第一虚设区域 R31 位于显示区域 R1 和透光区域 R2 之间，第一虚设区域 R31 为不发光区域。参考图 1 至图 3，虚线示出的显示区域的边界与实线示出的显示面板的轮廓线之间的区域可为边框区域。边框区域为不发光区域，第一虚设区域 R31 位于边框区域。

如图 3 所示，第一信号线 L1 位于显示区域 R1 和第一虚设区域 R31。即，第一信号线 L1 包括位于显示区域 R1 的部分和位于第一虚设区域 R31 的部分。显示像素单元 P0 位于显示区域 R1。显示像素单元 P0 可出光。第一虚设像素单元 P1 位于第一虚设区域 R31。为了图示清晰，图 3 中示意性地示出

了部分的显示像素单元 P0，部分的第一虚设像素单元 P1。显示像素单元 P0 的个数以及第一虚设像素单元 P1 的个数可根据需要设置。

图 4 为本公开一实施例提供的一种显示面板中的显示像素单元、虚设像素单元以及为显示像素单元提供信号的信号线的示意图。如图 4 所示，显示像素单元 P0 包括显示像素电路 100。第一虚设像素单元 P1 包括第一虚设像素电路 101。显示像素电路 100 与第一信号线 L1 相连，第一虚设像素电路 101 与第一信号线 L1 相连。

本公开的实施例提供的显示面板，通过在第一虚设区域为第一信号线 L1 设置第一虚设像素电路 101，大幅度地提高第一信号线 L1 的负载，避免显示时的亮度不均导致的 mura 等显示不良。

如图 4 所示，显示像素单元 P0 包括发光元件 20 和为发光元件 20 提供驱动电流的显示像素电路结构 100，发光元件 20 可为电致发光元件，例如，有机电致发光元件，例如可为有机发光二极管（OLED）。显示像素单元 P0 为正常发光的像素单元。显示像素单元 P0 位于显示区域 R1。

如图 4 所示，显示面板还包括初始化信号线 210、发光控制信号线 110、数据线 313、第一电源线 311 以及第二电源线 312。例如，第一信号线 L1 被配置为向显示像素电路结构 100 提供扫描信号 SCAN。发光控制信号线 110 被配置为向显示像素单元 P0 提供发光控制信号 EM。数据线 313 被配置为向像素电路结构 100 提供数据信号 DATA，第一电源线 311 被配置为向显示像素电路结构 100 提供恒定的第一电压信号 ELVDD，第二电源线 312 被配置为向显示像素电路结构 100 提供恒定的第二电压信号 ELVSS，并且第一电压信号 ELVDD 大于第二电压信号 ELVSS。初始化信号线 210 被配置为向显示像素电路结构 100 提供初始化信号 Vint。初始化信号 Vint 为恒定的电压信号，其大小例如可以介于第一电压信号 ELVDD 和第二电压信号 ELVSS 之间，但不限于此，例如，初始化信号 Vint 可小于或等于第二电压信号 ELVSS。例如，显示像素电路结构 100 在扫描信号 SCAN、数据信号 DATA、初始化信号 Vint、第一电压信号 ELVDD、第二电压信号 ELVSS、发光控制信号 EM 等信号的控制下输出驱动电流以驱动发光元件 20 发光。如图 4 所示，发光元件 20 包括第一电极 201 和第二电极 202。第一电极 201 与显示像素电路结构 100 相连，第二电极 202 与第二电源线 312 相连。

如图 4 所示，第一信号线 L1 与第一虚设像素电路 101 相连，第一虚设像素单元 P1 包括虚设元件 30，虚设元件 30 不与第一虚设像素电路 101 相连，从而，第一虚设像素单元 P1 不发光。例如，像素定义层在虚设区域不设置开口，从而，虚设元件 30 不与第一虚设像素电路 101 相连。当然，也可以采用其他方式使得第一虚设像素单元 P1 不发光，例如，虚设元件 30 也可不设置第一电极或者不设置发光功能层。如图 4 所示，虚设元件 30 包括第二电

极 302。第二电极 302 与第二电源线 312 相连。

例如，为了最大程度的提高第一信号线 L1 的负载，第一虚设像素电路 101 的结构与显示像素电路 100 的结构相同。第一虚设像素电路 101 的结构与显示像素电路 100 的结构相同，使得第一信号线 L1 的位于显示像素单元的部分和第一信号线 L1 的位于第一虚设像素单元的部分的环境一致，负载相似，能更好的对第一信号线 L1 的负载进行补偿，使得相邻第一信号线 L1 的负载相似，从而达到更优的补偿效果。

例如，显示像素电路 100 和第一虚设像素电路 101 均包括晶体管。例如，显示像素电路 100 和第一虚设像素电路 101 还均包括存储电容。

图 5 为本公开一实施例提供的一种显示面板的局部示意图。与图 3 所示的显示面板相比，图 5 所示的显示面板还包括第二虚设像素单元 P2，第二虚设像素单元 P2 位于第二虚设区域 R32，第二虚设区域 R32 靠近显示面板的边缘。例如，第二虚设像素单元 P2 不起电容补偿的作用，设置第二虚设像素单元 P2 利于提高刻蚀均匀性。例如，在每一条第一信号线的靠近显示面板的边缘的位置处设置一个第二虚设像素单元 P2。例如，在透光区域附近，在每一条第一信号线的靠近显示面板的左侧边缘、右侧边缘的位置处设置一个第二虚设像素单元 P2。在透光区域为缺口的情况下，在透光区域附近，在每一条第一信号线的靠近显示面板的缺口的的位置处设置一个第二虚设像素单元 P2。本公开的实施例中，不因为透光区域的设置而缺少部分显示像素单元的显示像素单元行的第一信号线可不进行负载的补偿。

例如，如图 5 所示，同一行显示像素单元中，位于透光区域左侧的第一信号线的负载和位于透光区域右侧的第一信号线的负载一致，避免透光区域的左右两侧出现 mura 等显示不良。例如，如图 5 所示，相邻两行显示像素单元中，相邻两条第一信号线的负载一致或相差不大，避免上下两行显示像素单元出现 mura 等显示不良。

图 6 为本公开一实施例提供的一种显示面板的示意图。如图 6 所示，显示面板 DPN 包括显示像素单元 P0、第一虚设像素单元 P1、第二虚设像素单元 P2。第二虚设像素单元 P2 包括第二虚设像素电路 102，第二虚设像素电路 102 的结构为第一虚设像素电路 101 的结构的一部分或者与第一虚设像素电路 101 的结构相同。如图 6 所示，显示像素单元 P0 包括显示像素电路 100，第一虚设像素单元 P1 包括第一虚设像素电路 101。显示像素电路 100 包括晶体管 T0 和电容 C0，第一虚设像素电路 101 包括晶体管 T01 和电容 C01，第二虚设像素电路 102 包括晶体管 T02 和电容 C02。例如，晶体管 T0、晶体管 T01 和晶体管 T02 的结构相同，但不限于此。例如，电容 C0、电容 C01 和电容 C02 的结构相同，但不限于此。当然，在一些实施例中，第二虚设像素电路 102 也可以不具有晶体管和电容至少之一。当然，在另一些实施例中，

也可以不设置第二虚设像素单元 P2 和第二虚设像素电路 102。

图 7 为图 5 的部分结构示意图。如图 7 所示，在显示面板的上侧边，第二虚设区域 R32 比第一虚设区域 R31 更远离显示区域 R1。在显示面板的左侧边，第二虚设区域 R32 与显示区域 R1 相邻。

5 例如，如图 3、图 5 和图 7 所示，为了起到更好的负载补偿的作用，第一信号线 L1 的两端分别与多个第一虚设像素单元 P1 相连。

例如，如图 3、图 5 和图 7 所示，为了利于第一信号线 L1 的负载的增加，与第一信号线 L1 的每一端相连的第一虚设像素单元 P1 的个数大于 2 个。

10 例如，如图 3、图 5 和图 7 所示，第一信号线 L1 提供为多个，第一信号线 L1 沿第一方向 X 延伸，多条第一信号线 L1 沿第二方向 Y 排列，第一方向 X 与第二方向 Y 相交，在第二方向 Y 上，多条第一信号线 L1 的负载呈线性递增趋势。从而，补偿能够使异形显示区域各行显示像素单元的电流也是呈线性递增趋势，能够避免相邻行显示像素单元的显示亮度相差较大的现象的出现，避免产生因亮度差异造成的 mura 等显示不良。当然，显示面板除了包括在透光区域附近的负载呈线性递增趋势的多条第一信号线 L1 的外，
15 还可以包括远离透光区域的负载一致或基本一致的多条其他的第一信号线 L1。

图 8 为本公开一实施例提供的一种显示面板中的第一虚设像素单元的分布示意图。图 8 中位于第一虚设区域 R31 内的灰色部分代表第一虚设像素单元。
20 如图 8 所示，显示面板相对于中心线 CT0 呈轴对称结构。中心线 CT0 沿着第二方向 Y 延伸。本公开的其他实施例提供的显示面板也可以相对于中心线呈轴对称结构。

在实际补偿时，应该最大化利用异形区域的空间，在有空间的前提下尽可能的多设置第一虚设像素单元以对透光区域进行补偿，不仅能更好的补偿
25 负载，还能有效地减小边框。

如图 8 所示，缺口左右两侧呈肩膀的形状。边缘 (Margin) 宽一些，拐角的位置具有空间，在该空间处可以多设置一些第一虚设像素单元 P1。

图 9 为图 8 中虚线框 B1 内的结构的示意图。灰色部分越多，代表第一虚设像素单元 P1 的数量越多。在图 8 和图 9 中未示出相邻的第一虚设像素
30 单元之间的分界。

本公开的实施例给出的补偿方案的设计是在充分利用异形显示区域的空间的前提下，采用第一虚设像素单元对透光区域 (缺口) 进行补偿，在减小异形区域的边框的同时，达到更优的异形区域显示效果。

参考图 3、图 5、图 7 至图 9，同一行显示像素单元包括位于缺口的第一
35 侧的一条第一信号线 L1 和位于缺口的第二侧的一条第一信号线 L1。例如，缺口的第一侧为缺口的左侧，缺口的第二侧为缺口的右侧。缺口的第一侧和

缺口的第二侧为缺口的在第一方向 X 上相对的两侧。例如，缺口的第一侧的第一信号线 L1 和位于缺口的第二侧的第一信号线 L1 不相连，位于缺口的第一侧的第一信号线 L1 由第一栅极驱动电路驱动，位于缺口的第二侧的第一信号线 L1 由第二栅极驱动电路驱动。例如，缺口附近的显示像素单元采用扫描驱动电路为安装于该显示面板上的 GOA (Gate driver On Array) 单边驱动的方式进行驱动。

例如，参考图 3、图 5、图 7 至图 9，第一信号线 L1 位于缺口的沿第一信号线 L1 的延伸方向上相对的两侧中的一侧，第一信号线 L1 的靠近缺口的一端连接的第一虚设像素单元 P1 的个数大于第一信号线 L1 的远离缺口的一端连接的第一虚设像素单元 P1 的个数。

例如，参考图 3、图 5、图 7 至图 9，透光区域 R2 位于显示区域 R1 的一侧，图中透光区域 R2 位于显示区域 R1 的上侧。如图 8 所示，显示区域 R1 的靠近透光区域 R2 的一侧的边缘为曲线，该曲线包括谷 60 和分设在谷 60 的两侧的脊 70，透光区域 R2 位于谷 60 的位置处。透光区域 R2 包括缺口 NC。

例如，如图 8 所示，曲线的位于脊 70 的靠近缺口 NC 的一侧的部分 701 的坡度大于曲线的位于脊的远离缺口 NC 的一侧的部分 702 的坡度。坡度例如是指该部分曲线与第一方向 X 的夹角，或者，该部分曲线与第一信号线 L1 的延伸方向的夹角。当该部分曲线具有弧度时，可指该部分曲线的某一点处的切线与第一方向 X 或与第一信号线 L1 的延伸方向的夹角。

图 10 为本公开一实施例提供的一种显示面板的示意图。图 10 所示的显示面板与图 5 所示的显示面板相比，同一行显示像素单元的位于缺口的第一侧的第一信号线 L1 和位于缺口的第二侧的第一信号线 L1 通过连接线相连。连接线位于边框区域内。例如，缺口附近的显示像素单元采用扫描驱动电路为安装于该显示面板上的 GOA (Gate driver On Array) 双边驱动的方式进行驱动。

图 11 为本公开一实施例提供的一种显示面板的示意图。如图 11 所示，显示面板包括显示区域 R1、透光区域 R2、边框区域 Rf 以及第一虚设区域 R31。边框区域 Rf 围绕显示区域 R1。显示区域 R1 围绕透光区域 R2。透光区域 R2 包括通孔区域，通孔区域包括第一通孔区域 R21 和第二通孔区域 R22，第一虚设区域 R31 包括位于第一通孔区域 R21 和第二通孔区域 R22 之间的部分。例如，在形成封装层后，按照第一通孔区域 R21 和第二通孔区域 R22 的轮廓线进行切割形成具有通孔区域的显示面板。

图 12 为图 11 的局部示意图。第一虚设像素单元 P1 位于第一虚设区域 R31 的位于第一通孔区域 R21 和第二通孔区域 R22 之间的部分 R311 内。图 12 还示出了位于显示区域 R1 的显示像素单元 P0。图 12 还示出了第一信号

线 L1、发光控制信号线 110 以及数据线 313。例如，第一信号线 L1 和发光控制信号线 110 位于第一导电图案层 LY1，数据线 313 位于第三导电图案层 LY3，但不限于此。

例如，如图 12 所示，第一信号线 L1 提供为多个，第一信号线 L1 沿第一方向 X 延伸，多条第一信号线 L1 沿第二方向 Y 排列，第一方向 X 与第二方向 Y 相交。例如，在一些实施例中，在第二方向 Y 上，多条第一信号线 L1 的负载呈线性递减再线性递增趋势。从而，使得透光区域 R2 附近的相邻两行显示像素单元的显示亮度差异不大，避免产生 mura 等显示不良。当然，显示面板除了包括在透光区域附近的负载呈线性递减再线性递增趋势的多条第一信号线 L1 的外，还可以包括远离透光区域的负载一致或基本一致的多条其他的第一信号线 L1。

图 13 为本公开一实施例提供的一种显示面板的局部示意图。如图 13 所示，显示面板 DPN1 具有透光区域 R2，透光区域 R2 包括第一通孔区域 R21 和第二通孔区域 R22。如图 13 所示，传感器 80 包括第一传感器 801 和第二传感器 802，第一传感器 801 位于第一通孔区域 R21 内，第二传感器 802 位于第二通孔区域 R22 内。参考图 12 和图 13，第三方向 Z 垂直于第一方向 X，并且垂直于第二方向 Y。

图 14 为本公开一实施例提供的一种显示面板的局部示意图。例如，如图 14 所示，显示面板还包括第二信号线 L2 和连接元件 CN0，第二信号线 L2 与第一信号线 L1 的延伸方向相同，第二信号线 L2 与第一信号线 L1 均沿第一方向 X 延伸，第二信号线 L2 与第一信号线 L1 沿第二方向 Y 排列。第二信号线 L2 与第一信号线 L1 通过连接元件 CN0 相连，第二信号线 L2 与第一虚设像素单元 P1 相连。连接元件 CN0 位于引线区域 R4。引线区域 R4 位于第二虚设区域 R32 的远离显示区域 R1 的一侧。例如，引线区域 R4 可位于显示面板的左侧边和/或右侧边。

例如，第一信号线 L1 包括栅线，第二信号线 L2 包括复位控制信号线。例如，第一信号线 L1 和第二信号线 L2 位于同一层，例如，位于第一导电图案层，而连接元件 CN0 位于另一层，例如位于第三导电图案层，并通过贯穿绝缘层的过孔分别与第一信号线 L1 和第二信号线 L2 相连。例如，图 14 中的连接元件 CN0 的左侧与 GOA 电路相连。

本公开的实施例提供的显示面板，第二信号线 L2 与第一信号线 L1 相连，且第二信号线 L2 与第一虚设像素单元 P1 相连，从而，大幅度地提高第一信号线 L1 的负载，有效的减小第一信号线 L1 的负载缺失。

例如，在本公开的一些实施例中，与第一信号线 L1 相连的第一虚设像素单元 P1 构成的负载小于第一信号线 L1 在补偿前缺失的负载。即，在进行补偿时，并非是补偿的负载等于在补偿前缺失的负载，而是第一信号线 L1

的补偿的负载小于第一信号线 L1 的在补偿前缺失的负载。

例如，第一信号线 L1 在补偿前缺失的负载可通过该显示像素单元行的透光区域所能设置的显示像素单元的个数来获得。或者，第一信号线 L1 在补偿前缺失的负载可通过在不设置透光区域的情况下第一信号线 L1 的负载以及设置透光区域的情况下第一信号线 L1 的负载来得出。第一信号线 L1 在补偿前缺失的负载可通过将在不设置透光区域的情况下第一信号线 L1 的负载减去设置透光区域的情况下第一信号线 L1 的负载来得出，但不限于此。

负载包括电容。例如，第一信号线 L1 在补偿前缺失的负载可以通过模拟或计算的方式得出，例如，根据显示像素单元的个数、缺失的显示像素单元的个数以及电容的公式来获得。通过电容的公式可知，电容与两个极板之间的距离、两个极板之间的正对面积以及两个极板之间的电介质的介电常数等有关。

例如，在本公开的一些实施例中，为了提高显示品质，与第一信号线 L1 相连的第一虚设像素单元 P1 构成的负载为第一信号线 L1 在补偿前缺失的负载的 65%-80%。

例如，在本公开的一些实施例中，为了提高显示品质，与第一信号线 L1 相连的第一虚设像素单元 P1 构成的负载为第一信号线 L1 在补偿前缺失的负载的 70%。

图 15 为本公开一实施例提供的一种显示面板中为每个显示像素单元提供信号的信号线的示意图。图 16 为本公开一实施例提供的一种显示面板的显示像素电路结构的原理图。图 17 为本公开实施例提供的一种显示面板中一个显示像素单元的时序信号图。图 18 为本公开一实施例提供的一种显示像素单元的显示像素电路结构的平面图。图 19 为本公开一实施例提供的一种显示面板的显示像素单元的剖视图。

参考图 15 和图 16，每个显示像素单元 P0 包括发光元件 20 和为发光元件 20 提供驱动电流的显示像素电路结构 100，发光元件 20 可为电致发光元件，例如，有机电致发光元件，例如可为有机发光二极管（OLED）。显示像素单元 P0 为正常发光的像素单元。显示像素单元 P0 位于显示区域 R1。

图 15 示出了第一信号线 L1、数据线 313、第一电源线 311、第二电源线 312、发光控制信号线 110 和初始化信号线 210。图 16 还示出了第二信号线 L2 和复位控制信号线 111，第二信号线 L2 被配置为向显示像素电路结构 100 提供复位控制信号 RESET。复位控制信号线 111 被配置为向显示像素电路结构 100 提供复位控制信号 RESET。

例如，参考图 15 和图 16，第一信号线 L1 被配置为向显示像素电路结构提供扫描信号 SCAN。发光控制信号线 110 被配置为向显示像素单元 P0 提供发光控制信号 EM。数据线 313 被配置为向显示像素电路结构 100 提供数据

信号 DATA, 第一电源线 311 被配置为向显示像素电路结构 100 提供恒定的第一电压信号 ELVDD, 第二电源线 312 被配置为向显示像素电路结构 100 提供恒定的第二电压信号 ELVSS, 并且第一电压信号 ELVDD 大于第二电压信号 ELVSS。初始化信号线 210 被配置为向显示像素电路结构 100 提供初始化信号 Vint。初始化信号 Vint 为恒定的电压信号, 其大小例如可以介于第一电压信号 ELVDD 和第二电压信号 ELVSS 之间, 但不限于此, 例如, 初始化信号 Vint 可小于或等于第二电压信号 ELVSS。例如, 像素电路结构在扫描信号 SCAN、数据信号 DATA、初始化信号 Vint、第一电压信号 ELVDD、第二电压信号 ELVSS、发光控制信号 EM 等信号的控制下输出驱动电流以驱动发光元件发光。

例如, 如图 18 所示, 复位控制信号线 111、第一信号线 L1、发光控制信号线 110、第二信号线 L2 和存储电容 C1 的第一极 C11 位于第一导电图案层 LY1; 第一初始化信号线 211、第二初始化信号线 212、导电块 BK 和存储电容 C1 的第二极 C12 位于第二导电图案层 LY2; 第一连接电极 31a、第二连接电极 31b、第三连接电极 31c、第四连接电极 31d、数据线 313 和第一电源线 311 位于第三导电图案层 LY3。第二电源线 312 也可以位于第三导电图案层 LY3。

参考图 18 和图 19, 显示面板还包括有源层 ATL, 有源层 ATL 和第一导电图案层 LY1 之间设置第一栅绝缘层 GI1, 第一导电图案层 LY1 和第二导电图案层 LY2 之间设置第二栅绝缘层 GI2, 第二导电图案层 LY2 和第三导电图案层 LY3 之间设置层间绝缘层 ILD。

例如, 显示面板包括多个显示像素单元 P0, 多个显示像素单元 P0 可呈阵列排布。每个显示像素单元 P0 包括显示像素电路结构 100、发光元件 20 以及第一信号线 L1、数据线 313 及电压信号线。例如, 发光元件 20 为有机发光二极管 (OLED), 发光元件 20 在其对应的显示像素电路结构 100 的驱动下发出红光、绿光、蓝光, 或者白光等。该电压信号线可以是一条也可以包括多条。例如, 如图 15 和图 16 所示, 该电压信号线包括第一电源线 311、第二电源线 312、发光控制信号线 110、第一初始化信号线 211、第二初始化信号线 212、复位控制信号线 111 和第二信号线 L2 等中的至少之一。第一信号线 L1 被配置为向显示像素电路结构 100 提供扫描信号 SCAN。数据线 313 被配置为向显示像素电路结构 100 提供数据信号 DATA。例如, 一个像素包括多个显示像素单元。一个像素可包括出射不同颜色光的多个显示像素单元。例如, 一个像素包括出射红光的显示像素单元, 出射绿光的显示像素单元和出射蓝光的显示像素单元, 但不限于此。一个像素包括的显示像素单元的个数以及每个显示像素单元的出光情况可根据需要而定。

例如, 第一虚设像素单元 P1 的结构与显示像素电路结构 100 相同。例

如,像素定义层在第一虚设区域 R31 不具有开口,和/或者不为第一虚设区域 R31 配置发光元件的第一电极,从而使得第一虚设像素单元 P1 不发光。

例如,第二虚设像素单元 P2 的结构为显示像素单元 P0 的线路结构删减形成。例如,第二虚设像素单元 P2 的像素电路不完整,像素定义层在第二虚设区域 R32 不具有开口,和/或者不为第二虚设区域 R32 配置发光元件的第一电极,从而使得第二虚设像素单元 P2 不发光。第二虚设像素单元 P2 的像素电路不完整包括第二虚设像素单元 P2 的像素电路不具有显示像素电路结构 100 中至少之一的元件或部件。

例如,第一电源线 311 被配置为向显示像素电路结构 100 提供恒定的第一电压信号 ELVDD,第二电源线 312 被配置为向显示像素电路结构 100 提供恒定的第二电压信号 ELVSS,并且第一电压信号 ELVDD 大于第二电压信号 ELVSS。发光控制信号线 110 被配置为向显示像素电路结构 100 提供发光控制信号 EM。第一初始化信号线 211 和第二初始化信号线 212 被配置为向显示像素电路结构 100 提供初始化信号 Vint,复位控制信号线 111 被配置为向显示像素电路结构 100 提供复位控制信号 RESET,第二信号线 L2 被配置为向显示像素电路结构 100 提供扫描信号 SCAN。初始化信号 Vint 为恒定的电压信号,其大小例如可以介于第一电压信号 ELVDD 和第二电压信号 ELVSS 之间,但不限于此,例如,初始化信号 Vint 可小于或等于第二电压信号 ELVSS。

如图 16 和图 18 所示,该显示像素电路结构 100 包括驱动晶体管 T1、数据写入晶体管 T2、阈值补偿晶体管 T3、第一发光控制晶体管 T4、第二发光控制晶体管 T5、第一复位晶体管 T6、第二复位晶体管 T7 以及存储电容 C1。驱动晶体管 T1 与发光元件 20 电连接,并在扫描信号 SCAN、数据信号 DATA、第一电压信号 ELVDD、第二电压信号 ELVSS 等信号的控制下输出驱动电流以驱动发光元件 20 发光。

在有机发光二极管显示面板的像素单元中,驱动晶体管与有机发光元件连接,在数据信号、扫描信号等信号的控制下向有机发光元件输出驱动电流,从而驱动有机发光元件发光。

例如,本公开实施例提供的显示面板还包括:数据驱动电路和扫描驱动电路。数据驱动电路被配置为根据控制电路的指令向显示像素单元 P0 提供数据信号 DATA;扫描驱动电路被配置为根据控制电路的指令向显示像素单元 P0 提供发光控制信号 EM、扫描信号 SCAN 以及复位控制信号 RESET 等信号。例如,控制电路包括外部集成电路(IC),但不限于此。例如,扫描驱动电路为安装于该显示面板上的 GOA (Gate driver On Array) 结构,或者为与该显示面板进行绑定(Bonding)的驱动芯片(IC)结构。例如,还可以采用不同的驱动电路分别提供发光控制信号 EM 和扫描信号 SCAN。例如,显

示面板还包括电源（图中未示出）以提供上述电压信号，根据需要可以为电压源或电流源，所述电源被配置为分别通过第一电源线 311、第二电源线 312、以及初始化信号线（第一初始化信号线 211 和第二初始化信号线 212）向显示像素单元 P0 提供第一电压信号 ELVDD、第二电源电压 ELVSS、以及初始化信号 Vint 等。

如图 16 和图 18 所示，存储电容 C1 的第二极 C12 与第一电源线 311 电连接，存储电容 C1 的第一极 C11 与阈值补偿晶体管 T3 的第二极 T32 电连接。数据写入晶体管 T2 的栅极 T20 与第一信号线 L1 电连接，数据写入晶体管 T2 的第一极 T21 与第二极 T22 分别与数据线 313、驱动晶体管 T1 的第一极 T11 电连接。阈值补偿晶体管 T3 的栅极 T30 与第一信号线 L1 电连接，阈值补偿晶体管 T3 的第一极 T31 与驱动晶体管 T1 的第二极 T12 电连接，阈值补偿晶体管 T3 的第二极 T32 与驱动晶体管 T1 的栅极 T10 电连接。

例如，如图 16 和图 18 所示，第一发光控制晶体管 T4 的栅极 T40 和第二发光控制晶体管 T5 的栅极 T50 均与发光控制信号线 110 相连。

例如，如图 16 和图 18 所示，第一发光控制晶体管 T4 的第一极 T41 与第二极 T42 分别与第一电源线 311 和驱动晶体管 T1 的第一极 T11 电连接。第二发光控制晶体管 T5 的第一极 T51 与第二极 T52 分别与驱动晶体管 T1 的第二极 T12、发光元件 20 的第一电极 201 电连接。发光元件 20 的第二电极 202（可为 OLED 的公共电极，例如阴极）与第二电源线 312 电连接。

例如，如图 16 和图 18 所示，第一复位晶体管 T6 的栅极 T60 与复位控制信号线 111 电连接，第一复位晶体管 T6 的第一极 T61 与第一初始化信号线 211 电连接，第一复位晶体管 T6 的第二极 T62 与驱动晶体管 T1 的栅极 T10 电连接。第二复位晶体管 T7 的栅极 T70 与第二信号线 L2 电连接，第二复位晶体管 T7 的第一极 T71 与第二初始化信号线 212 电连接，第二复位晶体管 T7 的第二极 T72 与发光元件 20 的第一电极 201 电连接。

例如，如图 18 所示，第一连接电极 31a、第二连接电极 31b、第三连接电极 31c、第四连接电极 31d、数据线 313 和第一电源线 311 位于同一层。从而，数据线 313 通过过孔 V10 与数据写入晶体管 T2 的第一极 T21 电连接，第一电源线 311 通过过孔 V20 与第一发光控制晶体管 T4 的第一极 T41 电连接，第一电源线 311 通过过孔 V30 与存储电容 C1 的第二极 C12 电连接，第一电源线 311 通过过孔 V0 与导电块 BK 电连接。第一连接电极 31a 的一端通过过孔 V11 与第一初始化信号线 211 电连接，第一连接电极 31a 的另一端通过过孔 V12 与第一复位晶体管 T6 的第一极 T61 相连，进而使得第一复位晶体管 T6 的第一极 T61 与第一初始化信号线 211 电连接。第二连接电极 31b 的一端通过过孔 V21 与第一复位晶体管 T6 的第二极 T62 电连接，第二连接电极 31b 的另一端通过过孔 V22 与驱动晶体管 T1 的栅极 T10（也即存储电

容 C1 的第一极 C11) 电连接, 从而使得第一复位晶体管 T6 的第二极 T62 与驱动晶体管 T1 的栅极 T10 (也即存储电容 C1 的第一极 C11) 电连接。第三连接电极 31c 的一端通过过孔 V31 与第二初始化信号线 212 电连接, 第三连接电极 31c 的另一端通过过孔 V32 与第二复位晶体管 T7 的第一极 T71 电连接, 从而使得第二复位晶体管 T7 的第一极 T71 与第二初始化信号线 212 电连接。第四连接电极 31d 通过过孔 V40 与第二发光控制晶体管 T5 的第二极 T52 电连接。第四连接电极 31d 可用来与后续形成的发光元件 20 的第一电极 201 (参照图 6) 电连接。

需要说明的是, 本公开一实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极在结构上可以是对称的, 所以其源极、漏极在结构上可以是没有区别的。在本公开一实施例中, 为了区分晶体管除栅极之外的两极, 直接描述了其中一极为第一极, 另一极为第二极, 所以本公开实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。例如, 本公开实施例所述的晶体管的第一极可以为源极, 第二极可以为漏极; 或者, 晶体管的第一极为漏极, 第二极为源极。

此外, 按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管。本公开实施例以晶体管均采用 P 型晶体管为例进行说明。基于本公开对该实现方式的描述和教导, 本领域普通技术人员在无需做出创造性劳动前提下, 能够容易想到将本公开实施例的显示像素电路结构中至少部分晶体管采用 N 型晶体管, 即采用 N 型晶体管或 N 型晶体管和 P 型晶体管组合的实现方式, 因此, 这些实现方式也是在本公开的保护范围内的。

图 3 和图 5 所示的显示基板的显示像素电路可如图 16 所示。本公开的实施例以显示面板的像素电路为 7T1C 的结构为例进行说明, 但不限于此。显示基板的像素电路还可以为包括其他数量的晶体管的结构, 如 7T2C 结构、6T1C 结构、6T2C 结构或者 9T2C 结构, 本公开实施例对此不作限定。

图 19 为本公开一实施例提供的显示面板的剖视图。例如, 如图 19 所示, 显示面板包括薄膜晶体管 Ta 和存储电容 C1。薄膜晶体管 Ta 即为上述第二发光控制晶体管 T5。薄膜晶体管 Ta 包括位于衬底基板 BS 上的有源层 ATL1, 位于有源层 ATL1 远离衬底基板 BS 一侧的第一栅绝缘层 GI1, 位于第一栅绝缘层 GI1 远离衬底基板 BS 一侧的栅极 GE。显示面板还包括位于栅极 GE 远离衬底基板 BS 一侧的第二栅绝缘层 GI2, 位于第二栅绝缘层 GI2 远离衬底基板 BS 一侧的层间绝缘层 ILD, 以及位于层间绝缘层 ILD 远离衬底基板 BS 一侧的连接电极 CNE1 和连接电极 CNE2。有源层 ATL1 包括沟道 CN11 以及分别位于沟道 CN11 两侧的第一极 ET1 和第二极 ET2, 连接电极 CNE1 通过贯穿的第一栅绝缘层 GI1、第二栅绝缘层 GI2 以及层间绝缘层 ILD 的过孔与

第二极 ET2 相连, 连接电极 CNE2 与第一极 ET1 相连。存储电容 C1 包括第一极 C11 和第二极 C12, 第一极 C11 和栅极 GE 位于同一层, 均位于第一导电图案层 LY1, 第二极 C12 位于第二栅绝缘层 GI2 和层间绝缘层 ILD 之间, 位于第二导电图案层 LY2。第一极 ET1 和第二极 ET2 之一为源极, 第一极 ET1 和第二极 ET2 之另一为漏极。连接电极 CNE1 和连接电极 CNE2 位于第三导电图案层 LY3。显示面板还包括钝化层 PVX 和平坦化层 PLN。例如, 连接电极 CNE1 和连接电极 CNE2 可分别为如上所述的第四连接电极 31d 和第二连接电极 31b。

如图 19 所示, 显示面板还包括发光元件 20, 发光元件 20 包括第一电极 201、发光功能层 EML 和第二电极 202, 第一电极 201 通过贯穿钝化层 PVX 和平坦化层 PLN 的过孔与连接电极 CNE1 相连。显示面板还包括封装层 CPS, 封装层 CPS 包括第一封装层 CPS1、第二封装层 CPS2 以及第三封装层 CPS3。例如, 第一封装层 CPS1 和第三封装层 CPS3 为无机材料层, 第二封装层 CPS2 为有机材料层。例如, 第一电极 201 为阳极, 第二电极 202 为阴极, 但不限于此。

发光元件 20 包括有机发光二极管。发光功能层位于第二电极 202 和第一电极 201 之间。发光功能层 EML 至少包括发光层, 还可以包括空穴传输层、空穴注入层, 电子传输层、电子注入层至少之一。

如图 19 所示, 显示面板还包括像素定义层 PDL 和支撑物 PS。像素定义层 PDL 具有开口, 开口被配置为限定显示像素单元的发光面积(出光区域), 支撑物 PS 被配置为在形成发光功能层 EML 时支撑精细金属掩膜。图 19 示出了发光元件相对的两侧均设置支撑物 PS。例如, 相邻的显示像素单元之间均设置支撑物 PS, 但不限于此, 在其他的实施例中, 并非相邻的显示像素单元之间均设置支撑物 PS。

例如, 发光元件 20 的阳极和阴极之一与驱动晶体管电连接, 驱动晶体管被配置为向发光元件 20 提供驱动发光元件 20 发光的驱动电流。

例如, 数据线被配置为向显示像素单元输入数据信号, 第一电源信号线被配置为向驱动晶体管输入第一电源电压。第二电源信号线被配置为向显示像素单元输入第二电源电压。第一电源电压为恒定电压, 第二电源电压为恒定电压, 例如, 第一电源电压为正电压, 第二电源电压为负电压, 但不限于此。例如, 在一些实施例中, 第一电源电压为正电压, 第二电源信号线接地。

以下将结合图 16 和图 17 对本公开实施例提供的显示面板中一个显示像素单元的驱动方法进行说明。

如图 17 所示, 在一帧显示时间段内, 显示像素单元的驱动方法包括第一复位阶段 t1、数据写入及阈值补偿和第二复位阶段 t2 和发光阶段 t3。

在第一复位阶段 t1, 设置发光控制信号 EM 为关闭电压, 设置复位控制

信号 RESET 为开启电压, 设置扫描信号 SCAN 为关闭电压。

在数据写入及阈值补偿和第二复位阶段 t2, 设置发光控制信号 EM 为关闭电压, 设置复位控制信号 RESET 为关闭电压, 设置扫描信号 SCAN 为开启电压。

- 5 在发光阶段 t3, 设置发光控制信号 EM 为开启电压, 设置复位控制信号 RESET 为关闭电压, 设置扫描信号 SCAN 为关闭电压。

如图 17 所示, 第一电压信号 ELVDD、第二电压信号 ELVSS、以及初始化信号 Vint 均为恒定的电压信号, 初始化信号 Vint 介于第一电压信号 ELVDD 和第二电压信号 ELVSS 之间。

- 10 例如, 本公开实施例中的开启电压是指能使相应晶体管的第一极和第二级导通的电压, 关闭电压是指能使相应晶体管的第一极和第二极断开的电压。当晶体管为 P 型晶体管时, 开启电压为低电压 (例如, 0V), 关闭电压为高电压 (例如, 5V); 当晶体管为 N 型晶体管时, 开启电压为高电压 (例如, 5V), 关闭电压为低电压 (例如, 0V)。图 17 所示的驱动波形均以 P 型晶体管为例进行说明, 即开启电压为低电压 (例如, 0V), 关闭电压为高电压 (例如, 5V)。

- 请一并参阅图 16 和图 17, 在第一复位阶段 t1, 发光控制信号 EM 为关闭电压, 复位控制信号 RESET 为开启电压, 扫描信号 SCAN 为关闭电压。此时, 第一复位晶体管 T6 处于导通状态, 而数据写入晶体管 T2、阈值补偿晶体管 T3、第一发光控制晶体管 T4 和第二发光控制晶体管 T5 处于关闭状态。第一复位晶体管 T6 将初始化信号 (初始化电压) Vint 传输到驱动晶体管 T1 的栅极并被存储电容 C1 存储, 将驱动晶体管 T1 复位并消除上一次 (上一帧) 发光时存储的数据。

- 25 在数据写入及阈值补偿和第二复位阶段 t2, 发光控制信号 EM 为关闭电压, 复位控制信号 RESET 为关闭电压, 扫描信号 SCAN 为开启电压。此时, 数据写入晶体管 T2 和阈值补偿晶体管 T3 处于导通状态, 第二复位晶体管 T7 处于导通状态, 第二复位晶体管 T7 将初始化信号 Vint 传输到发光元件 20 的第一电极, 以将发光元件 20 复位; 而第一发光控制晶体管 T4、第二发光控制晶体管 T5、第一复位晶体管 T6 和第二复位晶体管 T7 处于关闭状态。
- 30 此时, 数据写入晶体管 T2 将数据信号电压 VDATA 传输到驱动晶体管 T1 的第一极, 即, 数据写入晶体管 T2 接收扫描信号 SCAN 和数据信号 DATA 并根据扫描信号 SCAN 向驱动晶体管 T1 的第一极写入数据信号 DATA。阈值补偿晶体管 T3 导通将驱动晶体管 T1 连接成二极管结构, 由此可对于驱动晶体管 T1 的栅极进行充电。充电完成之后, 驱动晶体管 T1 的栅极电压为
- 35 VDATA+Vth, 其中, VDATA 为数据信号电压, Vth 为驱动晶体管 T1 的阈值电压, 即, 阈值补偿晶体管 T3 接收扫描信号 SCAN 并根据扫描信号 SCAN

对驱动晶体管 T1 的栅极电压进行阈值电压补偿。在此阶段，存储电容 C1 两端的电压差为 ELVDD-VDATA-Vth。

在发光阶段 t3，发光控制信号 EM 为开启电压，复位控制信号 RESET 为关闭电压，扫描信号 SCAN 为关闭电压。第一发光控制晶体管 T4 和第二发光控制晶体管 T5 处于导通状态，而数据写入晶体管 T2、阈值补偿晶体管 T3、第一复位晶体管 T6 和第二复位晶体管 T7 处于关闭状态。第一电压信号 ELVDD 通过第一发光控制晶体管 T4 传输到驱动晶体管 T1 的第一极，驱动晶体管 T1 的栅极电压保持为 VDATA+Vth，发光电流 I 通过第一发光控制晶体管 T4、驱动晶体管 T1 和第二发光控制晶体管 T5 流入发光元件 20，发光元件 20 发光。即，第一发光控制晶体管 T4 和第二发光控制晶体管 T5 接收发光控制信号 EM，并根据发光控制信号 EM 控制有发光元件 20 发光。发光电流 I 满足如下饱和电流公式：

$$K(V_{gs}-V_{th})^2=K(V_{DATA}+V_{th}-ELVDD-V_{th})^2=K(V_{DATA}-ELVDD)^2$$

其中， $K=0.5\mu_n C_{ox} \frac{W}{L}$ ， μ_n 为驱动晶体管的沟道迁移率， C_{ox} 为驱动晶体

管 T1 单位面积的沟道电容，W 和 L 分别为驱动晶体管 T1 的沟道宽度和沟道长度，Vgs 为驱动晶体管 T1 的栅极与源极（也即本实施例中驱动晶体管 T1 的第一极）之间的电压差。

由上式中可以看到流经发光元件 20 的电流与驱动晶体管 T1 的阈值电压无关。因此，本显示像素电路结构非常好的补偿了驱动晶体管 T1 的阈值电压。

例如，发光阶段 t3 的时长占一帧显示时间段的比例可被调节。这样，可以通过调节发光阶段 t3 的时长占一帧显示时间段的比例控制发光亮度。例如，通过控制显示面板中的扫描驱动电路 103 或者额外设置的驱动电路实现调节发光阶段 t3 的时长占一帧显示时间段的比例。

例如，在其他实施例中，可以不提供第一复位晶体管 T6 或第二复位晶体管 T7 等，也即本公开实施例不限于图 6 所示出的具体像素电路，可以采用其他能实现对于驱动晶体管补偿的像素电路。基于本公开对该实现方式的描述和教导，本领域普通技术人员在没有做出创造性劳动前提下能够容易想到的其它设置方式，都属于本公开的保护范围之内。

以下给出图 18 所示的显示基板的制作方法。

图 20 为本公开一实施例提供的一种显示基板的制作方法中形成的半导体图案层的示意图。半导体图案层 SCP 由半导体材料形成。半导体材料包括多晶硅。可采用掩膜版形成半导体图案层 SCP。例如，半导体图案层 SCP 可进行轻掺杂以调节薄膜晶体管的阈值电压。轻掺杂可采用硼离子进行掺杂。

本公开一实施例提供的显示基板的制作方法还包括在半导体图案层 SCP 上形成第一绝缘薄膜层。第一绝缘薄膜层可采用 SiO_x ，但不限于此。

图 21 为本公开一实施例提供的一种显示基板的制作方法中在第一绝缘薄膜层上形成的第一导电图案层的示意图。第一导电图案层 LY1 包括发光控制信号线 110、复位控制信号线 111、第二信号线 L2、第一信号线 L1、驱动晶体管 T1 的栅极 T10。驱动晶体管 T1 的栅极 T10 同时作为存储电容 C1 的第一极 C11。第一导电图案层 LY1 的材料包括金属，金属包括钼 (Mo)，但不限于此。

图 22 为本公开一实施例提供的一种显示基板的制作方法中对半导体图案层采用自对准工艺进行导体化处理后的结构示意图。对半导体图案层采用自对准工艺进行导体化处理后形成有源层 ALT。例如，在显示基板的制作过程中，采用自对准工艺，以第一导电图案层 LY1 为掩模对半导体图案层 SCP 进行导体化处理，形成有源层 ALT。例如，采用离子注入对半导体图案层 SCP 进行重掺杂，例如，可掺杂大量的硼离子，从而使得半导体图案层 SCP 未被第一导电图案层 LY1 覆盖的部分电阻大大降低，具有导体特性，即被导体化，形成驱动晶体管 T1 的源极区（第一极 T11）和漏极区（第二极 T12）、数据写入晶体管 T2 的源极区（第一极 T21）和漏极区（第二极 T22）、阈值补偿晶体管 T3 的源极区（第一极 T31）和漏极区（第二极 T32）、第一发光控制晶体管 T4 的源极区（第一极 T41）和漏极区（第二极 T42）、第二发光控制晶体管 T5 的源极区（第一极 T51）和漏极区（第二极 T52）、第一复位晶体管 T6 的源极区（第一极 T61）和漏极区（第二极 T62）、以及第二复位晶体管 T7 的源极区（第一极 T71）和漏极区（第二极 T72）。半导体图案层 SCP 被第一导电图案层 LY1 覆盖的部分保留半导体特性，形成驱动晶体管 T1 的沟道区 T14、数据写入晶体管 T2 的沟道区 T24、阈值补偿晶体管 T3 的沟道区 T34、第一发光控制晶体管 T4 的沟道区 T44、第二发光控制晶体管 T5 的沟道区 T54、第一复位晶体管 T6 的沟道区 T64、以及第二复位晶体管 T7 的沟道区 T74。例如，如图 10 所示，第二复位晶体管 T7 的第二极 T72 和第二发光控制晶体管 T5 的第二极 T52 一体形成；第二发光控制晶体管 T5 的第一极 T51、驱动晶体管 T1 的第二极 T12 和阈值补偿晶体管 T3 的第一极 T31 一体形成；驱动晶体管 T1 的第一极 T11、数据写入晶体管 T2 的第二极 T22、第一发光控制晶体管 T4 的第二极 T42 一体形成；阈值补偿晶体管 T3 的第二极 T32 和第一复位晶体管 T6 的第二极 T62 一体形成。

例如，如图 22 所示，第一发光控制晶体管 T4 的栅极 T40 为发光控制信号线 110 的一部分，第二发光控制晶体管 T5 的栅极 T50 为发光控制信号线 110 的一部分，数据写入晶体管 T2 的栅极 T20 为第一信号线 L1 的一部分，阈值补偿晶体管 T3 的栅极 T30 为第一信号线 L1 的一部分，第一复位晶体管

T6 的栅极 T60 为复位控制信号线 111 的一部分, 第二复位晶体管 T7 的栅极 T70 为第二信号线 L2 的一部分。

例如, 本公开实施例采用的晶体管的沟道区(有源层)可以为单晶硅、多晶硅(例如低温多晶硅)或金属氧化物半导体材料(如 IGZO、AZO 等)。

5 在一个实施例中, 该晶体管均为 P 型低温多晶硅(LTPS)薄膜晶体管。在另一个实施例中, 与驱动晶体管 T1 的栅极直接连接的阈值补偿晶体管 T3 和第一复位晶体管 T6 为金属氧化物半导体薄膜晶体管, 即晶体管的沟道材料为金属氧化物半导体材料(如 IGZO、AZO 等), 金属氧化物半导体薄膜晶体管具有较低的漏电流, 可以有助于降低驱动晶体管 T1 的栅极漏电流。

10 例如, 本公开实施例采用的晶体管可以包括多种结构, 如顶栅型、底栅型或者双栅结构。在一个实施例中, 与驱动晶体管 T1 的栅极直接连接的阈值补偿晶体管 T3 和第一复位晶体管 T6 为双栅型薄膜晶体管, 可以有助于降低驱动晶体管 T1 的栅极漏电流。

本公开一实施例提供的显示基板的制作方法, 在进行导体化处理后的结构上形成第二绝缘薄膜层。图中未示出第二绝缘薄膜层。例如, 第二绝缘薄膜层可呈面状覆盖衬底基板。第二绝缘薄膜层的材料包括 SiN_x , 但不限于此。

图 23 为本公开一实施例提供的一种显示基板的制作方法中在第二绝缘薄膜层上形成的第二导电图案层的示意图。第二导电图案层 LY2 包括第一初始化信号线 211、导电块 BK、存储电容 C1 的第二极 C12 和第二初始化信号线 212。存储电容 C1 的第二极 C12 具有开口 OPN1。存储电容 C1 的第二极 C12 具有开口 OPN1, 利于第二连接电极 31b(参见图 18)穿过开口 OPN1 与存储电容 C1 的第一极 C11 电连接。第二连接电极 31b 与存储电容 C1 的第二极 C12 彼此绝缘。第二导电图案层 LY2 的材料包括金属, 金属包括钼(Mo), 但不限于此。

25 图 24 为本公开一实施例提供的一种显示基板的制作方法中在第二导电图案层上形成第三绝缘薄膜层, 并在第一绝缘薄膜层、第二绝缘薄膜层和第三绝缘薄膜层至少之一中形成过孔的示意图。如图 24 所示, 在形成过孔后, 形成第一栅绝缘层、第二栅绝缘层和层间绝缘层, 图 24 中未示出第一栅绝缘层、第二栅绝缘层和层间绝缘层, 可参照图 19。第三绝缘薄膜层可呈面状覆盖衬底基板。第一栅绝缘层为在第一绝缘薄膜层中形成过孔后的结构。第二栅绝缘层为在第二绝缘薄膜层中形成过孔后的结构。层间绝缘层为在第三绝缘薄膜层中形成过孔后的结构。层间绝缘层 ILD 的材料包括 SiO_x 和 SiN_x 至少之一, 但不限于此。

如图 24 所示, 显示面板包括过孔 V40、过孔 V0、过孔 V10、过孔 V20、过孔 V30、过孔 V11、过孔 V12、过孔 V21、过孔 V22、过孔 V31 和过孔 V32。

图 25 为本公开一实施例提供的一种显示基板的制作方法中在层间绝缘层上形成的第三导电图案层的示意图。如图 25 所示，第三导电图案层 LY3 包括第一连接电极 31a、第二连接电极 31b、第三连接电极 31c、第四连接电极 31d、数据线 313 和第一电源线 311。形成第三导电图案层后，即可得到如图 18 所示的显示基板。例如，第三导电图案层 LY3 的材料包括金属材料，例如，可采用 Ti-Al-Ti 的三个子层叠加的结构，但不限于此。

参考图 25、图 24 和图 18，存储电容 C1 的第一极 C11 通过第二连接电极 31b 与阈值补偿晶体管 T3 的第二极 T32 电连接。阈值补偿晶体管 T3 的第二极 T32 通过第二连接电极 31b 与驱动晶体管 T1 的栅极 T10 电连接。第一复位晶体管 T6 的第一极 T61 通过第一连接电极 31a 与第一初始化信号线 211 电连接。第二复位晶体管 T7 的第一极 T71 通过第三连接电极 31c 与第二初始化信号线 212 电连接。第四连接电极 31d 与第二发光控制晶体管 T5 的第二极 T52 电连接。

图 26 为本公开一实施例提供的一种显示面板的第一虚设像素单元的剖视图。如图 26 所示，第一虚设像素单元 P1 包括第一虚设像素电路 101 和虚设元件 30，如图 26 所示，虚设元件 30 包括第一电极 301、发光功能层 EML 和第二电极 302。第一虚设像素电路 101 包括晶体管 Tb，像素定义层 PDL 不为第一虚设像素单元 P1 设置开口，虚设元件 30 的发光功能层 EML 不接触第一电极 301，从而，第一虚设像素单元 P1 不发光。像素限定层 PDL 在第一虚设区域 R31 不设置开口，使得第一虚设像素单元 P1 不发光。如图 26 所示，像素限定层 PDL 完全覆盖虚设元件 30 的第一电极 301，没有通往的第一虚设像素单元 P1 的信号通道。虚设元件 30 的第一电极 301 不与虚设元件 30 的发光功能层 EML 接触。

图 27 为本公开一实施例提供的一种显示面板的第一虚设像素单元的剖视图。如图 27 所示，第一虚设像素单元 P1 包括第一虚设像素电路 101 和虚设元件 30，第一虚设像素电路 101 包括晶体管 Tc，虚设元件 30 包括发光功能层 EML 和第二电极 302。如图 27 所示，虚设元件 30 不包括第一电极 301，且虚设元件 30 的发光功能层 EML 不与第一虚设像素电路 101 接触。从而，第一虚设像素单元 P1 不发光。图 27 中的像素限定层 PDL 虽然具有开口，但该开口没有贯穿平坦化层 PLN 和钝化层 PVX，从而，虚设元件 30 的发光功能层 EML 不与第一虚设像素电路 101 接触。

图 28 为本公开一实施例提供的一种显示面板的第一虚设像素电路结构的原理图。与图 16 所示的显示像素单元的显示像素电路结构相比，虚设元件 30 不与第一虚设像素电路结构 101 相连。如图 16 和图 28 所示，显示像素电路 101 的结构与第一虚设像素电路 101 的结构相同。

例如，参考图 4 和图 28，显示面板包括数据线 313、发光控制信号线 110、

第一电源线 311、第二电源线 312、复位控制信号线 111、第一初始化信号线 211 以及第二初始化信号线 212，其中，第一虚设像素单元 P1 还包括虚设元件 30，第一虚设像素单元 P1 包括驱动晶体管 T1、数据写入晶体管 T2、阈值补偿晶体管 T3、第一发光控制晶体管 T4、第二发光控制晶体管 T5、第一
5 复位晶体管 T6、第二复位晶体管 T7 以及存储电容 C1。

存储电容 C1 的第二极与第一电源线 311 电连接，存储电容 C1 的第一极与阈值补偿晶体管 T3 的第二极电连接。

数据写入晶体管 T2 的栅极与第一信号线 L1 电连接，数据写入晶体管 T2 的第一极与第二极分别与数据线 313、驱动晶体管 T1 的第一极电连接。

10 阈值补偿晶体管 T3 的栅极与第一信号线 L1 电连接，阈值补偿晶体管 T3 的第一极与驱动晶体管 T1 的第二极电连接，阈值补偿晶体管 T3 的第二极与驱动晶体管 T1 的栅极电连接。

第一发光控制晶体管 T4 的栅极和第二发光控制晶体管 T5 的栅极均与发光控制信号线 110 相连。

15 第一发光控制晶体管 T4 的第一极与第二极分别与第一电源线 311 和驱动晶体管 T1 的第一极电连接，第二发光控制晶体管 T5 的第一极与驱动晶体管 T1 的第二极电连接，虚设元件 30 的第二电极与第二电源线 312 电连接。

第一复位晶体管 T6 的栅极与复位控制信号线 111 电连接，第一复位晶体管 T6 的第一极与第一初始化信号线 211 电连接，第一复位晶体管 T6 的第二极与驱动晶体管 T1 的栅极电连接。

20 第二复位晶体管 T7 的栅极与第二信号线 L2 电连接，第二复位晶体管 T7 的第一极与第二初始化信号线 212 电连接。

虚设元件 30 不设置第一电极 301，或者，在虚设元件 30 设置第一电极 301 的情况下，第二发光控制晶体管 T5 的第二极不与虚设元件 30 的第一电极 301 电连接，第二复位晶体管 T7 的第二极不与虚设元件 30 的第一电极 301
25 电连接。

本公开的实施例提供的显示面板，负载补偿采用 3D 补偿的方式，包含了很多节点，很多寄生电容加起来的补偿，负载补偿效果好。

图 29 为一种采用平板电容的方式进行负载补偿的显示面板的示意图。如图 29 所示，虚线框 B2 处为平板电容的设置位置，平板电容设置在引线区域 R4。然而，对于异形区域在用平板电容作为补偿单元进行补偿时，平板电容实际补偿值与理论计算值差异较大，且平板电容本身负载与显示像素单元相差较大，平板电容的方式补不够负载缺失。所以，与平板电容相比，在有空间的前提下采用第一虚设像素单元作为补偿单元有明显优势，第一虚设像素
30 单元可以使得每一条第一信号线所处的环境一致，这样可使得每一条第一信号线的负载基本一致，也利于第一信号线的刻蚀均一性，避免因刻蚀不均一

导致第一信号线的负载不一致，进而导致补偿出现误差，从而影响显示效果。

本公开的实施例中，第一信号线 L1 可为栅线，第二信号线 L2 可为复位控制信号线。例如，第二信号线 L2 为第二复位控制信号线。复位控制信号线 111 为第一复位控制信号线。

- 5 8 所示的显示面板与图 29 所示的显示面板的补偿效果比较如下表所示。从表中可以看出，本公开的实施例提供的显示面板，第一信号线的补偿负载可达 17.39 fF，第二信号线的补偿负载可达 16.40 fF，即，单个的第一信号线和单个的第二信号线的补偿效果接近采用平板电容作为补偿单元的补偿方式中的补偿效果。第一信号线和第二信号线补偿的负载之和大于采用平板电容作为补偿单元的补偿方式中的补偿效果。
- 10

表一：采用第一虚设像素单元作为补偿单元和采用平板电容作为补偿单元的补偿效果比较

	采用第一虚设像素单元作为补偿单元 (方案一)		采用平板电容作为补 偿单元(方案二)
补偿电容 (fF)	第一信号线(栅线)	第二信号线(复位 控制信号线)	第一信号线(栅线)和 第二信号线(复位控制 信号线)
	17.39	16.40	20.72

- 15 在采用第一信号线与第二信号线相连的情况下，当用第一虚设像素单元补偿某一行的第一信号线的负载时，补偿负载包括两部分，一部分是该行的第一信号线的负载，第二部分是与第一信号线相连的第二信号线的负载，而采用平板电容的方式进行补偿时，补偿的负载绝大多数来自补偿单元。

- 20 表一为不同补偿方案的补偿单元中第一信号线的电容，从表格中可以看到，利用方案一补偿时，第一信号线以及第二信号线的负载总和要比一个平板电容的补偿单元的负载大，且平板电容实际补偿值与理论计算值差异较大，即采用第一虚设像素单元的补偿方式具有明显优势。

- 25 例如，在对异形显示区域补偿时，平板电容补偿单元越多，占据的边框越大，从而导致上边框增大。本公开的实施例最大化的利用异形显示区域的空间，从而减小补偿单元的个数，进而减小上边框的宽度。

本公开的实施例提供的显示面板，在充分利用异形显示区域的空间的前提下，采用第一虚设像素单元作为补偿单元对透光区域进行补偿，不仅能够

窄化边框，还能更好的补偿负载，达到更优的显示效果。

图 30 为本公开一实施例提供的显示面板中的第二虚设像素单元的平面图。如图 30 所示，第二虚设像素单元 P2 包括第二虚设像素电路 102。第二虚设像素电路 102 仅包括电容，不包括完整的晶体管。例如，第二虚设像素单元 P2 中的有源层 ATL2 与显示像素单元中的有源层 ATL 不同。有源层 ATL2 的结构为有源层 ATL 的结构的一部分。第二虚设像素单元 P2 不发光。例如，其不发光的方式可与第一虚设像素单元相同，但不限于此。例如，第二虚设像素单元中可不包括发光功能层，但不限于此。

本公开的至少一实施例还提供一种显示装置，包括上述任一显示面板。

例如，显示装置包括 OLED 显示装置或包括 OLED 显示装置的电脑、手机、手表、电子画框、导航仪等任何具有显示功能的产品或器件。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权利要求书

1、一种显示面板，包括：

显示区域；

5 透光区域，位于所述显示区域的一侧；

第一虚设区域，位于所述显示区域和所述透光区域之间，所述第一虚设区域为不发光区域；

第一信号线，位于所述显示区域和所述第一虚设区域；

显示像素单元，位于所述显示区域，包括显示像素电路；以及

10 第一虚设像素单元，位于所述第一虚设区域，包括第一虚设像素电路，

其中，所述显示像素电路与所述第一信号线相连，所述第一虚设像素电路与所述第一信号线相连。

2、根据权利要求1所述的显示面板，其中，所述第一虚设像素电路的结构与所述显示像素电路的结构相同。

15 3、根据权利要求1或2所述的显示面板，其中，所述显示像素电路和所述第一虚设像素电路均包括晶体管。

4、根据权利要求1-3任一项所述的显示面板，其中，所述显示像素电路和所述第一虚设像素电路均包括存储电容。

20 5、根据权利要求1-4任一项所述的显示面板，还包括第二信号线和连接元件，其中，所述第二信号线与所述第一信号线的延伸方向相同，所述第二信号线与所述第一信号线通过所述连接元件相连，所述第二信号线与所述第一虚设像素单元相连。

6、根据权利要求5所述的显示面板，其中，所述第一信号线包括栅线，所述第二信号线包括复位控制信号线。

25 7、根据权利要求1-6任一项所述的显示面板，其中，与所述第一信号线相连的所述第一虚设像素单元构成的负载小于所述第一信号线在补偿前缺失的负载。

30 8、根据权利要求7所述的显示面板，其中，与所述第一信号线相连的所述第一虚设像素单元构成的负载为所述第一信号线在补偿前缺失的负载的65%-80%。

9、根据权利要求7所述的显示面板，其中，与所述第一信号线相连的所述第一虚设像素单元构成的负载为所述第一信号线在补偿前缺失的负载的70%。

35 10、根据权利要求1-9任一项所述的显示面板，还包括第二虚设像素单元和第二虚设区域，其中，所述第二虚设像素单元位于所述第二虚设区域，所述第二虚设区域靠近所述显示面板的边缘，位于所述第一虚设区域远离所

述显示区域的一侧，所述第二虚设像素单元包括第二虚设像素电路，所述第二虚设像素电路的结构为所述第一虚设像素电路的结构的一部分。

11、根据权利要求 1-10 任一项所述的显示面板，其中，所述第一信号线提供为多个，所述第一信号线沿第一方向延伸，所述多条第一信号线沿第二方向排列，所述第一方向与所述第二方向相交，在所述第二方向上，多条第一信号线的负载呈线性递增趋势。

12、根据权利要求 1-11 任一项所述的显示面板，还包括缺口，其中，所述缺口位于所述透光区域。

13、根据权利要求 12 所述的显示面板，其中，所述第一虚设像素单元提供为多个，所述第一信号线的两端分别与所述多个第一虚设像素单元相连。

14、根据权利要求 13 所述的显示面板，其中，与所述第一信号线的每一端相连的所述第一虚设像素单元的个数大于 2 个。

15、根据权利要求 13 或 14 所述的显示面板，其中，所述第一信号线位于所述缺口的沿所述第一信号线的延伸方向上相对的两侧中的至少一侧，所述第一信号线的靠近所述缺口的一端连接的所述第一虚设像素单元的个数大于所述第一信号线的远离所述缺口的一端连接的所述第一虚设像素单元的个数。

16、根据权利要求 12-15 任一项所述的显示面板，其中，所述显示区域的靠近所述透光区域的一侧的边缘为曲线，包括谷和分设在所述谷的两侧的脊，所述透光区域位于所述谷的位置处。

17、根据权利要求 16 所述的显示面板，其中，所述曲线的位于所述脊的靠近所述缺口的一侧的部分的坡度大于所述曲线的位于所述脊的远离所述缺口的一侧的部分的坡度。

18、根据权利要求 1-10 任一项所述的显示面板，其中，所述第一信号线提供为多个，所述第一信号线沿第一方向延伸，多条第一信号线沿第二方向排列，所述第一方向与所述第二方向相交，在所述第二方向上，多条第一信号线的负载呈线性递减再线性递增趋势。

19、根据权利要求 18 所述的显示面板，其中，所述透光区域被所述显示区域包围；所述透光区域包括通孔区域，所述通孔区域包括第一通孔区域和第二通孔区域，所述第一虚设区域包括位于所述第一通孔区域和所述第二通孔区域之间的部分，所述第一虚设像素单元位于所述第一虚设区域的位于所述第一通孔区域和所述第二通孔区域之间的所述部分内。

20、根据权利要求 1-19 任一项所述的显示面板，还包括像素限定层，其中，所述像素限定层在所述显示区域设置开口以限定所述显示像素单元的发光面积，所述像素限定层在所述第一虚设区域不设置开口，使得所述第一虚设像素单元不发光。

21、根据权利要求 1-20 任一项所述的显示面板，其中，所述第一虚设像素单元还包括虚设元件，其中，所述虚设元件不与所述第一虚设像素电路相连，或者所述虚设元件的第一电极不与所述虚设元件的发光功能层接触。

22、根据权利要求 5 所述的显示面板，还包括数据线、发光控制信号线、第一电源线、第二电源线、复位控制信号线、第一初始化信号线以及第二初始化信号线，其中，所述第一虚设像素单元还包括虚设元件，所述第一虚设像素单元包括驱动晶体管、数据写入晶体管、阈值补偿晶体管、第一发光控制晶体管、第二发光控制晶体管、第一复位晶体管、第二复位晶体管以及存储电容，

所述存储电容的第一极与所述阈值补偿晶体管的第二极电连接，所述存储电容的第二极与所述第一电源线电连接；

所述数据写入晶体管的栅极与所述第一信号线电连接，所述数据写入晶体管的第一极与第二极分别与所述数据线、所述驱动晶体管的第一极电连接；

所述阈值补偿晶体管的栅极与所述第一信号线电连接，所述阈值补偿晶体管的第一极与所述驱动晶体管的第二极电连接，所述阈值补偿晶体管的第二极与所述驱动晶体管的栅极电连接；

所述第一发光控制晶体管的栅极和所述第二发光控制晶体管的栅极均与发光控制信号线相连；

所述第一发光控制晶体管的第一极与第二极分别与所述第一电源线和所述驱动晶体管的第一极电连接，所述第二发光控制晶体管的第一极与所述驱动晶体管的第二极电连接，所述虚设元件的第二电极与所述第二电源线电连接；

所述第一复位晶体管的栅极与所述复位控制信号线电连接，所述第一复位晶体管的第一极与所述第一初始化信号线电连接，所述第一复位晶体管的第二极与所述驱动晶体管的栅极电连接；

所述第二复位晶体管的栅极与所述第二信号线电连接，所述第二复位晶体管的第一极与所述第二初始化信号线电连接；

所述虚设元件不设置第一电极，或者，在所述虚设元件设置第一电极的情况下，所述第二发光控制晶体管的第二极不与所述虚设元件的第一电极电连接，所述第二复位晶体管的第二极不与所述虚设元件的第一电极电连接。

23、一种显示装置，包括权利要求 1-22 任一项所述的显示面板。

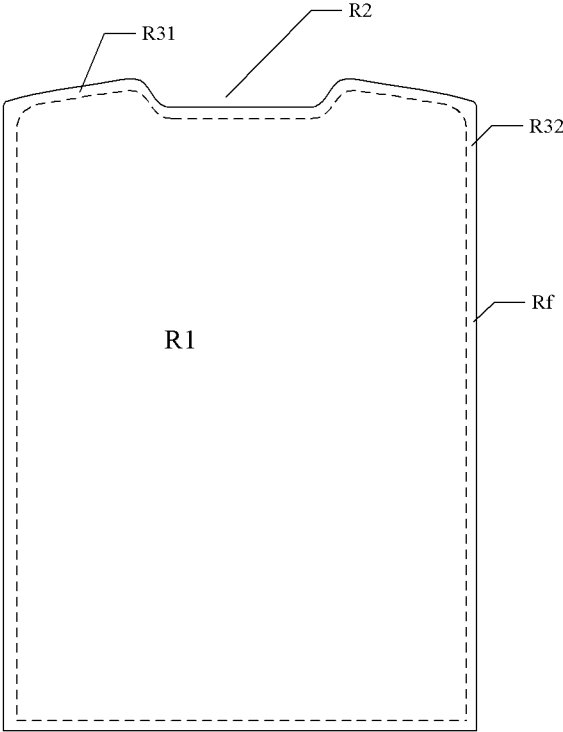


图 1

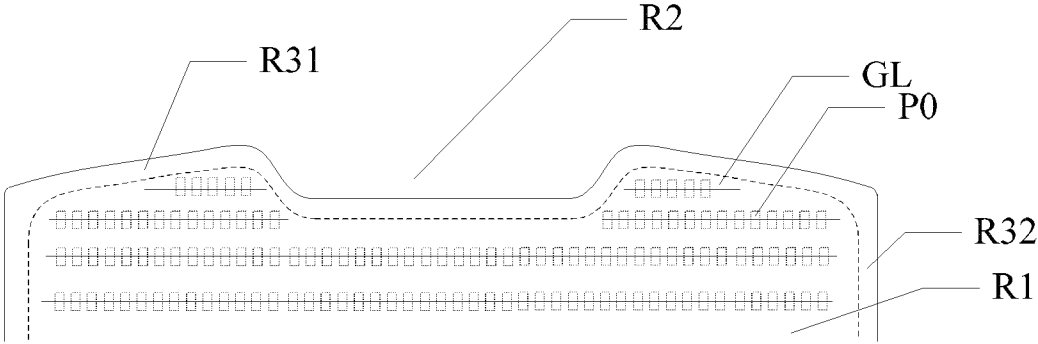


图 2

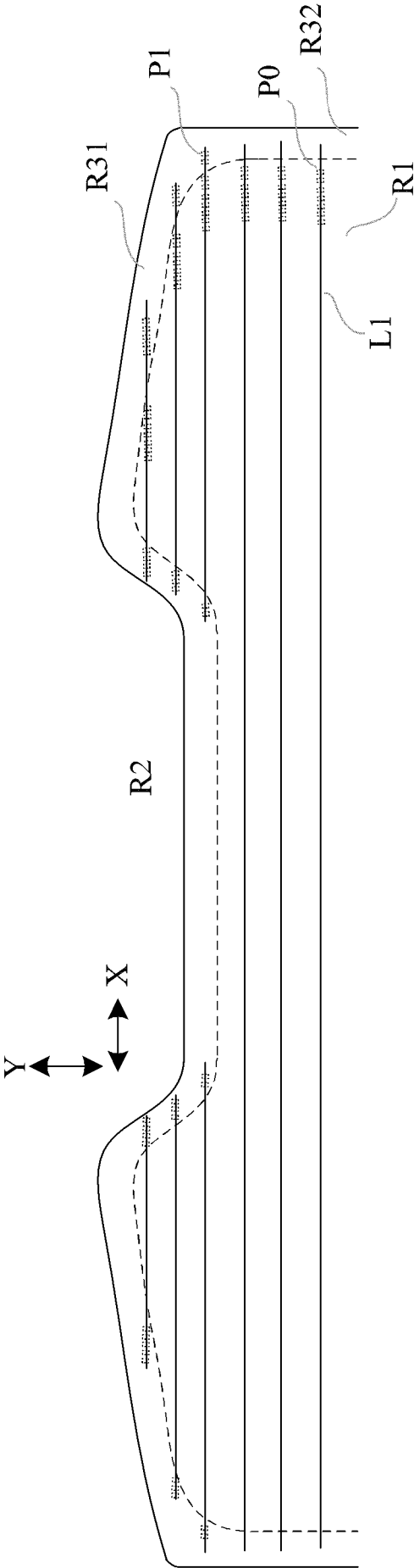


图3

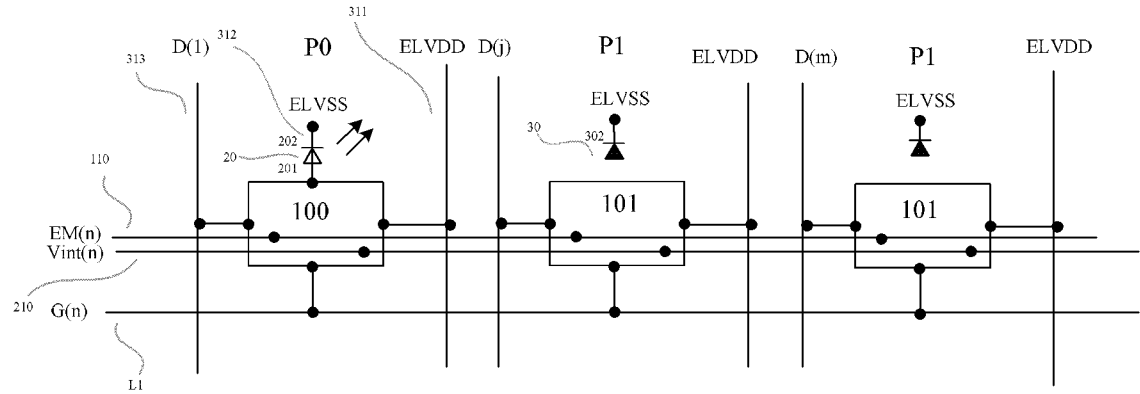


图 4

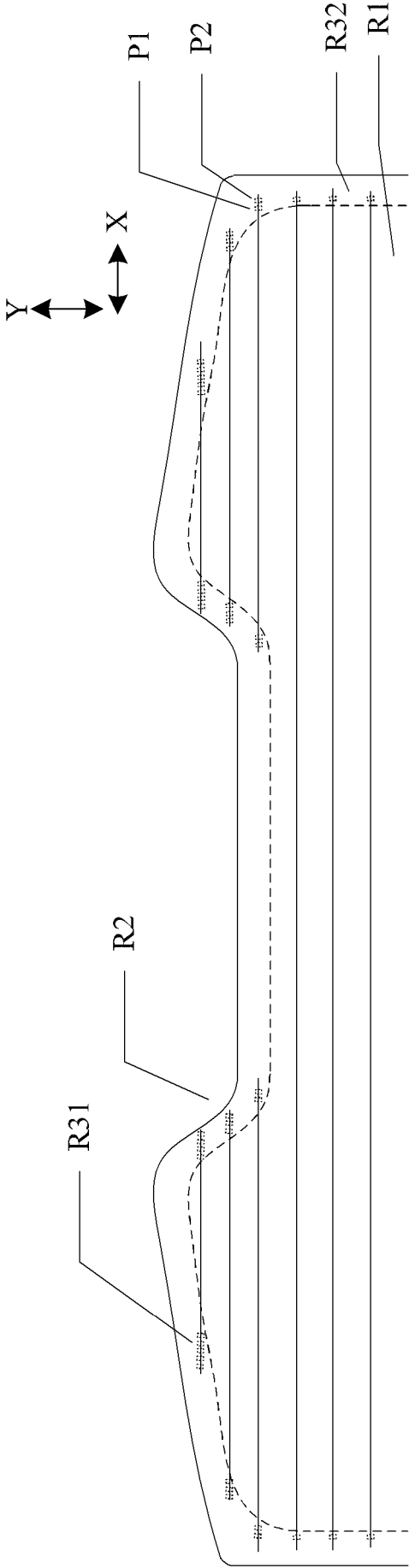


图5

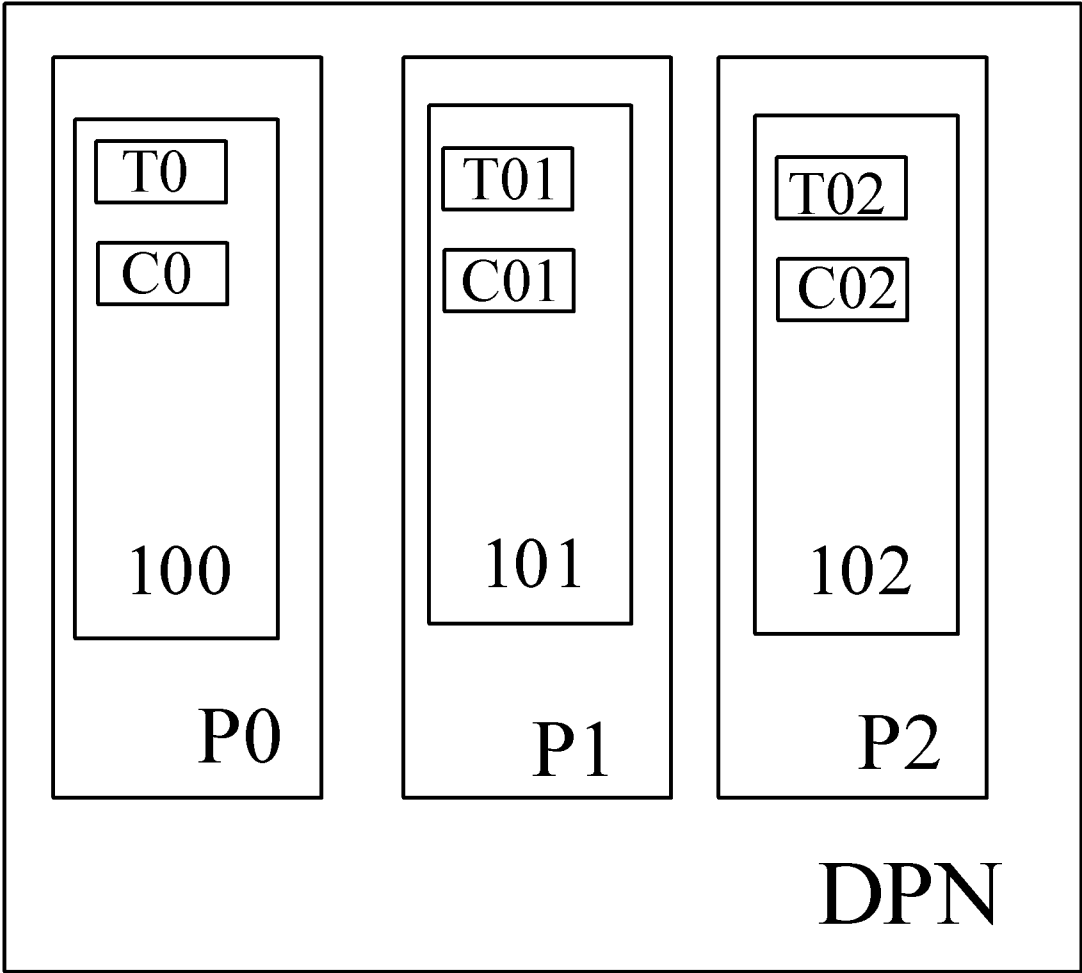


图 6

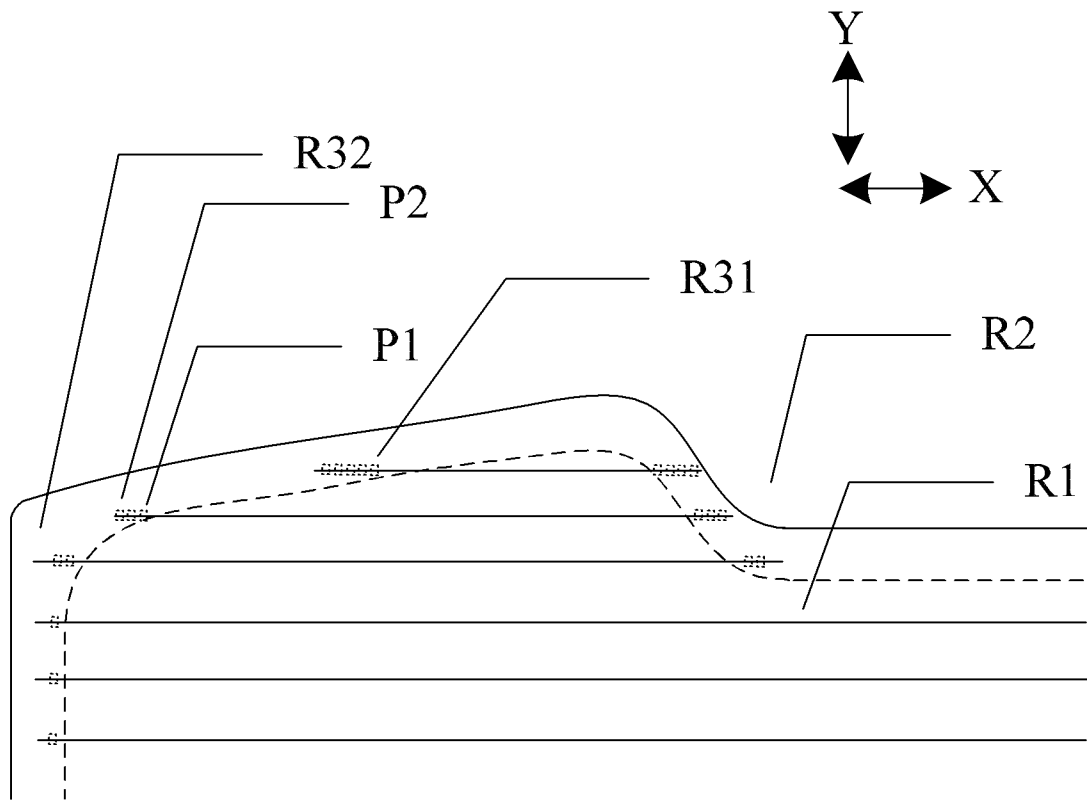


图 7

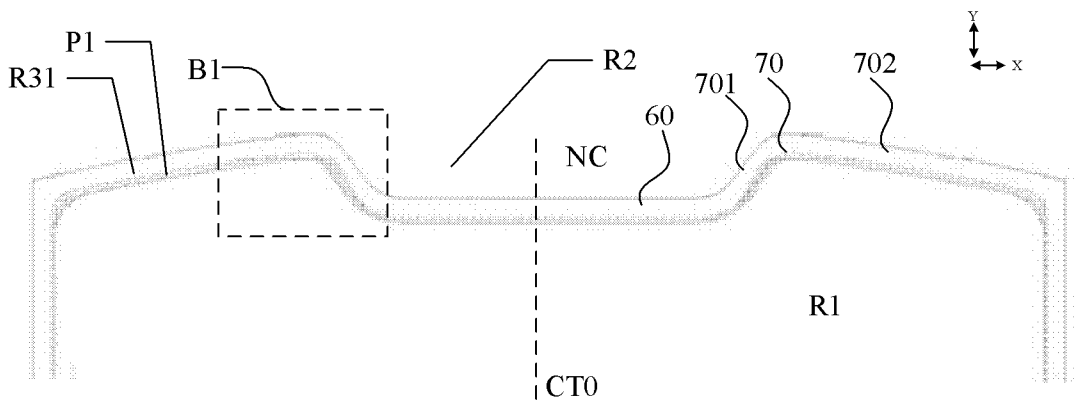


图 8

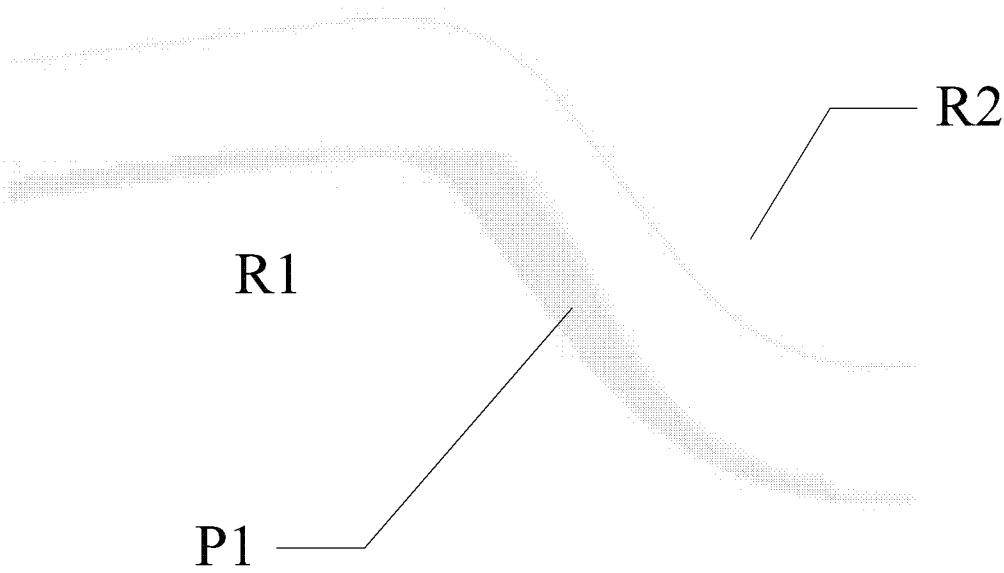


图 9

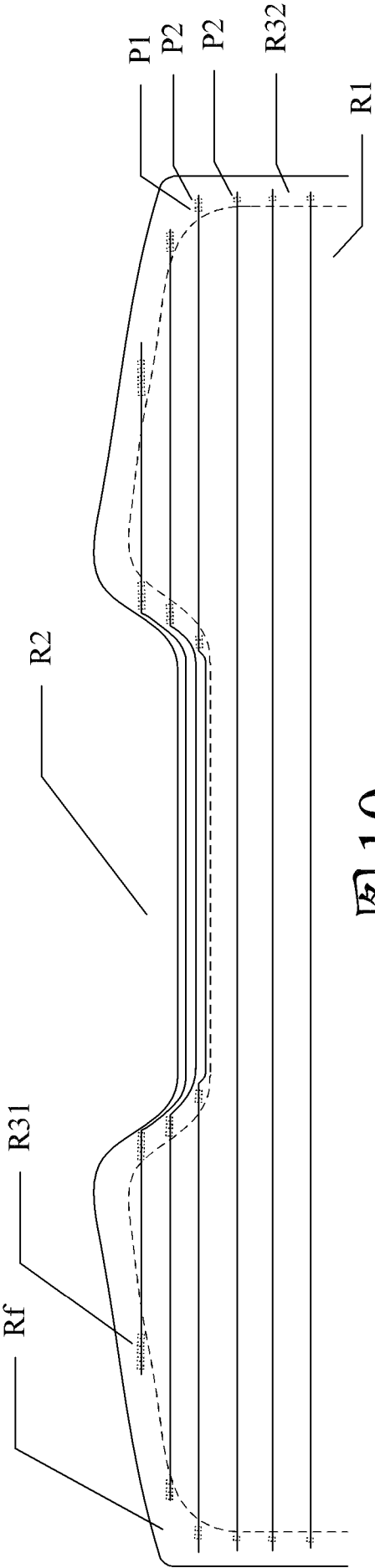


图10

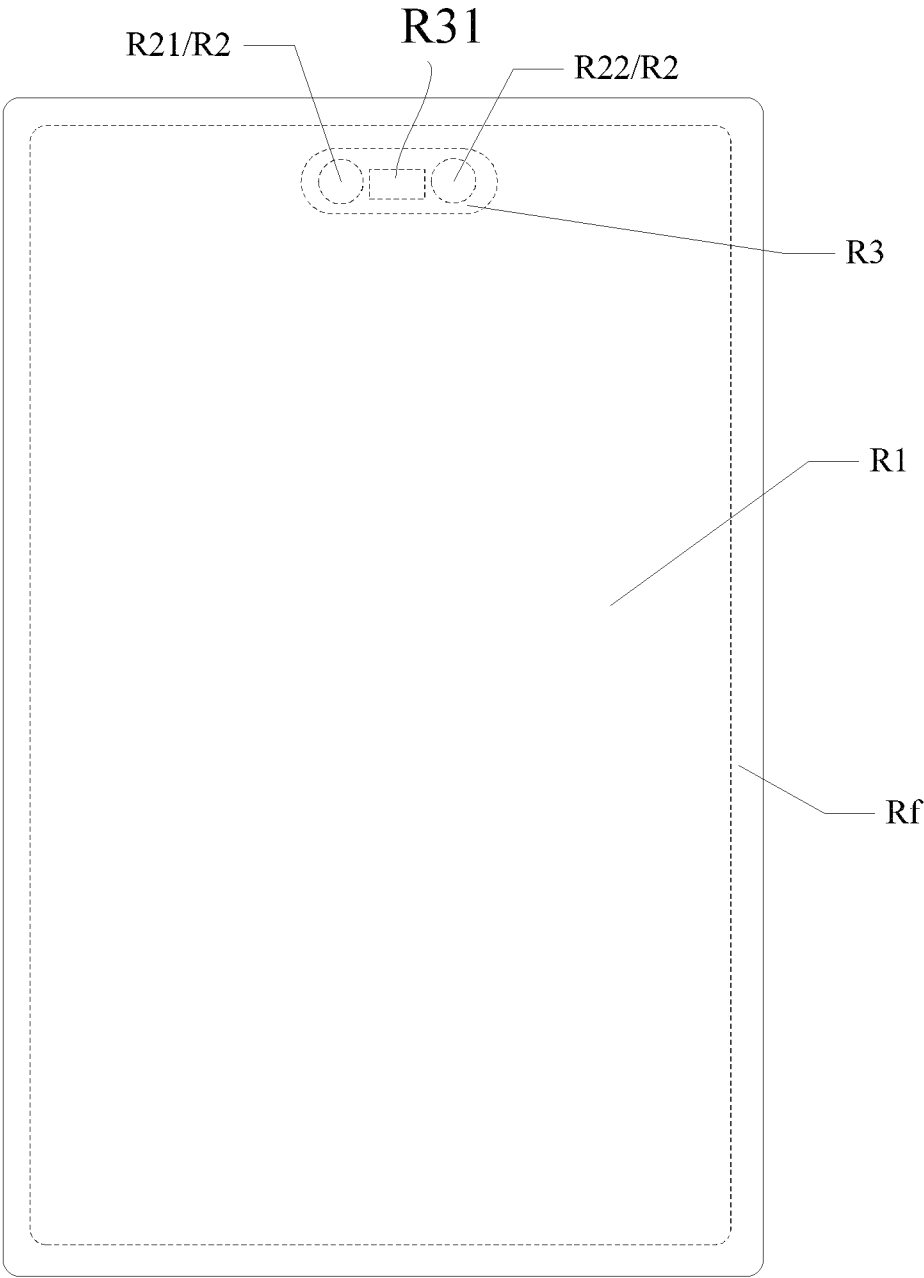


图 11

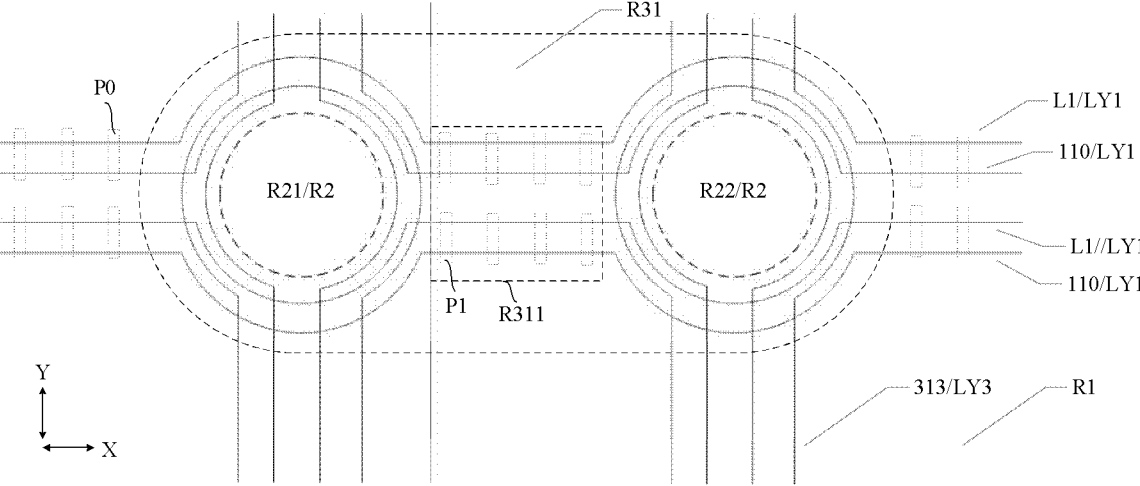


图 12

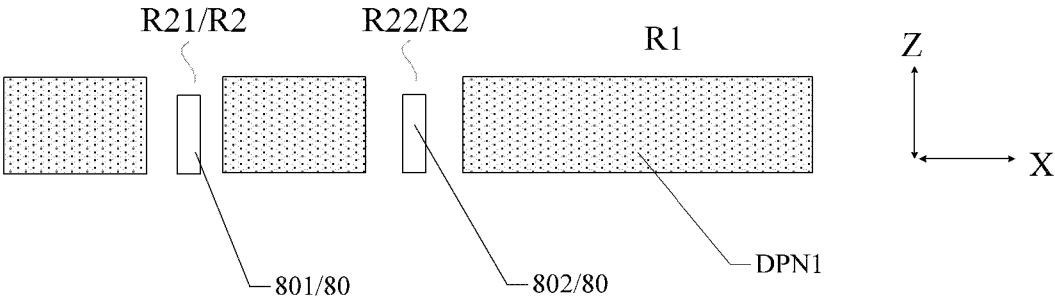


图 13

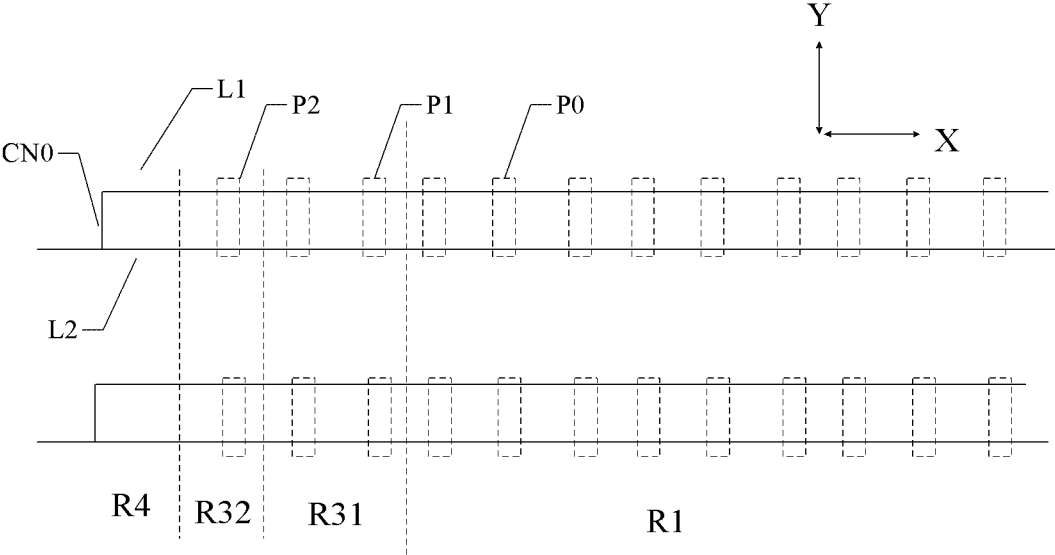


图 14

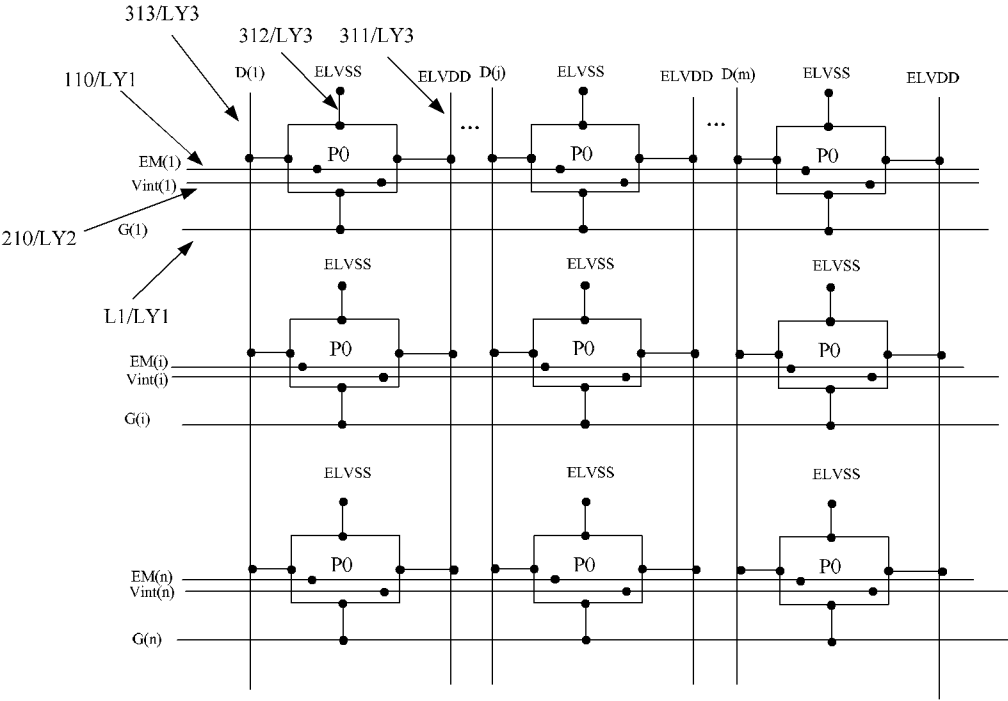


图 15

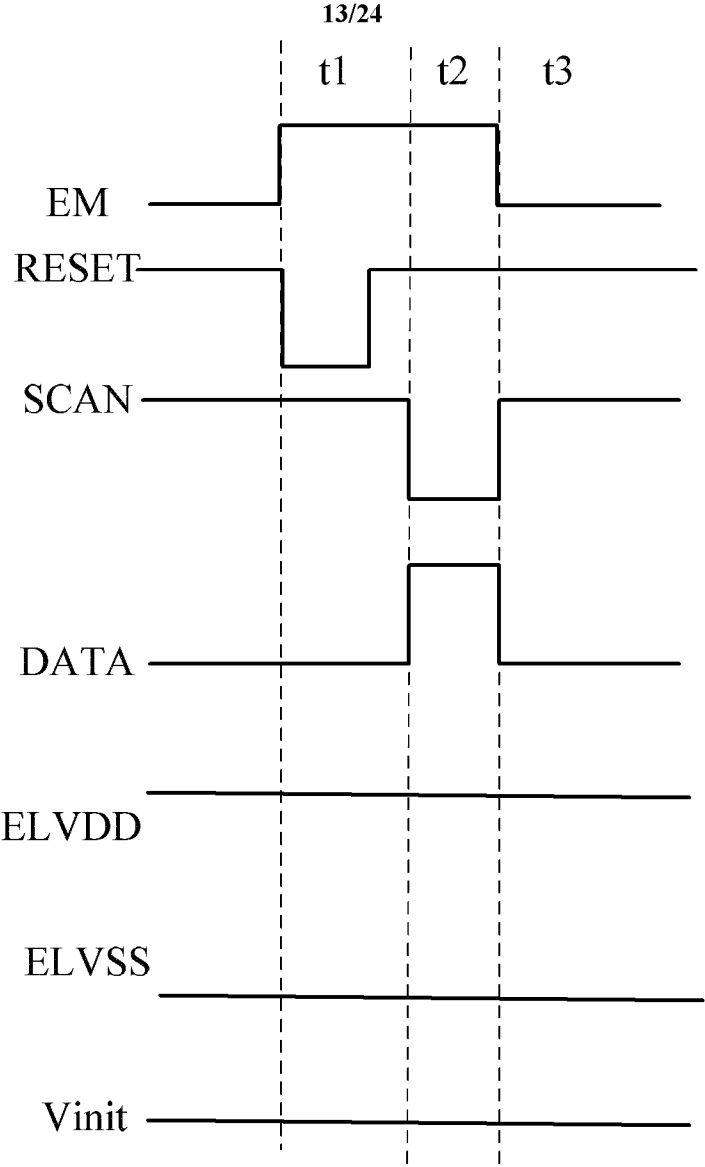


图 17

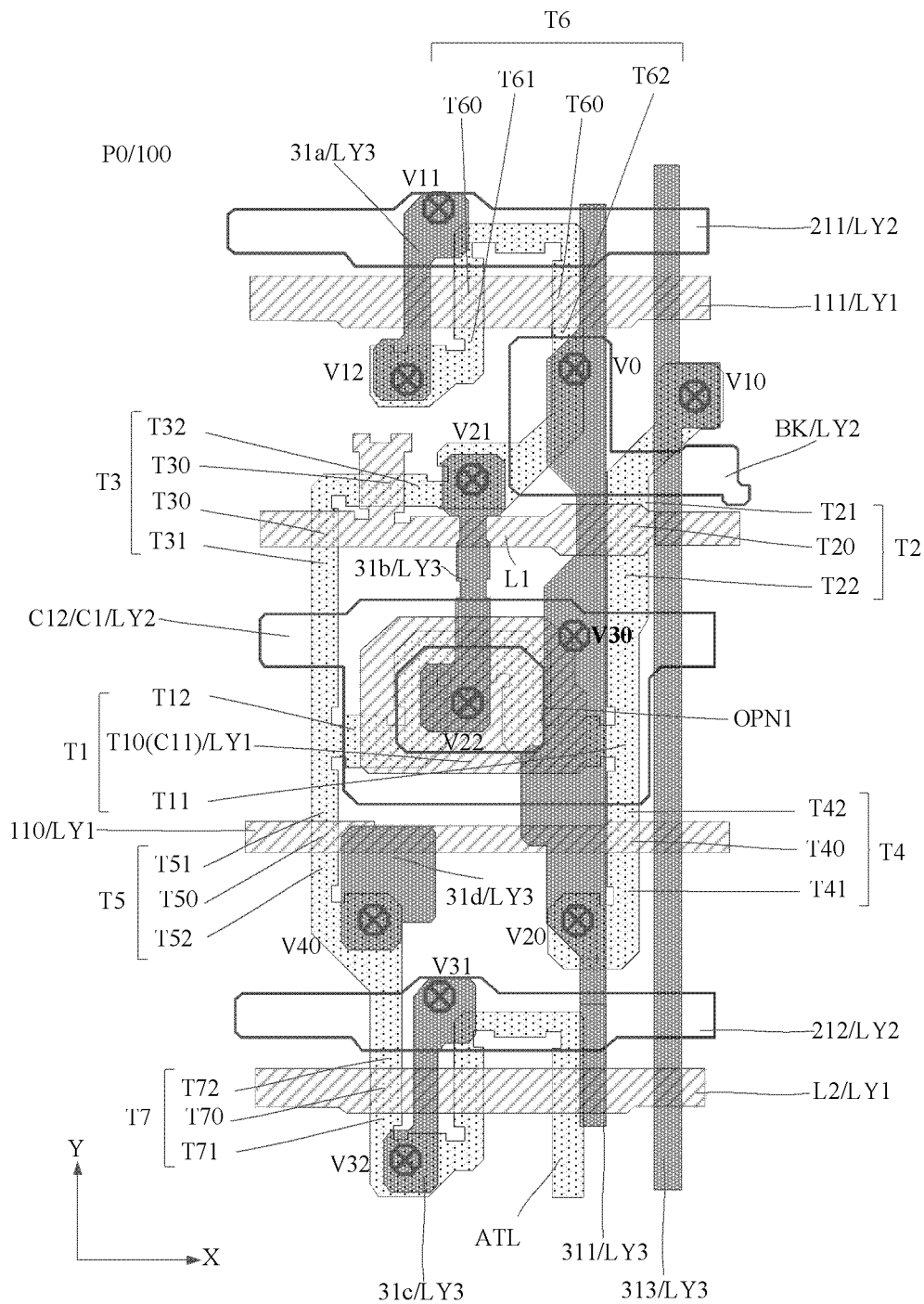


图 18

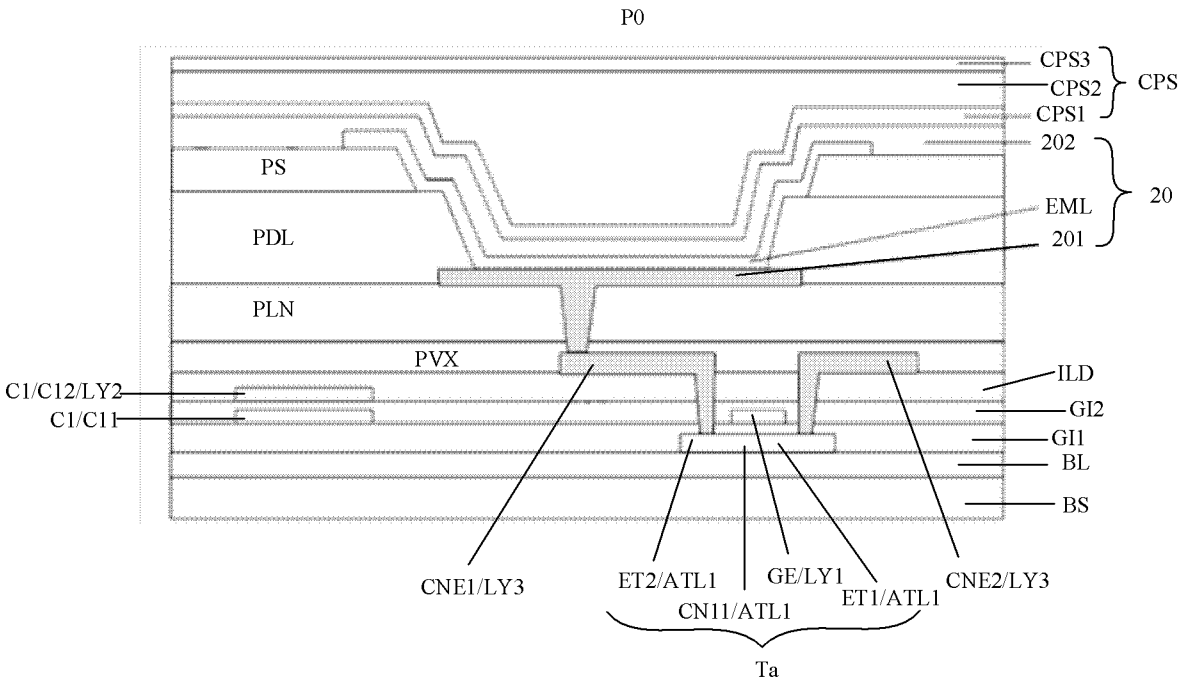


图 19

SCP

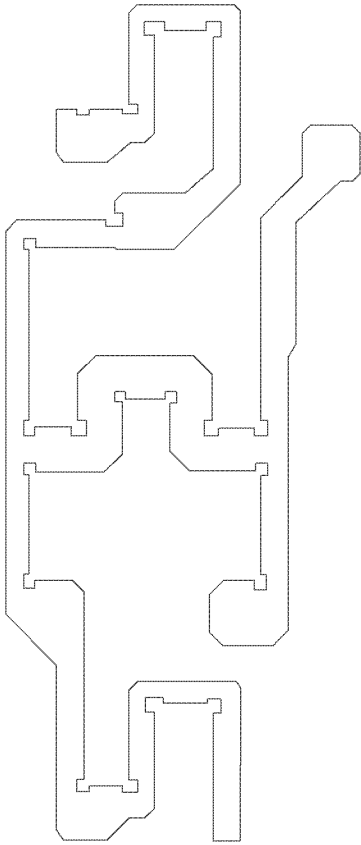


图 20

LY1

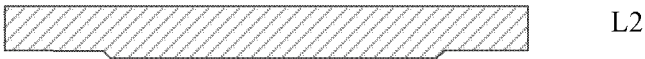
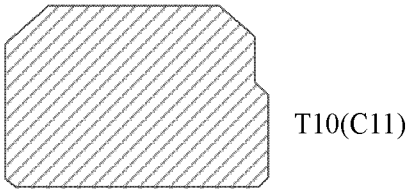
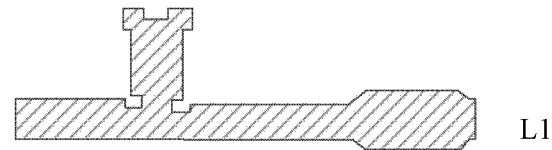


图 21

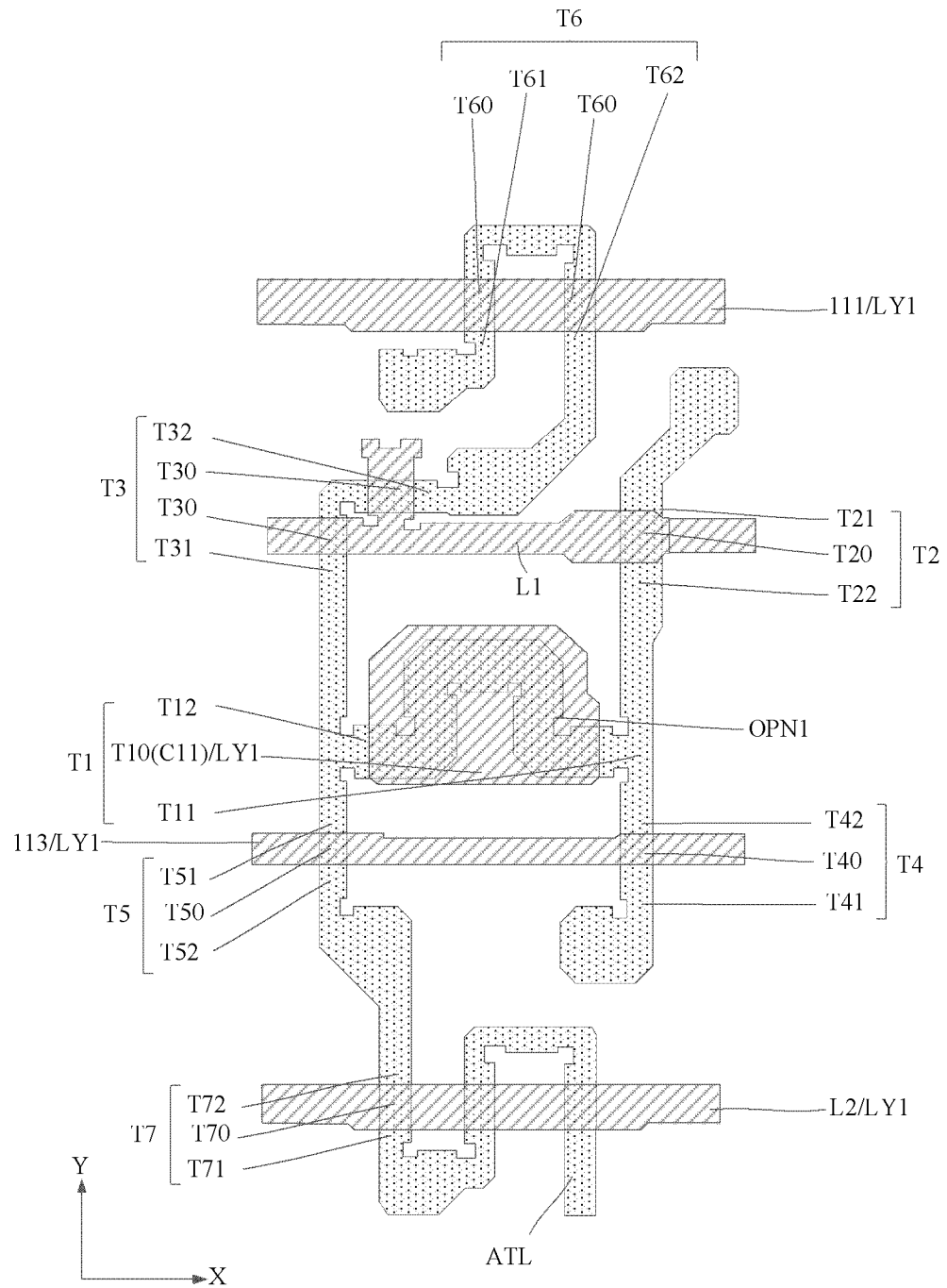


图 22

LY2

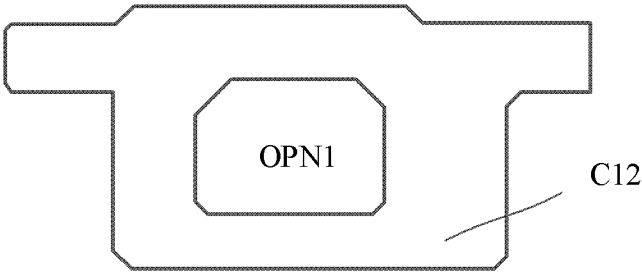
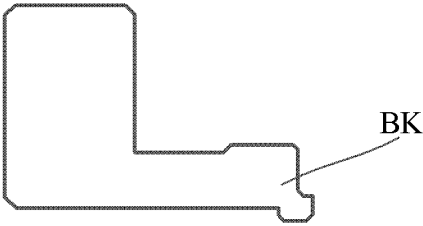


图 23

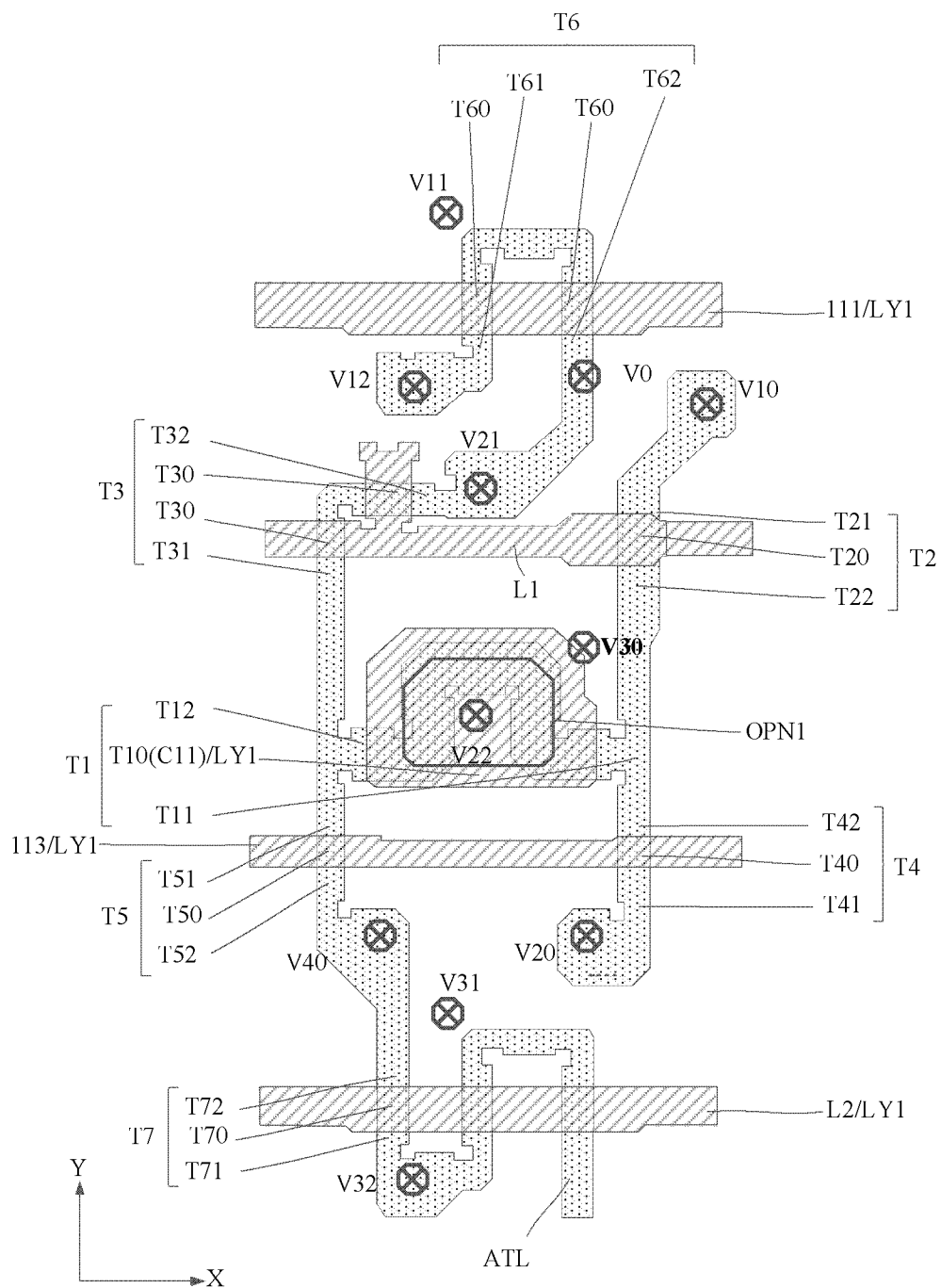


图 24

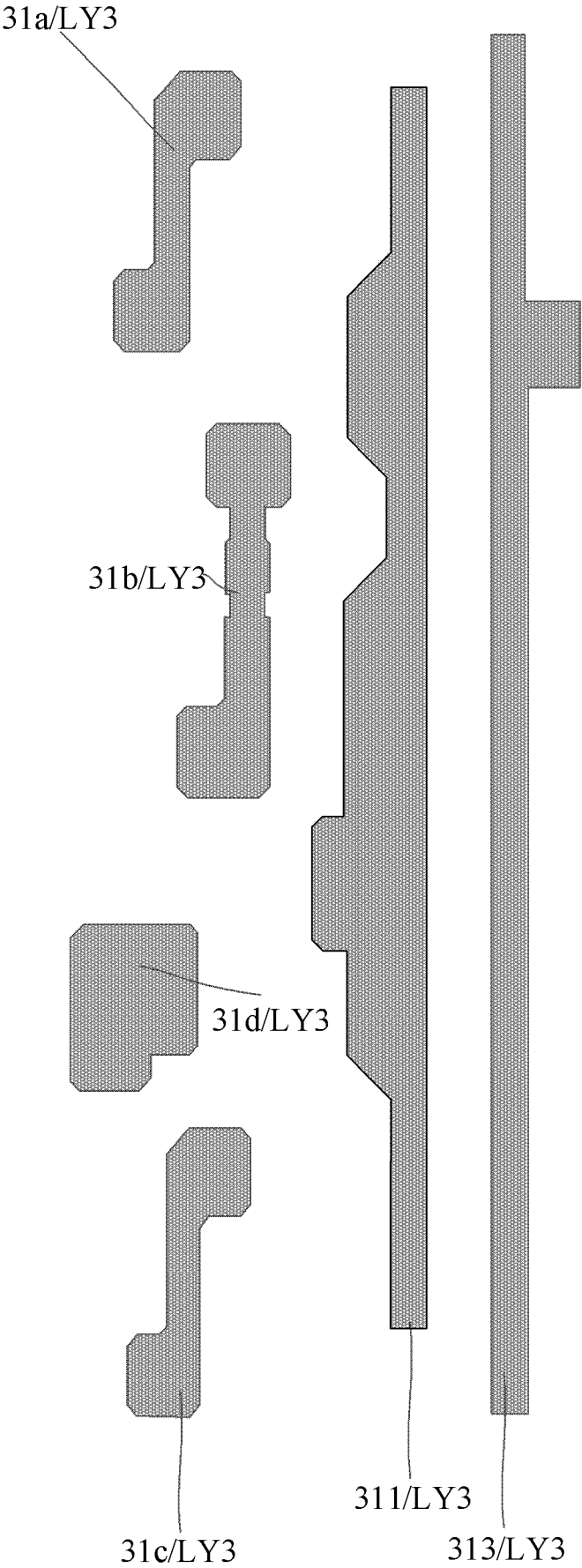


图 25

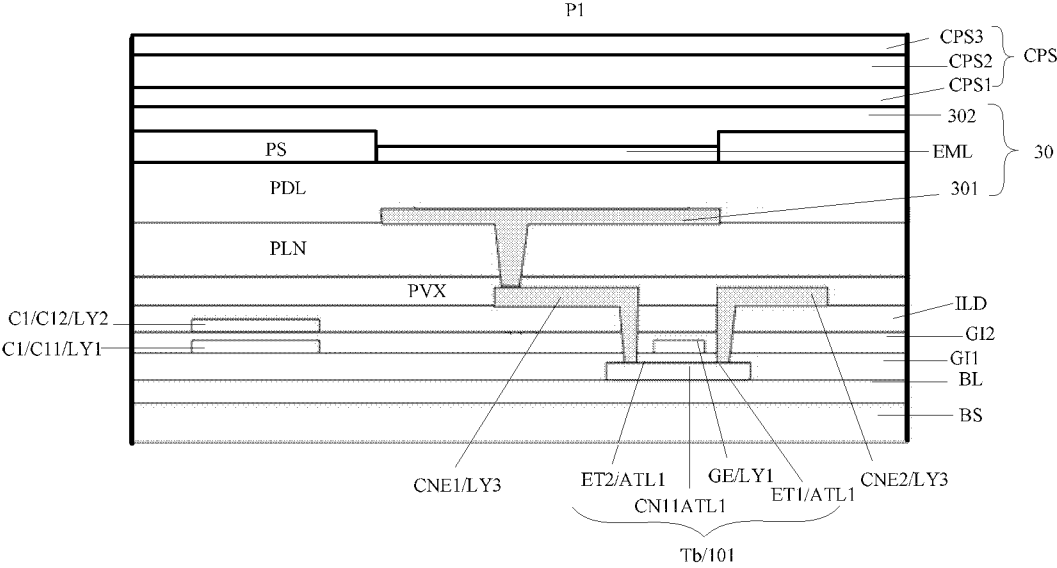


图 26

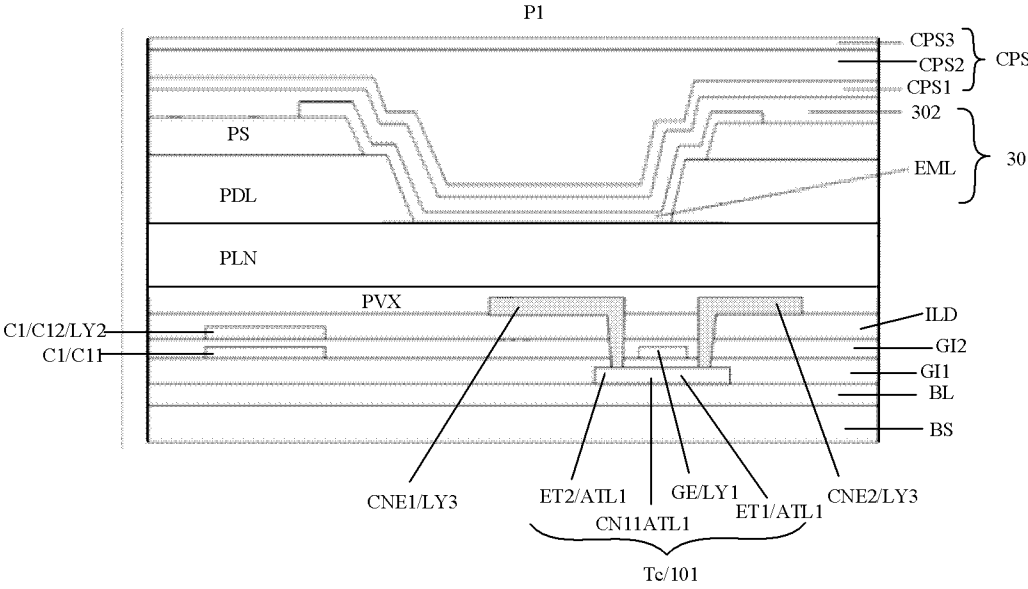


图 27

P1

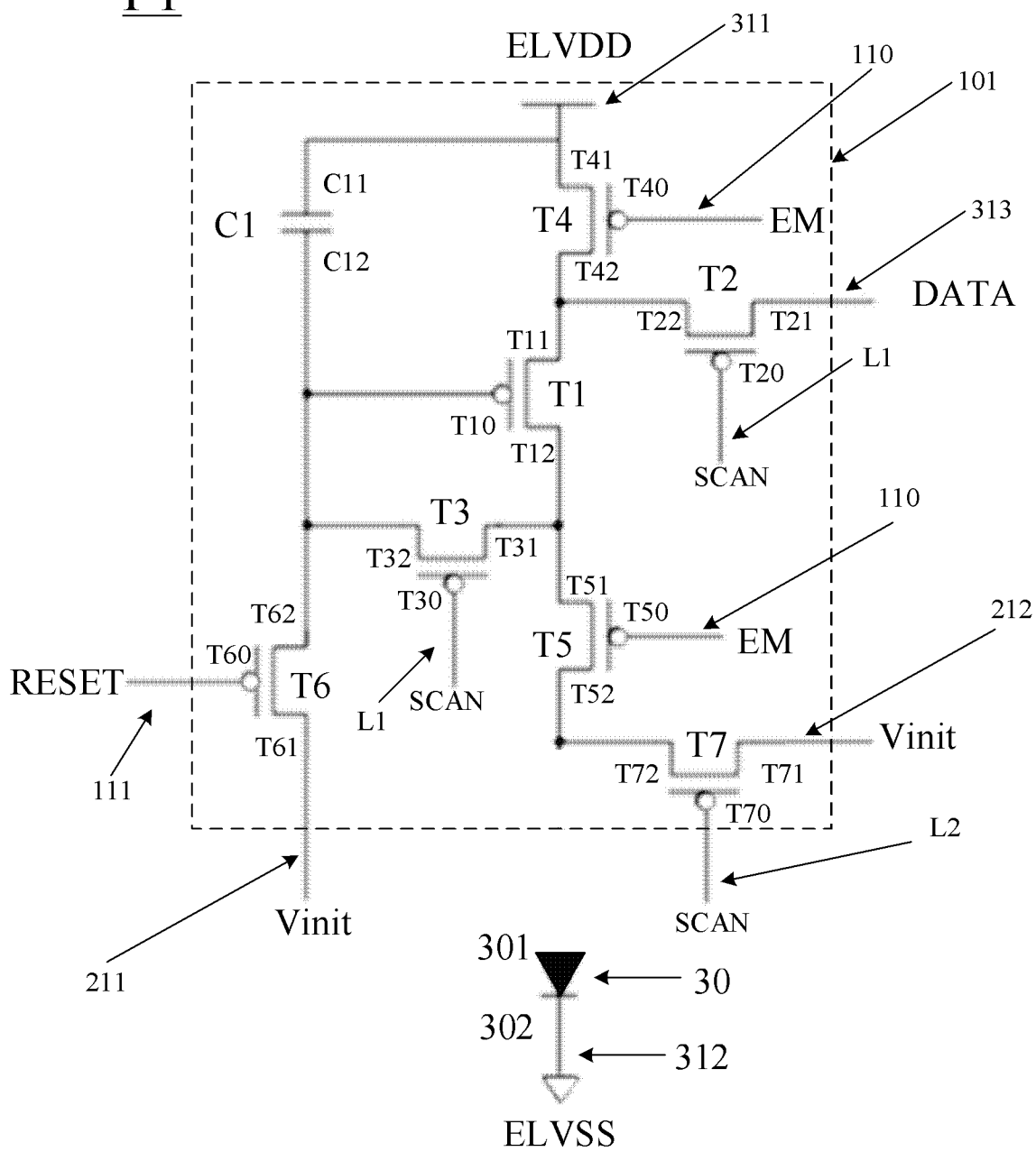


图 28

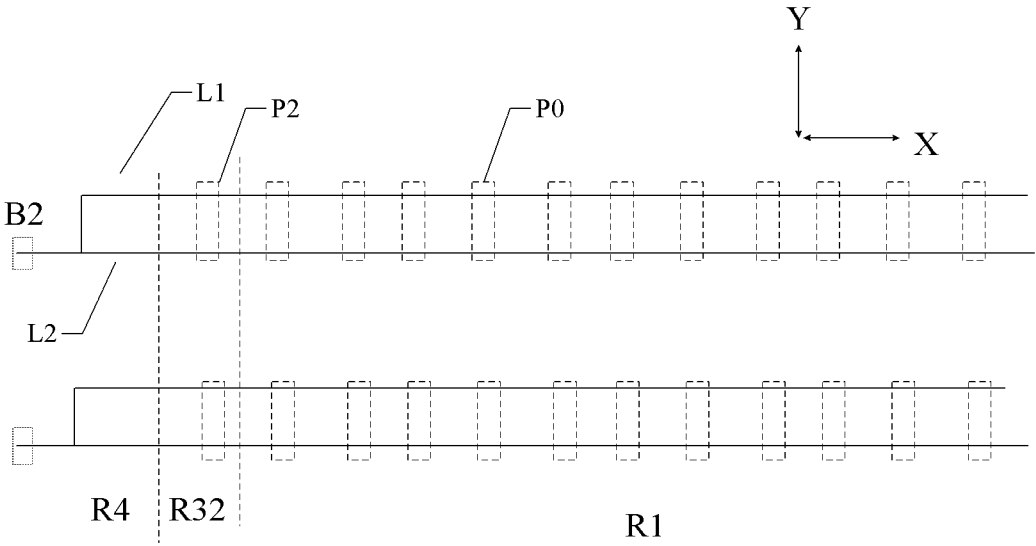


图 29

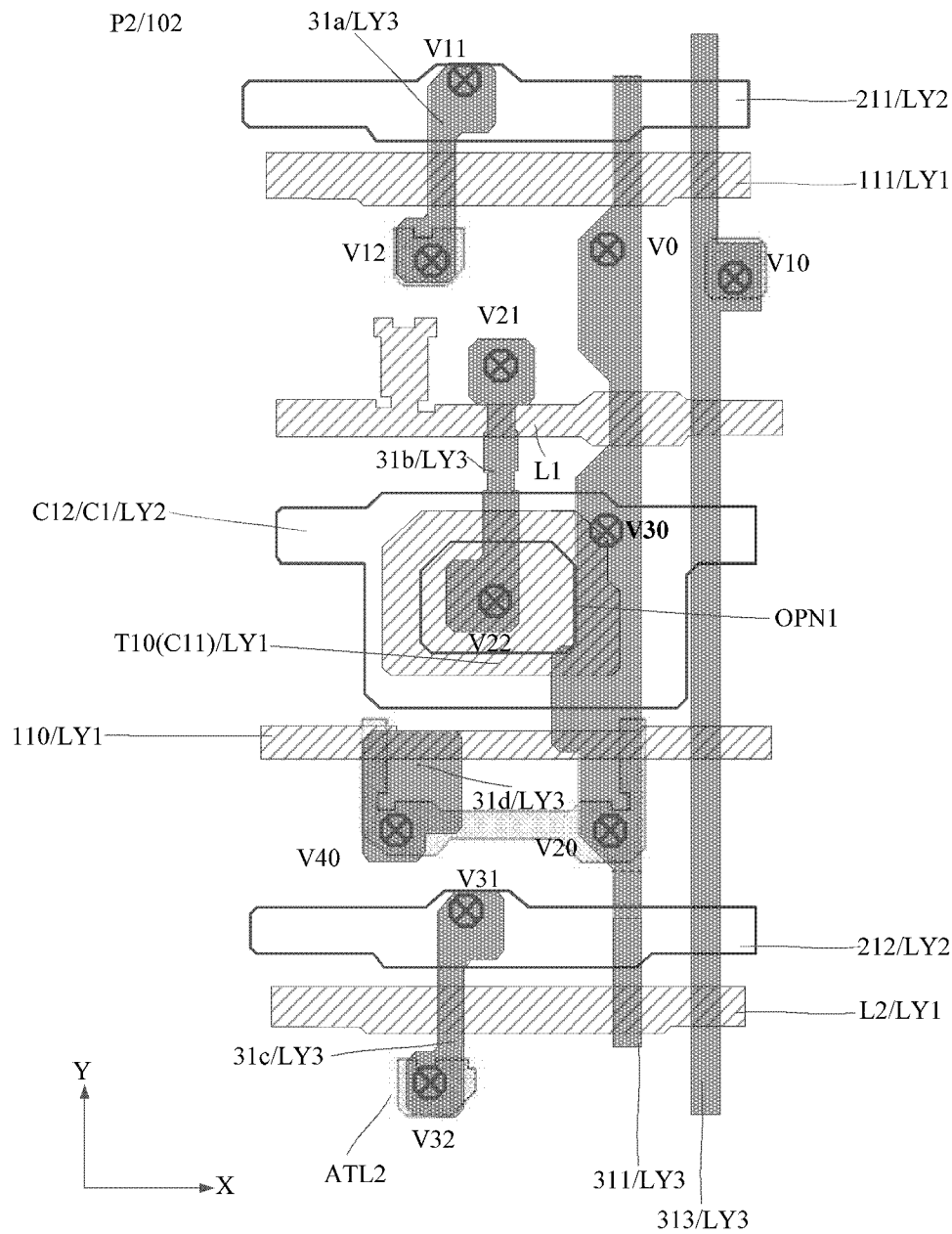


图 30

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/083957

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32(2016.01)i; G09G 3/3233(2016.01)i; G09G 3/3266(2016.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: 京东方, 虚设, 假, 像素, 信号线, 栅极, 负载, gate, capacit+, loading, dummy, virtual, fake, pixel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108352151 A (APPLE INC.) 31 July 2018 (2018-07-31) description, paragraphs [0044]-[0049],[0066]-[0070],[0080]-[0081], figures 3,6,13-16,25	1-23
A	CN 109616495 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 12 April 2019 (2019-04-12) entire document	1-23
A	CN 107564412 A (SAMSUNG DISPLAY CO., LTD.) 09 January 2018 (2018-01-09) entire document	1-23
A	CN 109584798 A (APPLE INC.) 05 April 2019 (2019-04-05) entire document	1-23
A	US 2016190166 A1 (LG DISPLAY CO., LTD.) 30 June 2016 (2016-06-30) entire document	1-23
A	US 2014339508 A1 (HONG, Sang Min) 20 November 2014 (2014-11-20) entire document	1-23
A	WO 2018038814 A1 (GROTURBEL RESEARCH L.L.C.) 01 March 2018 (2018-03-01) entire document	1-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 December 2020

Date of mailing of the international search report

13 January 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/083957

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108352151	A	31 July 2018	CN	109741709	B	27 March 2020
				CN	109741709	A	10 May 2019
				US	10636847	B2	28 April 2020
				JP	6510144	B2	08 May 2019
				EP	3345180	A1	11 July 2018
				KR	102006114	B1	31 July 2019
				US	10192938	B2	29 January 2019
				US	2020219945	A1	09 July 2020
				US	2019148465	A1	16 May 2019
				KR	20180050372	A	14 May 2018
				US	2018204889	A1	19 July 2018
				WO	2017172375	A1	05 October 2017
				JP	2018534613	A	22 November 2018
CN	109616495	A	12 April 2019	US	2020219944	A1	09 July 2020
				WO	2020098136	A1	22 May 2020
CN	107564412	A	09 January 2018	US	2020118496	A1	16 April 2020
				KR	20180003747	A	10 January 2018
				EP	3264405	A2	03 January 2018
				US	10504446	B2	10 December 2019
				US	2018005585	A1	04 January 2018
CN	109584798	A	05 April 2019	US	10573236	B1	25 February 2020
				CN	109584798	B	23 August 2019
US	2016190166	A1	30 June 2016	US	9449993	B2	20 September 2016
				KR	20160083605	A	12 July 2016
US	2014339508	A1	20 November 2014	US	9209237	B1	08 December 2015
				US	2015340420	A1	26 November 2015
				US	9142600	B2	22 September 2015
				KR	20140136271	A	28 November 2014
WO	2018038814	A1	01 March 2018				
				None			

国际检索报告

国际申请号

PCT/CN2020/083957

A. 主题的分类

G09G 3/32 (2016.01) i; G09G 3/3233 (2016.01) i; G09G 3/3266 (2016.01) i; H01L 27/32 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT; CNKI; WPI; EPDOC: 京东方, 虚设, 假, 像素, 信号线, 栅极, 负载, gate, capacit+, loading, dummy, virtual, fake, pixel

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 108352151 A (苹果公司) 2018年 7月 31日 (2018 - 07 - 31) 说明书第[0044]-[0049], [0066]-[0070], [0080]-[0081]段、图3, 6, 13-16, 25	1-23
A	CN 109616495 A (武汉华星光电半导体显示技术有限公司) 2019年 4月 12日 (2019 - 04 - 12) 全文	1-23
A	CN 107564412 A (三星显示有限公司) 2018年 1月 9日 (2018 - 01 - 09) 全文	1-23
A	CN 109584798 A (苹果公司) 2019年 4月 5日 (2019 - 04 - 05) 全文	1-23
A	US 2016190166 A1 (LG DISPLAY CO., LTD.) 2016年 6月 30日 (2016 - 06 - 30) 全文	1-23
A	US 2014339508 A1 (HONG, Sang Min) 2014年 11月 20日 (2014 - 11 - 20) 全文	1-23
A	WO 2018038814 A1 (GROTURBEL RESEARCH L.L.C.) 2018年 3月 1日 (2018 - 03 - 01) 全文	1-23

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 12月 14日

国际检索报告邮寄日期

2021年 1月 13日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

葛佳佳

电话号码 86-(10)-53962382

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/083957

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108352151	A	2018年 7月 31日	CN	109741709	B	2020年 3月 27日
				CN	109741709	A	2019年 5月 10日
				US	10636847	B2	2020年 4月 28日
				JP	6510144	B2	2019年 5月 8日
				EP	3345180	A1	2018年 7月 11日
				KR	102006114	B1	2019年 7月 31日
				US	10192938	B2	2019年 1月 29日
				US	2020219945	A1	2020年 7月 9日
				US	2019148465	A1	2019年 5月 16日
				KR	20180050372	A	2018年 5月 14日
				US	2018204889	A1	2018年 7月 19日
				WO	2017172375	A1	2017年 10月 5日
				JP	2018534613	A	2018年 11月 22日
CN	109616495	A	2019年 4月 12日	US	2020219944	A1	2020年 7月 9日
				WO	2020098136	A1	2020年 5月 22日
CN	107564412	A	2018年 1月 9日	US	2020118496	A1	2020年 4月 16日
				KR	20180003747	A	2018年 1月 10日
				EP	3264405	A2	2018年 1月 3日
				US	10504446	B2	2019年 12月 10日
				US	2018005585	A1	2018年 1月 4日
CN	109584798	A	2019年 4月 5日	US	10573236	B1	2020年 2月 25日
				CN	109584798	B	2019年 8月 23日
US	2016190166	A1	2016年 6月 30日	US	9449993	B2	2016年 9月 20日
				KR	20160083605	A	2016年 7月 12日
US	2014339508	A1	2014年 11月 20日	US	9209237	B1	2015年 12月 8日
				US	2015340420	A1	2015年 11月 26日
				US	9142600	B2	2015年 9月 22日
				KR	20140136271	A	2014年 11月 28日
WO	2018038814	A1	2018年 3月 1日	无			