

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3625439号
(P3625439)

(45) 発行日 平成17年3月2日(2005.3.2)

(24) 登録日 平成16年12月10日(2004.12.10)

(51) Int.Cl.⁷
H02M 7/48

F I
H02M 7/48

Q

請求項の数 10 (全 23 頁)

(21) 出願番号	特願2001-277805 (P2001-277805)	(73) 特許権者	501137636
(22) 出願日	平成13年9月13日 (2001.9.13)		東芝三菱電機産業システム株式会社
(65) 公開番号	特開2003-88138 (P2003-88138A)		東京都港区三田三丁目13番16号
(43) 公開日	平成15年3月20日 (2003.3.20)	(74) 代理人	100057874
審査請求日	平成15年6月17日 (2003.6.17)		弁理士 曾我 道照
		(74) 代理人	100110423
			弁理士 曾我 道治
		(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 3レベルインバータのゲート制御装置および方法

(57) 【特許請求の範囲】
【請求項1】

第1～第3の電位レベルを有する第1～第3の直流端子と、
前記第1および第3の直流端子間に直列接続された第1～第4の自己消弧素子と、
前記第1および第2の自己消弧素子の接続点と前記第3および第4の自己消弧素子の接続点との間に逆並列接続された第1および第2のクランプダイオードと、
前記第1および第2のクランプダイオードの各両端子間に個別に逆並列接続された第5および第6の自己消弧素子とを備え、
前記第1および第2のクランプダイオードの接続点が前記第2の直流端子に接続された3レベルインバータのゲート制御装置において、
前記第1および第3の自己消弧素子に対する第1の導通制御指令と前記第2および第4の自己消弧素子に対する第2の導通制御指令とを生成するPWM回路と、
前記第1および第2の導通制御指令に基づいて前記第1～第6の自己消弧素子のゲートに対するゲート信号を生成するゲート制御回路とを備え、
前記ゲート制御回路は、
前記第1および第2の導通制御指令を個別に反転する第1および第2の反転回路と、
前記第1および第2の導通制御指令と反転後の前記第1および第2の導通制御指令とに基づいて前記ゲート信号を生成するディレイ回路群とを含み、
前記第3および第5の自己消弧素子は同時に導通制御され、前記第2および第6の自己消弧素子は同時に導通制御されることを特徴とする3レベルインバータのゲート制御装置。

10

20

【請求項 2】

前記ディレイ回路群は、

前記第 1 ～ 第 4 の自己消弧素子に対する第 1 ～ 第 4 のゲート信号を生成する第 1 ～ 第 4 のオンディレイ回路と、

前記第 5 の自己消弧素子に対する第 5 のゲート信号を生成する第 5 のオンディレイ回路および第 1 のオフディレイ回路からなる第 1 の直列回路と、

前記第 6 の自己消弧素子に対する第 6 のゲート信号を生成する第 6 のオンディレイ回路および第 2 のオフディレイ回路からなる第 2 の直列回路とを含み、

前記第 1 および第 2 のオフディレイ回路の第 1 のデッドタイムは、前記第 5 および第 6 のオンディレイ回路のデッドタイムよりも短く設定され、

10

前記第 1 ～ 第 4 のオンディレイ回路の第 2 のデッドタイムは、前記第 5 および第 6 のオンディレイ回路のデッドタイムよりも長く設定され、

前記第 5 の自己消弧素子は、前記第 3 の自己消弧素子の導通開始時点よりも先行して導通開始するとともに、前記第 3 の自己消弧素子の導通終了時点よりも遅れて導通終了し、

前記第 6 の自己消弧素子は、前記第 2 の自己消弧素子の導通開始時点よりも先行して導通開始するとともに、前記第 2 の自己消弧素子の導通終了時点よりも遅れて導通終了することを特徴とする請求項 1 に記載の 3 レベルインバータのゲート制御装置。

【請求項 3】

前記 3 レベルインバータの出力電流の極性に応じた電流極性信号を生成する正極性比較器および負極性比較器と、

20

前記正極性比較器および前記負極性比較器からの各電流極性信号を個別に反転する第 3 および第 4 の反転回路とを備え、

前記ゲート制御回路は、前記各電流極性信号と前記第 3 および第 4 の反転回路の各出力信号とに応じて前記ゲート信号を切り換え選択する第 1 ～ 第 6 の選択回路を含み、

前記出力電流が正極性を示す場合には、前記第 3 および第 5 の自己消弧素子が同時に導通制御され、

前記出力電流が負極性を示す場合には、前記第 2 および第 6 の自己消弧素子が同時に導通制御されることを特徴とする請求項 2 に記載の 3 レベルインバータのゲート制御装置。

【請求項 4】

前記ゲート制御回路は、

30

前記第 3 のオンディレイ回路の出力信号と前記第 1 の直列回路の出力信号との排他的論理和をとって前記第 5 の自己消弧素子のゲートに対するゲート信号を生成する第 1 の排他的オア回路と、

前記第 2 のオンディレイ回路の出力信号と前記第 2 の直列回路の出力信号との排他的論理和をとって前記第 6 の自己消弧素子のゲートに対するゲート信号を生成する第 2 の排他的オア回路とを含み、

前記第 5 の自己消弧素子は、前記第 3 の自己消弧素子の導通開始時点よりも先行して導通開始し、前記第 3 の自己消弧素子の導通期間中は不導通状態を保持するとともに、前記第 3 の自己消弧素子の導通終了時点から前記第 1 のデッドタイムだけ導通し、

前記第 6 の自己消弧素子は、前記第 2 の自己消弧素子の導通開始時点よりも先行して導通開始し、前記第 2 の自己消弧素子の導通期間中は不導通状態を保持するとともに、前記第 2 の自己消弧素子の導通終了時点から前記第 1 のデッドタイムだけ導通することを特徴とする請求項 2 に記載の 3 レベルインバータのゲート制御装置。

40

【請求項 5】

前記ゲート制御回路は、

前記第 2 および第 3 のオンディレイ回路の出力信号を個別に反転する第 5 および第 6 の反転回路と、

前記第 1 の直列回路の出力信号と前記第 5 の反転回路の出力信号との論理積をとる第 1 のアンド回路と、

前記第 1 の排他的オア回路の出力信号と前記第 1 のアンド回路の出力信号との論理和をと

50

って前記第 5 の自己消弧素子のゲートに対するゲート信号を生成する第 1 のオア回路と、前記第 2 の直列回路の出力信号と前記第 6 の反転回路の出力信号との論理積をとる第 2 のアンド回路と、

前記第 2 の排他的オア回路の出力信号と前記第 2 のアンド回路の出力信号との論理和をとって前記第 6 の自己消弧素子のゲートに対するゲート信号を生成する第 2 のオア回路とを含み、

前記第 5 の自己消弧素子は、前記第 3 の自己消弧素子の導通開始時点よりも先行して導通開始し、前記第 1 および前記第 2 の自己消弧素子が同時に不導通となる期間以外は不導通状態を保持するとともに、前記第 3 の自己消弧素子の導通終了時点から前記第 1 のデッドタイムだけ導通し、

10

前記第 6 の自己消弧素子は、前記第 2 の自己消弧素子の導通開始時点よりも先行して導通開始し、前記第 3 および前記第 4 の自己消弧素子が同時に不導通となる期間以外は不導通状態を保持するとともに、前記第 2 の自己消弧素子の導通終了時点から前記第 1 のデッドタイムだけ導通することを特徴とする請求項 2 に記載の 3 レベルインバータのゲート制御装置。

【請求項 6】

第 1 ～ 第 3 の電位レベルを有する第 1 ～ 第 3 の直流端子と、

前記第 1 および第 3 の直流端子間に直列接続された第 1 ～ 第 4 の自己消弧素子と、

前記第 1 および第 2 の自己消弧素子の接続点と前記第 3 および第 4 の自己消弧素子の接続点との間に逆並列接続された第 1 および第 2 のクランプダイオードと、

20

前記第 1 および第 2 のクランプダイオードの各両端子間に個別に逆並列接続された第 5 および第 6 の自己消弧素子とを備え、

前記第 1 および第 2 のクランプダイオードの接続点が前記第 2 の直流端子に接続された 3 レベルインバータのゲート制御方法において、

前記第 3 および第 5 の自己消弧素子を同時に導通制御するとともに、前記第 2 および第 6 の自己消弧素子を同時に導通制御することを特徴とする 3 レベルインバータのゲート制御方法。

【請求項 7】

前記第 5 の自己消弧素子を、前記第 3 の自己消弧素子の導通開始時点よりも先行して導通開始させるとともに、前記第 3 の自己消弧素子の導通終了時点よりも遅れて導通終了させ

30

、前記第 6 の自己消弧素子を、前記第 2 の自己消弧素子の導通開始時点よりも先行して導通開始させるとともに、前記第 2 の自己消弧素子の導通終了時点よりも遅れて導通終了させることを特徴とする請求項 6 に記載の 3 レベルインバータのゲート制御方法。

【請求項 8】

前記 3 レベルインバータの出力電流が正極性を示す場合には、前記第 3 および第 5 の自己消弧素子を同時に導通制御し、

前記出力電流が負極性を示す場合には、前記第 2 および第 6 の自己消弧素子を同時に導通制御することを特徴とする請求項 7 に記載の 3 レベルインバータのゲート制御方法。

【請求項 9】

40

前記第 5 の自己消弧素子を、前記第 3 の自己消弧素子の導通開始時点よりも先行して導通開始させ、前記第 3 の自己消弧素子の導通期間中は不導通状態に保持させるとともに、前記第 3 の自己消弧素子の導通終了時点から所定時間だけ導通させ、

前記第 6 の自己消弧素子を、前記第 2 の自己消弧素子の導通開始時点よりも先行して導通開始させ、前記第 2 の自己消弧素子の導通期間中は不導通状態に保持させるとともに、前記第 2 の自己消弧素子の導通終了時点から前記所定時間だけ導通させることを特徴とする請求項 7 に記載の 3 レベルインバータのゲート制御方法。

【請求項 10】

前記第 5 の自己消弧素子を、前記第 3 の自己消弧素子の導通開始時点よりも先行して導通開始させ、前記第 1 および前記第 2 の自己消弧素子が同時に不導通となる期間以外は不導

50

通状態に保持させるとともに、前記第3の自己消弧素子の導通終了時点から所定時間だけ導通させ、

前記第6の自己消弧素子を、前記第2の自己消弧素子の導通開始時点よりも先行して導通開始させ、前記第3および前記第4の自己消弧素子が同時に不導通となる期間以外は不導通状態に保持させるとともに、前記第2の自己消弧素子の導通終了時点から前記所定時間だけ導通させることを特徴とする請求項7に記載の3レベルインバータのゲート制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

この発明は、自己消弧素子型の電力半導体素子（以下、単に「自己消弧素子」という）を用いた3レベルインバータのゲート制御装置および方法に関し、特にスイッチング動作時に最短の転流ループを形成することにより自己消弧素子の破損を防止した3レベルインバータのゲート制御装置および方法に関するものである。

【0002】

【従来の技術】

一般的な3レベルインバータとしては、たとえば、PESC（2001年）の第1135頁～1140頁に記載された「能動NPCスイッチを適用した3レベル電源インバータのロスバランシング（Loss Balancing in Three-Level Voltage Source Inverters applying Active NPC Switches）」に参照することができる。

20

【0003】

上記文献中の図3～図5（Figs. 3～5）および表3（TABLE III）に参照されるように、能動NPCスイッチ（Active NPC Switches）としては、自己消弧素子T5、T6が付加されている。

また、直流電源の中性点電位を3レベルインバータに出力する場合に、4種類のゲート制御方法が記述されている。

【0004】

上記文献の目的は、4種類のゲート制御方法を適宜選択して、3レベルインバータを構成する自己消弧素子T5、T6の発生損失を平準化することにある。

30

したがって、3レベルインバータ内の配線構造のインダクタンスを考慮した転流動作については、特に記述されていない。

【0005】

【発明が解決しようとする課題】

従来の3レベルインバータのゲート制御装置および方法は以上のように、3レベルインバータ内の配線構造のインダクタンスを考慮した転流動作について工夫が施されていないので、3レベルインバータの信頼性の低下を招くという問題点があった。

【0006】

特に、3レベルインバータを構成する各自己消弧素子間の転流時に、転流ループを形成する配線構造のインダクタンス（配線素子数に対応する）が大きくなると、スイッチング動作時に自己消弧素子を破損するという問題点があった。

40

【0007】

この発明は上記のような問題点を解決するためになされたもので、自己消弧素子間の転流時に最短の転流ループを形成することにより、転流ループのインダクタンスを小さくして自己消弧素子の破損を防止した3レベルインバータのゲート制御装置および方法を得ることを目的とする。

【0008】

【課題を解決するための手段】

この発明に係る3レベルインバータのゲート制御装置は、第1～第3の電位レベルを有する第1～第3の直流端子と、第1および第3の直流端子間に直列接続された第1～第4の

50

自己消弧素子と、第1および第2の自己消弧素子の接続点と第3および第4の自己消弧素子の接続点との間に逆並列接続された第1および第2のクランプダイオードと、第1および第2のクランプダイオードの各両端子間に個別に逆並列接続された第5および第6の自己消弧素子とを備え、第1および第2のクランプダイオードの接続点が第2の直流端子に接続された3レベルインバータのゲート制御装置において、第1および第3の自己消弧素子に対する第1の導通制御指令と第2および第4の自己消弧素子に対する第2の導通制御指令とを生成するPWM回路と、第1および第2の導通制御指令に基づいて第1～第6の自己消弧素子のゲートに対するゲート信号を生成するゲート制御回路とを備え、ゲート制御回路は、第1および第2の導通制御指令を個別に反転する第1および第2の反転回路と、第1および第2の導通制御指令と反転後の第1および第2の導通制御指令とに基づいてゲート信号を生成するディレイ回路群とを含み、第3および第5の自己消弧素子は同時に導通制御され、第2および第6の自己消弧素子は同時に導通制御されるものである。

10

【0009】

また、この発明に係る3レベルインバータのゲート制御装置によるディレイ回路群は、第1～第4の自己消弧素子に対する第1～第4のゲート信号を生成する第1～第4のオンディレイ回路と、第5の自己消弧素子に対する第5のゲート信号を生成する第5のオンディレイ回路および第1のオフディレイ回路からなる第1の直列回路と、第6の自己消弧素子に対する第6のゲート信号を生成する第6のオンディレイ回路および第2のオフディレイ回路からなる第2の直列回路とを含み、第1および第2のオフディレイ回路の第1のデッドタイムは、第5および第6のオンディレイ回路のデッドタイムよりも短く設定され、第1～第4のオンディレイ回路の第2のデッドタイムは、第5および第6のオンディレイ回路のデッドタイムよりも長く設定され、第5の自己消弧素子は、第3の自己消弧素子の導通開始時点よりも先行して導通開始するとともに、第3の自己消弧素子の導通終了時点よりも遅れて導通終了し、第6の自己消弧素子は、第2の自己消弧素子の導通開始時点よりも先行して導通開始するとともに、第2の自己消弧素子の導通終了時点よりも遅れて導通終了するものである。

20

【0010】

また、この発明に係る3レベルインバータのゲート制御装置は、3レベルインバータの出力電流の極性に応じた電流極性信号を生成する正極性比較器および負極性比較器と、正極性比較器および負極性比較器からの各電流極性信号を個別に反転する第3および第4の反転回路とを備え、ゲート制御回路は、各電流極性信号と第3および第4の反転回路の各出力信号とに応じてゲート信号を切り換え選択する第1～第6の選択回路を含み、出力電流が正極性を示す場合には、第3および第5の自己消弧素子が同時に導通制御され、出力電流が負極性を示す場合には、第2および第6の自己消弧素子が同時に導通制御されるものである。

30

【0011】

また、この発明に係る3レベルインバータのゲート制御装置によるゲート制御回路は、第3のオンディレイ回路の出力信号と第1の直列回路の出力信号との排他的論理和をとって第5の自己消弧素子のゲートに対するゲート信号を生成する第1の排他的オア回路と、第2のオンディレイ回路の出力信号と第2の直列回路の出力信号との排他的論理和をとって第6の自己消弧素子のゲートに対するゲート信号を生成する第2の排他的オア回路とを含み、第5の自己消弧素子は、第3の自己消弧素子の導通開始時点よりも先行して導通開始し、第3の自己消弧素子の導通期間中は不導通状態を保持するとともに、第3の自己消弧素子の導通終了時点から第1のデッドタイムだけ導通し、第6の自己消弧素子は、第2の自己消弧素子の導通開始時点よりも先行して導通開始し、第2の自己消弧素子の導通期間中は不導通状態を保持するとともに、第2の自己消弧素子の導通終了時点から第1のデッドタイムだけ導通するものである。

40

【0012】

また、この発明に係る3レベルインバータのゲート制御装置によるゲート制御回路は、第2および第3のオンディレイ回路の出力信号を個別に反転する第5および第6の反転回路

50

と、第1の直列回路の出力信号と第5の反転回路の出力信号との論理積をとる第1のアンド回路と、第1の排他的オア回路の出力信号と第1のアンド回路の出力信号との論理和をとって第5の自己消弧素子のゲートに対するゲート信号を生成する第1のオア回路と、第2の直列回路の出力信号と第6の反転回路の出力信号との論理積をとる第2のアンド回路と、第2の排他的オア回路の出力信号と第2のアンド回路の出力信号との論理和をとって第6の自己消弧素子のゲートに対するゲート信号を生成する第2のオア回路とを含み、第5の自己消弧素子は、第3の自己消弧素子の導通開始時点よりも先行して導通開始し、第1および第2の自己消弧素子が同時に不導通となる期間以外是不導通状態を保持するとともに、第3の自己消弧素子の導通終了時点から第1のデッドタイムだけ導通し、第6の自己消弧素子は、第2の自己消弧素子の導通開始時点よりも先行して導通開始し、第3および第4の自己消弧素子が同時に不導通となる期間以外是不導通状態を保持するとともに、第2の自己消弧素子の導通終了時点から第1のデッドタイムだけ導通するものである。

10

【0013】

また、この発明に係る3レベルインバータのゲート制御方法は、第1～第3の電位レベルを有する第1～第3の直流端子と、第1および第3の直流端子間に直列接続された第1～第4の自己消弧素子と、第1および第2の自己消弧素子の接続点と第3および第4の自己消弧素子の接続点との間に逆並列接続された第1および第2のクランプダイオードと、第1および第2のクランプダイオードの各両端子間に個別に逆並列接続された第5および第6の自己消弧素子とを備え、第1および第2のクランプダイオードの接続点が第2の直流端子に接続された3レベルインバータのゲート制御方法において、第3および第5の自己消弧素子を同時に導通制御するとともに、第2および第6の自己消弧素子を同時に導通制御するものである。

20

【0014】

また、この発明に係る3レベルインバータのゲート制御方法は、第5の自己消弧素子を、第3の自己消弧素子の導通開始時点よりも先行して導通開始させるとともに、第3の自己消弧素子の導通終了時点よりも遅れて導通終了させ、第6の自己消弧素子を、第2の自己消弧素子の導通開始時点よりも先行して導通開始させるとともに、第2の自己消弧素子の導通終了時点よりも遅れて導通終了させるものである。

【0015】

また、この発明に係る3レベルインバータのゲート制御方法は、3レベルインバータの出力電流が正極性を示す場合には、第3および第5の自己消弧素子を同時に導通制御し、出力電流が負極性を示す場合には、第2および第6の自己消弧素子を同時に導通制御するものである。

30

【0016】

また、この発明に係る3レベルインバータのゲート制御方法は、第5の自己消弧素子を、第3の自己消弧素子の導通開始時点よりも先行して導通開始させ、第3の自己消弧素子の導通期間中は不導通状態に保持させるとともに、第3の自己消弧素子の導通終了時点から所定時間だけ導通させ、第6の自己消弧素子を、第2の自己消弧素子の導通開始時点よりも先行して導通開始させ、第2の自己消弧素子の導通期間中は不導通状態に保持させるとともに、第2の自己消弧素子の導通終了時点から所定時間だけ導通させるものである。

40

【0017】

また、この発明に係る3レベルインバータのゲート制御方法は、第5の自己消弧素子を、第3の自己消弧素子の導通開始時点よりも先行して導通開始させ、第1および第2の自己消弧素子が同時に不導通となる期間以外是不導通状態に保持させるとともに、第3の自己消弧素子の導通終了時点から所定時間だけ導通させ、第6の自己消弧素子を、第2の自己消弧素子の導通開始時点よりも先行して導通開始させ、第3および第4の自己消弧素子が同時に不導通となる期間以外是不導通状態に保持させるとともに、第2の自己消弧素子の導通終了時点から所定時間だけ導通させるものである。

【0018】**【発明の実施の形態】**

50

実施の形態 1 .

以下、図面を参照しながら、この発明の実施の形態 1 について詳細に説明する。

図 1 はこの発明の実施の形態 1 における転流ループを説明するための回路構成図であり、一般的な 3 レベルインバータの主回路 1 相分の構成を示している。

【 0 0 1 9 】

図 1 において、1 は 3 レベルインバータ（以下、単に「インバータ」という）、P、C、N はインバータ 1 の直流端子である。

直流端子 P、C、N は、それぞれ、「+」、「0」、「-」の 3 つの電位（3 レベル）を有する。

【 0 0 2 0 】

C 1、C 2 は直流端子 P、N 間に直列に挿入された直流コンデンサであり、直流コンデンサ C 1 は直流端子 P、C 間に挿入され、直流コンデンサ C 2 は直流端子 C、N 間に接続されている。

【 0 0 2 1 】

T 1、T 2、T 3、T 4 は直流端子 P、N 間に直列接続された自己消弧素子であり、自己消弧素子 T 2 および T 3 の中間接続点は、インバータ 1 の出力端子を構成しており、交流電圧 V_{out} を出力する。

【 0 0 2 2 】

D 1、D 2、D 3、D 4 は各自己消弧素子 T 1、T 2、T 3、T 4 に個別に逆並列接続されたダイオードである。

【 0 0 2 3 】

D 5 は直流端子 P 側のクランプダイオードであり、自己消弧素子 T 1 および T 2 の中間接続点と直流端子 C との間に挿入されている。

D 6 は直流端子 N 側のクランプダイオードであり、自己消弧素子 T 3 および T 4 の中間接続点と直流端子 C との間に挿入されている。

【 0 0 2 4 】

T 5、T 6 は各クランプダイオード D 5、D 6 に個別に逆並列接続された自己消弧素子である。

L 1、L 2、L 3、L 4 はインバータ 1 内に形成される 4 つの転流ループであり、各自己消弧素子 T 2、T 3、T 5、T 6 のオンオフにより切り換え形成される。

【 0 0 2 5 】

次に、図 1 に示したインバータ 1 における基本的な転流ループ L 1 ~ L 4 の切り換え形成動作について説明する。

図 1 において、転流ループ L 1 は、自己消弧素子 T 1（または、ダイオード D 1）と自己消弧素子 T 5（または、クランプダイオード D 5）との間の転流時に形成される。

【 0 0 2 6 】

転流ループ L 1 は、直流コンデンサ C 1 → 自己消弧素子 T 1（または、ダイオード D 1）→ 自己消弧素子 T 5（または、クランプダイオード D 5）を介した閉ループからなる。

【 0 0 2 7 】

転流ループ L 2 は、自己消弧素子 T 1（または、ダイオード D 1）と自己消弧素子 T 3（または、ダイオード D 3）との間の転流時に形成され、直流コンデンサ C 1 → 自己消弧素子 T 1（または、ダイオード D 1）→ 自己消弧素子 T 2（または、ダイオード D 2）→ 自己消弧素子 T 3（または、ダイオード D 3）→ 自己消弧素子 T 6（または、クランプダイオード D 6）を介した閉ループからなる。

【 0 0 2 8 】

転流ループ L 3 は、自己消弧素子 T 2（または、ダイオード D 2）と自己消弧素子 T 4（または、ダイオード D 4）との間の転流時に形成され、直流コンデンサ C 2 → 自己消弧素子 T 5（または、クランプダイオード D 5）→ 自己消弧素子 T 2（または、ダイオード D 2）→ 自己消弧素子 T 3（または、ダイオード D 3）→ 自己消弧素子 T 4（または、ダイオード D 4）を介した閉ループからなる。

10

20

30

40

50

【 0 0 2 9 】

転流ループ L 4 は、自己消弧素子 T 6（または、クランプダイオード D 6）と自己消弧素子 T 4（または、ダイオード D 4）との間の転流時に形成され、直流コンデンサ C 2 → 自己消弧素子 T 6（または、クランプダイオード D 6）→ 自己消弧素子 T 5（または、クランプダイオード D 5）を介した閉ループからなる。

【 0 0 3 0 】

なお、各転流ループ L 1 ~ L 4 の閉ループの記載において、たとえば「自己消弧素子 T 1（または、ダイオード D 1）」は、インバータ 1 の出力電流 I o u t の極性に依拠して自己消弧素子 T 1 またはダイオード D 1 のいずれかが通流するという意味である。

【 0 0 3 1 】

ここで、転流ループ L 1 ~ L 4 の配線構造インダクタンスに注目すれば、閉ループを形成する半導体素子（自己消弧素子、ダイオード）の直列数の比較から、転流ループ L 1、L 4 の配線構造インダクタンスは、転流ループ L 2、L 3 の配線構造インダクタンスよりも小さくなる。

【 0 0 3 2 】

次に、図 2 の回路構成図を参照しながら、この発明の実施の形態 1 によるゲート制御装置の具体的な回路構成について説明する。

図 2 において、2 は PWM 回路であり、直流端子 P 側の自己消弧素子 T 1、T 3（図 1 参照）に対する導通制御指令 S P と、直流端子 N 側の自己消弧素子 T 2、T 4 に対する導通制御指令 S N とを生成する。

【 0 0 3 3 】

3 は PWM 回路 2 に接続されたゲート制御回路であり、導通制御指令 S P および S N に基づいて、自己消弧素子 T 1 ~ T 6 に対するゲート指令 S T 1 ~ S T 6 を出力する。

【 0 0 3 4 】

ゲート制御回路 3 内において、3 P、3 N は導通制御指令 S P、S N の符号を反転する反転回路、3 1 ~ 3 4 はデッドタイム T d（實際上、T d = 数 1 0 μ s）の遅れ要素を有するオンディレイ回路である。

【 0 0 3 5 】

オンディレイ回路 3 1 は、導通制御指令 S P に基づいて、自己消弧素子 T 1 に対するゲート信号 S T 1 を出力する。

オンディレイ回路 3 2 は、反転回路 3 N を介して符号反転された導通制御指令 S N に基づいて、自己消弧素子 T 2 および T 6 に対するゲート信号 S T 2 を出力する。

【 0 0 3 6 】

オンディレイ回路 3 3 は、反転回路 3 P を介して符号反転された導通制御指令 S P に基づいて、自己消弧素子 T 3 および T 5 に対するゲート信号 S T 3 を出力する。

オンディレイ回路 3 4 は、導通制御指令 S N に基づいて、自己消弧素子 T 4 に対するゲート信号 S T 4 を出力する。

【 0 0 3 7 】

4 は自己消弧素子 T 1 ~ T 6 の各ゲートを駆動するゲートドライブ回路であり、ゲート制御回路 3 からの各ゲート信号 S T 1 ~ S T 4 に基づいて、各自己消弧素子 T 1 ~ T 6 に対するオンゲートパルス P T 1 ~ P T 6 を出力する。

ゲートドライブ回路 4 内において、4 1 ~ 4 6 は各自己消弧素子 T 1 ~ T 6 に対応したゲート回路である。

【 0 0 3 8 】

次に、図 1 とともに、図 3 を参照しながら、図 2 に示したこの発明の実施の形態 1 によるゲート制御動作について説明する。

図 3 は図 2 内のゲート制御回路 3 の動作を示すタイミングチャートである。

【 0 0 3 9 】

図 3 において、PWM 回路 2 から出力される導通制御指令 S P および S N の定常動作論理（転流時を除く）は、インバータ 1 の出力電圧 V o u t に対して、以下のように、3 つの

10

20

30

40

50

モード「P」、「0」、「N」を有する。

【0040】

第1のモード「P」は、 $SP = 1$ 、 $SN = 0$ の場合（時刻 t_1 以前の状態）であり、自己消弧素子 T_1 、 T_2 がオンされて、インバータ1の出力電圧 V_{out} が「+」電位のモードである。

【0041】

第2のモード「0」は、 $SP = 0$ 、 $SN = 0$ の場合（時刻 $t_1 \sim t_3$ 、時刻 $t_5 \sim t_7$ の状態）であり、自己消弧素子 T_2 、 T_3 、 T_5 、 T_6 がオンされて、インバータ1の出力電圧 V_{out} が「0」電位のモードである。

【0042】

第3のモード「N」は、 $SP = 0$ 、 $SN = 1$ の場合（時刻 $t_3 \sim t_5$ の状態）であり、自己消弧素子 T_3 、 T_4 がオンされて、インバータ1の出力電圧 V_{out} が「-」電位のモードである。

【0043】

このように、時刻 t_1 以前の期間においては、第1のモード「P」（ $SP = 1$ 、 $SN = 0$ 、 $ST_1 = ST_2 = 1$ ）であり、自己消弧素子 T_1 、 T_2 にはオンゲートパルス PT_1 、 PT_2 が与えられる。

【0044】

なお、 $ST_2 = 1$ の場合には、自己消弧素子 T_6 に対してもオンゲートパルス PT_6 が与えられるが、自己消弧素子 T_3 、 T_4 がオフされているので、出力電流 I_{out} は通流しない。

【0045】

その後、時刻 t_1 において、 $SP = 0$ になると、 $ST_1 = 0$ になるが、 $ST_2 = 1$ の状態は継続される。

【0046】

続いて、オンディレイ回路33のオン動作遅れ時間 T_d に相当する時刻 t_2 において、 $ST_3 = 1$ になり、自己消弧素子 T_3 、 T_5 に対してオンゲートパルス PT_3 、 PT_5 が与えられる。

【0047】

ここで、インバータ1の出力電流 I_{out} （図1参照）の極性を正と定義すると、時刻 $t_1 \sim t_2$ の期間に出力電流 I_{out} が負極性の場合には、この出力電流 I_{out} は、ダイオード D_2 および D_1 を経由して、直流端子Pへ通流している。

【0048】

時刻 t_2 において、自己消弧素子 T_3 および T_5 がオンされると、転流ループ L_1 および L_2 が同時に発生する。このとき、ダイオード D_1 が逆回復すれば、出力電流 I_{out} は、ダイオード $D_2 \rightarrow$ 自己消弧素子 $T_5 \rightarrow$ 直流端子Cの経路と、自己消弧素子 $T_3 \rightarrow$ クランプダイオード $D_6 \rightarrow$ 直流端子Cの経路とに分流して流れる。

【0049】

ここで、前述したように、転流ループ L_1 の配線構造インダクタンスは、転流ループ L_2 よりも小さいので、転流ループ L_1 内の自己消弧素子 T_5 の電流は、転流ループ L_2 内の自己消弧素子 T_3 の電流よりも大きくなる。

【0050】

また、自己消弧素子 T_5 が設けられていない場合の転流ループ L_2 のインダクタンスと比べて、等価的に並列の転流ループのインダクタンスを小さくすることができる。

【0051】

続いて、時刻 $t_2 \sim t_3$ の期間は、第2のモード「0」（ $SP = 0$ 、 $SN = 0$ 、 $ST_2 = ST_3 = 1$ ）であり、自己消弧素子 T_2 、 T_3 、 T_5 、 T_6 に対してオンゲートパルス PT_2 、 PT_3 、 PT_5 、 PT_6 が与えられる。

【0052】

次に、時刻 t_3 において、 $SP = 0$ 、 $SN = 1$ になると、 $ST_2 = 0$ になり、自己消弧素

10

20

30

40

50

子 T_2 および T_6 はオフされる。

このとき、出力電流 I_{out} が正極性の場合には、直流端子 $C \rightarrow$ クランプダイオード $D_5 \rightarrow$ 自己消弧素子 T_2 の経路と、直流端子 $C \rightarrow$ 自己消弧素子 $T_6 \rightarrow$ ダイオード D_3 の経路とに分流していた電流は、転流ループ L_3 および L_4 で直流端子 $N \rightarrow$ ダイオード $D_4 \rightarrow$ ダイオード D_3 の経路に転流する。

【0053】

また、自己消弧素子 T_6 が設けられていない場合の転流ループ L_3 のインダクタンスと比べて、等価的に並列の転流ループのインダクタンスを小さくすることができる。

【0054】

続いて、オンディレイ回路34のオン動作遅れ時間 T_d に相当する時刻 t_4 において、 $S_{T4} = 1$ になり、自己消弧素子 T_4 に対してオンゲートパルス P_{T4} が与えられる。 10

このとき、自己消弧素子 T_3 、 T_4 、 T_5 にオンゲートパルス P_{T3} 、 P_{T4} 、 P_{T5} が与えられているので、第3のモード「N」の状態である。

【0055】

次に、時刻 t_5 において、 $S_N = 0$ になると、 $S_{T4} = 0$ になり、自己消弧素子 T_4 はオフされる。

【0056】

続いて、オンディレイ回路32のオン動作遅れ時間 T_d に相当する時刻 t_6 において、 $S_{T2} = 1$ になり、自己消弧素子 T_2 、 T_6 にオンゲートパルス P_{T2} 、 P_{T6} が与えられる。 20

【0057】

ここで、時刻 t_6 の直前に、出力電流 I_{out} が正極性であって、直流端子 $N \rightarrow$ ダイオード $D_4 \rightarrow$ ダイオード D_3 の経路で通流している場合には、自己消弧素子 T_2 および T_6 がオンすると、転流ループ L_3 および L_4 で、直流端子 $C \rightarrow$ クランプダイオード $D_5 \rightarrow$ 自己消弧素子 T_2 の経路と、直流端子 $C \rightarrow$ 自己消弧素子 $T_6 \rightarrow$ ダイオード D_3 の経路との分流経路に転流する。

したがって、自己消弧素子 T_5 が設けられていない場合の転流ループ L_2 のインダクタンスと比べて、等価的に並列の転流ループのインダクタンスを小さくすることができる。

【0058】

次に、時刻 t_7 において、 $S_P = 1$ になると、 $S_{T3} = 0$ になり、自己消弧素子 T_3 および T_5 はオフされる。 30

【0059】

このとき、出力電流 I_{out} が負極性の場合には、ダイオード $D_2 \rightarrow$ 自己消弧素子 $T_5 \rightarrow$ 直流端子 C の経路と、自己消弧素子 $T_3 \rightarrow$ クランプダイオード $D_6 \rightarrow$ 直流端子 C の経路との分流経路の通流状態から、転流ループ L_1 および L_2 で、ダイオード $D_2 \rightarrow$ ダイオード $D_1 \rightarrow$ 直流端子 P の経路へ転流する。

したがって、自己消弧素子 T_5 が設けられていない場合の転流ループ L_2 のインダクタンスと比べて、等価的に並列の転流ループのインダクタンスを小さくすることができる。

【0060】

以上のように、自己消弧素子 T_2 および T_6 を同時導通制御し、自己消弧素子 T_3 および T_5 を同時導通制御して、第2のモード「0」の場合に、自己消弧素子 T_2 、 T_3 、 T_5 、 T_6 がゲートオン状態を形成する。 40

【0061】

これにより、転流時において、転流ループ L_1 および L_2 （または、転流ループ L_3 および L_4 ）が同時に生じるので、並列の転流ループのインダクタンスを小さくすることができ、転流ループを形成する自己消弧素子の破損を防止することができる。

【0062】

実施の形態2.

なお、上記実施の形態1では、各オンディレイ回路31～34のデッドタイム T_d を一定に設定したが、異なるデッドタイムを設定して各自己消弧素子 $T_4 \sim T_6$ のオンオフタイ 50

ミングをシフトさせてもよい。

【 0 0 6 3 】

図 4 は自己消弧素子 T 4 ~ T 6 のオンオフタイミングをシフトさせたこの発明の実施の形態 2 によるゲート制御装置を示すブロック図であり、前述（図 2 参照）と同様のものについては、同一符号を付して、または符号の後に「 a 」を付して、詳述を省略する。

【 0 0 6 4 】

図 4 において、3 a は P W M 回路 2 に接続されたゲート制御回路であり、導通制御指令 S P および S N に基づいて、自己消弧素子 T 1 ~ T 6 に対するゲート指令 S T 1 ~ S T 6 を出力する。

【 0 0 6 5 】

ゲート制御回路 3 a 内において、3 1 a ~ 3 4 a は第 2 のデッドタイム T_{d2} ($> T_d$) の遅れ要素を有するオンディレイ回路、3 2 および 3 3 は第 1 のデッドタイム T_d の遅れ要素を有するオンディレイ回路、3 5 a および 3 6 a は第 1 のデッドタイム T_{d1} ($< T_d$) の遅れ要素を有するオフディレイ回路である。

【 0 0 6 6 】

オンディレイ回路 3 2 は反転回路 3 N の出力端子に接続され、オンディレイ回路 3 3 は反転回路 3 P の出力端子に接続されている。

また、オフディレイ回路 3 5 a、3 6 a は、それぞれ、オンディレイ回路 3 3、3 2 に接続されている。

【 0 0 6 7 】

オンディレイ回路 3 1 a ~ 3 4 a は、前述のオンディレイ回路 3 1 ~ 3 4 と同様に、導通制御指令 S P、S N に基づいて、自己消弧素子 T 1 ~ T 4 に対するゲート信号 S T 1 ~ S T 4 を出力する。

【 0 0 6 8 】

オンディレイ回路 3 3 およびオフディレイ回路 3 5 a は、反転回路 3 P を介して符号反転された導通制御指令 S P に基づいて、自己消弧素子 T 5 に対するゲート信号 S T 5 を出力する。

【 0 0 6 9 】

オンディレイ回路 3 2 およびオフディレイ回路 3 6 a は、反転回路 3 N を介して符号反転された導通制御指令 S N に基づいて、自己消弧素子 T 6 に対するゲート信号 S T 6 を出力する。

【 0 0 7 0 】

ゲート制御回路 3 a から出力される各ゲート信号 S T 1 ~ S T 6 は、ゲートドライブ回路 4 を介してオンゲートパルス P T 1 ~ P T 6 となり、各自己消弧素子 T 1 ~ T 6 のゲートに印加される。

【 0 0 7 1 】

次に、図 1 とともに、図 5 のタイミングチャートを参照しながら、図 4 に示したこの発明の実施の形態 2 によるゲート制御回路 3 a の動作について説明する。

まず、時刻 t_1 において、 $S P = 0$ になると、 $S T 1 = 0$ となり、自己消弧素子 T 1 はオフされる。

【 0 0 7 2 】

続いて、時刻 t_1 からデッドタイム T_d が経過した後の時刻 t_2 において、オンディレイ回路 3 3 により、 $S T 5 = 1$ となり、自己消弧素子 T 5 はオンされる。

【 0 0 7 3 】

一方、オンディレイ回路 3 3 a により、時刻 t_1 から第 2 のデッドタイム（以下、単に「デッドタイム」という） T_{d2} だけ遅れた時刻 t_2' において、 $S T 3 = 1$ となり、自己消弧素子 T 3 はオンされる。

【 0 0 7 4 】

ここで、デッドタイム T_d および T_{d2} の間には、 $T_{d2} > T_d$ の関係があるので、自己消弧素子 T 5 のオン時刻 t_2 は、自己消弧素子 T 3 のオン時刻 t_2' よりも先行している

10

20

30

40

50

。

【 0 0 7 5 】

したがって、出力電流 I_{out} が負極性の場合には、時刻 t_2 において自己消弧素子 T_5 がオンされると、転流ループ L_1 により、ダイオード D_1 から自己消弧素子 T_5 に転流するので、転流インダクタンスを小さくすることができる。

その後、時刻 t_2' において自己消弧素子 T_3 がオンされると、出力電流 I_{out} は、自己消弧素子 $T_3 \rightarrow$ クランプダイオード D_6 の経路に分流する。

【 0 0 7 6 】

次に、時刻 t_3 において、 $S_N = 1$ になると、 $S_{T2} = 0$ となり、自己消弧素子 T_2 はオフされる。

10

このとき、出力電流 I_{out} が正極性の場合には、クランプダイオード $D_5 \rightarrow$ 自己消弧素子 T_2 の経路の分流電流は、自己消弧素子 $T_6 \rightarrow$ ダイオード D_3 の分流経路に転流する。

【 0 0 7 7 】

その後、オフディレイ回路 $36a$ により、時刻 t_3 から第 1 のデッドタイム（以下、単に「デッドタイム」という） T_{d1} だけ遅れた時刻 t_4' において、 $S_{T6} = 0$ となり、自己消弧素子 T_6 がオフされる。

したがって、転流ループ L_4 により、ダイオード D_4 に転流するので、転流インダクタンスを小さくすることができる。

【 0 0 7 8 】

続いて、オンディレイ回路 $34a$ により、時刻 t_3 からデッドタイム T_{d2} が経過した後の時刻 t_4 において、 $S_{T4} = 1$ となり、自己消弧素子 T_4 はオンされる。

20

【 0 0 7 9 】

ここで、デッドタイム T_d 、 T_{d1} および T_{d2} の間に、以下の (1) 式を満たす関係があれば、時刻 t_4' と時刻 t_4 との時間間隔は、デッドタイム T_d に相当することになる。

。

【 0 0 8 0 】

$T_{d2} - T_{d1} = T_d \quad \cdots (1)$

【 0 0 8 1 】

次に、時刻 t_5 において、 $S_N = 0$ になると、 $S_{T4} = 0$ となり、自己消弧素子 T_4 はオフされる。

30

続いて、オンディレイ回路 32 により、時刻 t_5 からデッドタイム T_d が経過した後の時刻 t_6 において、 $S_{T6} = 1$ となり、自己消弧素子 T_6 はオンされる。

【 0 0 8 2 】

このとき、出力電流 I_{out} が正極性の場合には、転流ループ L_4 により、ダイオード D_4 から自己消弧素子 T_6 に転流するので、転流インダクタンスを小さくすることができる。

。

【 0 0 8 3 】

続いて、オンディレイ回路 $32a$ により、時刻 t_5 からデッドタイム T_{d2} が経過した後の時刻 t_6' において、 $S_{T2} = 1$ となり、自己消弧素子 T_2 はオンされる。

これにより、自己消弧素子 $T_6 \rightarrow$ ダイオード D_3 の経路から、クランプダイオード $D_5 \rightarrow$ 自己消弧素子 T_2 の経路に分流する。

40

【 0 0 8 4 】

次に、時刻 t_7 において、 $S_P = 1$ になると、 $S_{T3} = 0$ となり、自己消弧素子 T_3 はオフされる。

このとき、出力電流 I_{out} が負極性の場合には、自己消弧素子 $T_3 \rightarrow$ クランプダイオード D_6 の経路の分流電流は、ダイオード $D_2 \rightarrow$ 自己消弧素子 T_5 の分流経路に転流する。

【 0 0 8 5 】

その後、オフディレイ回路 $35a$ により、デッドタイム T_{d1} だけ遅れた時刻 t_8' において、 $S_{T5} = 0$ となり、自己消弧素子 T_5 はオフされる。

したがって、転流ループ L_1 により、ダイオード D_1 に転流するので、転流インダクタン

50

スを小さくすることができる。

【0086】

続いて、オンディレイ回路31aにより、時刻 t_7 からデッドタイム T_{d2} が経過した後の時刻 t_8 において、 $ST1 = 1$ となり、自己消弧素子 $T1$ はオンされる。

【0087】

以上のゲート制御により、自己消弧素子 $T5$ は、自己消弧素子 $T3$ の導通開始時点よりも先行して導通開始するとともに、自己消弧素子 $T3$ の導通終了時点よりも遅れて導通終了する。

【0088】

一方、自己消弧素子 $T6$ は、自己消弧素子 $T2$ の導通開始時点よりも先行して導通開始するとともに、自己消弧素子 $T2$ の導通終了時点よりも遅れて導通終了する。 10

【0089】

これにより、転流ループ $L1$ および $L4$ で転流動作を行うことができ、転流インダクタンスをさらに低減させることができる。

【0090】

実施の形態3.

なお、上記実施の形態2では、導通制御指令 SP 、 SN のみに基づいてゲート信号 $ST1 \sim ST6$ を生成したが、出力電流 I_{out} の極性検出値に基づいてゲート信号 $ST1 \sim ST6$ を切り換え生成してもよい。

【0091】

図6は出力電流 I_{out} の極性検出値を用いたこの発明の実施の形態3による3レベルインバータおよびゲート制御装置を示すブロック図である。 20

図6において、前述(図1、図2、図4参照)と同様のものについては、同一符号を付して、または符号の後に「b」を付して詳述を省略する。また、ここでは、図面を簡略化するために、ゲートドライブ回路4の図示を省略している。

【0092】

図6において、3bはPWM回路2に接続されたゲート制御回路であり、導通制御指令 SP 、 SN および出力電流 I_{out} に基づいて、自己消弧素子 $T1 \sim T6$ に対するゲート指令 $ST1 \sim ST6$ を出力する。

【0093】

この場合、ゲート制御回路3bの入力信号として、PWM回路2からの導通制御指令 SP 、 SN のみならず、出力電流 I_{out} の電流極性信号 $S6P$ 、 $S6N$ と、各電流極性信号 $S6P$ 、 $S6N$ の反転信号とが付加されている。 30

【0094】

5は出力電流 I_{out} を検出する電流検出器、6Pは出力電流 I_{out} の正極性を判別する正極性比較器、6Nは出力電流 I_{out} の負極性を判別する負極性比較器、6Pは正極性比較器、6Nは負極性比較器、6P1は正極性比較器6Pからの電流極性信号 $S6P$ を反転する反転回路、6N1は負極性比較器6Nからの電流極性信号 $S6N$ を反転する反転回路である。

【0095】

電流検出器5の出力信号は、正極性比較器6Pおよび負極性比較器6Nに入力される。正極性比較器6Pおよび負極性比較器6Nからの各電流極性信号 $S6P$ 、 $S6N$ は、ゲート制御回路3bに直接与えられるとともに、各反転回路6P1、6N1を介して符号反転された信号がゲート制御回路3bに与えられる。 40

【0096】

ゲート制御回路3b内において、3b1 $\sim$ 3b6は選択回路であり、それぞれ、入力側に並設された2つのアンド回路と、各アンド回路の出力信号の論理和をとるオア回路とにより構成されている。

【0097】

ゲート制御回路3bは、オンディレイ回路31 $\sim$ 34、31a $\sim$ 34aと、オフディレイ 50

回路 3 5 a、3 6 a とに加えて、選択回路 3 b 1 ~ 3 b 6 とを備えている。

【 0 0 9 8 】

選択回路 3 b 1 において、一方のアンド回路は、負の電流極性信号 S 6 N に応答してオンディレイ回路 3 1 a (デッドタイム T d 2) の出力信号を通過させ、他方のアンド回路は、電流極性信号 S 6 N の反転値に応答してオンディレイ回路 3 1 (デッドタイム T d) の出力信号を通過させる。

【 0 0 9 9 】

選択回路 3 b 2 において、一方のアンド回路は、正の電流極性信号 S 6 P に応答してオンディレイ回路 3 2 a (デッドタイム T d 2) の出力信号を通過させ、他方のアンド回路は、電流極性信号 S 6 P の反転値に応答してオンディレイ回路 3 2 (デッドタイム T d) の出力信号を通過させる。

10

【 0 1 0 0 】

選択回路 3 b 3 において、一方のアンド回路は、負の電流極性信号 S 6 N に応答してオンディレイ回路 3 3 a (デッドタイム T d 2) の出力信号を通過させ、他方のアンド回路は、電流極性信号 S 6 N の反転値に応答してオンディレイ回路 3 3 (デッドタイム T d) の出力信号を通過させる。

【 0 1 0 1 】

選択回路 3 b 4 において、一方のアンド回路は、正の電流極性信号 S 6 P に応答してオンディレイ回路 3 4 a (デッドタイム T d 2) の出力信号を通過させ、他方のアンド回路は、電流極性信号 S 6 P の反転値に応答してオンディレイ回路 3 4 (デッドタイム T d) の出力信号を通過させる。

20

【 0 1 0 2 】

選択回路 3 b 5 において、一方のアンド回路は、負の電流極性信号 S 6 N に応答して、オンディレイ回路 3 3 (デッドタイム T d) およびオフディレイ回路 3 5 a (デッドタイム T d 1) からなる直列回路の出力信号を通過させ、他方のアンド回路は、電流極性信号 S 6 N の反転値に応答してオンディレイ回路 3 3 の出力信号を通過させる。

【 0 1 0 3 】

選択回路 3 b 6 において、一方のアンド回路は、正の電流極性信号 S 6 P に応答して、オンディレイ回路 3 2 (デッドタイム T d) およびオフディレイ回路 3 6 a (デッドタイム T d 1) からなる直列回路の出力信号を通過させ、他方のアンド回路は、電流極性信号 S 6 P の反転値に応答してオンディレイ回路 3 2 の出力信号を通過させる。

30

【 0 1 0 4 】

上記のように、オンディレイ回路 3 1 ~ 3 4、3 1 a ~ 3 4 a、オフディレイ回路 3 5 a および 3 6 a の各出力信号は、正極性比較器 6 P および負極性比較器 6 N からの電流極性信号 S 6 P、S 6 N と、反転回路 6 P 1、6 N 1 の各出力信号とによって選択され、各選択回路 3 b 1 ~ 3 b 6 を介したゲート信号 S T 1 ~ S T 6 は、ゲートドライブ回路 4 (図 2 参照) に与えられる。

【 0 1 0 5 】

正極性比較器 6 P および負極性比較器 6 N の比較レベルは、出力電流 I o u t の脈動によって各電流極性信号 S 6 P、S 6 N がほぼ同時に「1」(Hレベル)になるのを防止するために、それぞれ、零レベルから隔離設定されている。

40

【 0 1 0 6 】

すなわち、図 6 のブロック内に特性波形として示すように、正極性比較器 6 P の比較レベル I p は、出力電流 I o u t の零レベルよりも大きい値に設定され、負極性比較器 6 N の比較レベル I n は、出力電流 I o u t の零レベルよりも小さい値に設定されている。

【 0 1 0 7 】

さらに、図 6 のブロック内に破線で示すように、正極性比較器 6 P および負極性比較器 6 N の比較動作において、比較出力のオンオフレベルにヒステリシス特性をもたせれば、ハング発生を確実に防止することができる。

【 0 1 0 8 】

50

次に、図 7 および図 8 のタイミングチャートを参照しながら、ゲート制御回路 3 b の動作について説明する。

【 0 1 0 9 】

図 7 はインバータ 1 の出力電流 I_{out} が正極性の場合の動作を示しており、ゲート信号 $ST5$ は図 3 内の波形に対応し、ゲート信号 $ST6$ は図 5 内の波形に対応している。このとき、正極性比較器 6 P からの電流極性信号 $S6P$ は「1」であり、負極性比較器 6 N からの電流極性信号 $S6N$ は「0」である。

【 0 1 1 0 】

また、図 8 はインバータ 1 の出力電流 I_{out} が負極性の場合の動作を示しており、ゲート信号 $ST5$ は図 5 内の波形に対応し、ゲート信号 $ST6$ は図 3 内の波形に対応している。このとき、正極性比較器 6 P からの電流極性信号 $S6P$ は「0」であり、負極性比較器 6 N からの電流極性信号 $S6N$ は「1」である。

10

【 0 1 1 1 】

まず、図 7 のように、インバータ 1 の出力電流 I_{out} が正極性の場合には、 $S6P = 1$ 、 $S6N = 0$ となり、選択回路 3 b 1 ~ 3 b 6 を介した各ゲート信号 $ST1 \sim ST6$ の選択動作は以下になる。

【 0 1 1 2 】

すなわち、ゲート信号 $ST1$ としてはオンディレイ回路 3 1 の出力、ゲート信号 $ST2$ としてはオンディレイ回路 3 2 a の出力、ゲート信号 $ST3$ としてはオンディレイ回路 3 3 の出力、ゲート信号 $ST4$ としてはオンディレイ回路 3 4 a の出力、ゲート信号 $ST5$ としてはオンディレイ回路 3 3 の出力、ゲート信号 $ST6$ としてはオフディレイ回路 3 6 a の出力が、それぞれ選択される。

20

【 0 1 1 3 】

ここで、時刻 $t1$ 付近および時刻 $t7$ 付近で出力電流 I_{out} が正極性であれば、ダイオード $D1$ は不導通状態なので、前述（図 5 参照）のように自己消弧素子 $T5$ を自己消弧素子 $T3$ の導通開始時点よりも先行させて導通開始させ且つ自己消弧素子 $T3$ の導通終了時点よりも遅れて導通終了させる必要はない。

【 0 1 1 4 】

したがって、図 7 において、前述（図 3 参照）のように自己消弧素子 $T3$ および $T5$ を同時導通制御することにより、たとえば時刻 $t1$ から自己消弧素子 $T3$ のオン時刻 $t2$ までの時間をデッドタイム Td に短縮することができ、PWM 回路 2 の出力信号に対するゲート制御の応答性を向上させることができる。

30

【 0 1 1 5 】

一方、図 8 のように、インバータ 1 の出力電流 I_{out} が負極性の場合には、 $S6P = 0$ 、 $S6N = 1$ となり、選択回路 3 b 1 ~ 3 b 6 を介した各ゲート信号 $ST1 \sim ST6$ の選択動作は以下になる。

【 0 1 1 6 】

すなわち、ゲート信号 $ST1$ としてはオンディレイ回路 3 1 a の出力、ゲート信号 $ST2$ としてはオンディレイ回路 3 2 の出力、ゲート信号 $ST3$ としてはオンディレイ回路 3 3 a の出力、ゲート信号 $ST4$ としてはオンディレイ回路 3 4 の出力、ゲート信号 $ST5$ としてはオフディレイ回路 3 5 a の出力、ゲート信号 $ST6$ としてはオンディレイ回路 3 2 の出力が、それぞれ選択される。

40

【 0 1 1 7 】

ここで、時刻 $t3$ 付近および時刻 $t5$ 付近でインバータ 1 の出力電流 I_{out} が負極性であれば、ダイオード $D4$ は不導通状態なので、前述（図 5 参照）のように自己消弧素子 $T6$ を自己消弧素子 $T2$ の導通開始時点よりも先行させて導通開始させ且つ自己消弧素子 $T2$ の導通終了時点よりも遅れて導通終了させる必要はない。

【 0 1 1 8 】

したがって、図 8 において、前述（図 3 参照）のように自己消弧素子 $T2$ および $T6$ を同時導通制御することにより、たとえば時刻 $t5$ から自己消弧素子 $T2$ および $T6$ をオンす

50

る時刻 t_6 までの時間をデッドタイム T_d に短縮することができ、PWM 回路 2 の出力信号に対するゲート制御の応答性を向上させることができる。

【0119】

このように、インバータ 1 の出力電流 I_{out} の正負極性に応答して、図 7 または図 8 のようにゲート信号 ST_5 、 ST_6 を切り換えることにより、自己消弧素子 T_3 、 T_5 の同時導通制御による時刻 $t_1 \sim t_2$ の時間短縮、または、自己消弧素子 T_2 、 T_6 の同時導通制御による時刻 $t_5 \sim t_6$ の時間短縮を実現し、PWM 回路 2 の出力信号に対するゲート制御の応答性を向上させることができる。

【0120】

実施の形態 4 .

10

なお、上記実施の形態 2 では、オフディレイ回路 35a、36a の出力をそのままゲートドライブ回路 4 に入力したが、排他的オア回路を介してゲートドライブ回路 4 に入力してもよい。

【0121】

図 9 は排他的オア回路を設けたこの発明の実施の形態 4 による 3 レベルインバータのゲート制御装置を示すブロック図である。

図 9 において、前述（図 4 参照）と同様のものについては、同一符号を付して、または符号の後に「c」を付して、詳述を省略する。

【0122】

この場合、ゲート制御回路 3c は、前述（図 5 参照）の構成に加えて、排他的オア回路 3c1、3c2 を備えており、排他的オア回路 3c1 は、オンディレイ回路 33a とオフディレイ回路 35a との各出力信号の排他的論理和をとってゲート信号 ST_5 を生成し、排他的オア回路 3c2 は、オンディレイ回路 32a とオフディレイ回路 36a との各出力信号の排他的論理和をとってゲート信号 ST_6 を生成する。

20

【0123】

次に、図 10 のタイミングチャートを参照しながら、図 9 に示したこの発明の実施の形態 4 によるゲート制御回路 3c の動作について説明する。

図 10 においては、各ゲート信号 ST_5 、 ST_6 の波形のみが前述（図 5 参照）と異なる。

【0124】

30

図 10 において、排他的オア回路 3c1 から出力されるゲート信号 ST_5 は、オンディレイ回路 33a から出力されるゲート信号 ST_3 と、オフディレイ回路 35a の出力信号（図 5 内のゲート信号 ST_5 ）との排他的論理和であるから、時刻 t_2 から時刻 t_2' までの期間と、時刻 t_7 から時刻 t_8' までの期間とにおいて「1」となり、自己消弧素子 T_5 をオンさせる。

【0125】

また、排他的オア回路 3c2 から出力されるゲート信号 ST_6 は、オンディレイ回路 32a から出力されるゲート信号 ST_2 と、オフディレイ回路 36a の出力信号（図 5 内のゲート信号 ST_6 ）との排他的論理和であるから、時刻 t_3 から時刻 t_4' までの期間と、時刻 t_6 から時刻 t_6' までの期間とにおいて「1」となり、自己消弧素子 T_6 をオンさせる。

40

【0126】

図 10 のように自己消弧素子 T_5 、 T_6 を導通制御することにより、前述と同様に転流時のインダクタンス低減効果が得られるうえ、さらにオンゲートパルス PT_5 、 PT_6 の発生期間を短縮させることができ、ゲートドライブ回路 4 の消費電力を低減させることができる。

【0127】

実施の形態 5 .

なお、上記実施の形態 4 では、排他的オア回路 3c1、3c2 のみを追加したが、自己消弧素子 T_1 、 T_2 （または、 T_3 、 T_4 ）が同時にオフゲート期間中に自己消弧素子 T_5

50

(または、 T_6)にオンゲートパルス PT_5 (または、 PT_6)を与えた場合に、自己消弧素子 T_1 、 T_2 (または、 T_3 、 T_4)の電圧分担を均一化するための論理回路をさらに追加してもよい。

【0128】

図11は電圧分担均一化用の論理回路を設けたこの発明の実施の形態5による3レベルインバータのゲート制御装置を示すブロック図である。

図11において、前述(図9参照)と同様のものについては、同一符号を付して、または符号の後に「d」を付して、詳述を省略する。

【0129】

この場合、ゲート制御回路3dは、前述(図9参照)の構成に加えて、反転回路3d1、3d2、アンド回路3d3、3d4、および、オア回路3d5、3d6を備えている。 10

【0130】

反転回路3d1、3d2は、オンディレイ回路32aおよびオンディレイ回路33aの各出力信号を反転して、それぞれ、アンド回路3d3、3d4に入力する。

【0131】

アンド回路3d3は、オフディレイ回路35aおよび反転回路3d1の各出力信号の論理積をとって、オア回路3d5に入力する。

アンド回路3d4は、オフディレイ回路36aおよび反転回路3d2の各出力信号の論理積をとって、オア回路3d6に入力する。

【0132】

オア回路3d5は、排他的オア回路3c1およびアンド回路3d3の各出力信号の論理和をとってゲート信号 ST_5 を生成する。 20

オア回路3d6は、排他的オア回路3c2およびアンド回路3d4の各出力信号の論理和をとってゲート信号 ST_6 を生成する。

【0133】

次に、図12のタイミングチャートを参照しながら、図11に示したこの発明の実施の形態5によるゲート制御回路3dの動作について説明する。

図12においては、各ゲート信号 ST_5 、 ST_6 の波形のみが前述(図5、図10参照)と異なる。

【0134】

この場合、アンド回路3d3の出力波形は、オフディレイ回路35aの出力信号(図5内のゲート信号 ST_5)と、オンディレイ回路32aの出力信号(ゲート信号 ST_2)の反転信号との論理積であるから、時刻 t_3 から時刻 t_6' までの期間において「1」となる。 30

【0135】

また、オア回路3d5から出力されるゲート信号 ST_5 は、排他的オア回路3c1の出力信号(図10内のゲート信号 ST_5)と、アンド回路3d3の出力信号との論理和であるから、図12に示した波形となる。

【0136】

一方、アンド回路3d4出力波形は、オフディレイ回路36aの出力信号(図5内の ST_6)と、オンディレイ回路33aの出力信号(ゲート信号 ST_3)の反転信号との論理積であるから、時刻 t_2' までの期間および時刻 t_7 以降の期間において「1」となる。 40

【0137】

また、オア回路3d6から出力されるゲート信号 ST_6 は、排他的オア回路3c2の出力信号(図10内のゲート信号 ST_6)と、アンド回路3d4の出力信号との論理和であるから、図12に示した波形となる。

【0138】

この結果、自己消弧素子 T_1 、 T_2 が同時にオフゲート期間中に自己消弧素子 T_5 にオンゲートパルス PT_5 を与えた場合に、転流動作とは無関係であるが、自己消弧素子 T_1 、 T_2 の電圧分担を均一化することができる。 50

【 0 1 3 9 】

同様に、自己消弧素子 T 3、T 4 が同時にオフゲート期間中に自己消弧素子 T 6 にオンゲートパルス P T 6 を与えた場合にも、転流動作とは無関係であるが、自己消弧素子 T 3、T 4 の電圧分担を均一化することができる。

【 0 1 4 0 】

【 発明の効果 】

以上のように、この発明によれば、第 1 ～ 第 3 の電位レベルを有する第 1 ～ 第 3 の直流端子と、第 1 および第 3 の直流端子間に直列接続された第 1 ～ 第 4 の自己消弧素子と、第 1 および第 2 の自己消弧素子の接続点と第 3 および第 4 の自己消弧素子の接続点との間に逆並列接続された第 1 および第 2 のクランプダイオードと、第 1 および第 2 のクランプダイオードの各両端子間に個別に逆並列接続された第 5 および第 6 の自己消弧素子とを備え、第 1 および第 2 のクランプダイオードの接続点が第 2 の直流端子に接続された 3 レベルインバータのゲート制御装置において、第 1 および第 3 の自己消弧素子に対する第 1 の導通制御指令と第 2 および第 4 の自己消弧素子に対する第 2 の導通制御指令とを生成する P W M 回路と、第 1 および第 2 の導通制御指令に基づいて第 1 ～ 第 6 の自己消弧素子のゲートに対するゲート信号を生成するゲート制御回路とを備え、ゲート制御回路は、第 1 および第 2 の導通制御指令を個別に反転する第 1 および第 2 の反転回路と、第 1 および第 2 の導通制御指令と反転後の第 1 および第 2 の導通制御指令とに基づいてゲート信号を生成するディレイ回路群とを含み、第 3 および第 5 の自己消弧素子は同時に導通制御され、第 2 および第 6 の自己消弧素子は同時に導通制御され、自己消弧素子間の転流時に最短の転流ループを形成するようにしたので、転流ループのインダクタンスを小さくして自己消弧素子の破損を防止した 3 レベルインバータのゲート制御装置および方法が得られる効果がある。

【 0 1 4 1 】

また、この発明によれば、ディレイ回路群は、第 1 ～ 第 4 の自己消弧素子に対する第 1 ～ 第 4 のゲート信号を生成する第 1 ～ 第 4 のオンディレイ回路と、第 5 の自己消弧素子に対する第 5 のゲート信号を生成する第 5 のオンディレイ回路および第 1 のオフディレイ回路からなる第 1 の直列回路と、第 6 の自己消弧素子に対する第 6 のゲート信号を生成する第 6 のオンディレイ回路および第 2 のオフディレイ回路からなる第 2 の直列回路とを含み、第 1 および第 2 のオフディレイ回路の第 1 のデッドタイムは、第 5 および第 6 のオンディレイ回路のデッドタイムよりも短く設定され、第 1 ～ 第 4 のオンディレイ回路の第 2 のデッドタイムは、第 5 および第 6 のオンディレイ回路のデッドタイムよりも長く設定され、第 5 の自己消弧素子は、第 3 の自己消弧素子の導通開始時点よりも先行して導通開始するとともに、第 3 の自己消弧素子の導通終了時点よりも遅れて導通終了し、第 6 の自己消弧素子は、第 2 の自己消弧素子の導通開始時点よりも先行して導通開始するとともに、第 2 の自己消弧素子の導通終了時点よりも遅れて導通終了するようにしたので、転流インダクタンスをさらに低減させた 3 レベルインバータのゲート制御装置および方法が得られる効果がある。

【 0 1 4 2 】

また、この発明によれば、3 レベルインバータの出力電流の極性に応じた電流極性信号を生成する正極性比較器および負極性比較器と、正極性比較器および負極性比較器からの各電流極性信号を個別に反転する第 3 および第 4 の反転回路とを備え、ゲート制御回路は、各電流極性信号と第 3 および第 4 の反転回路の各出力信号とに応じてゲート信号を切り換え選択する第 1 ～ 第 6 の選択回路を含み、出力電流が正極性を示す場合には、第 3 および第 5 の自己消弧素子が同時に導通制御され、出力電流が負極性を示す場合には、第 2 および第 6 の自己消弧素子が同時に導通制御されるようにしたので、時間短縮を実現して P W M 出力信号に対するゲート制御の応答性を向上させた 3 レベルインバータのゲート制御装置および方法が得られる効果がある。

【 0 1 4 3 】

また、この発明によれば、ゲート制御回路は、第 3 のオンディレイ回路の出力信号と第 1

の直列回路の出力信号との排他的論理和をとって第 5 の自己消弧素子のゲートに対するゲート信号を生成する第 1 の排他的オア回路と、第 2 のオンディレイ回路の出力信号と第 2 の直列回路の出力信号との排他的論理和をとって第 6 の自己消弧素子のゲートに対するゲート信号を生成する第 2 の排他的オア回路とを含み、第 5 の自己消弧素子は、第 3 の自己消弧素子の導通開始時点よりも先行して導通開始し、第 3 の自己消弧素子の導通期間中は不導通状態を保持するとともに、第 3 の自己消弧素子の導通終了時点から第 1 のデッドタイムだけ導通し、第 6 の自己消弧素子は、第 2 の自己消弧素子の導通開始時点よりも先行して導通開始し、第 2 の自己消弧素子の導通期間中は不導通状態を保持するとともに、第 2 の自己消弧素子の導通終了時点から第 1 のデッドタイムだけ導通するようにしたので、転流時のインダクタンス低減効果に加えて、オンゲートパルスの発生期間を短縮させてゲートドライブ回路の消費電力を低減させた 3 レベルインバータのゲート制御装置および方法が得られる効果がある。

10

【 0 1 4 4 】

また、この発明によれば、ゲート制御回路は、第 2 および第 3 のオンディレイ回路の出力信号を個別に反転する第 5 および第 6 の反転回路と、第 1 の直列回路の出力信号と第 5 の反転回路の出力信号との論理積をとる第 1 のアンド回路と、第 1 の排他的オア回路の出力信号と第 1 のアンド回路の出力信号との論理和をとって第 5 の自己消弧素子のゲートに対するゲート信号を生成する第 1 のオア回路と、第 2 の直列回路の出力信号と第 6 の反転回路の出力信号との論理積をとる第 2 のアンド回路と、第 2 の排他的オア回路の出力信号と第 2 のアンド回路の出力信号との論理和をとって第 6 の自己消弧素子のゲートに対するゲート信号を生成する第 2 のオア回路とを含み、第 5 の自己消弧素子は、第 3 の自己消弧素子の導通開始時点よりも先行して導通開始し、第 1 および第 2 の自己消弧素子が同時に不導通となる期間以外は不導通状態を保持するとともに、第 3 の自己消弧素子の導通終了時点から第 1 のデッドタイムだけ導通し、第 6 の自己消弧素子は、第 2 の自己消弧素子の導通開始時点よりも先行して導通開始し、第 3 および第 4 の自己消弧素子が同時に不導通となる期間以外は不導通状態を保持するとともに、第 2 の自己消弧素子の導通終了時点から第 1 のデッドタイムだけ導通するようにしたので、第 1 および第 2 (または、第 3 および第 4) の自己消弧素子が同時にオフゲート期間中に第 5 (または、第 6) の自己消弧素子にオンゲートパルスを与えた場合に、第 1 (または、第 2) の自己消弧素子の電圧分担を均一化させた 3 レベルインバータのゲート制御装置および方法が得られる効果がある。

20

30

【図面の簡単な説明】

【図 1】この発明の実施の形態 1 ～ 5 による 3 レベルインバータのゲート制御装置での転流ループを説明するための回路構成図である。

【図 2】この発明の実施の形態 1 による 3 レベルインバータのゲート制御装置に適用されるゲート制御回路を示す回路構成図である。

【図 3】この発明の実施の形態 1 による 3 レベルインバータのゲート制御装置の動作を説明するためのタイミングチャートである。

【図 4】この発明の実施の形態 2 による 3 レベルインバータのゲート制御装置に適用されるゲート制御回路を示す回路構成図である。

40

【図 5】この発明の実施の形態 2 による 3 レベルインバータのゲート制御装置の動作を説明するためのタイミングチャートである。

【図 6】この発明の実施の形態 3 による 3 レベルインバータのゲート制御装置に適用されるゲート制御回路を示す回路構成図である。

【図 7】この発明の実施の形態 3 による 3 レベルインバータのゲート制御装置の正極性での動作を説明するためのタイミングチャートである。

【図 8】この発明の実施の形態 3 による 3 レベルインバータのゲート制御装置の負極性での動作を説明するためのタイミングチャートである。

【図 9】この発明の実施の形態 4 による 3 レベルインバータのゲート制御装置に適用されるゲート制御回路を示す回路構成図である。

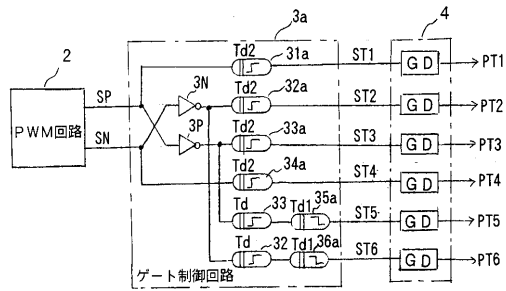
50

【図 12】この発明の実施の形態 5 による 3 レベルインバータのゲート制御装置の動作を説明するためのタイミングチャートである。

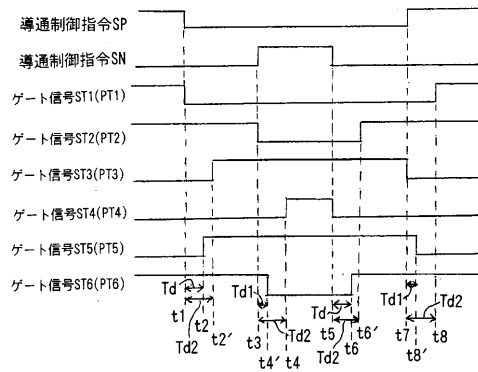
1 3レベルインバータ、2 PWM回路、3、3a~3d ゲート制御回路、3b1~3b6 選択回路、3c1、3c2 排他的オア回路、3d3、3d4 アンド回路、3d5、3d6 オア回路、3P、3N、3d1、3d2、6P1、6N1 反転回路、31~34、31a~34a オンディレイ回路、35a、36a オフディレイ回路、4、41~46 ゲートドライブ回路、5 電流検出器、6P 正極性比較器、6N 負極性比較器、D5、D6 クランプダイオード、Iout 出力電流、P、C、N 直流端子、PT1~PT6 オンゲートパルス、SP、SN 導通制御指令、ST1~ST6 ゲート信号、S6P、S6N 電流極性信号、T1~T6 自己消弧素子、Td デッドタイム、Td1 第1のデッドタイム、Td2 第2のデッドタイム。

10

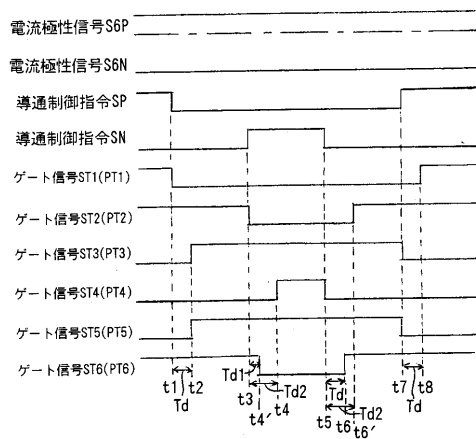
【図 4】



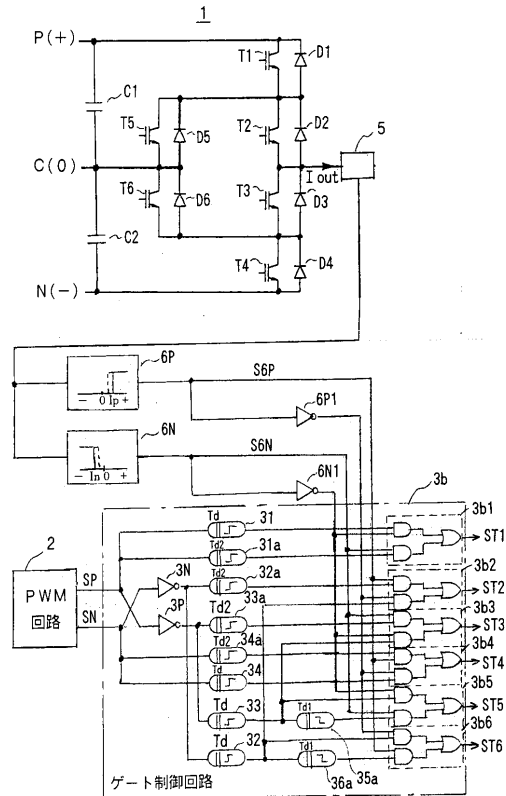
【図 5】



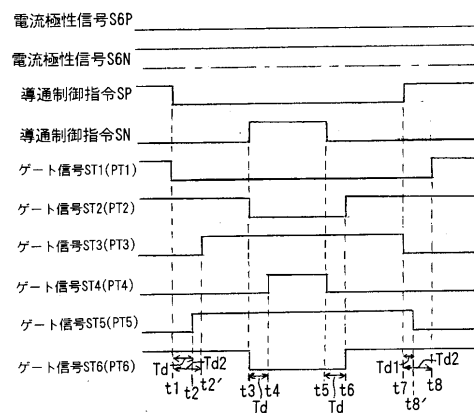
【図 7】



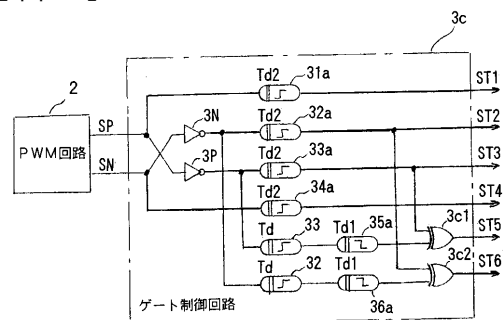
【図 6】



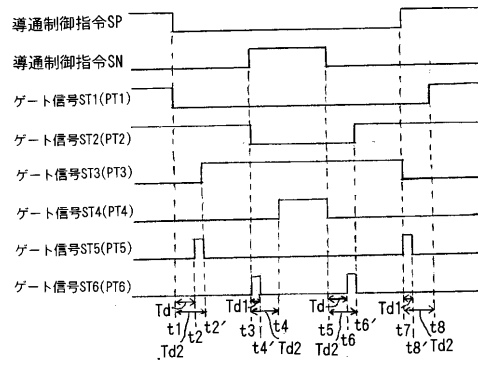
【図 8】



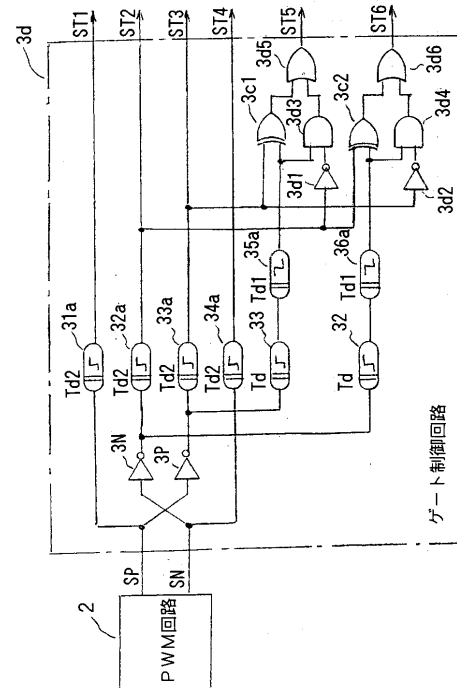
【図 9】



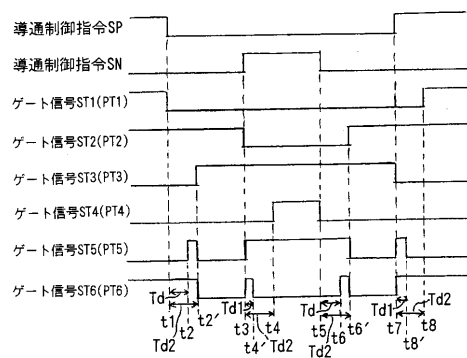
【図 10】



【図 11】



【図 12】



フロントページの続き

- (72)発明者 朝枝 健明
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 益永 博史
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 川端 修

- (56)参考文献 特開平05-211776(JP,A)
特開平04-359679(JP,A)
特開2000-166252(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H02M 7/48