



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월16일  
(11) 등록번호 10-0776867  
(24) 등록일자 2007년11월08일

(51) Int. Cl.

*H01L 21/60* (2006.01)

(21) 출원번호 10-2001-0053225  
(22) 출원일자 2001년08월31일  
심사청구일자 2006년08월31일  
(65) 공개번호 10-2002-0018591  
공개일자 2002년03월08일

(30) 우선권주장

JP-P-2000-00262511 2000년08월31일 일본(JP)

(56) 선행기술조사문현

일본 특개평 10-270496호  
일본 실개평 05-046031호

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다구 마루노우치 1초메 6반 6  
고

(72) 발명자

이마스사또시

일본도쿄도지요다구마루노우찌1초메5-1신마루빌딩  
가부시키가이샤히타치세이사쿠쇼지적소유권본부내  
요시다이꾸오일본도쿄도지요다구마루노우찌1초메5-1신마루빌딩  
가부시키가이샤히타치세이사쿠쇼지적소유권본부내  
(뒷면에 계속)

(74) 대리인

구영창, 장수길

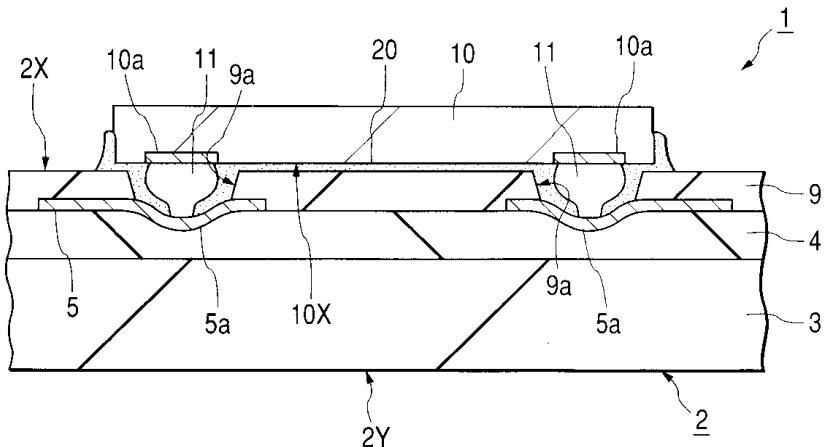
전체 청구항 수 : 총 10 항

심사관 : 백양규

(54) 전자 장치 및 그 제조 방법

**(57) 요 약**

하나의 주면에 복수의 전극 패드를 갖는 반도체 칩과, 하나의 주면에 복수의 접속부를 갖는 배선 기판과, 상기 반도체 칩의 상기 각 전극 패드와 상기 배선 기판의 상기 각 접속부 사이에 배치되고, 또한 각각을 전기적으로 접속하는 복수의 돌기형 전극으로서, 상기 배선 기판의 하나의 주면에 대하여 상기 반도체 칩의 균형이 잡히지 않은 배열로 배치된 복수의 돌기형 전극을 포함하는 전자 장치에 있어서, 상기 복수의 접속부는 상기 배선 기판의 하나의 주면으로부터 깊이 방향으로 상기 배선 기판의 하나의 주면보다 깊은 위치에 배치되어 있다.

**대표도** - 도3

(72) 발명자

**기시까와노리오**

일본도쿄도지요다꾸마루노우찌1조메5-1신마루빌딩  
가부시키가이샤히타치세이사쿠쇼지적소유권본부내

**가도요시유끼**

일본도쿄도지요다꾸마루노우찌1조메5-1신마루빌딩  
가부시키가이샤히타치세이사쿠쇼지적소유권본부내

**다구찌가즈유끼**

일본도쿄도지요다꾸마루노우찌1조메5-1신마루빌딩  
가부시키가이샤히타치세이사쿠쇼지적소유권본부내

---

**나이또다까히로**

일본도쿄도지요다꾸마루노우찌1조메5-1신마루빌딩  
가부시키가이샤히타치세이사쿠쇼지적소유권본부내  
**사또도시히코**

일본도쿄도지요다꾸마루노우찌1조메5-1신마루빌딩  
가부시키가이샤히타치세이사쿠쇼지적소유권본부내

**특허청구의 범위**

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

### 청구항 33

하나의 주면에 제1 배열 피치로 배치된 복수의 제1 전극 패드를 갖는 제1 반도체 칩과,

하나의 주면에 상기 제1 배열 피치보다 작은 제2 배열 피치로 배치된 복수의 제2 전극 패드를 갖는 제2 반도체 칩과,

하나의 주면의 제1 영역에, 상기 복수의 제1 전극 패드와 대응하여 배치된 복수의 제1 접속부와, 상기 하나의 주면의 제1 영역과 다른 제2 영역에, 상기 복수의 제2 전극 패드와 대응하여 배치된 복수의 제2 접속부를 갖는 배선 기판과,

상기 각 제1 전극 패드와 상기 각 제1 접속부 사이에 배치되고, 또한 각각을 전기적으로 접속하는 복수의 제1 돌기형 전극과,

상기 각 제2 전극 패드와 상기 각 제1 접속부 사이에 배치되고, 또한 각각을 전기적으로 접속하는 복수의 제2 돌기형 전극을 포함하고,

상기 복수의 제1 접속부 및 상기 복수의 제2 접속부는, 상기 배선 기판의 하나의 주면으로부터 깊이 방향으로 상기 배선 기판의 하나의 주면보다 깊은 위치에 배치되고,

상기 복수의 제2 돌기형 전극은, 상기 복수의 제1 돌기형 전극보다 단 수가 많은 다단 범프 구조로 되어 있는 것을 특징으로 하는 전자 장치.

### 청구항 34

제33항에 있어서,

상기 배선 기판은, 그 하나의 주면에 형성된 절연막과, 상기 하나의 주면의 제1 영역에서 상기 절연막에 형성된 제1 개구와, 상기 하나의 주면의 제2 영역에서 상기 절연막에 형성된 제2 개구를 더 포함하고,

상기 복수의 제1 접속부는 상기 제1 개구의 저부에 배치되며,

상기 복수의 제2 접속부는 상기 제2 개구의 저부에 배치되어 있는 것을 특징으로 하는 전자 장치.

### 청구항 35

제33항에 있어서,

상기 제2 돌기형 전극은, 상기 제2 반도체 칩의 제2 전극 패드에 접속된 베이스 범프와, 상기 베이스 범프에 중첩된 중첩 범프를 갖는 다단 범프 구조로 되어 있는 것을 특징으로 하는 전자 장치.

### 청구항 36

제33항에 있어서,

상기 제2 돌기형 전극은, 상기 제2 반도체 칩의 제2 전극 패드에 접속된 베이스 범프와, 상기 베이스 범프에 중첩된 제1 중첩 범프와, 상기 제1 중첩 범프에 중첩된 제2 중첩 범프를 갖는 다단 범프 구조로 되어 있는 것을 특징으로 하는 전자 장치.

### 청구항 37

제33항에 있어서,

상기 제1 및 제2 돌기형 전극은 스타드 범프인 것을 특징으로 하는 전자 장치.

### 청구항 38

제33항에 있어서,

상기 배선 기판은 다층 배선 구조로 이루어지고,

상기 복수의 제1 및 제2 접속부는, 상기 배선 기판의 최상층의 배선층에 형성된 복수의 배선 각각의 일부분인

것을 특징으로 하는 전자 장치.

### 청구항 39

제33항에 있어서,

상기 제1 및 제2 반도체 칩은, 접착용 수지를 개재하여 상기 배선 기판에 접착되어 있는 것을 특징으로 하는 전자 장치.

### 청구항 40

제39항에 있어서,

상기 접착용 수지는, 절연성 수지로 다수의 도전성 입자가 혼입된 이방 도전성 수지인 것을 특징으로 하는 전자 장치.

### 청구항 41

하나의 주면에 제1 배열 피치로 배치된 복수의 제1 전극 패드와, 상기 각 제1 전극 패드에 개별적으로 각각 접속된 복수의 제1 돌기형 전극을 갖는 제1 반도체칩과,

하나의 주면에 상기 제1 배열 피치보다 작은 제2 배열 피치로 배치된 복수의 제2 전극 패드와, 상기 각 제2 전극 패드에 개별적으로 각각 접속되고, 또한 상기 제1 돌기형 전극보다 단 수가 많은 다단 범프 구조로 이루어지는 복수의 제2 돌기형 전극을 갖는 제2 반도체 칩과,

하나의 주면에 형성된 절연막과, 상기 하나의 주면의 제1 영역에서 상기 절연막에 형성된 제1 개구와, 상기 하나의 주면의 제1 영역과 다른 제2 영역에서 상기 절연막에 형성된 제2 개구와, 상기 제1 개구의 저부에 상기 복수의 제1 돌기형 전극과 대응하여 배치된 복수의 제1 접속부와, 상기 제2 개구의 저부에 상기 복수의 제2 돌기형 전극과 대응하여 배치된 복수의 제2 접속부를 갖는 배선 기판을 준비하는 공정과,

상기 배선 기판의 하나의 주면의 제1 영역과 상기 제1 반도체 칩의 하나의 주면 사이에 제1 접착용 수지를 개재하여, 상기 배선 기판의 하나의 주면의 제1 영역에 상기 제1 반도체 칩을 압착하고, 상기 각 제1 접속부에 상기 각 제1 돌기형 전극을 각각 전기적으로 접속하는 공정과,

상기 배선 기판의 하나의 주면의 제2 영역과 상기 제2 반도체 칩의 하나의 주면 사이에 제2 접착용 수지를 개재하여, 상기 배선 기판의 하나의 주면의 제2 영역에 상기 제2 반도체 칩을 압착하고, 상기 각 제2 접속부에 상기 각 제2 돌기형 전극을 각각 전기적으로 접속하는 공정

을 포함하는 것을 특징으로 하는 전자 장치의 제조 방법.

### 청구항 42

하나의 주면에 제1 전극 패드를 갖는 제1 반도체 칩과,

하나의 주면에 상기 제1 전극 패드보다 평면적이 작은 제2 전극 패드를 갖는 제2 반도체 칩과,

하나의 주면에 형성된 절연막과, 상기 하나의 주면의 제1 영역에서 상기 절연막에 형성된 제1 개구와, 상기 하나의 주면의 제1 영역과 다른 제2 영역에서 상기 절연막에 형성된 제2 개구와, 상기 제1 개구의 저부에 배치된 제1 접속부와, 상기 제2 개구의 저부에 배치된 제2 접속부를 갖는 배선 기판과,

상기 제1 전극 패드와 상기 제1 접속부 사이에 배치되고, 또한 각각을 전기적으로 접속하는 제1 돌기형 전극과,

상기 제2 전극 패드와 상기 제2 접속부 사이에 배치되고, 또한 각각을 전기적으로 접속하는 제2 돌기형 전극을 포함하며,

상기 제2 돌기형 전극은, 상기 제1 돌기형 전극보다 단 수가 많은 다단 범프 구조로 되어 있는 것을 특징으로 하는 전자 장치.

## 명세서

### 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

- <34> 본 발명은 전자 장치 및 그 제조 기술에 관한 것으로, 특히, 플립 칩 실장 기술을 채용하는 전자 장치에 유효하게 적용되는 기술에 관한 것이다.
- <35> 전자 장치로서, MCM(Multi Chip Module)이라 불리는 전자 장치가 알려져 있다. MCM은 집적 회로가 내장된 복수의 반도체 칩을 배선 기판 상에 실장하여, 하나의 통합된 기능을 구성하고 있다. 이 MCM에서는 데이터 전송 속도의 고속화나 소형화를 도모하기 위해서, 회로 형성면의 전극 패드 상에 돌기형 전극이 형성된 반도체 칩(플립 칩)을 이용하여 배선 기판 상에 실장하는 플립 칩 실장 기술의 채용이 활발하게 이루어지고 있다.
- <36> 플립 칩 실장 기술에 있어서는 각종 실장 방식이 제안되고, 실용화되어 있다. 예를 들면, CCB(Controlled Collapse Bonding) 실장이라 불리는 방식이나 ACF(Anisotropic Conductive Film) 실장이라 불리는 방식이 실용화되고 있다.
- <37> CCB 실장 방식은 반도체 칩의 전극 패드 상에 범프 전극(돌기형 전극)으로서 예를 들면 볼 형상의 땀납 범프를 형성하고, 그 후, 배선 기판 상에 반도체 칩을 배치하고, 그 후, 땀납 범프를 용융하는 열 처리를 실시하여, 배선 기판의 배선의 일부분인 접속부와 반도체 칩의 전극 패드를 전기적으로 또한 기계적으로 접속하는 방식이다.
- <38> ACF 실장 방식은 반도체 칩의 전극 패드 상에 범프 전극(돌기형 전극)으로서 예를 들면 금(Au)으로 이루어지는 스터드 범프를 형성하고, 그 후, 배선 기판 상에 접착용 수지로서 시트 형상의 이방 도전성 수지(ACF)를 개재하여 반도체 칩을 배치하고, 그 후, 가열하면서 배선 기판에 반도체 칩을 압착하여, 배선 기판에 반도체 칩을 접착 고정함과 함께, 배선 기판의 접속부에 스터드 범프를 전기적으로 접속하는 방식이다. 이방 도전성 수지란 절연성 수지 중에 다수의 도전성 입자가 분산되어 혼입된 것이다.
- <39> 본 발명자 등은 전술한 플립칩 실장 기술에 대하여 검토한 결과, 이하의 문제점을 발견하였다.
- <40> (1) 반도체 칩의 패드 배열에는 각종 배열 형태가 있다. 그 중의 하나로, 반도체 칩의 회로 형성면의 X 방향 또는 Y 방향의 중심선을 따른 중앙 영역에서 그 중앙 영역에 따라 복수의 전극 패드를 일렬로 배열한 중앙 패드 배열이 있다. 이 중앙 패드 배열은 예를 들면 기억 회로로서 DRAM(Dynamic Random Access Memory)이 내장된 반도체 칩 등에 채용되고 있다.
- <41> 예를 들면 DRAM의 경우, 전극 패드(본딩 패드)의 배치에 대해서는 이하와 같은 요구가 있다. 배선 인덕턴스의 저감을 위해 입출력 회로의 근방에 배치한다. 또한, 본딩 공정에 의한 소자의 손상을 방지하기 위해서, 전극 패드의 바로 아래에는 반도체 소자를 형성하지 않는다. 또한, 동작 속도의 향상을 목적으로 입출력 회로에서 메모리 매트의 가장 먼 부분까지의 거리를 되도록이면 가까이 두어야 한다. 이들의 요구로부터 DRAM 칩 상의 레이아웃은 도 21의 형태이고, 칩의 긴 변 방향에 따라 칩 중앙 부분에 배열된다. 도 21에 있어서, 참조 부호 30은 DRAM 칩, MARY는 메모리 어레이, PC는 주변 회로, I/O는 입출력 회로, BP는 전극 패드이다.
- <42> 중앙 패드 배열의 경우, 각 전극 패드 상에 형성된 범프 전극의 배열도 중앙 범프 배열로 된다. 이러한 반도체 칩을 플립 칩 실장에 이용한 경우, 반도체 칩의 균형을 잡을 수 없기 때문에, 배선 기판의 하나의 주면에 대하여 반도체 칩이 기울어져 버린다. 따라서, 중앙 패드 배열의 반도체 칩에서는 플립 칩을 실장하는 것이 곤란하다. 반도체 칩의 균형이 잡히지 않은 패드 배열(범프 배열)로서는 중앙 패드 배열 외에, 예를 들면 반도체 칩의 상호 대향하는 2개의 변 중의 한쪽의 변측에 그 한쪽의 변을 따라 복수의 전극 패드를 일렬로 배열한 일변 패드 배열(일변 범프 배열) 등이 있다.
- <43> (2) ACF 실장 방식에 있어서, 스터드(stud) 범프는 배선 기판과 반도체 칩 사이에 개재된 이방 도전성 수지의 열수축력(가열 상태에서 상온 상태에 복원된 때에 생기는 수축력)이나 열 경화 수축력(열 경화성 수지의 경화 시에 생기는 수축력) 등에 의해서, 배선 기판의 접속부에 압축 접합되어 있다. 한편, 이방 도전성 수지는 일반적으로 스터드 범프보다 열팽창율이 크기 때문에, 이방 도전성 수지의 두께 방향에서의 팽창량은 스터드 범프의 높이 방향에서의 팽창량보다 크다. 따라서, 열의 영향에 의해서 배선 기판의 접속부에서 스터드 범프가 이탈되는 접속 불량의 발생이 우려되기 때문에, 배선 기판과 반도체 칩 사이에서의 이방 도전성 수지의 체적을 될 수 있는 한 작게 할 필요가 있다.
- <44> 그래서, 배선 기판과 반도체 칩 사이에서의 이방 도전성 수지의 체적을 작게 하는 기술이, 예를 들면 일본 특개 평10-270496호 공보(USP6208525)에 개시되어 있다. 이 공개 공보에 개시된 기술은 동 공개 공보의 도 12에 도

시되어 있는 바와 같이 「리지드(rigid) 기판으로 이루어지는 배선 기판(19)에 홈(19A)이 형성되고, 홈(19A) 내에 전극 패드(4A)가 형성되어, 홈(19A) 내에서, 전극 패드(4A)와 범프 전극(15)이 접속된 구조으로 함으로써, 배선 기판의 최상층의 절연막이 없고, 전극 패드(4A) 및 최상층 배선이 드러나는 것에 비해, 홈(19A)의 깊이에 상당하는 만큼, 배선 기판(19)과 반도체 칩(10) 사이의 간극이 좁게 되기 때문에, 배선 기판(19)과 반도체 칩(10) 사이에 개재되는 접착재(이방 도전성 수지)(16)의 두께를 얇게 할 수 있다.」라고 하는 것이다.

<45> 그러나, 배선 기판에 홈을 설치하고, 이 홈의 내부에서 배선 기판의 전극 패드(접속부)와 범프 전극(스터드 범프)를 접속하는 구조으로 한 경우, 새로운 문제가 생긴다.

<46> 반도체 칩의 전극 패드는 전극 패드의 배열 피치(패드 배열 피치)에 의해서 평면 크기가 정해지기 때문에, 패드 배열 피치가 좁게 됨에 따라 작아진다. 전극 패드의 축소에 따라, 스터드 범프의 직경을 작게 하기 위해서, 보다 가는 금 와이어에 의해서 스터드 범프를 형성하면, 그것에 따라 스터드 범프의 높이도 작아진다. 즉, 패드 배열 피치가 다르면 스터드 범프의 높이도 다르다.

<47> 한편, MCM 등의 전자 장치에서는 접적도나 기능이 다른 여러 종류의 반도체 칩을 하나의 배선 기판 상에 실장하는 경우가 있으나, 이들의 반도체 칩의 패드 배열 피치는 반드시 동일하지는 않다. 패드 배열 피치가 다른 경우, 스터드 범프의 높이도 다르기 때문에, 배선 기판의 하나의 주면으로부터 그 접속부까지의 깊이보다 스터드 범프의 높이가 높은 반도체 칩에서는 배선 기판의 접속부와 스터드 범프와의 접속을 용이하게 행할 수 있지만, 배선 기판의 하나의 주면으로부터 그 접속부까지의 깊이보다 스터드 범프의 높이가 낮은 반도체 칩에서는 배선 기판의 접속부와 스터드 범프와의 접속이 곤란해 진다.

<48> 배선 기판 상에 실장하는 반도체 칩 중, 스터드 범프의 높이가 가장 작은 반도체 칩에 맞추어 배선 기판의 접속부의 깊이 위치를 설정하면, 스터드 범프의 높이가 낮은 반도체 칩에서도 배선 기판의 접속부에 스터드 범프를 접속할 수 있지만, 이와 같이 설정한 경우, 스터드 범프의 높이가 높은 반도체 칩에서, 배선 기판과의 사이에 개재되는 이방 도전성 수지의 체적이 크게 되어 버려, 열의 영향에 의해서 배선 기판의 접속부에서 스터드 범프가 이탈되어 버리는 접속 불량의 발생이 우려된다.

### 발명이 이루고자 하는 기술적 과제

<49> 본 발명의 목적은 배선 기판의 하나의 주면에 대한 반도체 칩의 기울어짐을 억제하는 것이 가능한 기술을 제공하는 것에 있다.

<50> 본 발명의 다른 목적은 패드 배열 피치가 다른 여러 종류의 반도체 칩을 하나의 배선 기판 상에 실장하는 것이 가능한 기술을 제공하는 것에 있다.

<51> 본 발명의 상기 및 그 밖의 목적과 신규인 특징은 본 명세서의 기술 및 첨부 도면에 의해서 명확하게 될 것이다.

<52> 본원에 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 하기한 바와 같다.

<53> (1) 본 발명의 전자 장치는

<54> 하나의 주면에 복수의 전극 패드를 갖는 반도체 칩과,

<55> 하나의 주면에 복수의 접속부를 갖는 배선 기판과, 상기 반도체 칩의 상기 각 전극 패드와 상기 배선 기판의 상기 각 접속부 사이에 배치되고, 또한 각각을 전기적으로 접속하는 복수의 돌기형 전극으로서, 상기 배선 기판의 하나의 주면에 대하여 상기 반도체 칩의 균형이 잡히지 않은 배열로 배치된 복수의 돌기형 전극을 포함하고,

<56> 상기 복수의 접속부는 상기 배선 기판의 하나의 주면으로부터 깊이 방향으로 상기 배선 기판의 하나의 주면보다 깊은 위치에 배치되어 있고,

<57> 상기 배선 기판은 상기 하나의 주면에 형성된 절연막과, 상기 절연막에 형성된 개구를 더 포함하고, 상기 복수의 접속부는 상기 개구의 저부에 배치되어 있다.

<58> 상기 절연막은 상기 반도체 칩의 주연부에 걸쳐 존재하고 있다.

<59> 상기 개구의 평면 크기는 상기 반도체 칩의 평면 크기보다 작고, 또한, 상기 절연막의 평면 크기는 상기 반도체 칩의 평면 크기보다 크다.

<60> 상술한 수단(1)에 따르면, 반도체 칩을 플립 칩 실장할 때, 배선 기판의 하나의 주면으로부터 접속부까지의 깊

이에 의해서 돌기형 전극의 높이가 흡수되기 때문에, 배선 기판의 하나의 주면에 대한 반도체 칩의 기울어짐을 억제할 수 있다.

- <61> (2) 본 발명의 전자 장치는,
- <62> 하나의 주면에 제1 패드 배열 피치로 배치된 복수의 제1 전극 패드를 갖는 제1 반도체 칩과,
- <63> 하나의 주면에 상기 제1 패드 배열 피치보다 작은 제2 패드 배열 피치로 배치된 복수의 제2 전극 패드를 갖는 제2 반도체 칩과,
- <64> 하나의 주면의 제1 영역에, 상기 복수의 제1 전극 패드와 대응하고 배치된 복수의 제1 접속부와, 상기 하나의 주면의 제1 영역과 다른 제2 영역에, 상기 복수의 제2 전극 패드와 대응하여 배치된 복수의 제2 접속부를 갖는 배선 기판과,
- <65> 상기 각 제1 전극 패드와 상기 각 제1 접속부와의 사이에 배치되고, 또한 각각을 전기적으로 접속하는 복수의 제1 돌기형 전극과,
- <66> 상기 각 제2 전극 패드와 상기 각 제1 접속부 사이에 배치되며, 또한 각각을 전기적으로 접속하는 복수의 제2 돌기형 전극을 포함하고,
- <67> 상기 복수의 제1 접속부 및 상기 복수의 제2 접속부는 상기 배선 기판의 하나의 주면으로부터 깊이 방향으로 상기 배선 기판의 하나의 주면보다 깊은 위치에 배치되며,
- <68> 상기 복수의 제2 돌기형 전극은 상기 복수의 제1 돌기형 전극보다 단 수가 많은 다단 범프 구조로 되어 있다.
- <69> 상기 배선 기판은 상기 하나의 주면에 형성된 절연막과, 상기 하나의 주면의 제1 영역에서 상기 절연막에 형성된 제1 개구와, 상기 하나의 주면의 제2 영역에서 상기 절연막에 형성된 제2 개구를 더 포함하며, 상기 복수의 제1 접속부는 상기 제1 개구의 저부에 배치되고, 상기 복수의 제2 접속부는 상기 제2 개구의 저부에 배치되어 있다.
- <70> 상기 제2 돌기형 전극은 상기 제2 반도체 칩의 제2 전극 패드에 접속된 기부(基部) 범프와, 상기 베이스 범프에 중첩된 중첩 범프를 갖는 다단 범프 구조로 되어 있다.
- <71> 상기 제2 돌기형 전극은 상기 제2 반도체 칩의 제2 전극 패드에 접속된 베이스 범프와, 상기 베이스 범프에 중첩된 제1 중첩 범프와, 상기 제1 중첩 범프에 중첩된 제2 중첩 범프를 갖는 다단 범프 구조로 되어 있다.
- <72> 상술한 수단(2)에 따르면, 제1 및 제2 반도체 칩을 플립 칩 실장할 때, 제2 반도체 칩에서도 배선 기판의 제2 접속부에 돌기형 전극을 접속할 수 있으므로, 패드 배열 피치가 다른 제1 및 제2 반도체 칩을 하나의 배선 기판 상에 실장할 수 있다.

### 발명의 구성 및 작용

- <73> 이하, 도면을 참조하여 본 발명의 실시 형태를 상세히 설명한다. 또한, 발명의 실시 형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 갖는 것은 동일 부호를 붙여, 그 반복 설명은 생략한다.
- <74> 도 1은 본 발명의 제1 실시예인 MCM(전자 장치)의 모식적 평면도이고, 도 2는 도 1의 MCM의 모식적 저면도이고, 도 3은 도 1의 MCM에 내장된 버퍼용 칩의 실장 상태를 나타내는 모식적 단면도이고, 도 4는 도 1의 MCM에 내장된 메모리용 칩의 실장 상태를 나타내는 모식적 단면도이고, 도 5는 도 1의 MCM에 내장된 제어용 칩의 실장 상태를 나타내는 모식적 단면도이고, 도 6은 도 1의 MCM에 내장된 캐패시터의 실장 상태를 나타내는 모식적 단면도이고, 도 7은 도 1의 MCM에 내장된 버퍼용 칩, 메모리용 칩 및 제어용 칩의 패드 배치를 부분적으로 나타내는 모식적 평면도이고, 도 8은 도 1의 MCM에 내장된 버퍼용 칩, 메모리용 칩 및 제어용 칩의 개략 구성을 나타내는 모식적 단면도이고, 도 9는 도 1의 MCM에 내장된 메모리용 칩의 모식적 단면도이다.
- <75> 도 1 및 도 2에 도시한 바와 같이, 본 실시예의 MCM(전자 장치) 1은 배선 기판(2X)의 하나의 주면(2X) 상에 전자 부품으로서 복수의 능동 부품 및 복수의 수동 부품을 탑재하여, 배선 기판(2X)의 하나의 주면과 대향하는 이면(다른 주면)(2Y)에 외부 접속용 단자로서 복수의 볼 형상의 땀납 범프(22)를 배치한 구성으로 되어 있다. 능동 부품으로서는 버퍼 회로를 내장한 복수의 반도체 칩(이하, 버퍼용 칩이라고 함)(10), 기억 회로(예를 들면 SDRAM)을 내장한 복수의 반도체 칩(이하, 메모리용 칩이라고 함)(12), 제어 회로를 내장한 하나의 반도체 칩(이하, 제어용 칩이라고 함)(14), NAND 회로를 내장한 하나의 반도체 칩(이하, 연산용 칩이라고 함)(16)가 이용되

고 있다. 이들의 능동 부품은 플립 칩 실장 기술에 의해서 배선 기판(2)의 하나의 주면 상에 실장되어 있다. 수동 부품으로서는 면 실장형으로 이루어지는 복수의 캐패시터(17, 18) 및 저항 소자(19)가 이용되고 있다. 이들의 수동 부품은 땜납 리플로우법에 의해서 배선 기판(2)의 하나의 주면 상에 실장되어 있다.

<76> 배선 기판(2)은 도 3 내지 도 6에 도시한 바와 같이, 리지드 기판(3)과, 이 리지드 기판(3) 상에 빌드업법으로 형성된 유연층(4)과, 이 유연층(4) 상에 형성된 절연막(9)을 갖는 구성으로 되어 있다. 리지드 기판(3) 및 유연층(4)은 상세히 도시하지 않았으나, 다층 배선 구조로 되어 있다. 리지드 기판(3)의 각 절연층은 예를 들면 유리 섬유에 에폭시계 또는 폴리이미드계의 수지를 함침시킨 고탄성 수지판으로 형성되고, 유연층(4)의 각 절연층은 예를 들면 에폭시계의 저탄성 수지로 형성되고, 리지드 기판(3) 및 유연층(4)의 각 배선층은 예를 들면 구리(Cu)로 이루어지는 금속막으로 형성되어 있다. 절연막(9)은 예를 들면 폴리이미드계의 수지로 형성되어 있다. 이 절연막(9)은 납땜 부품(본 실시 형태에서 17, 18, 19)에 대하여 실장 시의 땜납 퍼짐성을 제어하여, 플립 칩 부품(본 실시 형태로서는 10, 12, 14)에 대해서는 실장 시에 있어서의 접착용 수지와의 접착력의 확보를 담당한다.

<77> 베퍼용 칩(10), 메모리용 칩(12), 제어용 칩(14) 및 연산용 칩(16)의 평면 형상은 사각형으로 형성되어 있다. 본 실시 형태에 있어서, 베퍼용 칩(10) 및 메모리용 칩(12)은 예를 들면 장방형으로 형성되고, 제어용 칩(14) 및 연산용 칩(16)은 예를 들면 정방형으로 형성되어 있다.

<78> 베퍼용 칩(10), 메모리용 칩(12), 제어용 칩(14) 및 연산용 칩(16)은 이에 한정되지 않지만, 주로, 반도체 기판과 이 반도체 기판의 회로 형성면 상에 있어 절연층, 배선층 각각을 복수단을 여러 겹으로 중첩한 다층 배선층과, 이 다층 배선층을 덮도록 형성된 표면 보호막(최종 보호)를 갖는 구성으로 되어 있다. 반도체 기판은 예를 들면 단결정 실리콘으로 형성되어, 절연층은 예를 들면 산화 실리콘막으로 형성되고, 배선층은 예를 들면 알루미늄(Al) 또는 알루미늄 합금 등의 금속막으로 형성되어 있다. 메모리용 칩(12)의 표면 보호막은 예를 들면 메모리에서의 내-a 선 강도의 향상을 도모할 수 있는 폴리이미드계의 수지로 형성되어 있다. 베퍼용 칩(10), 제어용 칩(14) 및 연산용 칩(16)의 표면 보호막은 예를 들면 산화 실리콘 또는 질화 실리콘 등의 절연막 및 유기 절연막으로 형성되어 있다. 또한, 연산용 칩(16)은 베퍼용 칩(10)과 거의 마찬가지의 구성으로 되어 있기 때문에, 연산용 칩(16)에 관해서는 이하의 설명을 생략한다.

<79> 베퍼용 칩(10), 메모리용 칩(12) 및 제어용 칩(14)에 있어서, 각 칩의 상호 대향하는 하나의 주면 및 다른 주면 중의 하나의 주면인 회로 형성면(10X, 12X, 14X)에는 도 3 내지 도 5 및 도 7에 도시한 바와 같이, 복수의 전극 패드(10a, 12a, 14a)가 형성되어 있다. 각 칩의 복수의 전극 패드(10a, 12a, 14a)는 각 칩의 다층 배선층 중의 최상층의 배선층에 형성되고, 각 칩의 표면 보호막에 형성된 본딩 개구에 의해서 노출되어 있다.

<80> 베퍼용 칩(10)의 복수의 전극 패드(10a)는 도 7의 (a)에 도시한 바와 같이, 베퍼용 칩(10)의 회로 형성면(10X)의 각 변측에 이 각 변에 따라 배치되어 있다. 메모리용 칩(12)의 복수의 전극 패드(12a)는 도 7의 (b)에 도시한 바와 같이, 메모리용 칩(12)의 회로 형성면(12X)의 상호 교차하는 긴 변 방향(X 방향) 및 짧은 변 방향(Y 방향)의 두개의 중심선 중에서, 긴 변 방향의 중심선에 따르는 중앙 영역에서 이 중앙 영역에 따라 배치되어 있다. 제어용 칩(14)의 복수의 전극 패드(14a)는 도 7의 (c)에 도시한 바와 같이, 제어용 칩(14)의 회로 형성면(14X)의 각 변측에 이 각 변에 따라 배치되어 있다. 즉, 베퍼용 칩(10) 및 제어용 칩(14)의 전극 패드는 4변의 패드 배열로 배치되고, 메모리용 칩(12)의 전극 패드(12a)는 중앙 패드 배열로 배치되어 있다.

<81> 베퍼용 칩(10)의 각 전극 패드(10a) 상에는 도 8의 (a)에 도시한 바와 같이, 돌기형 전극으로서 예를 들면 금(Au)으로 이루어지는 스터드 범프(11)가 형성되어 있다. 메모리용 칩(12)의 각 전극 패드(12a) 상에는 도 8의 (b)에 나타낸 바와 같이 돌기형 전극으로서 예를 들면 Au로 된 스터드 범프(13)가 형성되어 있다. 제어 칩(14)의 각 전극 패드(14a) 상에는 도 8의 (c)에 도시한 바와 같이, 돌기형 전극으로서 예를 들면 Au로 이루어지는 스터드 범프(15)가 형성되어 있다. 이들의 스터드 범프(11, 13, 15)는 예를 들면, Au 와이어를 사용하여, 열압착에 초음파 진동을 병용한 볼 본딩법에 의해서 형성되어 있다. 이 볼 본딩법은 Au 와이어의 선단부에 볼을 형성하고, 그 후, 초음파 진동을 제공하면서 칩의 전극 패드에 볼을 열압착하고, 그 후, 볼의 부분에서 Au 와이어를 절단하여 범프를 형성하는 방법이다. 따라서, 전극 패드 상에 형성된 스터드 범프는 전극 패드에 대하여 견고하게 접속되어 있다.

<82> 배선 기판(1)에서 유연층(4)의 최상층의 배선층에는 상세히 도시하지 않지만, 복수의 배선(5)(도 3 참조), 복수의 배선(6)(도 4 참조), 복수의 배선(7)(도 5 참조) 및 복수의 전극 패드(8)(도 6 참조)가 형성되어 있다.

<83> 도 3에 도시한 바와 같이, 복수의 배선(5) 각각은 각각의 일부분으로 이루어지는 접속부(5a)를 지니고, 각각의

접속부(5a)는 절연막(9)에 형성된 개구(9a)에 의해서 노출되어 있다. 복수의 배선(5) 각각의 다른 부분은 절연막(9)으로 덮여 있다. 복수의 배선(5) 각각의 접속부(5a)는 베퍼용 칩(10)의 복수의 전극 패드(10a)와 대응하고 배치되어 있다.

<84> 도 4에 도시한 바와 같이, 복수의 배선(6) 각각은 각각의 일부분으로 이루어지는 접속부(6a)를 지니고, 각각의 접속부(6a)는 절연막(9)에 형성된 개구(9b)에 의해서 노출되어 있다. 복수의 배선(6) 각각의 다른 부분은 절연막(9)으로 덮여 있다. 복수의 배선(6) 각각의 접속부(6a)는 메모리용 칩(12)의 복수의 전극 패드(12a)와 대응하여 배치되어 있다.

<85> 도 5에 도시한 바와 같이, 복수의 배선(7) 각각은 각각의 일부분으로 이루어지는 접속부(7a)를 지니고, 각각의 접속부(7a)는 절연막(9)에 형성된 개구(9c)에 의해서 노출되어 있다. 복수의 배선(7) 각각의 다른 부분은 절연막(9)으로 덮여 있다. 복수의 배선(7) 각각의 접속부(7a)는 제어용 칩(14)의 복수의 전극 패드(14a)와 대응하여 배치되어 있다.

<86> 도 6에 도시한 바와 같이, 복수의 전극 패드(8) 각각은 절연막(9)에 형성된 개구(9d)에 의해서 노출되어 있다. 이 복수의 전극 패드(8) 각각은 유연층(4)의 최상층의 배선층에 형성된 복수의 배선 각각의 일부분으로 형성되고, 이 복수의 배선 각각의 다른 부분은 절연막(9)으로 덮여 있다.

<87> 복수의 접속부(5a)는 개구(9a)의 저부에 배치되고, 복수의 접속부(6a)는 개구(9b)의 저부에 배치되고, 복수의 접속부(7a)는 개구(9c)의 저부에 배치되며, 복수의 전극 패드(8)는 개구(9d)의 저부에 배치되어 있다. 즉, 배선 기판(2)은 하나의 주면(2X)의 표층부에, 하나의 주면(2X)에서 깊이 방향으로 하나의 주면(2X)보다 깊은 위치에 배치된 복수의 접속부(5a, 6a, 7a) 및 복수의 전극 패드(8)를 갖는 구성으로 되어 있다.

<88> 도 3에 도시한 바와 같이, 베퍼용 칩(10)은 그 회로 형성면(10X)가 배선 기판(2)의 하나의 주면(2X)과 마주 보는 상태로 실장되어 있다. 베퍼용 칩(10)과 배선 기판(2) 사이에는 접착용 수지로서 예를 들면 이방 도전성 수지(20)가 개재되고, 이러한 이방 도전성 수지(20)에 의해서 베퍼용 칩(10)은 배선 기판(2)에 접착 고정되어 있다.

<89> 복수의 스타드 범프(11)는 베퍼용 칩(10)의 각 전극 패드(10a)와 배선 기판(2)의 각 접속부(5a) 사이에 배치되어, 각각을 전기적으로 접속하고 있다. 스타드 범프(11)는 배선 기판(2)과 베퍼용 칩(10) 사이에 개재된 이방 도전성 수지(20)의 열수축력(가열 상태에서 상온 상태로 되돌아갈 때 생기는 수축력)이나 열 경화수축력(열 경화성 수지의 경화시에 생기는 수축력) 등에 의해서, 배선 기판(2)의 접속부(5a)에 압축 접합되어 있다. 또한, 스타드 범프(11)와 배선 기판(2)의 접속부(5a) 사이에는 이방 도전성 수지(20)로 다수 혼입된 도전성 입자 중의 일부가 개재되어 있다.

<90> 배선 기판(2)의 접속부(5a)에는 배선 기판(2)의 깊이 방향으로 오목하게 들어가는 오목부가 형성되어 있다. 이 오목부의 내부에서 스타드 범프(11)와 접속부(5a)가 접속되어 있다. 이와 같이, 오목부의 내부에서 스타드 범프(11)와 접속부(5a)를 접속함으로써, 오목부의 오목부 량에 상당하는 만큼, 배선 기판(2)의 하나의 주면(2X)과 베퍼용 칩(10)의 회로 형성면(10X) 사이에서의 이방 도전성 수지(20)의 체적을 작게 할 수 있다.

<91> 스타드 범프(11)는 절연막(9)에 형성된 개구(9a)를 통해서 개구(9a)의 바닥에 배치된 접속부(5a)와 접속되어 있다. 즉, 스타드 범프(11)는 배선 기판(2)의 하나의 주면(2X)에서 깊이 방향으로 상기 하나의 주면(2X)보다 깊은 위치에 배치된 접속부(5a)와 접속되어 있다. 이와 같이, 배선 기판(2)의 하나의 주면보다 깊은 위치에 접속부(5a)를 배치함으로써, 배선 기판(2)의 하나의 주면(2X)에서 접속부(5a)까지의 깊이에 상당하는 만큼, 배선 기판(2)의 하나의 주면(2X)과 베퍼용 칩(10)의 회로 형성면(10X) 사이에서의 이방 도전성 수지(20)의 체적을 작게 할 수 있다.

<92> 접속부(5a)의 오목부는 접속부(5a) 및 유연층(4)의 탄성 변형에 의해서 형성되어 있다. 접속부(5a) 및 유연층(4)의 탄성 변형에 의한 오목부는 배선 기판(2)의 하나의 주면 상에 베퍼용 칩(10)을 실장할 때의 압착력에 의해서 형성할 수 있다. 접속부(5a) 및 유연층(4)의 탄성 변형에 의해서 오목부를 형성한 경우, 스타드 범프(11)에 접속부(5a) 및 유연층(4)의 탄성력이 작용하기 때문에, 스타드 범프(11)와 접속부(5a)의 압축 접합력이 증가한다.

<93> 또한, 이방 도전성 수지(20)의 두께 방향의 팽창에 의해서 배선 기판(2)의 하나의 주면(2X)과 베퍼용 칩(10)의 회로 형성면(10X) 사이의 간격이 넓어지고, 이에 따라 스타드 범프(11)가 상측으로 이동해도 스타드 범프(11)의 이동에 따라 접속부(5a)의 오목부의 오목부 량이 변화하기 때문에, 배선 기판(2)의 접속부(5a)와 스타드 범프

(11)와의 접속을 확보할 수 있다.

<94> 도 4에 도시한 바와 같이, 메모리용 칩(12)은 그 회로 형성면(12X)가 배선 기판(2)의 하나의 주면(2X)과 마주 보는 상태로 실장되어 있다. 메모리용 칩(12)과 배선 기판(2) 사이에는 접착용 수지로서 예를 들면 이방 도전 성 수지(20)가 개재되고, 이러한 이방 도전성 수지(20)에 의해서 메모리용 칩(12)은 배선 기판(2)에 접착 고정되어 있다.

<95> 복수의 스터드 범프(13)는 메모리용 칩(12)의 각 전극 패드(12a)와 배선 기판(2)의 각 접속부(6a) 사이에 배치되고, 각각을 전기적으로 접속하고 있다. 스터드 범프(13)는 배선 기판(2)과 메모리용 칩(12) 사이에 개재된 이방 도전성 수지(20)의 열수축력이나 열 경화수축력 등에 의해서 배선 기판(2)의 접속부(6a)에 압축 접합되어 있다. 또한, 스터드 범프(13)와 배선 기판(1)의 접속부(6a) 사이에는 이방 도전성 수지(20)로 다수 혼입된 도전성 입자 중의 일부가 개재되어 있다.

<96> 배선 기판(2)의 접속부(6a)에는 배선 기판(2)의 깊이 방향에 우뚝하게 들어가는 오목부가 형성되어 있다. 이 오목부의 내부에서 베퍼용 칩(10)의 경우와 마찬가지로 스터드 범프(13)와 접속부(6a)가 접속되어 있다. 스터드 범프(13)는 절연막(9)에 형성된 개구(9b)를 통해서 개구(9b)의 바닥에 배치된 접속부(6a)와 접속되어 있다. 즉, 스터드 범프(13)는 베퍼용 칩(10)의 경우와 마찬가지로, 배선 기판(2)의 하나의 주면(2X)에서 깊이 방향으로 상기 하나의 주면(2X)보다 깊은 위치에 배치된 접속부(6a)와 접속되어 있다.

<97> 도 5에 도시한 바와 같이, 제어용 칩(14)은 그 회로 형성면(14X)가 배선 기판(2)의 하나의 주면(2X)과 마주 보는 상태로 실장되어 있다. 제어용 칩(14)과 배선 기판(2) 사이에는 접착용 수지로서 예를 들면 이방 도전성 수지(20)가 개재되고, 이러한 이방 도전성 수지(20)에 의해서 제어용 칩(14)은 배선 기판(2)에 접착 고정되어 있다.

<98> 복수의 스터드 범프(15)는 제어용 칩(14)의 각 전극 패드(14a)와 배선 기판(2)의 각 접속부(7a) 사이에 배치되어, 각각을 전기적으로 접속되어 있다. 스터드 범프(15)는 배선 기판(2)과 제어용 칩(14) 사이에 개재된 이방 도전성 수지(20)의 열수축력이나 열 경화수축력 등에 의해서, 배선 기판(2)의 접속부(7a)에 압축 접합되어 있다. 또한, 스터드 범프(15)와 배선 기판(2)의 접속부(7a) 사이에는 이방 도전성 수지(20)로 다수 혼입된 도전성 입자 중의 일부가 개재되어 있다.

<99> 배선 기판(2)의 접속부(7a)에는 배선 기판(2)의 깊이 방향에 우뚝하게 들어가는 오목부가 형성되어 있다. 이 오목부의 내부에서 베퍼용 칩(10)의 경우와 마찬가지로 스터드 범프(15)와 접속부(7a)가 접속되어 있다. 스터드 범프(15)는 절연막(9)에 형성된 개구(9c)를 통해서 개구(9c)의 바닥에 배치된 접속부(7a)와 접속되어 있다. 즉, 스터드 범프(15)는 베퍼용 칩(10)의 경우와 마찬가지로, 배선 기판(2)의 하나의 주면(2X)에서 깊이 방향으로 상기 하나의 주면(2X)보다 깊은 위치에 배치된 접속부(7a)와 접속되어 있다.

<100> 도 6에 도시한 바와 같이, 캐패시터(17)의 전극(17a)는 배선 기판(2)의 전극 패드(8)에 땜납(21)에 의해서 전기적으로 또한 기계적으로 접속된다. 캐패시터의 전극(17a)과 배선 기판(2)의 전극 패드(8)와의 접속은 땜납(21)이 펴지는 것을 제어하기 위해서, 절연막(9)에 형성된 개구(9d)를 통해서 행해지고 있다. 또한, 캐패시터(18) 및 저항 소자(19)에 있어서도 캐패시터(17)와 마찬가지로 하여 실장되고 있다.

<101> 도 7에 도시한 바와 같이, 베퍼용 칩(10)의 패드 배열 피치 P1은 예를 들면 110 [ $\mu\text{m}$ ] 정도로 설정되어 있다. 메모리용 칩(12) 및 제어용 칩(14)의 패드 배열 피치(P2, P3)는 예를 들면 80 [ $\mu\text{m}$ ] 정도로 설정되어 있다. 칩의 전극 패드는 패드 배열 피치에 의해서 평면 크기가 정해지기 때문에, 패드 배열 피치가 좁게 됨에 따라 작아진다. 한편, 칩의 전극 패드 상에 형성되는 스터드 범프는 전극 패드의 평면 크기에 의해서 크기가 정해지기 때문에, 전극 패드의 평면 크기가 작아짐에 따라 높이가 낮게 된다. 즉, 메모리용 칩(12) 및 제어용 칩(14)의 전극 패드 상에 형성된다. 스터드 범프(13, 15)는 베퍼용 칩(10)의 전극 패드 상에 형성된 스터드 범프(11)보다 높이가 낮게 된다.

<102> 배선 기판(2)의 하나의 주면(2X)에서 그 접속부(5a, 6a, 7a)까지의 깊이보다 스터드 범프의 높이가 높은 칩에서는 배선 기판(2)의 접속부와 스터드 범프와의 접속을 용이하게 행할 수 있지만, 배선 기판(2)의 하나의 주면(2X)에서 그 접속부까지의 깊이보다 스터드 범프의 높이가 낮은 칩에서는 배선 기판(2)의 접속부와 스터드 범프와의 접속이 곤란해진다.

<103> 그래서, 패드 배열 피치가 좁은 즉 전극 패드의 평면 크기가 작은 칩에서는 스터드 범프를 다단 범프 구조로 하여 높이를 얻는 것이 유효하다. 본 실시 형태에 있어서, 베퍼용 칩(10)의 스터드 범프(11)는 도 3에 도시한 바와 같이, 일단(single stage) 범프 구조로 되어 있다. 메모리용 칩(12)의 스터드 범프(13)는 도 4에 도시한 바

와 같이, 전극 패드(12a) 상에 형성된 베이스 범프(13a)와 이 베이스 범프(13a) 상에 중첩된 중첩 범프(13b)를 갖는 이단 범프 구조로 되어 있다. 제어용 칩(14)의 스터드 범프(15)는 도 5에 도시한 바와 같이, 전극 패드(14a) 상에 형성된 베이스 범프(13a)와 이 베이스 범프(13a) 상에 중첩된 중첩 범프(13b)를 갖는 이단 범프 구조로 되어 있다. 도 8에 도시한 바와 같이, 스터드 범프(11)의 높이 T1, 스터드 범프(13)의 높이 T2 및 스터드 범프(15)의 높이 T3는 거의 동일하게 되어 있다.

<104> 이와 같이 하여 배열 피치가 다른 각 칩의 스터드 범프의 높이를 거의 동일하게 함으로써, 패드 배열 피치가 좁은 메모리용 칩(12) 및 제어용 칩(14)에 있어서도 배선 기판(2)의 접속부(6a, 7a)에 스터드 범프(13, 15)를 접속할 수 있다.

<105> 도 7의 (b)에 도시한 바와 같이, 메모리용 칩(12)의 전극 패드(12b)는 중앙 패드 배열로 되어 있다. 이것에 따라, 도 9에 도시한 바와 같이, 전극 패드(12b) 상에 형성된 스터드 범프(13)도 중앙 범프 배열로 된다. 이와 같이 스터드 범프(13)가 중앙 범프 배열의 메모리용 칩(12)을 플립 칩 실장에 이용한 경우, 메모리용 칩(12)의 균형을 잡을 수 없기 때문에, 배선 기판(2)의 하나의 주면(2X)에 대하여 메모리용 칩(12)이 기울어진다.

<106> 그래서, 균형이 잡히지 않은 범프 배열의 메모리용 칩(12)에 있어서는 배선 기판(2)의 하나의 주면(2X)에서 깊이 방향으로 상기 하나의 주면(2X)보다 깊은 위치에 배선 기판(2)의 접속부(6a)를 배치하는 것이 유효하다. 본 실시 형태에 있어서, 접속부(6a)는 도 4에 도시한 바와 같이, 접속부(6a)보다 상층에 형성된 절연막(9)에 의해서, 배선 기판(2)의 하나의 주면(2X)보다 깊은 위치에 배치되어 있다. 이와 같이 하여 접속부(6a)를 배치함으로써, 메모리용 칩(12)을 플립 칩 실장할 때, 배선 기판(2)의 하나의 주면(2X)에서 접속부(6a)까지의 깊이에 의해서 스터드 범프(13)의 높이가 흡수되고, 이에 따라 배선 기판(2)의 하나의 주면(2X)과 반도체 칩(12)의 회로 형성면(12X) 사이의 간격이 좁게 되기 때문에, 배선 기판(2)의 하나의 주면(2X)에 대한 메모리용 칩(12)의 기울기를 억제할 수 있다.

<107> 또, 배선 기판(2)의 하나의 주면(2X)보다 깊은 위치에 접속부(6a)를 배치하여, 배선 기판(2)의 하나의 주면(2X)에 대한 메모리용 칩(12)의 기울기를 억제하기 위해서는 절연막(9)이 메모리용 칩(12)의 주연부를 걸쳐 존재하도록 절연막(9) 및 개구(9b)를 형성할 필요가 있다. 즉, 절연막(9)의 평면 크기를 메모리용 칩(12)의 평면 크기보다 크게 하여, 개구(9a)의 평면 크기를 메모리용 칩(12)의 평면 크기보다 작게 한다. 본 실시 형태에 있어서, 절연막(9)은 배선 기판(2)의 하나의 주면의 거의 전역을 덮는 평면 크기로 형성되고, 개구(9b)는 메모리용 칩(12)의 평면 크기보다 작은 평면 크기로 형성되어 있다. 또한, 개구(9b)는 배선 기판(2)의 접속부(6a)의 배열 방향에 따르는 장방형의 평면 형상으로 형성되어 있다.

<108> 다음으로, MCM1의 제조 방법에 대하여, 도 11 내지 도 15를 이용하여 설명한다.

<109> 도 11은 다단 범프 구조의 스터드 범프 형성 공정을 설명하기 위한 모식적 단면도이고, 도 12는 베퍼용 칩 실장 공정을 설명하기 위한 모식적 단면도이고, 도 13은 베퍼용 칩 실장 공정을 설명하기 위한 모식적 단면도이고, 도 14는 메모리용 칩 실장 공정을 설명하기 위한 모식적 단면도이고, 도 15는 메모리용 칩 실장 공정을 설명하기 위한 모식적 단면도이다.

<110> 우선, 배선 기판(2) 상에 실장하는 전자 부품(10, 12, 14, 16, 17, 18, 19)을 준비한다.

<111> 다음으로, 베퍼용 칩(10), 메모리용 칩(12), 제어용 칩(14) 및 연산용 칩(16)의 각 전극 패드 상에, 볼 본딩법으로 스터드 범프를 형성한다. 베퍼용 칩(10) 및 연산용 칩(16)에 있어서는 일단 범프 구조의 스터드 범프를 형성한다. 메모리용 칩(12) 및 제어용 칩(14)에 있어서는 다단 범프 구조(본 실시 형태로서는 이단)의 스터드 범프를 형성한다. 이단 범프 구조의 스터드 범프는 메모리용 칩(12)으로 설명하면, 우선, 히트 스테이지(25) 상에 메모리용 칩(12)을 장착하고, 그 후, 도 11의 (a)에 도시한 바와 같이, 메모리용 칩(12)의 전극 패드(12a) 상에 볼 본딩법으로 베이스 범프(13a)를 형성하고, 그 후, 도 11의 (b)에 도시한 바와 같이, 베이스 범프(13a) 상에 중첩 범프(13b)를 형성함으로써 얹어진다. 중첩 범프(13b) 상에 중첩 범프를 더 형성함으로써, 삼단 범프 구조 또는 그 이상의 다단 범프 구조의 스터드 범프를 형성할 수도 있다.

<112> 다음으로, 배선 기판(2)의 하나의 주면(2X)의 베퍼용 칩 탑재 영역에, 시트형(필름형)으로 가공된 이방 도전성 수지(20)를 접착한다. 이방 도전성 수지(20)로서는 예를 들면, 에폭시계의 열 경화성 수지로 다수의 도전성 입자가 혼입된 것을 이용한다.

<113> 다음으로, 배선 기판(2)을 스테이지(26A)에 장착하고, 그 후, 도 12에 도시한 바와 같이, 배선 기판(2)의 하나의 주면(2X)의 베퍼용 칩 탑재 영역 상에 이방 도전성 수지(20)를 개재하여, 베퍼용 칩(10)을 장착한다. 베퍼

용 칩(10)의 장착은 그 회로 형성면(10X)가 배선 기판(2)의 하나의 주면(2X)과 마주 보는 상태에서 행한다.

<114> 다음으로, 배선 기판(2)을 히트 스테이지(26B)에 장착하고, 그 후, 도 13에 도시한 바와 같이, 가열하면서 틀(27)로 베퍼용 칩(10)을 압착하여 배선 기판(2)의 접속부(5a)에 스터드 범프(11)를 접속하고, 그 후, 이방 도전성 수지(20)가 경화할 때까지 압착 상태를 유지한다. 이 때, 스터드 범프(11)는 배선 기판(2)의 접속부(5a)에 압축 접합된다. 이 공정에서, 배선 기판(2)의 하나의 주면(2X)에서 접속부(5a)까지의 깊이를 스터드 범프(11)의 높이보다 얇게 함으로써, 배선 기판(2)의 접속부(5a)에서, 스터드 범프(11)가 접속된 부분에 베퍼용 칩(11)의 압착력에 의해서 오목부가 형성된다. 또한, 이 오목부의 내부에서 배선 기판(2)의 접속부(5a)와 스터드 범프(11)가 접속된다. 또한, 오목부는 접속부(5a)와 유연층(4)의 탄성 변형에 의해서 형성되기 때문에, 스터드 범프(11)에는 접속부(5a) 및 유연층(4)의 탄성력이 작용한다.

<115> 다음으로, 베퍼용 칩(11)과 마찬가지의 방법에 의해, 배선 기판(2)의 하나의 주면(2X)의 연산용 칩 탑재 영역에 연산용 칩(16)을 실장한다.

<116> 다음으로, 배선 기판(2)의 하나의 주면(2X)의 베퍼용 칩 탑재 영역에, 시트형(필름형)으로 가공된 이방 도전성 수지(20)를 접착한다. 이방 도전성 수지(20)로서는 예를 들면, 에폭시계의 열 경화성 수지로 다수의 도전성 입자가 혼입된 것을 이용한다.

<117> 다음으로, 배선 기판(2)을 스테이지(26A)에 장착하고, 그 후, 도 14에 도시한 바와 같이, 배선 기판(2)의 하나의 주면(2X)의 메모리용 칩 탑재 영역 상에, 이방 도전성 수지(20)를 개재하여, 메모리용 칩(12)을 장착한다. 메모리용 칩(12)의 장착은 그 회로 형성면(12X)가 배선 기판(2)의 하나의 주면(2X)과 마주 보는 상태에서 행한다.

<118> 다음으로, 배선 기판(2)을 히트 스테이지(26B)에 장착하고, 그 후, 도 15에 도시한 바와 같이, 가열하면서 틀(28)로 메모리용 칩(12)을 압착하여 배선 기판(2)의 접속부(6a)에 스터드 범프(13)를 접속하고, 그 후, 이방 도전성 수지(20)가 경화할 때까지 압착 상태를 유지한다. 이 때, 스터드 범프(13)는 배선 기판(2)의 접속부(6a)에 압축 접합된다. 이 공정에서, 베퍼용 칩(10)과 마찬가지로, 스터드 범프(11)가 접속된 접속부(6a)의 부분에 메모리용 칩(12)의 압착력에 의해서 오목부가 형성된다. 또한, 이 오목부의 내부에서 배선 기판(2)의 접속부(6a)와 스터드 범프(13)가 접속된다. 또한, 오목부는 접속부(6a)와 유연층(4)의 탄성 변형에 의해서 형성되기 때문에, 스터드 범프(13)에는 접속부(6a) 및 유연층(4)의 탄성력이 작용한다.

<119> 또한, 이 공정에서 스터드 범프(13)는 다단 범프 구조로 되어 있기 때문에, 패드 배열 피치가 좁은 메모리용 칩(12)에 있어서도, 배선 기판(2)의 접속부(6a)에 스터드 범프(13)를 접속하는 것이 가능하게 된다.

<120> 또한, 이 공정에서 접속부(6a)는 접속부(6a)보다 상층에 형성된 절연막(9)에 의해서 배선 기판(2)의 하나의 주면(2X)보다 깊은 위치에 배치되어 있기 때문에, 배선 기판(2)의 하나의 주면(2X)에서 접속부(6a)까지의 깊이에 의해서 스터드 범프(13)의 높이가 흡수되어, 이것에 따라 배선 기판(2)의 하나의 주면(2X)과 반도체 칩(12)의 회로 형성면(12X) 사이의 간격이 좁게 된다. 배선 기판(2)의 하나의 주면(2X)과 메모리용 칩(12)의 회로 형성면(12X) 사이의 간격이 좁게 되면, 예를 들면 실장 공정의 도중에 메모리용 칩(12)이 기울어지더라도 배선 기판(2)의 하나의 주면(2X)이 메모리용 칩(12)을 지지하기 때문에, 실장 후의 구조에 문제가 될 정도로 메모리용 칩(12)이 기우는 것을 막을 수 있다.

<121> 또한, 칩을 접착 고정하는 접착용 수지 중에 예를 들면 도전성 입자나, 실리카의 필러 등, 입자 형태의 물질이 포함되는 경우에는 배선 기판(2)의 하나의 주면(2X)과 메모리용 칩(12)의 회로 형성면(12X) 사이에 상기 입자 형태의 물질이 샌드위치되기 때문에, 반도체 칩 실장 공정에서의 메모리용 칩(12)의 기울기는 보다 억제된다.

<122> 또한, 반도체 칩 실장 공정 중에서 접착용 수지(20)의 접도가 높은 경우에는 접착용 수지의 유동에 대한 저항력에 의해서 메모리용 칩(12)의 기울기는 억제된다. 따라서, 이들의 어느 하나의 기구에 의해, 배선 기판(2)의 하나의 주면(2X)에 대한 메모리용 칩(12)의 기울기를 억제할 수 있다.

<123> 다음으로, 메모리용 칩(13)과 마찬가지의 방법에 의해, 배선 기판(2)의 하나의 주면(2X)의 제어용 칩 탑재 영역에 제어용 칩(14)을 실장한다. 이 패드 배열 피치가 좁은 제어용 칩(14)에 있어서도, 배선 기판(2)의 접속부(7a)에 스터드 범프(15)를 접속할 수 있다.

<124> 또, 칩을 실장하는 순서는 이에 한정되는 것이 아니고, 예를 들면 메모리용 칩이나 제어용 칩을 먼저 실장해도 좋다.

<125> 다음으로, 배선 기판(2)의 전극 패드(8) 상에 페이스트형의 땜납(21)을 도포하고, 그 후, 각 전극 패드 상에 능

동 부품(17, 18, 19)을 배치하고, 그 후, 열 처리를 실시하여 페이스트형의 땜납(21)을 용융하여, 능동 부품의 전극과 배선 기판(2)의 전극 패드를 고착한다.

<126> 다음으로, 배선 기판(2)의 하나의 주면과 대향하는 이면에 배치된 복수의 전극 패드 각각의 표면 상에 접속용 단자로서 볼 형상의 땜납 범프(22)를 형성함으로써, 본 실시 형태의 MCM1이 거의 완성한다.

<127> 이와 같이, 본 실시 형태에 따르면, 이하의 효과가 얻어진다.

<128> (1) MCM1에 있어서, 복수의 접속부(6a)는 배선 기판(2)의 하나의 주면(2X)에서 깊이 방향으로 배선 기판(2)의 하나의 주면(2X)보다 깊은 위치에 배치되어 있다. 이러한 구성으로 함으로써, 균형이 잡히지 않은 범프 배열의 메모리용 칩(12)을 플립 칩 실장할 때, 배선 기판(2)의 하나의 주면(2X)에서 접속부(6a)까지의 깊이에 의해서 스터드 범프(13)의 높이가 흡수되고, 이에 따라 배선 기판(2)의 하나의 주면(2X)과 반도체 칩(12)의 회로 형성면(12X) 사이의 간격이 좁게 되기 때문에, 배선 기판(2)의 하나의 주면(2X)에 대한 메모리용 칩(12)의 기울기를 억제할 수 있다.

<129> (2) MCM1에 있어서, 배선 기판(2)은 상기 하나의 주면(2X)에 형성된 절연막(9)과, 이 절연막(9)에 형성된 개구(9b)와 이 개구(9b)의 저부에 배치된 접속부(6a)를 갖는 구성으로 되어 있다. 절연막(9)은 납땜 부품(본 실시 형태로서는 17, 18, 19)에 대하여 실장 시의 땜납 퍼짐성을 제어하여, 플립 칩 부품(본 실시 형태로서는 10, 12, 14)에 대해서는 실장 시에 있어서의 접착용 수지와의 접착력의 확보를 담당한다. 이러한 구성으로 함으로써, 배선 기판(2)의 하나의 주면(2X)에서 깊이 방향으로 배선 기판(2)의 하나의 주면(2X)보다 깊은 위치에 복수의 접속부(6a)가 배치된 배선 기판(2)을 용이하게 형성하는 것이 가능하게 되기 때문에, 대폭적인 비용의 증가를 초래하는 일없이, 균형이 잡히지 않은 범프 배열의 메모리용 칩(12)을 배선 기판(2)의 하나의 주면(2X) 상에 플립 칩 방식으로 실장한 MCM1를 제공할 수 있다.

<130> (3) MCM1에 있어서, 패드 배열 피치가 좁은 메모리용 칩(12) 및 제어용 칩(14)의 스터드 범프(13, 15)는 다단 범프 구조로 되어 있다. 이러한 구성으로 함으로써, 패드 배열 피치가 좁은 메모리용 칩(12) 및 제어용 칩(14)에 있어서도 배선 기판(2)의 접속부(6a, 7a)에 스터드 범프(13, 15)를 접속할 수 있기 때문에, 패드 배열 피치가 다른 베퍼용 칩(10), 메모리용 칩(12), 제어용 칩(14) 및 연산용 칩(16)을 하나의 배선 기판(2) 상에 실장 할 수 있다.

<131> 또, 본 실시 형태에서는 칩의 균형이 잡히지 않은 범프 배열로서, 중앙 범프 배열을 예로 하여 설명하였지만, 이 외에, 칩의 균형이 잡히지 않은 범프 배열은 도 16에 나타낸 바와 같다. 도 16의 (a)는 중앙 범프 배열에 있어서, 복수의 스터드 범프(13)를 지그재그형으로 배열한 범프 배열이다. 도 16의 (b)는 중앙 범프 배열에 있어서, 복수의 스터드 범프(13)를 현격한 차이에 배열한 범프 배열이다. 도 16의 (c)는 한-변 범프(one-side bump array) 배열이다. 또한, 이 외에, 칩의 회로 형성면을 한 방향으로 삼등분한 3가지 영역 중 어느 하나의 영역에 스터드 범프가 배치되어 있는 경우나, 범프를 연결하여 형성되는 다각형의 외측에 반도체 칩의 무게 중심이 어디에 있더라도 칩의 균형이 잡히지 않는다.

<132> 또한, 본 실시 형태에서는 스터드 범프(13)를 이단 범프 구조로 하여 스터드 범프(13)의 높이를 변 예에 대하여 설명하였으나, 배선 기판(2)의 하나의 주면(2X)에서 접속부(6a)까지의 깊이나, 전극 패드(12a)의 평면 크기의 크기에 따라서, 도 17에 도시한 바와 같이, 스터드 범프(13)는 전극 패드(12a)에 접속된 베이스 범프(13a)와 이 베이스 범프(13a)에 중첩된 중첩 범프(13b)와 이 중첩 범프(13b)에 중첩된 중첩 범프(13c)를 갖는 삼단 범프 구조로 하여도 좋다.

<133> 또한, 본 실시 형태에서는 범프 직경이 거의 동일한 베이스 범프(13a) 및 중첩 범프(13b)에서 이단 범프 구조의 스터드 범프(13)를 형성한 예에 대하여 설명하였지만, 도 18에 도시한 바와 같이, 범프 직경이 다른 베이스 범프(13a) 및 중첩 범프(13b)에서 이단 구조의 스터드 범프(13)를 형성해도 좋다. 이 경우, 볼 본딩법에 기초하여 스터드 범프를 형성할 때, 와이어 직경이 다른 Au 와이어를 이용하여, 범프 직경이 다른 베이스 범프(13a) 및 중첩 범프(13b)를 얻는 것이 가능하게 된다.

<134> 또한, 본 실시 형태에서는 반도체 칩의 전극 패드 상에 형성되는 돌기형 전극으로서 스터드 범프를 이용한 예에 대하여 설명하였지만, 이에 한정되는 것이 아니고, 예를 들면 Pb-Sn 조성의 땜납 범프를 이용하여도 좋다. 이 경우, 반도체 칩의 실장 시에 있어서의 열압착 온도보다 용접이 높은 재료로 이루어지는 땜납 범프를 이용한다.

<135> 또한, 본 실시 형태에서는 반도체 칩의 전극 패드와 배선 기판의 접속부 사이에 개재되는 돌기형 전극을 반도체 칩의 전극 패드 상에 사전에 형성한 예에 대하여 설명하였지만, 돌기형 전극은 배선 기판의 접속부 상에 사전에

형성해도 좋다.

<136> 또한, 본 실시 형태에서는 배선 기판에 반도체 칩을 접착 고정하는 접착용 수지로서 시트형의 이방 도전성 수지를 이용한 예에 대하여 설명하였지만, 이에 한정되는 것이 아니고, 예를 들면 페이스트형의 이방 도전성 수지(ACP : Anisotropic Conductive Paste)이나 시트형의 비 도전성 수지(NCF:Non Conductive Film)을 이용하여도 좋다.

<137> 본 실시 형태는 내습(moisture resistance) 시험을 했을 때의 접속 신뢰성의 향상을 도 19 및 도 20을 이용하여 설명한다. 도 19는 본 발명의 제2 실시예인 MCM에서, 메모리용 칩의 실장 상태를 나타내는 모식적 단면도이고, 도 20은 도 19의 일부를 확대한 모식적 단면도이다. 또한, 본 실시 형태의 스터드 범프(13)는 일단 구조로 되어 있다.

<138> 이방 도전성 수지(20)를 이용한 플립 칩 실장 구조에서는, 내습성 시험에 있어서의 접속 신뢰성의 확보가 중요하다. 본 발명자 등은 배선 기판(2)의 절연막(9)의 막 두께를 바꿔 내습성의 평가를 행한 결과, 절연막(9)의 두께를 얇게 함으로써, 배선 기판(2)의 접속부(6a)와 스터드 범프(13)와의 접속 수명이 향상하는 것을 알았다. 그 이유는 다음과 같이 생각된다.

<139> ACF 실장 방식에서는 메모리용 칩(12)을 예시와 같이, 배선 기판(2) 상에 이방 도전성 수지(20)를 개재하여 메모리용 칩(12)을 배치하고, 그 후, 가열하면서 배선 기판(2)에 메모리용 칩(12)을 압착하여, 배선 기판(2)에 메모리용 칩(12)을 접착 고정함과 함께, 배선 기판(2)의 접속부(6a)에 스터드 범프(13)를 전기적으로 접속하고 있다. 이 때, 절연막(9)의 개구(9b)의 내부에 이방 도전성 수지(20)가 충전된다. 경화 후의 이방 도전성 수지(20)는 흡습에 의해서 체적이 팽창하는 특성이 있다. 스터드 범프의 개구(9b) 중에 충전된 이방 도전성 수지(20)는 배선 기판(2)의 하나의 주면(2X)과 메모리용 칩(12)의 회로 형성면(12X) 사이에 충전된 이방 도전성 수지(20)와 비교하여 두께가 크기 때문에, 흡습에 따르는 팽창에 의해서 생기는 변위량도 커진다. 그리고, 이방 도전성 수지(20)의 흡습 팽창에 의해 배선 기판(2)의 하나의 주면(2X)과 메모리용 칩(12)의 회로 형성면(12X)와의 변위에, 배선 기판(2)의 유연층(4)의 탄성 변형으로부터의 회복이 따라갈 수 없게 되었을 때에 스터드 범프(13)와 배선 기판(2)의 접속부(6a)와의 접속 불량이 생긴다. 개구(9b)의 깊이는 절연막(9)의 두께로 정해지기 때문에, 절연막(9)의 두께가 얇게 됨에 따라 개구(9b)의 깊이가 얕게 되어, 이것에 따라 개구(9b)의 내부에 놓을 수 있는 이방 도전성 수지(20)의 체적이 작아진다. 이에 따라, 절연막(9)의 두께를 얇게 함으로써, 배선 기판의 접속부(6a)와 스터드 범프(13)와의 접속 수명 수자가 향상된다고 생각된다.

<140> 온도 85 °C / 습도 85%의 조건하에서 평가한 결과의 일례를 나타낸다.

<141> (1) 배선(6) 상에 놓을 수 있는 절연막(9)의 두께(9t)(도 20 참조)를 25[ $\mu\text{m}$ ]로 한 경우, 접속 수명은 96 h였다.

<142> (2) 배선(6) 상에 놓을 수 있는 절연막(9)의 두께(9t)를 20[ $\mu\text{m}$ ]로 한 경우, 접속 수명은 500 h 이상이었다.

<143> (3) 배선(6) 상에 놓을 수 있는 절연막(9)의 두께(9t)를 15[ $\mu\text{m}$ ]로 한 경우, 접속 수명은 500 h 이상이었다.

<144> 이러한 것부터, 배선(6) 상에 놓을 수 있는 절연막(9)의 두께(9t)는 20[ $\mu\text{m}$ ] 이하로 하는 것이 바람직하다.

<145> 또, 절연막(9)에는 다수의 필러가 혼입될 수 있지만, 이러한 경우, 혼입된 필러 중의 가장 입경이 큰 필러보다도 배선(6) 상에 놓을 수 있는 절연막(9)의 두께(9t)를 두껍게 할 필요가 있다. 가장 입경이 큰 필러보다 절연막(9)의 두께(9t)를 얇게 한 경우, 절연막(9)으로부터 필러(filler)가 튀어나간다(jump out).

<146> 또한, 이와 같이 신뢰성 향상을 위해 스터드 범프(13)를 작게 하여, 그것에 따라 칩하의 절연막(9)의 두께(9t)를 얇게 한 경우에, 절연막(9)의 두께(9t)가 주위에 형성되는 땜납 실장 부품의 땜납이 퍼지는 것을 제어하는데 적합하지 않을 정도로 얇게 된 경우에는 절연막(9)의 두께가 배선 기판(2) 상의 장소에 따라 최적이 되도록 변화시켜도 좋다.

<147> 이상, 본 발명자에 의해서 이루어진 발명을, 상기 실시 형태에 기초하고 구체적으로 설명하였으나, 본 발명은 상기 실시 형태에 한정되는 것이 아니고, 그 요지를 일탈하지 않은 범위에서 여러가지 변경 가능한 것은 물론이다.

## 발명의 효과

<148> 본원에 있어서 개시되는 발명 중 대표적으로 얻어지는 효과를 간단히 설명하면, 이하와 같다.

<149> 본 발명에 따르면, 배선 기판의 하나의 주면에 대한 반도체 칩의 기울기를 억제할 수 있다.

<150> 본 발명에 따르면, 배열 피치가 상이한 복수 종류의 반도체 칩을 동일 기판 상에 실장할 수 있다.

### 도면의 간단한 설명

<1> 도 1은 본 발명의 실시 형태1인 MCM(전자 장치)의 모식적 평면도.

<2> 도 2는 도 1의 MCM의 모식적 저면도.

<3> 도 3은 도 1의 MCM에 내장된 버퍼용 칩의 실장 상태를 나타내는 모식적 단면도.

<4> 도 4는 도 1의 MCM에 내장된 메모리용 칩의 실장 상태를 나타내는 모식적 단면도.

<5> 도 5는 도 1의 MCM에 내장된 제어용 칩의 실장 상태를 나타내는 모식적 단면도이다.

<6> 도 6은 도 1의 MCM에 내장된 캐퍼시터의 실장 상태를 나타내는 모식적 단면도.

<7> 도 7은 도 1의 MCM에 내장된 버퍼용 칩, 메모리용 칩 및 제어용 칩의 패드 배열을 부분적으로 나타내는 모식적 평면도.

<8> 도 8은 도 1의 MCM에 내장된 버퍼용 칩, 메모리용 칩 및 제어용 칩의 개략 구성을 나타내는 모식적 단면도.

<9> 도 9는 도 1의 MCM에 내장된 메모리용 칩의 개략 구성을 나타내는 모식적 평면도.

<10> 도 10은 도 1의 MCM에 사용된 배선 기판의 일부를 나타내는 모식적 단면도.

<11> 도 11은 본 발명의 제1 실시예인 MCM의 제조에 있어서, 메모리용 칩의 전극 패드 상에 스터드 범프를 형성하는 공정을 설명하기 위한 모식적 단면도.

<12> 도 12는 본 발명의 제1 실시예인 MCM의 제조에 있어서, 버퍼용 칩 실장 공정을 설명하기 위한 모식적 단면도.

<13> 도 13은 본 발명의 제1 실시예인 MCM의 제조에 있어서, 버퍼용 칩 실장 공정을 설명하기 위한 모식적 단면도.

<14> 도 14는 본 발명의 제1 실시예인 MCM의 제조에 있어서, 메모리용 칩 실장 공정을 설명하기 위한 모식적 단면도.

<15> 도 15는 본 발명의 제1 실시예인 MCM의 제조에 있어서, 메모리용 칩 실장 공정을 설명하기 위한 모식적 단면도.

<16> 도 16은 본 발명의 제1 실시예인 MCM에서, 다른 범프 배열 패턴을 나타내는 메모리용 칩의 모식적 평면도.

<17> 도 17은 본 발명의 제1 실시예의 제1 변형예인 MCM에 내장된 메모리용 칩의 실장 상태를 나타내는 모식적 단면도.

<18> 도 18은 본 발명의 제1 실시예의 제2 변형예인 MCM에 내장된 메모리용 칩의 실장 상태를 나타내는 모식적 단면도.

<19> 도 19는 본 발명의 제2 실시예인 MCM에 내장된 메모리용 칩의 실장 상태를 나타내는 모식적 단면도.

<20> 도 20은 도 19의 일부를 확대한 모식적 단면도.

<21> 도 21은 종래의 DRAM 칩의 평면 레이아웃 도면.

<22> <도면의 주요 부분에 대한 부호의 설명>

<23> 1 : MCM(전자 장치)

<24> 2 : 배선 기판

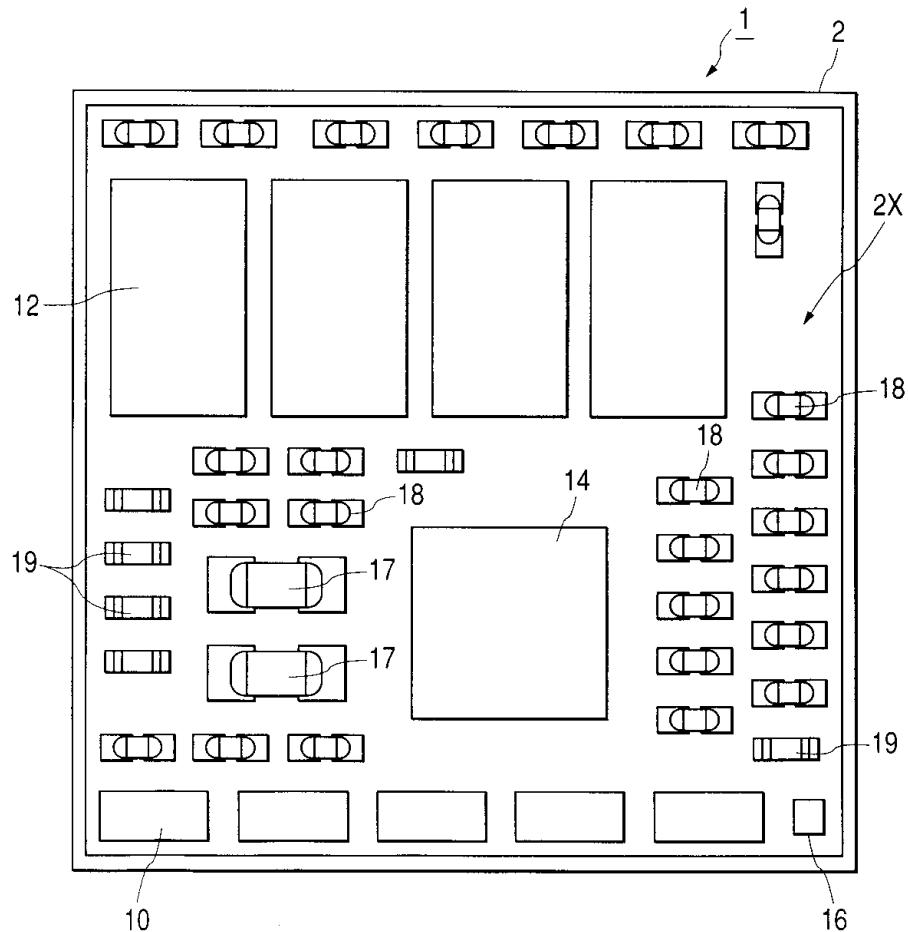
<25> 4 : 유연층

<26> 5, 6, 7 : 배선

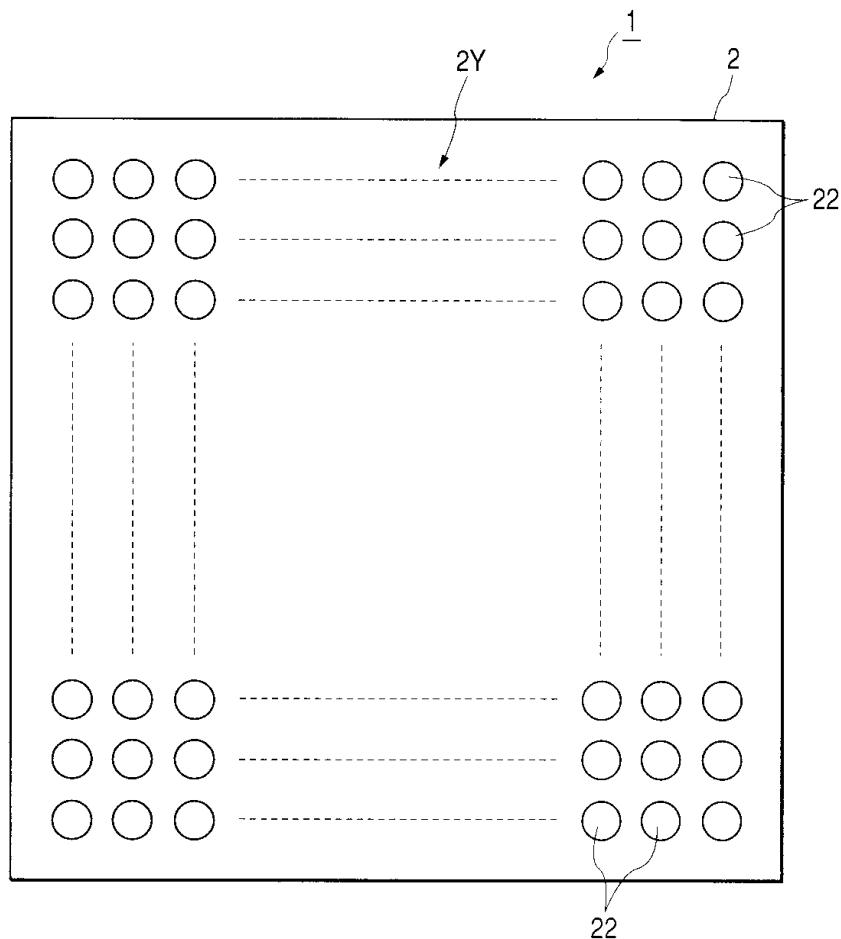
- <27> 5a, 6a, 7a : 접속부
- <28> 8 : 전극 패드
- <29> 9 : 절연막
- <30> 10 : 벼퍼용 칩
- <31> 19 : 저항 소자
- <32> 20 : 이방 유전성 수지
- <33> 21 : 땀납재

## 도면

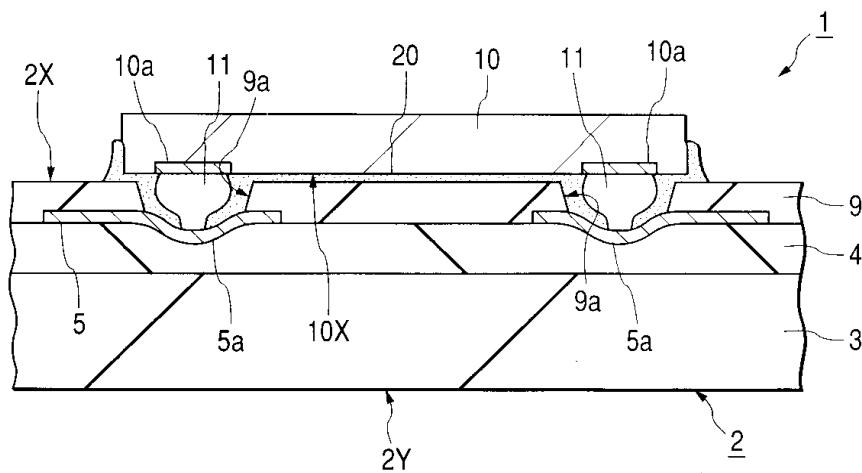
도면1



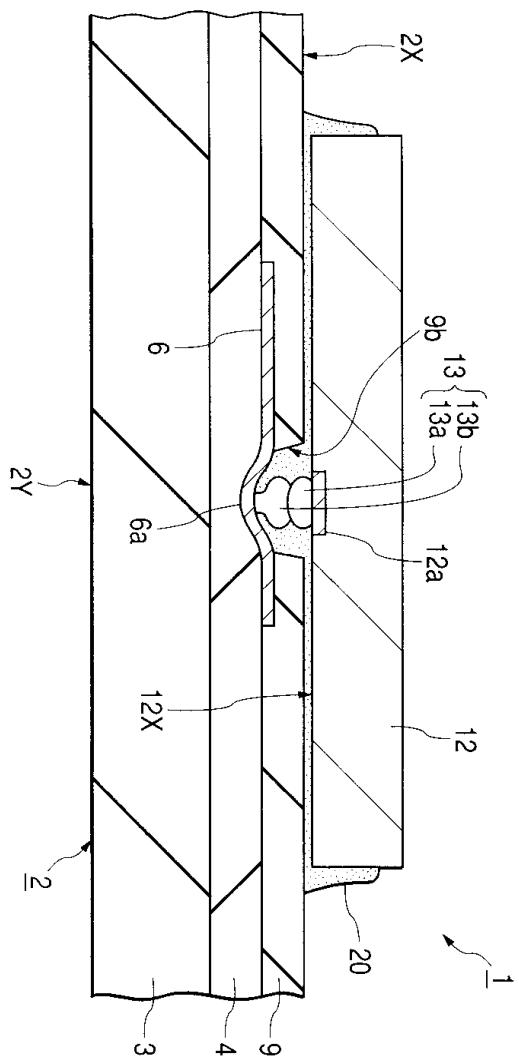
도면2



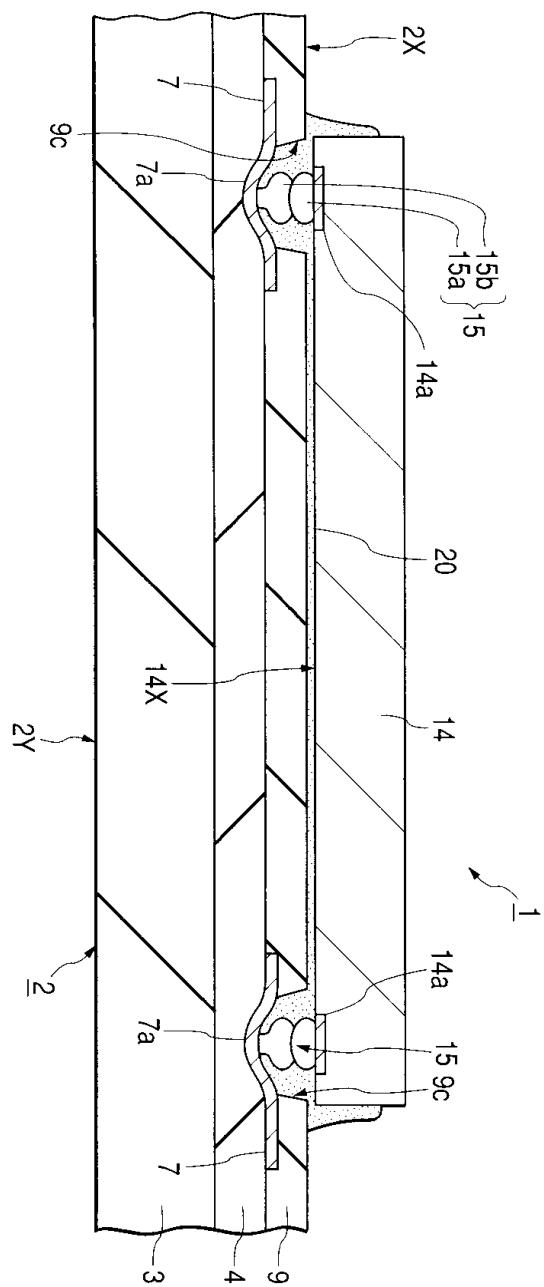
도면3



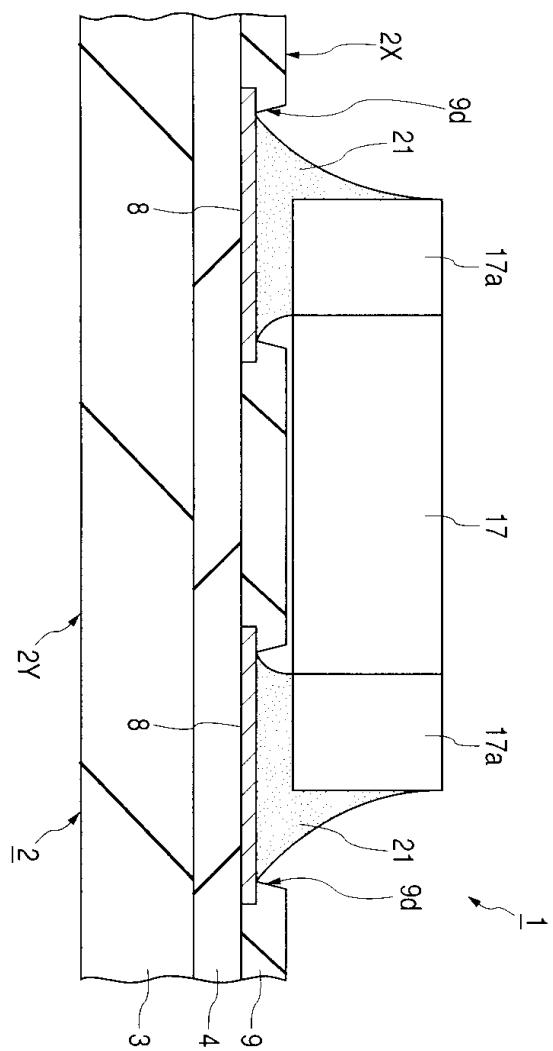
도면4



도면5

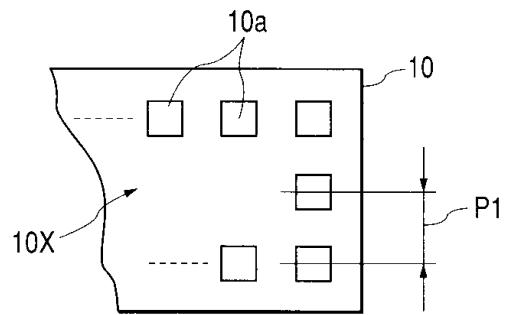


도면9

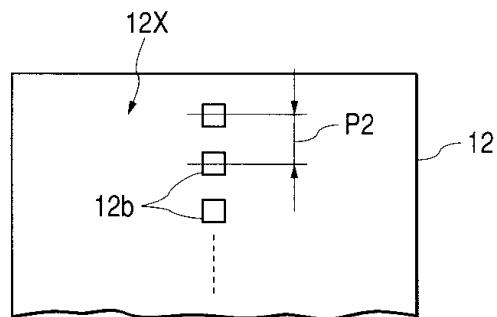


도면7

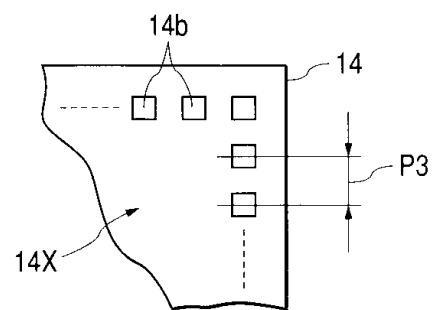
(a)



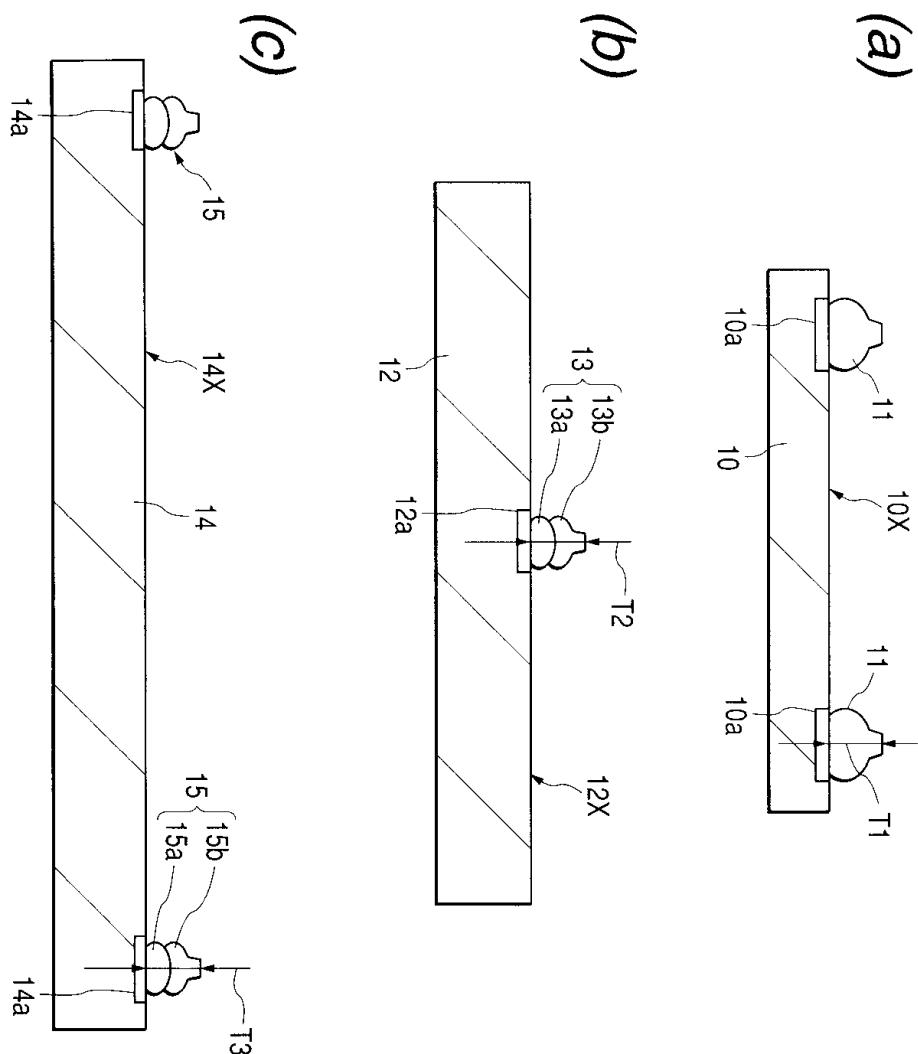
(b)



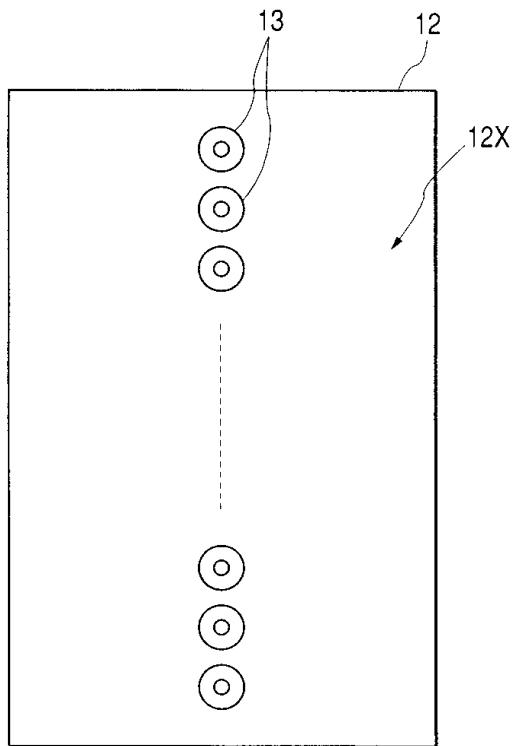
(c)



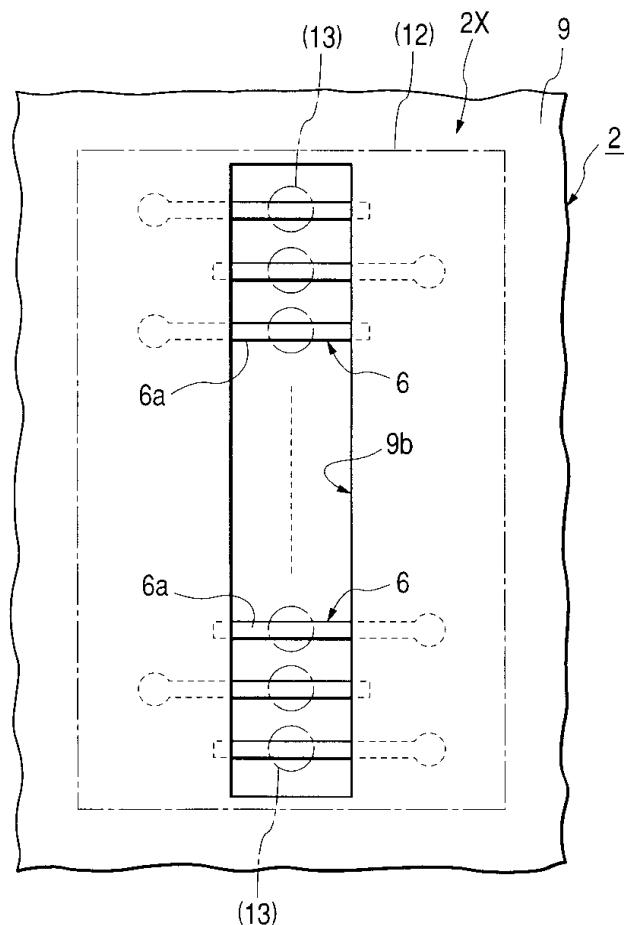
도면8



도면9

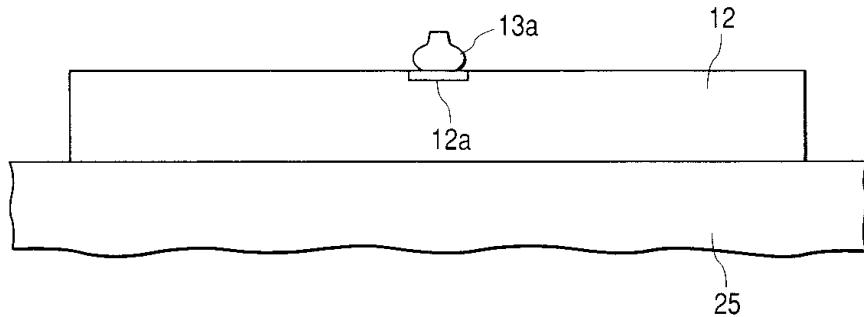


도면10

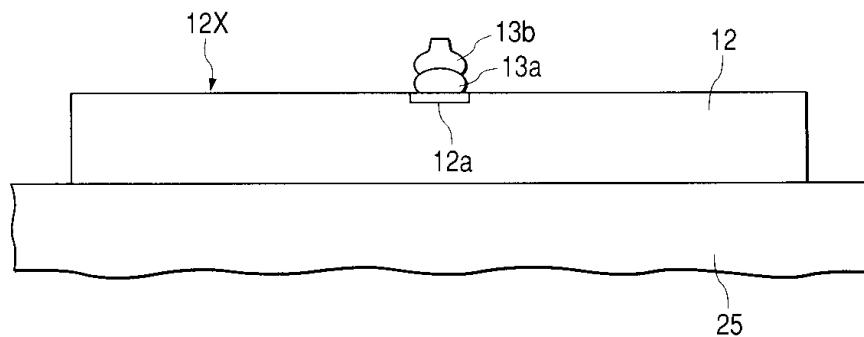


도면11

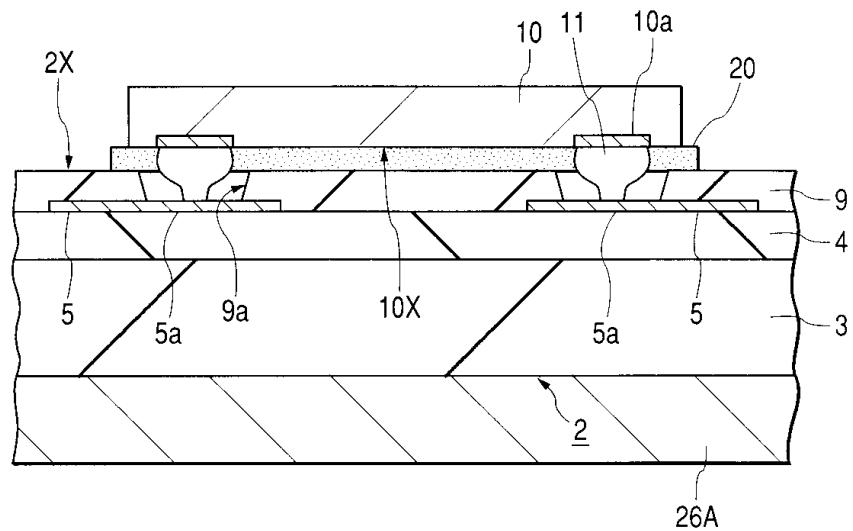
(a)



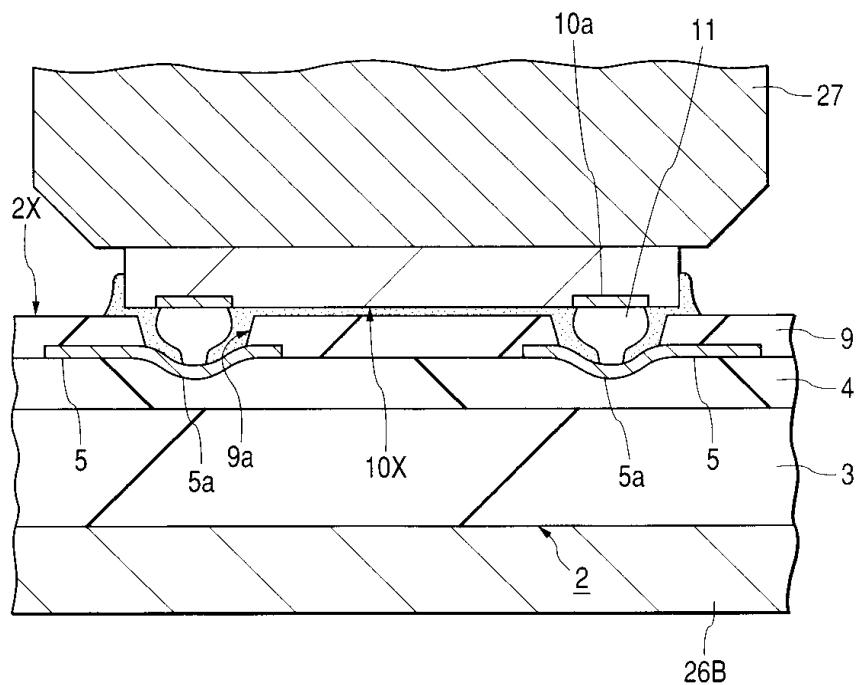
(b)



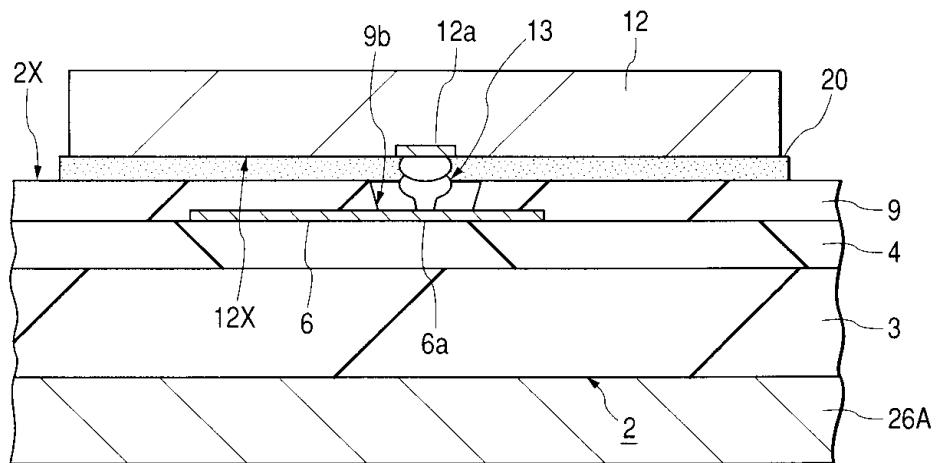
도면12



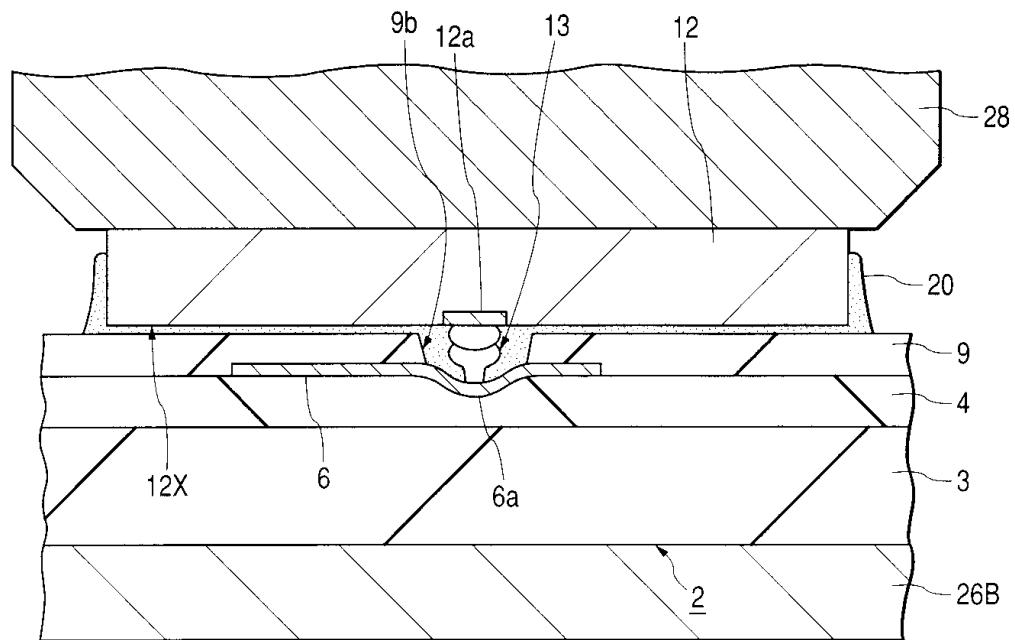
도면13



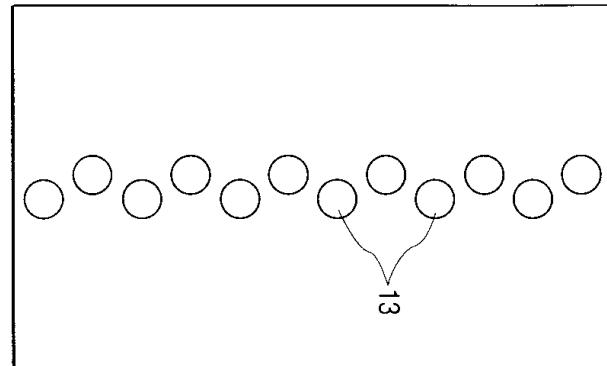
도면14



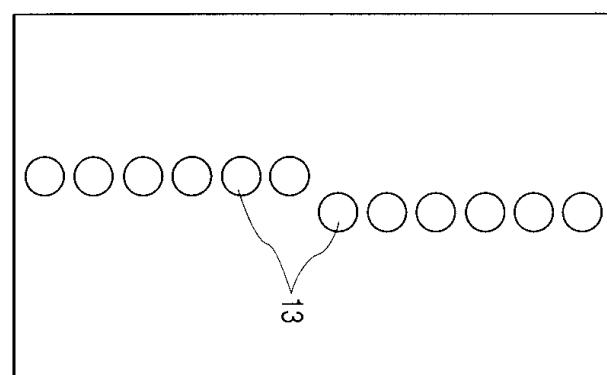
도면15



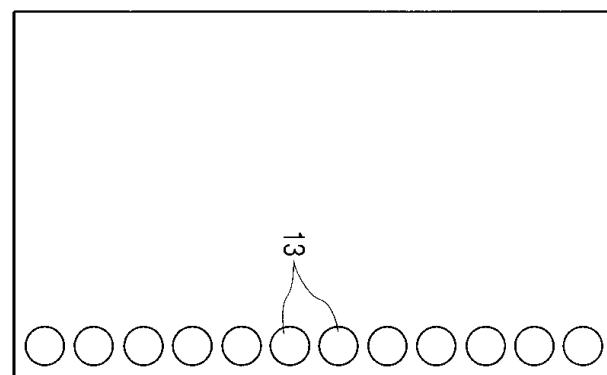
도면16



(a)

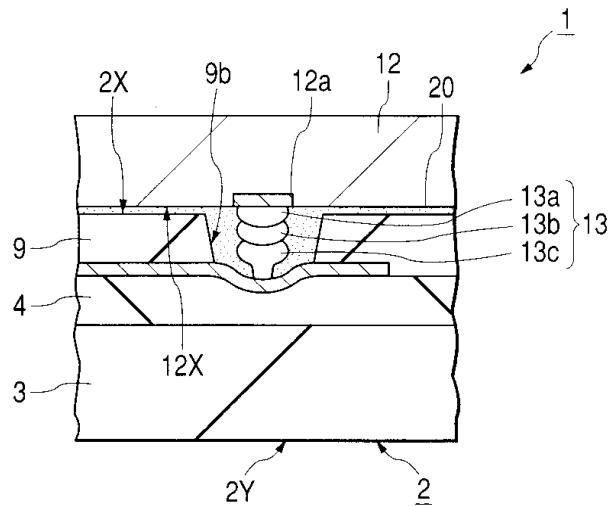


(b)

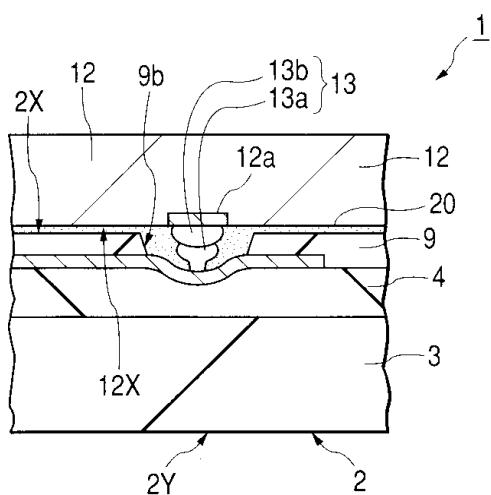


(c)

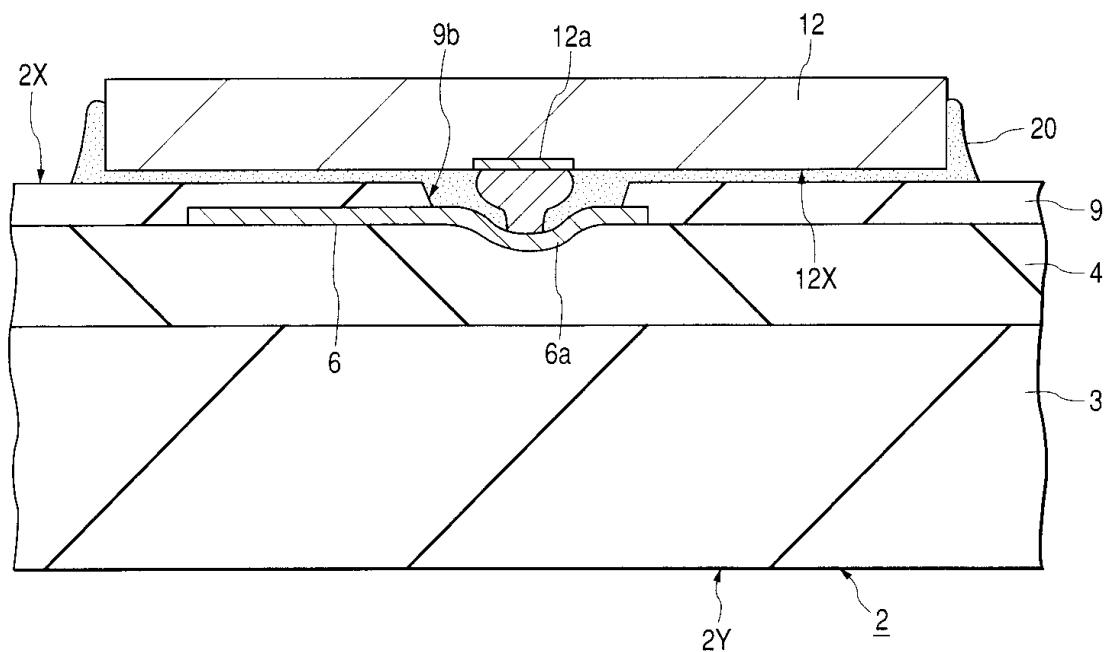
도면17



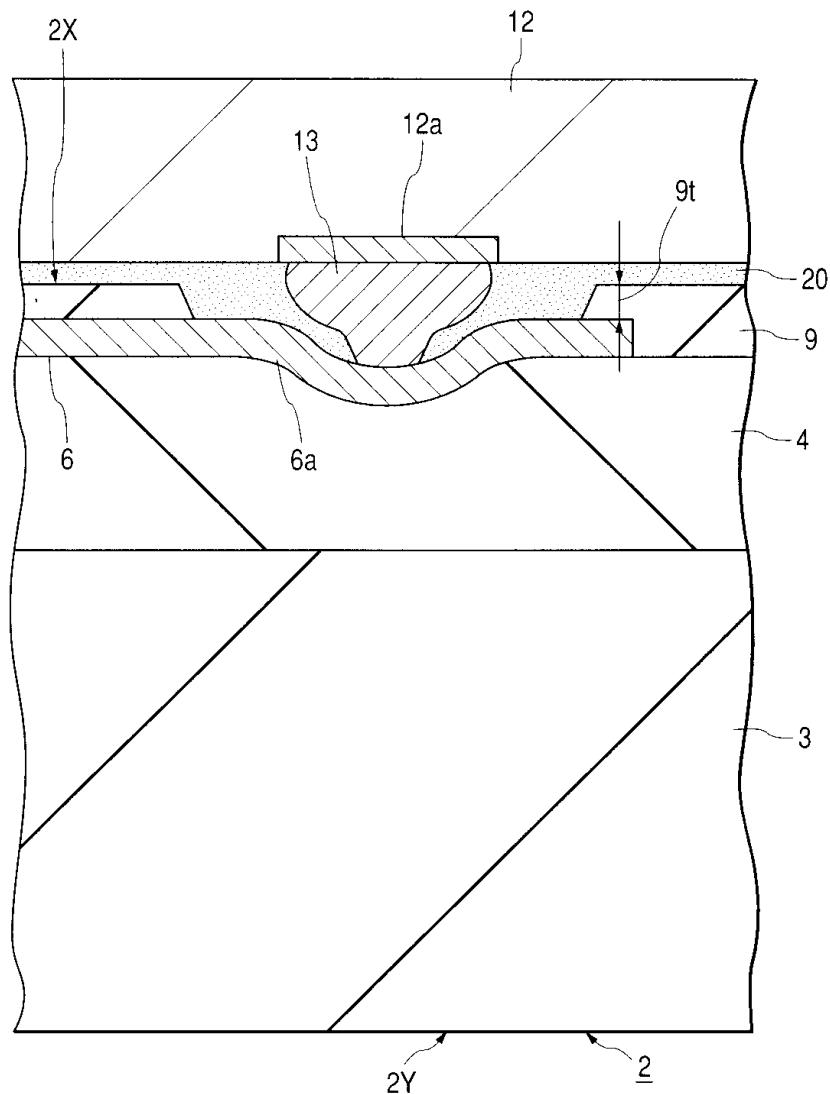
도면18



도면19



도면20



도면21

