(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0093850
(43) 공개일자 2010년08월26일

(51) Int. Cl.
H04J 11/00 (2006.01) *G06F 17/14* (2006.01)
(21) 출원번호 10-2009-0012963
(22) 출원일자 2009년02월17일
심사청구일자 2009년02월17일

(71) 출원인
인하대학교 산학협력단
인천 남구 용현동 253 인하대학교
(72) 발명자
정덕진
인천시 남구 용현3동 인하대학교 하이테크 510호
이상설
인천시 남구 용현3동 인하대학교 하이테크 530호
(뒷면에 계속)
(74) 대리인
특허법인무한

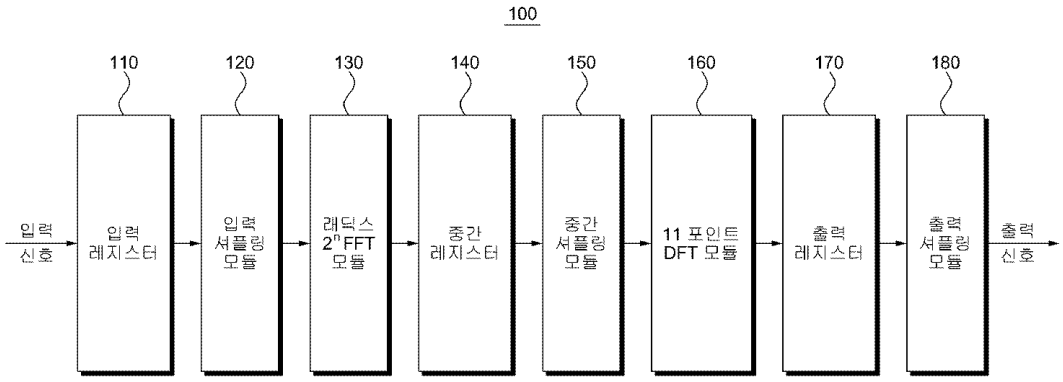
전체 청구항 수 : 총 10 항

(54) DRM 시스템을 위한 고속 푸리에 변환 장치 및 방법

(57) 요 약

DRM 시스템을 위한 고속 푸리에 변환 장치 및 방법을 개시한다. DRM 시스템을 위한 고속 푸리에 변환 장치는 프라임 팩터 FFT를 파이프라인을 이용하여 하드웨어로 구현하여 어떠한 후처리 과정 없이 FFT 결과를 이용할 수 있다.

대 표 도



(72) 발명자

송재연

인천시 남구 용현3동 인하대학교 하이테크 530호

이승열

인천시 남구 학익동 306-127 광림빌라 2동 302호

왕규열

인천시 남동구 구월1동 동아아파트 2동 410호

김병수

인천시 연수구 연수1동 동남아파트 102동 402호

신성섭

인천시 남구 용현3동 210-4 영동하이츠빌라 4동 201호

최재영

인천시 남구 용현4동 48-18 모이세 103호

특허청구의 범위

청구항 1

입력 신호를 저장하는 입력 레지스터(input register);

상기 입력 레지스터로부터 출력되는 신호를 정해준 규칙에 따라 정리하여 출력하는 입력 셔플링 모듈(Input shuffling module);

상기 입력 셔플링 모듈로부터 출력되는 신호를 입력 받아 FFT 연산을 수행하는 FFT 모듈(Fast Fourier Transform module);

상기 FFT 모듈로부터 출력되는 신호를 저장하는 중간 레지스터(Middle register);

상기 중간 레지스터로부터 출력되는 신호를 정해진 규칙에 따라 정리하여 출력하는 중간 셔플링 모듈(middle shuffling module);

상기 중간 셔플링 모듈로부터 출력되는 신호를 입력 받아 DFT 연산을 수행하는 DFT 모듈(Discrete Fourier Transform module);

상기 DTF 모듈로부터 출력되는 신호를 저장하는 출력 레지스터(output register); 및

상기 출력 레지스터로부터 출력되는 신호를 정해진 규칙에 따라 정리하여 출력하는 출력 셔플링 모듈(output shuffling module)

을 포함하는 고속 푸리에 변환 장치.

청구항 2

제1항에 있어서,

상기 입력 셔플링 모듈은,

상기 입력 레지스터로부터 출력되는 신호를 상기 FFT 모듈의 입력에 맞는 인덱스로 제공하기 위해 중국식 잉여 이론(CRT)에 따라 데이터를 정리하여 출력하는 고속 푸리에 변환 장치.

청구항 3

제1항에 있어서,

상기 DTF 모듈은,

상기 중간 레지스터의 값들을 바꾸어주고, 상기 바뀐 값들을 더하거나 빼준 결과 값에 사인이나 코사인 값을 곱한 후 각각의 값들을 더하여 결과를 출력하는 고속 푸리에 변환 장치.

청구항 4

제1항에 있어서,

상기 FFT 모듈은,

상기 입력 셔플링 모듈로부터 입력되는 신호를 통해 OFDM 모드를 확인한 후 강건성 모드에 따른 FFT 연산을 수행하는 고속 푸리에 변환 장치.

청구항 5

제4항에 있어서,

상기 FFT 모듈은,

상기 강건성 모드가 모드 B인 경우, 256 포인트 래딕스-2^n FFT 동작을 수행하고,

상기 강건성 모드가 상기 모드 B가 아니고, 모드 A인 경우, 32 포인트의 래딕스-2^n FFT 동작을 수행하고,

상기 모드 A가 아닌 경우, 16 포인트 래딕스-2^n FFT 동작을 수행하는 고속 푸리에 변환 장치.

청구항 6

제5항에 있어서,

상기 DFT 모듈은,

상기 32 포인트 또는 16 포인트 FFT 동작을 수행한 결과 데이터를 11 포인트 DFT 동작을 수행하는 고속 푸리에 변환 장치.

청구항 7

모드 검출부, 제어 신호 생성부, 래딕스-2n 트위들 팩터 메모리, DTF 트위들 팩터 메모리, FFT 모듈 및 DTF 모듈을 포함하는 DRM 시스템에서의 고속 푸리에 변환 방법에 있어서,

상기 모드 검출부가 입력 신호에 대한 FFT의 모드를 검출하는 단계;

상기 제어 신호 생성부가 상기 검출된 모드에 따라 생성한 제어 신호에 의해 상기 래딕스-2n 트위들 팩터 메모리 또는 상기 DFT 트위들 팩터 메모리의 사용을 결정하는 단계;

상기 FFT 모듈이 상기 검출된 FFT의 모드 및 상기 래딕스-2n 트위들 팩터 메모리의 사용 결정에 따라 상기 래딕스-2n 트위들 팩터 메모리를 참조하여 FFT 동작을 수행하는 단계; 및

상기 DTF 모듈이 상기 DFT 트위들 팩터 메모리를 참조하여 상기 FFT 동작을 수행한 결과 데이터를 DFT 동작을 수행하는 단계

를 포함하는 고속 푸리에 변환 방법.

청구항 8

제7항에 있어서,

상기 FFT의 모드를 검출하는 단계는,

상기 입력 신호를 통해 OFDM 모드를 확인한 후 강건성 모드에 따른 FFT의 모드를 검출하는 고속 푸리에 변환 방법.

청구항 9

제7항에 있어서,

상기 FFT 동작을 수행하는 단계는,

상기 FFT 모듈이 상기 검출된 모드가 모드 B인 경우, 256 포인트 래딕스-2^n FFT 동작을 수행하는 단계;

상기 FFT 모듈이 상기 검출된 모드가 모드 B가 아니고, 모드 A인 경우, 32 포인트 래딕스-2^n FFT 동작을 수행하는 단계; 및

상기 FFT 모듈이 상기 검출된 모드가 모드 A도 아닌 경우, 16 포인트 래딕스-2^n FFT 동작을 수행하는 단계

를 포함하는 고속 푸리에 변환 방법.

청구항 10

제9항에 있어서,

상기 DFT 동작을 수행하는 단계는,

상기 DFT 모듈이 상기 32 포인트 또는 16 포인트 FFT 동작을 수행한 결과 데이터를 11 포인트 DFT 동작을 수행하는 고속 푸리에 변환 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명의 일실시예들은 DRM 시스템을 위한 고속 푸리에 변환 장치 및 방법에 관한 것이다.

배 경 기 술

[0002] DRM(Digital Radio Mondiale)은 30MHz 이하의 방송 대역 즉 장파(LF), 중파(MF), 단파(SF) 주파수 대역을 이용하는 OFDM(Orthogonal Frequency Division Multiple) 방식에 기반을 둔 디지털 라디오 방송의 기준이다.

[0003] 이러한 DRM 시스템은 해당 주파수 대역에서 전송할 수 있는 신호 주파수 대역을 증가시키고 보다 넓은 채널 대역을 사용하고 방송 환경에 악영향을 끼칠 수 있는 효과를 개선하기 위한 여러 가지 메커니즘을 제공하고 있다.

[0004] DRM 시스템은 기본적으로 COFDM(Coded Orthogonal Frequency Division Multiple) 방식을 사용하며, 신호의 강건성(robustness)을 나타내는 4개의 전송 모드(예를 들어, 모드 A, B, C, D)와 각기 다른 시스템 대역이 각 주파수 할당 스킴(scheme)과 채널 조건에 따라 정의된다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 일실시예는 필요없는 가비지(garbage) 데이터를 이용하지 않고, 정확한 포인트의 FFT를 수행함으로써 DRM 시스템을 위한 효율적인 FFT를 처리할 수 있는 장치 및 방법을 제공한다.

[0006] 또한 본 발명의 일실시예는 기존의 가비지 데이터를 넣고 하는 방식이 아니라 실제로 프라임 팩터 FFT를 파이프라인을 이용하여 하드웨어로 구현하여 어떠한 후처리 과정 없이 FFT 결과를 이용할 수 있는 DRM 시스템을 위한 FFT 장치 및 방법을 제공한다.

과제 해결수단

[0007] 본 발명의 일실시예에 따른 DRM 시스템을 위한 고속 푸리에 변환 장치는, 입력 신호를 저장하는 입력 레지스터(input register)와, 상기 입력 레지스터로부터 출력되는 신호를 정해준 규칙에 따라 정리하여 출력하는 입력 셔플링 모듈(Input shuffling module)과, 상기 입력 셔플링 모듈로부터 출력되는 신호를 입력 받아 FFT 연산을 수행하는 FFT 모듈(Fast Fourier Transform module)과, 상기 FFT 모듈로부터 출력되는 신호를 저장하는 중간 레지스터(Middle register)와, 상기 중간 레지스터로부터 출력되는 신호를 정해진 규칙에 따라 정리하여 출력하는 중간 셔플링 모듈(middle shuffling module)과, 상기 중간 셔플링 모듈로부터 출력되는 신호를 입력 받아 DFT 연산을 수행하는 DFT 모듈(Discrete Fourier Transform module)과, 상기 DTF 모듈로부터 출력되는 신호를 저장하는 출력 레지스터(output register) 및 상기 출력 레지스터로부터 출력되는 신호를 정해진 규칙에 따라 정리하여 출력하는 출력 셔플링 모듈(output shuffling module)를 포함한다.

[0008] 본 발명의 일실시예에 따른 모드 검출부, 제어 신호 생성부, 래딕스-2n 트위들 팩터 메모리, DTF 트위들 팩터 메모리, FFT 모듈 및 DTF 모듈을 포함하는 DRM 시스템을 위한 고속 푸리에 변환 방법은 상기 모드 검출부가 입력 신호에 대한 FFT의 모드를 검출하는 단계와, 상기 제어 신호 생성부가 상기 검출된 모드에 따라 생성한 제어 신호에 의해 상기 래딕스-2n 트위들 팩터 메모리 또는 상기 DFT 트위들 팩터 메모리의 사용을 결정하는 단계와, 상기 FFT 모듈이 상기 검출된 FFT의 모드 및 상기 래딕스-2n 트위들 팩터 메모리의 사용 결정에 따라 상기 래딕스-2n 트위들 팩터 메모리를 참조하여 FFT 동작을 수행하는 단계 및 상기 DTF 모듈이 상기 DFT 트위들 팩터 메모리를 참조하여 상기 FFT 동작을 수행한 결과 데이터를 DFT 동작을 수행하는 단계를 포함한다.

효 과

[0009] 본 발명의 일실시예에 따르면, 필요 없는 가비지 데이터를 이용하지 않고, 정확한 포인트의 FFT를 수행함으로써 효율적인 FFT를 처리할 수 있다.

[0010] 또한 본 발명의 일실시예에 따르면, 기존의 가비지 데이터를 넣고 하는 방식이 아니라 실제로 프라임 팩터 FF

T를 파이프라인을 이용하여 하드웨어로 구현하여 어떠한 후처리 과정 없이 FFT 결과를 이용할 수 있다.

발명의 실시를 위한 구체적인 내용

[0011] 이하 첨부된 도면들을 참조하여 본 발명의 일실시예에 따른 DRM 시스템을 위한 FFT 장치 및 방법을 상세하게 설명하기로 한다.

[0012] 도 1은 본 발명의 일실시예에 따른 DRM 시스템을 위한 FFT 장치의 구조도를 나타낸다.

[0013] 도 1을 참조하면, 본 발명의 일실시예에 따른 DRM 시스템을 위한 FFT 장치(100)는 혼합된(Mixed) PFA FFT 장치로서 기존의 방식을 수정한 래딕스(radix)-2^n FFT 모듈(130) 및 11 포인트 DFT 모듈(160), 입력 값과 중간 값과 결과 값을 위한 세 개의 레지스터(110, 140, 170)과 세 개의 셔플링 모듈(120, 150, 180)을 포함한다. 본 발명에서 DRM 시스템을 위한 파이프라인(pipeline)이 접목된 소인수 FFT를 Mixed PFT FFT라고 정의할 수 있다.

[0014] 입력 레지스터(Input Register)(110)는 입력 신호(Input signal)를 저장하고, 상기 저장된 입력 신호를 입력 셔플링 모듈(Input shuffling module)(120)로 출력한다.

[0015] 입력 셔플링 모듈(120)은 입력 레지스터로부터 출력되는 신호를 정해준 규칙에 따라 정리하여 출력한다. 입력 셔플링 모듈(120)은 입력 레지스터(110)의 출력을 래딕스-2^n FFT(Fast Fourier Transform) 모듈(130)의 입력에 적합한 인덱스로 제공해 주기 위하여 중국식 잉여이론(CTR: Chinese Remainder Theorem)에 따라 데이터를 정리하여 출력한다. 입력 셔플링 모듈(120)은 출력이 적절한 출력 선들의 묶음으로 이루어져 있으며, 상기 출력 선들은 4개의 입력을 갖는 멀티플렉서(Multiplexer)로 묶여져 있는데 그 이유는 DRM이 4개의 모드(A, B, C, D 모드)를 가지고 있기 때문이다.

[0016] 래딕스-2^n FFT 모듈(130)은 입력 셔플링 모듈(120)로부터 출력되는 신호를 입력 받아 FFT 동작을 수행한다.

[0017] 도 2는 래딕스-2^n FFT 모듈의 구조도에 대한 일례를 나타낸다.

[0018] 도 2를 참조하면, 래딕스-2^n FFT 모듈(130)은 제1BF(210), 제2 BF(220), 제3BF(230), 제4BF(240) 및 제5BF(250)의 버터플라이(BF)와, D16(211), D8(221), D4(231), D2(241) 및 D1(251)의 딜레이를 포함할 수 있다.

[0019] BF는 버터플라이로서 순차적으로 들어오는 값을 컨트롤 시그널에 의하여 더하거나 빼는 동작과 동시에 다음으로 넘어가거나 딜레이(D8, D4, D2)로 가는 모듈이다.

[0020] 딜레이(D8, D4, D2)는 순차적으로 들어오는 값을 특정 시간만큼 시간을 주어 값을 저장하는 역할을 하며 FIFO구조이다.

[0021] 도면부호 212, 222, 232 및 242는 래딕스-2^n FFT를 수행함에 있어 n에 따라서 들어가는 연산이 달라지기 때문에 상황에 맞는 연산을 한다는 것을 표현하기 위하여 물음표를 사용하여 표기하였다.

[0022] 도면부호 213으로 표기된 '16 or 32'는 멀티플렉서로서 32포인트 연산이 필요 할 때는 컨트롤 시그널에서 32포인트까지 가능하도록 앞 단에서 연산을 하고 16포인트가 필요할 경우에는 값을 16포인트 연산이 가능하도록 하는 것이다.

[0023] DRM 시스템의 COFDM 강건성 모드 A, C, D 세 가지의 모드를 소인수 FFT의 식으로 변환하여 수학식 1 내지 수학식 3과 같이 나타낼 수 있다.

수학식 1

[0024]
$$X[((225K_1+64K_2))_{288}] = \sum_{n_2=0}^{8}\left[\sum_{n_1=0}^{31} x[((9n_1+32n_2))_{288}]\, W_{32}^{k_1 n_1}\right] W_9^{k_2 n_2}$$

수학식 2

$$X[((33K_1+144K_2))_{176}] = \sum_{n_2=0}^{10}\left[\sum_{n_1=0}^{15} x[((11n_1+16n_2))_{176}]\, W_{16}^{k_1 n_1}\right] W_{11}^{k_2 n_2}$$

[0025]

수학식 3

$$X[((49K_1+64K_2))_{112}] = \sum_{n_2=0}^{6}\left[\sum_{n_1=0}^{15} x[((7n_1+16n_2))_{112}]\, W_{16}^{k_1 n_1}\right] W_{7}^{k_2 n_2}$$

[0026]

[0027] 수학식 1 내지 수학식 3을 참조하면, 필요한 포인트가 나오는데 32, 16, 11, 9, 7이 필요함을 알 수 있다. 따라서, 11 포인트 DFT 모듈(160)은 기존의 방법이 아닌 소인수 FFT를 이용할 포인트는 4가지의 포인트를 가지는데 모드 B의 경우에는 래딕스(Radix)-2^n의 형태를 이용하여 11, 9, 7 포인트를 모두 연산할 수 있다. 이는 중간에 곱해지는 사인 또는 코사인 값이 포인트에 따라 달라지고, 더해지고 곱해지는 값 또한 다르기 때문에 이를 제어할 수 있는 제어 신호가 또한 필요하다.

[0028] 본 발명의 일실시예에 따른 DRM 시스템을 위한 고속 푸리에 변환 장치는 사인 또는 코사인 파라미터가 최고 5개의 값만을 가지고, 회전인수를 제거하였기 때문에 필요한 파라미터 메모리는 작은 크기를 가지면 된다는 장점을 가지고 있다. 또한 래딕스(Radix)-2^n FFT 모듈(130)은 기존의 방식을 이용하여 32, 16 포인트를 모두 FFT 연산을 수행할 수 있다.

[0029] 래딕스(Radix)-2^n FFT 모듈(130)은 입력 셔플링 모듈(120)로부터 출력되는 신호를 입력 받고, 입력된 신호를 통해 OFDM 모드를 확인한 후 강건성 모드에 따라 FFT 연산을 수행한다. 일례로 상기 강건성 모드가 모드 B인 경우, 래딕스(Radix)-2^n FFT 모듈(130)은 기존의 FFT 방식을 이용하여 256 포인트 래딕스-2^n FFT 동작을 수행할 수 있다. 다른 일례로 상기 강건성 모드가 상기 모드 B가 아닌 A, C, D 모드인 경우, 래딕스(Radix)-2^n FFT 모듈(130)은 프라임 팩터 알고리즘 PFA(Prime Factor algorithm) FFT 동작을 수행할 수 있다. 예를 들어, 상기 강건성 모드가 상기 모드 A인 경우, 래딕스(Radix)-2^n FFT 모듈(130)은 32 포인트 래딕스-2^n FFT 동작을 수행할 수 있다. 또한 상기 강건성 모드가 상기 모드 A가 아닌 경우, 래딕스(Radix)-2^n FFT 모듈(130)은 16 포인트 래딕스-2^n FFT 동작을 수행할 수 있다.

[0030] 중간 레지스터(Middle register)(140)는 래딕스-2^n FFT 모듈(130)로부터 출력되는 신호를 입력 받아 저장하고, 상기 저장된 신호를 중간 셔플링 모듈(150)로 출력한다.

[0031] 중간 셔플링 모듈(middle shuffling module)(150)은 중간 레지스터(140)로부터 출력되는 신호를 입력 받아 정해진 규칙에 따라 정리하여 출력한다. 중간 셔플링 모듈(150)은 중간 결과를 위해 입력 셔플링 모듈(120)과 마찬가지로 다음 모듈인 DFT 모듈(160)로 적합한 값을 보내주는 역할을 수행한다.

[0032] 11 포인트 DFT 모듈(160)은 중간 셔플링 모듈(150)로부터 출력되는 신호를 입력 받아 DFT 연산을 수행한다.

[0033] 일례로 11 포인트 DFT 모듈(160)은 WFTA(Winograd Fourier Transform Algorithm)에 의하여 연산되며, 도 3에 도시된 것과 같은 4가지 과정에 의하여 구현될 수 있다.

[0034] 도 3은 11 포인트 DTF 모듈의 구조도에 대한 일례를 나타낸다.

[0035] 도 3을 참조하면, 11 포인트 DTF 모듈(160)은 스위치(310), 가산 또는 감산기(321~325), 곱셈기(331~335), 가

산기(341~345) 및 D11(350)을 포함한다.

[0036] 첫 번째 과정에서 스위치(310)는 중간 레지스터(140)의 값(중간 신호)을 바꾸는 것이고, 두 번째 과정에서 가산 또는 감산기(321~325)가 상기 바뀐 값을 서로 더하거나 빼주는 것이고, 세 번째 과정에서 곱셈기(331~335)가 상기 두 번째 과정의 결과 값에 사인이나 코사인 값(W0~W4)을 곱해 주는 것이고, 네 번째 과정에서 가산기(341~345)가 각각의 값들을 모두 더한 결과를 출력한다(출력 이전 신호).

[0037] D11(350)은 11개의 딜레이를 의미하는 것으로서 결과로 나온 값을 임시로 저장하였다가 다음 단으로 넘겨주기 위한 버퍼의 역할을 한다.

[0038] 출력 레지스터(output register)(170)는 DFT 모듈(160)로부터 출력되는 신호를 저장한다.

[0039] 출력 셔플링 모듈(output shuffling module)(180)은 출력 레지스터(170)로부터 출력되는 신호를 정해진 규칙에 따라 정리하여 출력한다.

[0040] 이와 같이, 본 발명의 일실시예에 따른 FFT 장치는 하드웨어로 구현함으로써 기존의 DSP를 이용한 경우보다 필요한 클럭 사이클을 2배 이상 줄일 수 있으며, 가비지 데이터를 이용한 경우보다 연산량을 줄일 수 있다.

[0041] 도 4는 본 발명의 일실시예에 따른 DRM 시스템을 위한 FFT 방법의 동작 흐름을 나타낸다.

[0042] 도 4를 참조하면, 단계(411)에서 DRM 시스템은 데이터를 입력 받는다. 상기 DRM 시스템은 모드 검출부, 제어 신호 생성부, 래딕스-2n 트위들 팩터 메모리(Twiddle factor memory), DTF 트위들 팩터 메모리, FFT 모듈 및 DTF 모듈을 포함할 수 있다.

[0043] 단계(412)에서 상기 DRM 시스템은 상기 입력된 데이터를 분석하여 모드를 검출한다. 일례로 단계(412)에서 상기 모드 검출부는 상기 입력 데이터를 통해 OFDM 모드를 검출한다.

[0044] 단계(413)에서 상기 DRM 시스템은 상기 검출된 모드를 확인한 후 강건성 모드에 따른 FFT의 모드를 검출한다. 일례로 단계(413)에서 상기 모드 검출부는 상기 OFDM 모드를 확인한 후 강건성 모드에 따른 FFT의 모드를 검출할 수 있다.

[0045] 단계(414)에서 상기 DRM 시스템은 상기 검출된 모드에 따라 어떠한 트위들 팩터를 이용할 것인지를 결정하기 위한 제어 신호를 생성한다. 일례로 단계(414)에서 상기 제어 신호 생성부는 상기 결정된 모드에 따라 어떠한 트위들 팩터를 이용할 것인지를 결정하기 위한 제어 신호를 생성할 수 있다. 예를 들어, 단계(414)에서 상기 제어 신호 생성부는 상기 검출된 모드에 따라 래딕스-2n 트위들 팩터 또는 DFT 트위들 팩터를 이용할 것인지를 결정하기 위한 제어 신호를 생성할 수 있다.

[0046] 단계(415)에서 상기 DRM 시스템은 상기 생성된 제어 신호를 트위들 팩터 메모리 어드레스로 인가한다.

[0047] 단계(416)에서 상기 DRM 시스템은 상기 트위들 팩터 메모리 어드레스로 인가된 제어 신호가 상기 래딕스-2n 트위들 팩터를 이용할 것으로 결정된 제어 신호인 경우, 상기 래딕스-2n 트위들 팩터 메모리를 이용하는 것으로 결정한다.

[0048] 단계(417)에서 상기 DRM 시스템은 상기 트위들 팩터 메모리 어드레스로 인가된 제어 신호가 상기 DFT 트위들 팩터를 이용할 것으로 결정된 제어 신호인 경우, 상기 DFT 트위들 팩터 메모리를 이용하는 것으로 결정한다.

[0049] 이와 같이, 상기 DRM 시스템은 상기 검출된 모드에 따라 상기 제어 신호 생성부에서 생성된 제어 신호에 의해 상기 래딕스-2n 트위들 팩터 메모리 또는 상기 DFT 트위들 팩터 메모리에 대한 이용 여부를 결정할 수 있다.

[0050] 단계(418)에서 상기 DRM 시스템은 상기 검출된 모드가 모드 B인지 판단한다.

[0051] 상기 모드 B인 경우, 단계(419)에서 상기 DRM 시스템은 256 포인트 래딕스-2n 동작을 수행한다. 즉, 상기 모드 B인 경우, 단계(419)에서 상기 FFT 모듈이 256 포인트 래딕스-2n FFT 동작을 수행한다.

[0052] 상기 모드 B가 아닌 경우, 단계(420)에서 상기 DRM 시스템은 상기 검출된 모드가 모드 A인지 판단한다.

[0053] 상기 검출된 모드가 상기 모드 A인 경우, 단계(421)에서 상기 DRM 시스템은 32 포인트 래딕스-2n FFT 동작을 수행한다. 일례로 상기 검출된 모드가 모드 A인 경우, 단계(421)에서 상기 FFT 모듈은 상기 래딕스-2n 트위들 팩터 메모리를 참조하여 32 포인트 래딕스-2n FFT 동작을 수행한다.

[0054] 상기 검출된 모드가 모드 A가 아닌 경우, 단계(422)에서 상기 DRM 시스템은 16 포인트 래딕스-2n FFT 동작을 수행한다.

[0055] 이와 같이, 본 발명의 일실시예에 따른 DRM 시스템을 위한 FFT 방법은 상기 FFT 모듈이 상기 검출된 FFT의 모드 및 상기 래딕스-2n 트위들 팩터 메모리의 사용 결정에 따라 상기 래딕스-2n 트위들 팩터 메모리를 참조하여 FFT 동작을 수행할 수 있다.

[0056] 또한 본 발명의 일실시예에 따른 DRM 시스템을 위한 FFT 방법은 모드 B인 경우에는 기존 FFT 방식을 이용하여 연산하고, 모드 B를 제외한 모드 A, C, D인 경우에는 PFA FFT 방식을 이용하여 연산할 수 있다.

[0057] 단계(423)에서 상기 DRM 시스템은 상기 32 포인트 래딕스-2n FFT 동작 수행 결과 또는 16 포인트 래딕스-2n FFT 동작 수행 결과를 이용하여 DTF 동작을 수행한다. 일례로 단계(423)에서 상기 DRM 시스템은 상기 32 포인트 래딕스-2n FFT 동작 수행 결과 또는 16 포인트 DFT 동작 수행 결과를 이용하여 11 포인트 DTF 동작을 수행한다.

[0058] 단계(424)에서 상기 DRM 시스템은 FFT 동작이 종료되었는지 판단한다. 상기 FFT 동작이 종료되지 않았으면, 상기 DRM 시스템은 단계(418)부터의 동작을 다시 수행한다.

[0059] 이와 같이, 본 발명의 일실시예에 따른 DRM 시스템을 위한 FFT 방법은 32, 16 포인트 FFT 동작을 거친 데이터에 대해 11 포인트 DTF 동작을 한번 더 거쳐서 각 모드에 알맞은 데이터를 별도의 다른 처리 없이 제공할 수 있다.

[0060] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0061] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

[0062] 도 1은 본 발명의 일실시예에 따른 DRM 시스템을 위한 FFT 장치의 구조도를 나타낸다.

[0063] 도 2는 래딕스-2^n FFT 모듈의 구조도에 대한 일례를 나타낸다.

[0064] 도 3은 11 포인트 DTF 모듈의 구조도에 대한 일례를 나타낸다.

[0065] 도 4는 본 발명의 일실시예에 따른 DRM 시스템을 위한 FFT 방법의 동작 흐름을 나타낸다.

[0066] <도면의 주요 부분에 대한 부호의 설명>

[0067] 100: DRM 시스템을 위한 FFT 장치

[0068] 110: 입력 레지스터 120: 입력 셔플링 모듈

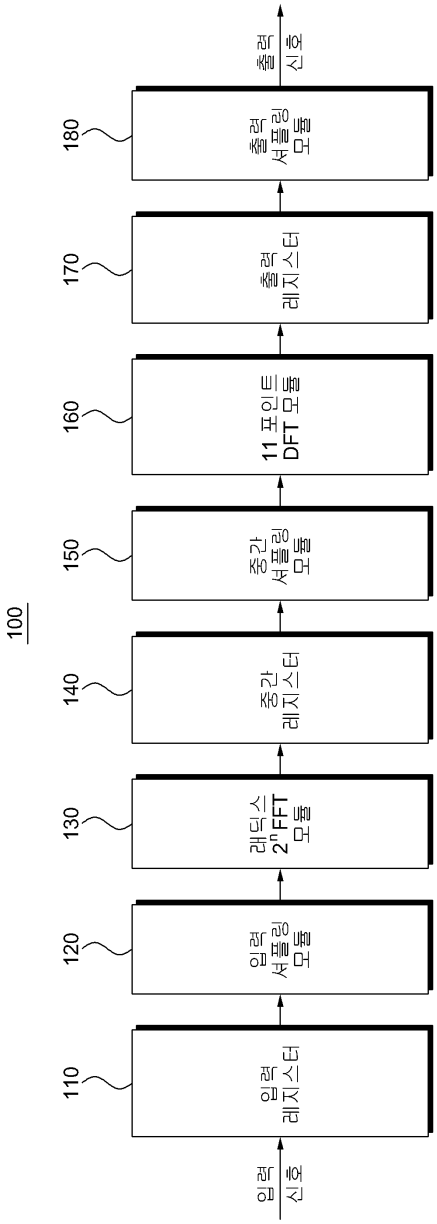
[0069] 130: 래딕스-2^n FFT 모듈 140: 중간 레지스터

[0070] 150: 중간 셔플링 모듈 160: 11 포인트 DFT 모듈

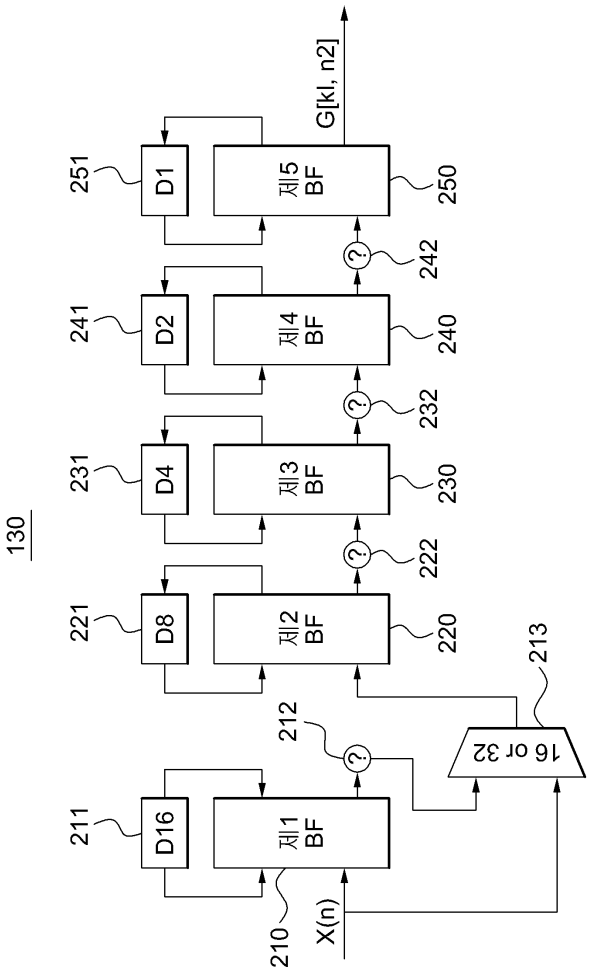
[0071] 170: 출력 레지스터 180: 출력 셔플링 모듈

도면

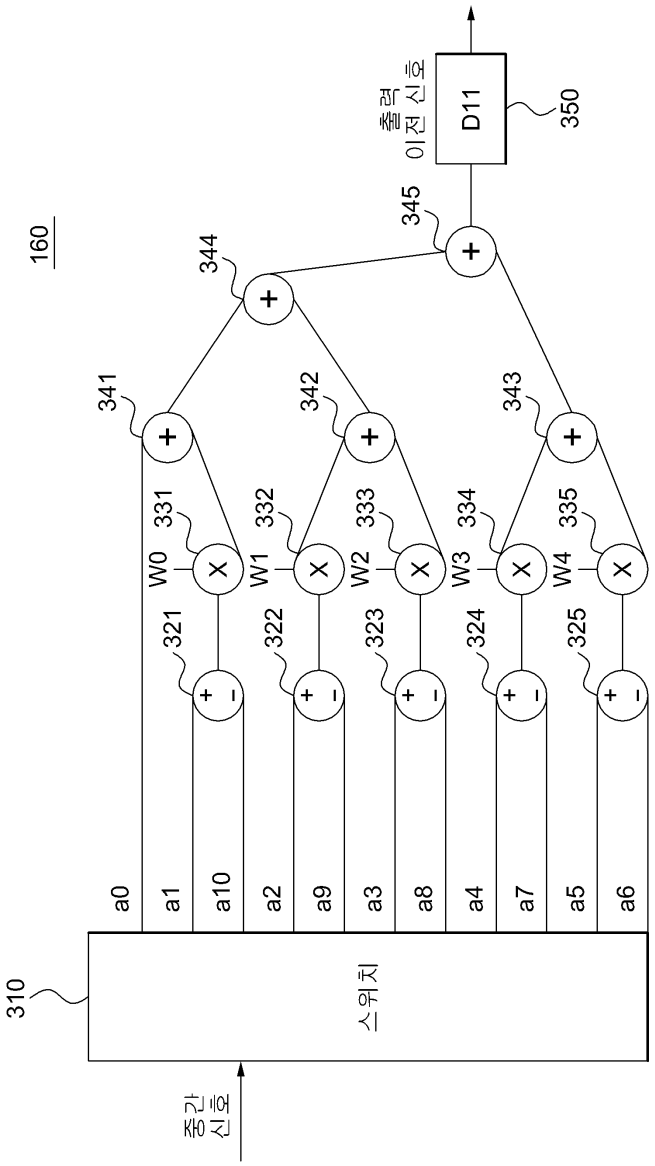
도면1


100
입력 신호
110
입력 레지스터
120
입력 셔플링 모듈
130
래딕스 2^n FFT 모듈
140
중간 레지스터
150
중간 셔플링 모듈
160
11 포인트 DFT 모듈
170
출력 레지스터
180
출력 셔플링 모듈
출력 신호

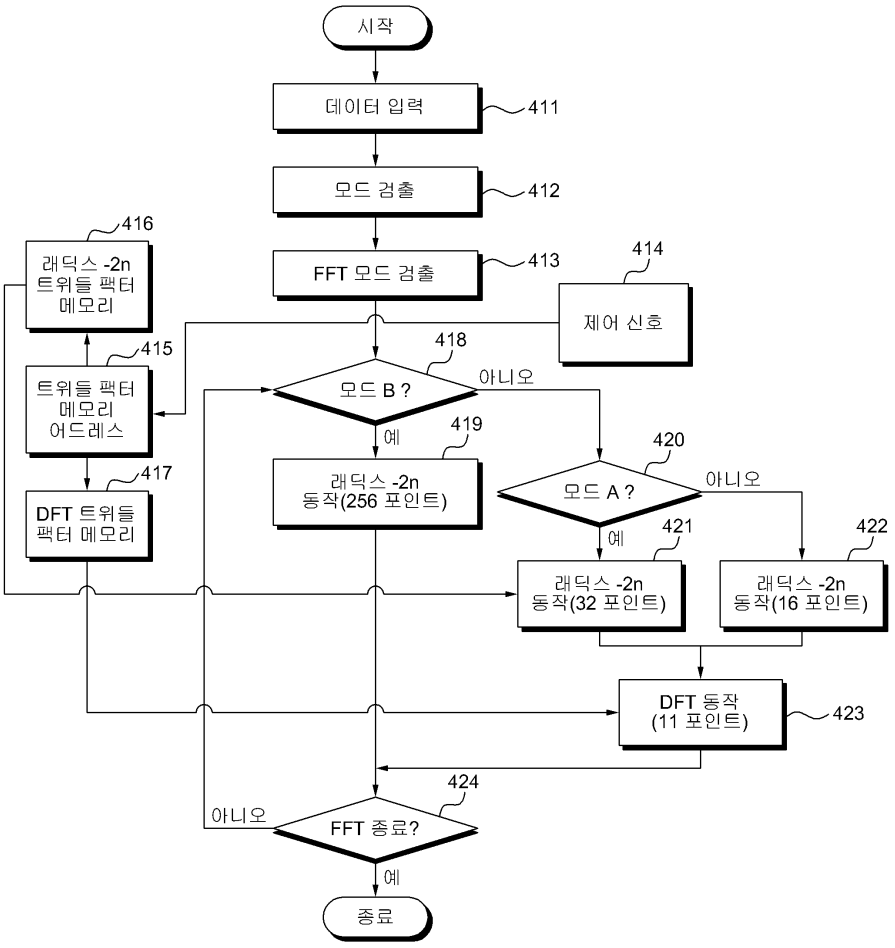
도면2


130
G[kl, n2]
251
D1
제5 BF
250
242
241
D2
제4 BF
240
232
231
D4
제3 BF
230
222
221
D8
제2 BF
220
213
212
16 or 32
211
D16
제1 BF
210
X(n)

도면3


160
310
스위치
중간
신호
a0
a1
a10
a2
a9
a3
a8
a4
a7
a5
a6
321
322
323
324
325
W0
W1
W2
W3
W4
331
332
333
334
335
341
342
343
344
345
D11
350
출력
이전 신호

도면4


시작
데이터 입력
411
모드 검출
412
FFT 모드 검출
413
414
제어 신호
416
래딕스 -2n
트위들 팩터
메모리
415
트위들 팩터
메모리
어드레스
417
DFT 트위들
팩터 메모리
418
모드 B ?
아니오
예
419
래딕스 -2n
동작(256 포인트)
420
모드 A ?
아니오
예
421
래딕스 -2n
동작(32 포인트)
422
래딕스 -2n
동작(16 포인트)
DFT 동작
(11 포인트)
423
424
아니오
FFT 종료?
예
종료