

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4580528号
(P4580528)

(45) 発行日 平成22年11月17日 (2010.11.17)

(24) 登録日 平成22年9月3日 (2010.9.3)

(51) Int.Cl.		F I			
G 0 6 F	9/48	(2006.01)	G 0 6 F	9/46	4 5 2 D
G 0 6 F	1/00	(2006.01)	G 0 6 F	1/00	3 7 0 D
G 0 6 F	12/16	(2006.01)	G 0 6 F	12/16	3 4 0 R

請求項の数 13 (全 18 頁)

(21) 出願番号 特願2000-291171 (P2000-291171) (22) 出願日 平成12年9月25日 (2000.9.25) (65) 公開番号 特開2002-99436 (P2002-99436A) (43) 公開日 平成14年4月5日 (2002.4.5) 審査請求日 平成19年4月26日 (2007.4.26)	(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100109900 弁理士 堀口 浩 (72) 発明者 森沢 俊一 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内 審査官 井上 宏一 (56) 参考文献 特開平11-073330 (JP, A) 特開昭62-226216 (JP, A)
前置審査	
	最終頁に続く

(54) 【発明の名称】 コンピュータシステムおよびそのレジューム処理方法

(57) 【特許請求の範囲】

【請求項1】

パワーセーブモードへの移行時にメモリにセーブされたシステムデータを用いて、前記パワーセーブモード直前の作業環境を復元するレジューム処理機能を有するコンピュータシステムにおいて、

前記パワーセーブモードからのウェイクアップ時に、前記レジューム処理機能の実行のためにBIOSプログラムによって実行されるべき第1のレジューム処理の中で、オペレーティングシステムの動作に必要な、CPUを含むシステムコア部の状態を前記メモリにセーブされたシステムデータを用いて復元するための処理を、前記BIOSプログラムに実行させる手段と、

前記CPUを含むシステムコア部の状態を復元するための、デバイス毎に設けられたそれぞれの処理の完了に応答して、前記BIOSプログラムから前記オペレーティングシステムに制御を移し、前記レジューム処理機能の実行のために前記オペレーティングシステムによって実行されるべき前記デバイス毎に設けられた第2のレジューム処理を、前記オペレーティングシステムに実行させる手段と、

前記第1のレジューム処理の内の残りの処理と前記第2のレジューム処理とが交互に実行されるように、前記オペレーティングシステムが前記第2のレジューム処理を実行している期間中に割り込み処理を挿入し、その割り込み処理の中で前記BIOSプログラムを実行させる割り込み制御手段とを具備することを特徴とするコンピュータシステム。

【請求項2】

10

20

前記割り込み制御手段は、前記割り込み処理を挿入するための割り込み信号を所定のタイムインターバル毎に前記コンピュータシステムのＣＰＵに発行する手段を含むことを特徴とする請求項１記載のコンピュータシステム。

【請求項３】

前記第１のレジューム処理の内の前記残りの処理は、前記コアユニット以外の他の複数のデバイスそれぞれを前記第２のレジューム処理の実行が可能な状態にするための前処理を含み、前記第２のレジューム処理は、前記前処理が完了した各デバイスを前記パワーセーブモード直前の状態に復元する処理を含むことを特徴とする請求項１記載のコンピュータシステム。

【請求項４】

前記前処理が完了していないデバイスに対する前記第２のレジューム処理の実行を禁止するため、前記各デバイス毎に前記前処理が完了されているか否かを前記オペレーティングシステムに判別させる手段をさらに具備することを特徴とする請求項３記載のコンピュータシステム。

【請求項５】

前記前処理では、前記複数のデバイスそれぞれに対して、それらを前記第２のレジューム処理の実行が可能な状態にまで復元するために必要なコマンドが順次発行され、

前記割り込み制御手段は、各デバイスからのコマンド処理の完了を示す割り込み信号に応答して、前記割り込み処理を挿入するための割り込み信号を前記ＣＰＵに発行する手段を含むことを特徴とする請求項３記載のコンピュータシステム。

【請求項６】

複数のデバイスを有するコンピュータシステムにおいて、

前記コンピュータシステムをパワーセーブモードに設定することを示すイベントの発生に応答して、前記複数のデバイスを動作状態から省電力状態に遷移させる手段と、

ＣＰＵを含むシステムコア部のシステムデータを前記コンピュータシステムのメモリにセーブし且つ前記省電力状態に遷移された複数のデバイスそれぞれのステータスデータを前記メモリにセーブした後、前記コンピュータシステムを前記パワーセーブモードに入れる手段と、

前記パワーセーブモードからの復帰を示すウェイクアップイベントの発生に応答して、前記メモリにセーブされているシステムデータを用いて前記ＣＰＵを含むシステムコア部の状態を復元する処理をＢＩＯＳプログラムによって実行する手段と、

前記メモリにセーブされているステータスデータを用いて前記複数のデバイスそれぞれを前記省電力状態の状態に復元する第１のレジューム処理をＢＩＯＳプログラムによって実行する手段と、

前記省電力状態に復元された前記複数のデバイスそれぞれを前記動作状態に復元する第２のレジューム処理をオペレーティングシステムによって実行する手段と、

前記ＣＰＵを含むシステムコア部の状態を復元するための、デバイス毎に設けられたそれぞれの処理の完了に応答して前記ＢＩＯＳプログラムから前記オペレーティングシステムに制御を移し、前記省電力状態への復元が完了したデバイスから順に前記動作状態への復元処理が開始されるように、前記ＢＩＯＳプログラムによる前記第１のレジューム処理と前記オペレーティングシステムによる前記第２のレジューム処理とを交互に実行させる制御手段とを具備することを特徴とするコンピュータシステム。

【請求項７】

前記第２のレジューム処理は、前記各デバイス毎に前記省電力状態の状態への復元処理が完了されているか否かを判別する処理と、前記省電力状態の状態への復元処理が完了したことが判別されたデバイスから順に前記動作状態への復元処理を開始する処理とを含むことを特徴とする請求項６記載のコンピュータシステム。

【請求項８】

前記制御手段は、タイマからの割り込み信号を用いて、前記第１のレジューム処理と前

10

20

30

40

50

記第 2 のレジューム処理を一定時間間隔で交互に切り換えて実行することを特徴とする請求項 6 記載のコンピュータシステム。

【請求項 9】

前記第 1 のレジューム処理は、前記複数のデバイスのコマンド処理が並行して実行されるように、前記複数のデバイスに対してそれらを前記省電力ステートの状態に復元するために必要なコマンドを順次発行することを特徴とする請求項 6 記載のコンピュータシステム。

【請求項 10】

前記第 1 のレジューム処理は、前記複数のデバイスのコマンド処理が並行して実行されるように、前記複数のデバイスそれぞれに対してそれらを前記省電力ステートの状態に復元するために必要なコマンドを順次発行し、

10

前記制御手段は、コマンド処理が完了したデバイスに対して次のコマンドが発行されるように、コマンド処理の完了を示す各デバイスからの割り込み信号を監視し、前記割り込み信号の発生が検出される度に前記第 2 のレジューム処理から前記第 1 のレジューム処理に処理を切り換える手段を含むことを特徴とする請求項 6 記載のコンピュータシステム。

【請求項 11】

パワーセーブモードへの移行時にメモリにセーブされたシステムデータを用いて、コンピュータシステムを前記パワーセーブモード直前の作業環境に復元するレジューム処理機能を実行するレジューム処理方法であって、

前記パワーセーブモードからのウェイクアップ時に、前記レジューム処理機能の実行のために B I O S プログラムによって実行されるべき第 1 のレジューム処理の中で、オペレーティングシステムの動作に必要な、C P U を含むシステムコア部の状態を前記メモリにセーブされたシステムデータを用いて復元するための処理を、前記 B I O S プログラムに実行させるステップと、

20

前記 C P U を含むシステムコア部の状態を復元するための、デバイス毎に設けられたそれぞれの処理の完了に応答して、前記 B I O S プログラムから前記オペレーティングシステムに制御を移し、前記レジューム処理機能の実行のために前記オペレーティングシステムによって実行されるべき前記デバイス毎に設けられた第 2 のレジューム処理を、前記オペレーティングシステムに実行させるステップと、

前記第 1 のレジューム処理の内の残りの処理と前記第 2 のレジューム処理とが交互に実行されるように、前記オペレーティングシステムが前記第 2 のレジューム処理を実行している期間中に割り込み処理を挿入し、その割り込み処理の中で前記 B I O S プログラムを実行させるステップとを具備することを特徴とするレジューム処理方法。

30

【請求項 12】

複数のデバイスを有するコンピュータシステムに適用されるレジューム処理方法であって、

前記コンピュータシステムをパワーセーブモードに設定することを示すイベントの発生に
応答して、前記複数のデバイスを動作ステートから省電力ステートに遷移させるステップと、

C P U を含むシステムコア部のシステムデータを前記コンピュータシステムのメモリにセーブし且つ前記省電力ステートに遷移された複数のデバイスそれぞれのステータスデータを前記コンピュータシステムのメモリにセーブした後、前記コンピュータシステムを前記パワーセーブモードに入れるステップと、

40

前記パワーセーブモードからの復帰を示すウェイクアップイベントの発生に
応答して、前記メモリにセーブされているシステムデータを用いて前記 C P U を含むシステムコア部の状態を復元する処理を B I O S プログラムによって実行するステップと、

前記メモリにセーブされているステータスデータを用いて前記複数のデバイスそれぞれを前記省電力ステートの状態に復元する第 1 のレジューム処理を B I O S プログラムによって実行するステップと、

前記省電力ステートに復元された前記複数のデバイスそれぞれを前記動作ステートに復

50

元する第 2 のレジューム処理をオペレーティングシステムによって実行するステップと、
前記 CPU を含むシステムコア部の状態を復元するための、デバイス毎に設けられたそれぞれの処理の完了に応答して前記 BIOS プログラムから前記オペレーティングシステムに制御を移し、前記省電力状態への復元が完了したデバイスから順に前記動作状態への復元処理が開始されるように、前記第 1 のレジューム処理と前記第 2 のレジューム処理とを交互に実行させるステップとを具備することを特徴とするレジューム処理方法。

【請求項 13】

前記第 1 のレジューム処理を実行するステップは、前記複数のデバイスのコマンド処理が並行して実行されるように、前記複数のデバイスに対してそれらを前記省電力状態の

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はコンピュータシステムおよび同システムで使用されるレジューム処理方法に関し、特にパワーセーブモードから通常動作モードに高速に復帰することが可能なコンピュータシステムおよび同システムで使用されるレジューム処理方法に関する。

【0002】

【従来の技術】

20

近年、携帯可能なノートブックタイプまたはサブノートタイプのパーソナルコンピュータや、携帯情報端末などのポケットコンピュータが種々開発されている。

【0003】

この種のポータブルコンピュータは、バッテリー駆動可能な時間を延ばすために、コンピュータシステムの電力を節約するための種々のパワーセーブモード（スリープモード）が設けられている。サスペンドモードは、最も電力消費の少ないスリープモードの 1 つである。すなわち、コンピュータシステムがサスペンドモードの時は、オペレーティングシステムやユーザプログラムの再スタートに必要なシステムデータがセーブされている主メモリを除く、システム内の他のほとんどのデバイスはパワーオフされる。

【0004】

30

主メモリにセーブされるシステムデータは、コンピュータシステムがサスペンドモードに設定される直前の CPU のステータスおよび各種デバイスのステータスである。また、この主メモリには、オペレーティングシステムおよびアプリケーションプログラムの実行状態やそのアプリケーションプログラムによって作成されたユーザデータも記憶されている。サスペンド後にシステムが再度パワーオンされると、主メモリにセーブされているシステムデータがリストアされ、これによりサスペンドモード直前の作業状態に復元される（レジューム）。

【0005】

システムデータのセーブは、システム BIOS（基本入出力プログラム）に組み込まれたサスペンドルーチンによって実行される。システム BIOS はオペレーティングシステムからの要求にしたがってシステム内のハードウェアを制御するためのものであり、システム内の各種ハードウェアデバイスを制御するデバイスドライバ群を含んでいる。システム BIOS のサスペンドルーチンは、システムの電源オフ時などに起動され、CPU のレジスタおよび各種周辺 LSI のステータスをメモリにセーブした後、システムをパワーオフする。

40

【0006】

主メモリへの電源供給は、システムがパワーオフの期間中ずっとバッテリーによって維持される。このため、システムのステータスおよびユーザデータは消失されることなく、サスペンド前の作業状態にシステムを高速に戻すことができる。

【0007】

50

【発明が解決しようとする課題】

ところが、最近では、A C P I (Advanced Configuration and Power Interface) に代表されるように、オペレーティングシステム (OS) 自体にシステムのパワーセーブに関する管理機能を持たせる技術が開発されており、サスペンド/レジューム処理は、OS の管理の下で、OS と BIOS との共同作業で行われるようになってきている。この場合、レジューム処理は、BIOS によるレジューム処理と OS によるレジューム処理との 2 段階で実行される。BIOS によるレジューム処理では、OS およびその OS 管理下の各デバイスの動作が保証できる状態までの復帰処理が実行される。その後、BIOS から OS に制御が移され、OS によるレジューム処理が実行される。この OS によるレジューム処理により、各デバイスはサスペンド前と同じ元の動作状態に復元される。

10

【0008】

しかし、コンピュータシステムは通常多数のデバイスによって構成されているので、全てのデバイスに対する BIOS のレジューム処理が完了してから OS のレジューム処理に移行するという従来の順次処理では、既に BIOS のレジューム処理が完了しているデバイスがあっても、それに対する OS のレジューム処理を開始することができない。このため無駄な待ち時間が生じ、システム状態の復元に比較的多くの時間が必要とされた。

【0009】

本発明は上述の事情に鑑みてなされたものであり、レジューム処理を高速に実行できるようにし、サスペンドなどのパワーセーブモードからの復帰に要する時間を短縮することが可能なコンピュータシステムおよびサスペンド処理方法を提供することを目的とする。

20

【0010】**【課題を解決するための手段】**

上述の課題を解決するため、本発明は、パワーセーブモードへの移行時にメモリにセーブされたシステムデータを用いて、前記パワーセーブモード直前の作業環境を復元するレジューム処理機能を有するコンピュータシステムにおいて、前記パワーセーブモードからのウェイクアップ時に、前記レジューム処理機能の実行のために BIOS プログラムによって実行されるべき第 1 のレジューム処理の内で、オペレーティングシステムの動作に必要な、CPU を含むシステムコア部の状態を前記メモリにセーブされたシステムデータを用いて復元するための処理を、前記 BIOS プログラムに実行させる手段と、前記 CPU を含むシステムコア部の状態を復元するための、デバイス毎に設けられたそれぞれの処理の完了にตอบสนองして、前記 BIOS プログラムから前記オペレーティングシステムに制御を移し、前記レジューム処理機能の実行のために前記オペレーティングシステムによって実行されるべき前記デバイス毎に設けられた第 2 のレジューム処理を、前記オペレーティングシステムに実行させる手段と、前記第 1 のレジューム処理の内の残りの処理と前記第 2 のレジューム処理とが交互に実行されるように、前記オペレーティングシステムが前記第 2 のレジューム処理を実行している期間中に割り込み処理を挿入し、その割り込み処理の中で前記 BIOS プログラムを実行させる割り込み制御手段とを具備することを特徴とする。

30

【0011】

このコンピュータシステムにおいては、BIOS プログラムによって実行される第 1 のレジューム処理が 2 つに分割されており、第 1 のレジューム処理の内でオペレーティングシステムの動作に必要なシステムコア部の状態を復元するための処理部分が完了した時点で、BIOS プログラムからオペレーティングシステムに制御が移される。この後は、第 2 のレジューム処理を実行している期間中に割り込み処理を挿入して、その割り込み処理の中で BIOS プログラムを実行させることにより、第 1 のレジューム処理の内の残りの部分と、オペレーティングシステムによる第 2 のレジューム処理とが並行して実行される。これにより、全てのデバイスに対する第 1 のレジューム処理の完了を待たずに第 2 のレジューム処理を開始できるので、全てのデバイスに対する BIOS の第 1 のレジューム処理が完了してからオペレーティングシステムの第 2 のレジューム処理に移行するという従来の順次処理に比べ、レジューム処理全体に要する時間を短縮することができる。

40

50

【 0 0 1 2 】

また、一般にデバイスの状態復元のためには、初期化処理の場合と同様に、そのデバイスに対して何度もコマンドを発行することが必要となり、またそのコマンド発行の度にそのデバイスがコマンド処理を完了するまで待機するというI/O待ちが発生することになる。I/O待ちによるペナルティーは、第1のレジューム処理の内の残りの部分と、オペレーティングシステムによる第2のレジューム処理との並行処理によって大幅に低減できる。

【 0 0 1 3 】

【 発明の実施の形態 】

以下、図面を参照して本発明の実施形態を説明する。

10

図1には、本発明の一実施形態に係るコンピュータシステムの構成が示されている。このコンピュータシステムは、ノートブックタイプまたはサブノートタイプのポータブルパーソナルコンピュータであり、コンピュータ本体と、このコンピュータ本体に開閉自在に取り付けられたLCDパネルユニットとから構成されている。このコンピュータは、内蔵バッテリーを有しており、その内蔵バッテリーからの電力によって動作可能に構成されている。また、ACアダプタを介してAC商用電源などの外部電源から電力供給を受けることもできる。外部電源から電力供給を受けているときは、その外部電源からの電力がコンピュータシステムの動作電源として用いられる。このとき、外部電源からの電力によって内蔵バッテリーの充電も自動的に行われる。ACアダプタが取り外されたり、あるいはAC商用電源のブレーカが落とされたときなどは、内蔵バッテリーからの電力がコンピュータシステムの動作電源として用いられる。

20

【 0 0 1 4 】

また、このコンピュータには、CPU11、CPUバス1とPCIバス2間をつなぐホスト-PCIブリッジ12、主メモリ13、VGAコントローラ14、LANコントローラ15、PCI-ISAブリッジ16、I/Oコントローラ17、ハードディスクドライブ(HDD)18、PCカード19、BIOS-ROM20、埋め込みコントローラ(EC)21、電源コントローラ22などが設けられている。

【 0 0 1 5 】

CPU11は、このシステム全体の動作制御およびデータ処理を実行する。このCPU11としては、システム管理割り込みSMI(SMI; System Management Interrupt)をサポートするもの、例えば、米インテル社により製造販売されているマイクロプロセッサ“Pentium”などが使用される。この場合、CPU11は、次のようなシステム管理機能を持つ。

30

【 0 0 1 6 】

すなわち、CPU11は、アプリケーションプログラムやオペレーティングシステム(OS)などのプログラムを実行するための動作モードとしてリアルモード、プロテクトモード、仮想8086モードを有する他、システム管理モード(SMM; System Management mode)と称されるシステム管理機能を実現するための動作モードを有している。

【 0 0 1 7 】

リアルモードは、最大で1Mバイトのメモリ空間をアクセスできるモードであり、論理アドレスから物理アドレスへの変換は、セグメントレジスタで表されるベースアドレスからのオフセット値で物理アドレスを決定するアドレス計算形式によって行われる。

40

【 0 0 1 8 】

一方、プロテクトモードは1タスク当たり最大4Gバイトのメモリ空間をアクセスできるモードであり、ディスクブリタテーブルと称されるアドレスマッピングテーブルを用いてリニアアドレスが決定される。このリニアアドレスは、ページングによって最終的に物理アドレスに変換される。

このように、プロテクトモードとリアルモードとでは、互いに異なるメモリアドレッシングが採用されている。

50

【 0 0 1 9 】

システム管理モード（SMM）は疑似リアルモードであり、このモードにおけるアドレス計算形式はリアルモードのアドレス計算形式と同一であり、ディスクブリタテーブルは参照されず、ページングも実行されない。しかし、SMMでは、プロテクトモードと同様に、1 Mバイトを越えるメモリ空間をアクセスすることができる。

【 0 0 2 0 】

システム管理割込み（SMI；System Management Interrupt）がCPU 11に発行された時、CPU 11の動作モードは、その時の動作モードであるリアルモード、プロテクトモード、または仮想8086モードから、SMMにスイッチされる。SMIによってSMMにスイッチした時、CPU 11はその時のCPUレジスタの内容であるCPUステータスを主メモリ13上のオーバーレイメモリ（SMRAMと称される）にセーブする。また、SMMにおいて復帰命令（RSM命令）が実行されると、CPU 11はSMRAMからCPUレジスタにCPUステータスをリストアし、SMI発生前の動作モードに復帰する。本実施形態においては、SMMにおいて、BIOSのシステム管理プログラム（サスペンド処理ルーチンおよびレジューム処理ルーチンなど）が実行される。サスペンド処理ルーチンは、OSとの共同作業により、システムステートをサスペンド状態（パワーセーブモード）に設定するためのものであり、CPUコンテキストおよび各種デバイスのステータスなどを含むシステムデータを主メモリ13にセーブした後に、主メモリ13を除く他のほとんどのデバイスをパワーオフする（メモリサスペンド）。レジュームルーチンは、OSとの共同作業により、システムをメモリサスペンド前の動作状態に復元させるためのものであり、ウェイクアップイベントが発生したときに、主メモリ13にセーブされているシステムデータを元のCPU 11および各デバイスにリストアする。

【 0 0 2 1 】

SMIはマスク不能割込みNMIの一種であるが、通常のNMIやマスク可能割込みINTRよりも優先度の高い、最優先度のハードウェア割り込みである。このSMIを発行することによって、実行中のオペレーティングシステムの環境に依存せずにBIOSを起動することができる。

【 0 0 2 2 】

ホスト-PCIブリッジ12はCPUバス1とPCIバス2間を双方向でつなぐブリッジであり、ここには主メモリ13を制御するためのメモリコントローラも内蔵されている。主メモリ13はこのシステムの主記憶つまりシステムメモリとして使用されるものであり、オペレーティングシステム、処理対象のアプリケーションプログラム、およびアプリケーションプログラムによって作成されたユーザデータ等が格納される。この主メモリ13はDRAMなどの半導体メモリによって実現されている。

【 0 0 2 3 】

主メモリ13はこのシステムの主記憶つまりシステムメモリとして使用されるものであり、オペレーティングシステム、処理対象のアプリケーションプログラム、およびアプリケーションプログラムによって作成されたユーザデータ等が格納される。この主メモリ13はDRAMなどの半導体メモリによって実現されている。前述のSMRAM（System Management RAM）は、図2に示すように、主メモリ13を構成する物理メモリの一部に割り当てられた記憶空間であり、SMI信号がCPU 11に入力された時だけメモリアドレスがマッピングされてアクセス可能となる。ここで、SMRAMがマッピングされるアドレス範囲は固定ではなく、SMBASEと称されるCPU 11内のレジスタによって4 Gバイト空間の任意の場所に変更することが可能である。SMBASEレジスタは、SMM中でないとアクセスできない。

【 0 0 2 4 】

CPU 11がSMMに移行する時には、CPUコンテキスト（CPUステータス）、つまりSMIが発生された時のCPU 11のレジスタ等が、SMRAMにスタック形式でセーブされる。このSMRAMには、BIOS-ROM 20のシステム管理プログラムを呼び

出すための JUMP 命令が格納されている。この JUMP 命令は、CPU 11 が SMM に入った時に最初に実行される命令であり、この命令実行によって BIOS のシステム管理プログラムに制御が移る。まず、SMI ハンドラによって SMI 発生要因がチェックされる。そして、SMI 発生要因に対応するシステム管理プログラムのサービスルーチンの実行が SMI ハンドラによってリクエストされる。

【0025】

BIOS - ROM 20 は、BIOS (Basic I/O System) を記憶するためのものであり、プログラム書き替えが可能なようにフラッシュメモリによって構成されている。BIOS は、このシステム内の各種ハードウェアをアクセスするためのファンクション実行ルーチンを体系化したものであり、リアルモードで動作するように構成されている。

10

【0026】

この BIOS には、システムのパワーオン時に各種デバイスの初期化及びテストを行う IRT ルーチンと、各種ハードウェア制御のための BIOS ドライバ群などが含まれている。各 BIOS ドライバは、ハードウェア制御のための複数の機能をオペレーティングシステムやアプリケーションプログラムに提供するためにそれら機能に対応する複数のファンクション実行ルーチン群を含んでいる。

【0027】

また、BIOS - ROM 20 には、前述のシステム管理プログラムなど、SMM の中で実行されるプログラムも格納されている。SMI ハンドラは、前述したように、SMI の発生要因に応じて各種 SMI サービスルーチンを起動するためのものである。なお、前述のサスペンド処理ルーチンなどは ACPI 対応の OS から直接起動することもできる。

20

【0028】

EC 21 は、システムが持つ付加機能を制御するためのコントローラであり、CPU 周辺温度などに応じてクーリングファンの回転制御などを行うための熱制御機能、システムの各種状態を LED の点灯やビープ音によってユーザに通知するための LED / ビープ音制御機能、電源コントローラ 22 と共同してシステム電源のオン / オフなどを制御する電源シーケンス制御機能、および電源ステータス通知機能などを有している。電源ステータス通知機能は、電源コントローラ 22 と共同して BIOS のレジューム処理ルーチンの起動要因となるウェイクアップイベントの発生を監視し、イベント発生時にそれを SMI などを用いて BIOS に通知するという機能である。ウェイクアップイベントとしては、電源スイッチ 23 のオン、パネルスイッチ 24 のオンなどがある。メモリサスペンド状態においても、EC 21 および電源コントローラ 22 には動作電源が供給されており、EC 21 の各機能は有効である。

30

【0029】

EC 21 は、BIOS との通信のための I/O ポートを有している。BIOS は、この I/O ポートを介して EC 21 内のコンフィグレーションレジスタに対してリード / ライトを行うことにより、監視および通知すべきイベントの種類の設定や、発生したイベントを示すステータスのリードなどを行うことができる。

EC 21 と電源コントローラ 22 間の通信は I²C バスを介して行われる。

40

【0030】

VGA コントローラ 14 は、このシステムのディスプレイモニタとして使用される LCD や外部 CRT を制御するためのものであり、VRAM に描画された画面データを LCD や外部 CRT に表示する。LAN コントローラ 15 は、本システムを LAN に接続するためのネットワークインターフェースである。I/O コントローラ 17 は各種 I/O デバイスとのインターフェースであり、ハードディスクドライブ (HDD) 18 を制御するための IDE インタフェース、PC カード 19 を制御するための PCMCIA / CARDBUS インタフェースなどを内蔵している。

【0031】

PCI - ISA ブリッジ 16 は PCI バス 2 と ISA バス 3 間を双方向でつなぐブリッジ

50

であり、ここにはS M I発生回路161が内蔵されている。S M I発生回路161は、図3に示すように、ソフトウェアS M I発生回路201、I/OトラップS M I発生回路202、その他のS M I発生回路204、O R回路204、タイマレジスタ205、ステータスレジスタ206などから構成されている。ソフトウェアS M I発生回路201は、タイマレジスタ205にセットされたインターバル時間で指定される所定の時間間隔でS M I信号(ソフトウェアS M I)を発生する。タイマレジスタ205はプログラム可能であり、ソフトウェアによって任意のインターバル時間をタイマレジスタ205にセットすることができる。本実施形態では、B I O Sによるレジューム処理とO Sによるレジューム処理とを交互に切り替えながら実行させるために、ソフトウェアS M Iが用いられる。ステータスレジスタ206はS M I発生要因を保持するためのものであり、O R回路204を通じてC P U 11に供給されたS M Iが、ソフトウェアS M I発生回路201、I/OトラップS M I発生回路202、その他のS M I発生回路204のいずれによるものであるかを記憶する。E C 21からのイベント通知は、その他のS M I発生回路204経由で発生されるS M IによってC P U 11に伝達される。

10

【0032】

次に、図4を参照して、本システムのモード遷移について説明する。

本システムはA C P I仕様に準拠したパワーセーブモードをサポートしている。A C P I仕様では、S 0からS 5までのシステムステートが定義されている。

S 0は動作状態(つまりシステムの電源が入っており、ソフトウェアが実行中の状態)、S 5はオフ状態(つまり全てのソフトウェアの実行は終了し、システムの電源が切られている状態)であり、S 1~S 4はその中間の状態(スリープ状態と呼ぶ、つまり直前までのソフトウェアの実行状態を保持しつつ動作が停止している状態)である。S 1~S 4のうち、本実施形態ではS 3とS 4をそれぞれメモリサスペンド状態、ハイバネーション状態としてサポートする。

20

【0033】

つまり、S 3では主メモリ13(および一部のチップセット)の電源のみを保持する。つまり主メモリ13(および一部のチップセット)の内容のみが保持される。必要な消費電力は少なくなり、バッテリー駆動状態でスリープ状態(パワーセーブモードの状態)を長時間持続させることができる。

【0034】

S 4ではハードディスク18に主メモリ13等の内容が全て保存され、システムの電源は全て切られる。スリープ中の消費電力は最小(S 5の状態に等しい)だが、S 0へ戻るのに最も時間がかかる。つまり最も「深い」スリープ状態である。

30

【0035】

さらに、A C P I仕様では、デバイスパワーマネジメントのためのステートとして、D 0からD 3までのステート(デバイスパワーステート)を定義している。デバイスパワーマネジメントはバス上のデバイスに関するパワーマネジメントである。各デバイスは最低D 0とD 3の2つの状態をサポートすることが要求されている。D 0はデバイスが完全にアクティブの動作ステートであり、またD 3は電源オフ状態と同等の省電力ステートである。

40

【0036】

システムステートがS 0からS 3のメモリサスペンド状態に遷移するとき、それに合わせて各デバイスのデバイスステートもそれまでのステート(通常はD 0)から省電力ステートであるD 3に遷移される。デバイスステートD 3への遷移はO Sの制御の下に実行され、D 3状態に遷移したデバイスのレジスタ等のステータスを主メモリ13にセーブする処理はB I O Sによって実行される。

【0037】

次に、図5を参照して、S 0の動作状態からS 3のメモリサスペンド状態に遷移する時に実行される一連の処理の流れについて説明する。

G U Iによるコマンド入力または電源スイッチのオフ操作などによってユーザからO Sに

50

対してサスペンド（スタンバイ）の指示がなされると、OSは、現在の作業を問題なく中断するために必要な処理（OSサスペンド処理）を開始する（ステップS101）。ここでは、例えばネットワーク接続環境などの現在の状態を主メモリ13またはHDD18などに保存するなどの処理も行われる。次いで、OSは、システム内の各デバイスをD0からD3に遷移させるための処理を行う（ステップS102）。全てのデバイスがD3に遷移した後、OSからのリクエストにより、BIOSのサスペンド処理ルーチンが起動される。

【0038】

サスペンド処理ルーチンは、CPU11およびホスト-PCIブリッジ12などのコアダバイスの内部ステータスをシステムデータとして主メモリ13にセーブし（ステップS103）、次いで、D3に設定されている各デバイスのステータスを主メモリ13にセーブする（ステップS104）。この後、サスペンド処理ルーチンは、EC21を通じて電源コントローラ22を制御することにより、主メモリ13（および一部のチップセット）を除く他のほとんどのデバイスをパワーオフする（ステップS104）。

【0039】

次に、図6を参照して、S3のメモリサスペンド状態からS0の動作状態に復帰する時に実行される一連の処理の流れについて説明する。

電源スイッチ23のオン操作などのウェイクアップイベントが発生すると、BIOSのレジュームルーチンが実行される。BIOSのレジュームルーチンは、まず、主メモリ13にセーブされているシステムデータをCPU11およびホスト-PCIブリッジ12などのコアダバイスにリストアすることにより、OSの動作に最低限必要なコアダバイスの復帰処理（コアダバイス復帰）を実行する（ステップS111）。次いで、BIOSのレジュームルーチンは、主メモリ13にセーブされている各デバイスのデータをリストアすることにより、各デバイスをD3の状態に復帰させるための処理（D3復帰処理）を実行する（ステップS112）。このステップS112のD3復帰処理は、各デバイスをD3からD0の状態に復帰させるというステップS113の処理（D0復帰）と並行して実行される。D0復帰処理は、OSによって実行される。全てのデバイスについてのD0復帰処理が終了した後、OSは、そのOSの作業環境をメモリサスペンド前と同じ状態にするための残りのレジューム処理を行う（ステップS114）。ここでは、例えばネットワークの再接続などの処理や、BIOSによって管理されないオプションデバイスに関する復帰処理などが実行される。

【0040】

すなわち、複数のデバイスそれぞれに関するレジューム処理はD3復帰とD0復帰の2段階で行われる。本実施形態では、これらD3復帰処理とD0復帰処理との並行処理により、D3復帰が完了したデバイスから順にD0復帰を開始できるようにしている。

【0041】

この並行処理の原理を図7に示す。図7(a)は従来の順次処理を示し、図7(b)は本実施形態の並行処理を示している。図7(b)から分かるように、本実施形態では、BIOSによるレジューム処理をコアダバイスの復帰処理と他の各デバイスに関するD3復帰処理とに分割しており、コアダバイスの復帰処理が完了した時点で、OSによるレジューム処理を開始させるようにしている。BIOSによるD3復帰処理は、OSによるD0復帰処理中にソフトウェアSMIを定期的に発行すること等によって割り込み処理の形式で実行される。これにより、D3復帰処理とD0復帰処理とが時分割的に交互に実行されることになり、全てのデバイスについてのD3復帰処理が完了してからD0復帰処理に移行するという従来の順次処理に比べ、レジューム処理全体に要する時間を短縮することができる。

【0042】

図8には、D3復帰処理とD0復帰処理との並行処理の様子が模式的に示されている。図8では、BIOSによるD3復帰処理がデバイスA、B、Cの順で完了し（ステップS201、S202、S203）、D3復帰処理が完了したデバイスから順にOSによるD

10

20

30

40

50

0 復帰処理（ステップ S 2 1 1 , S 2 1 2 , S 2 1 3 ）が実行される様子が示されている。D 3 復帰処理は、D 0 復帰処理を正常に行うために必要な前処理である。このため、図 8 のように、D 3 復帰処理が完了したデバイスから順に D 0 復帰処理を行うことにより、不具合を招くことなく、各デバイスを D 0 ステートに正常に復帰させることができる。

【 0 0 4 3 】

なお、D 3 復帰処理および D 0 復帰処理のどちらにおいても、各デバイスに対してはレジスタ値の設定などのためのコマンドが順次発行されることになる。コマンド毎に I / O 待ちが発生するので、あるデバイスに対する I / O 待ちの時間を利用して他のデバイスに対する処理を行うことにより、さらにレジューム処理の効率化を図ることができる。これを実現するため、本実施形態では、複数のデバイスそれぞれに対する D 3 復帰処理を並行して実行するようにしている。この様子を図 9 に示す。

10

【 0 0 4 4 】

図 9 においては、デバイス A , B , C に関する D 3 復帰処理を並行して行い、且つこの D 3 復帰処理と OS による D 0 復帰処理が並行して行われる様子が示されている。すなわち、B I O S は、まず、デバイス A にコマンドを発行し（ステップ S 3 0 1 ）、そのデバイス A のコマンド処理待ちの間に、デバイス B にコマンドを発行する（ステップ S 3 0 2 ）。同様に、このデバイス B のコマンド処理待ちの間に、デバイス C にコマンドを発行する（ステップ S 3 0 2 ）。このような処理は、割り込み処理によって OS から B I O S に制御が移されるたびに、D 3 復帰処理が完了していないデバイスそれぞれに対して実行される。図 9 では、説明を簡単にするために、デバイス A については一回のコマンド処理（A 1 ）で D 3 復帰処理が完了し、デバイス B については 3 回のコマンド処理（B 1 ~ B 3 ）で D 3 復帰処理が完了し、そしてデバイス C については 3 回のコマンド処理（B 1 ~ B 3 ）で D 3 復帰処理が完了する場合を示している。

20

【 0 0 4 5 】

OS の D 0 復帰処理では、デバイス A , B , C それぞれについて D 3 復帰処理が完了しているかどうかチェックされ（ステップ S 4 0 1 ~ S 4 0 3 ）、D 3 復帰処理が完了してレディー状態となったデバイスから順に D 0 復帰処理が実行される（ステップ S 4 0 4 , S 4 0 5 , S 4 0 6 ）。各デバイスの D 0 復帰処理においてもコマンド終了待ち（I / O 待ち）が発生する。このため、もしそのコマンド終了待ちの期間中にソフトウェア S M I が発生すれば、あるデバイスに関する D 0 復帰のためのコマンド処理と並行して、別のデバイスに関する D 0 復帰のためのコマンド処理が実行されることになる。つまり、デバイス A , B , C に着目すれば、それらは同時並行的にコマンド処理を実行することになる。

30

【 0 0 4 6 】

次に、図 1 0 のフローチャートを参照して、レジューム処理の手順について具体的に説明する。

B I O S は、まず、前述のコアデバイス復帰処理を実行する（ステップ S 5 0 1 ）。次に、B I O S は、ソフトウェア S M I の発生準備のために、タイマレジスタ 2 0 5 に所定のインターバルタイマ値（S M I タイマ）をセットした後（ステップ S 5 0 2 ）、主メモリ 1 3 上に存在する OS レジューム処理の先頭コードにジャンプして OS に制御を渡す（ステップ S 5 0 3 ）。

40

【 0 0 4 7 】

OS は、そのレジューム処理のメインルーチンの中で、デバイス A , B , C それぞれについて D 3 復帰処理が完了しているかどうか、および全デバイスの D 0 復帰処理が完了したかをサイクリックにチェックする（ステップ S 5 0 4 , S 5 0 5 , S 5 0 6 , S 5 0 7 ）。例えばデバイス毎にビジステータスフラグを用意し、D 3 復帰処理が完了したデバイス毎に B I O S が対応するビジステータスフラグをリセットするなどの仕組みを用いれば、OS は、該当するデバイスに対応するビジステータスフラグをチェックするだけで D 3 復帰処理が完了しているかどうかを容易に判別することができる。ステップ S 5 0 4 , S 5 0 5 , S 5 0 6 , S 5 0 7 の手順は、例えば A C P I 用に用意されたマクロである A S L 等によって OS に記述しておけばよい。

50

【 0 0 4 8 】

そして、OSは、D3復帰処理が完了したデバイスから順にD0復帰処理のためのコマンド発行を行う（ステップS508～S510）。全デバイスのD0復帰処理が完了すると、OSは、必要なネットワーク再接続などの処理を行って、サスペンド前のOS作業環境を復元する（ステップS511）。

【 0 0 4 9 】

以上のOSレジューム処理の期間には定期的にソフトウェアSMIが発生し、そのたびにBIOSに制御が移される。BIOSは、SMI割り込み処理の中で図11に示す処理を実行する。

【 0 0 5 0 】

すなわち、BIOSは、まず、デバイスAに関するD3復帰処理が全て完了しているか否かをチェックし（ステップS611）、完了してなければ、デバイスAに関するD3復帰処理を実行する（ステップS612）。デバイスAのD3復帰処理に例えば3つのコマンド処理（処理#1、#2、#3）が必要な場合、ステップS612では、各処理毎にそれが実行済みであるかどうかをチェックし、未実行であればそれを実行するという処理が行われる。一つのコマンド処理を行うたびに、BIOSは、ステップS612の処理から抜ける。

【 0 0 5 1 】

デバイスAに関するD3復帰処理が全て完了している場合、あるいはステップS612にてデバイスAに関する一つのコマンド処理を実行したならば、BIOSは、今度は、デバイスBに関するD3復帰処理が全て完了しているか否かをチェックし（ステップS613）、完了してなければ、デバイスBに関するD3復帰処理を実行する（ステップS614）。このステップS614でも、ステップS612と同様に、各コマンド処理毎にそれが実行済みであるかどうかをチェックしながら、未実行のコマンド処理を実行する。一つのコマンド処理を行うたびに、BIOSは、ステップS614の処理から抜ける。

【 0 0 5 2 】

以上のような処理が各デバイス毎に行われた後、BIOSは、全てのデバイスについてのD3復帰処理が全て完了したか否かをチェックする（ステップS615）。完了していない場合には、そのままSMMを抜けて、割り込み元のOSに制御を戻す。一方、全てのデバイスについてのD3復帰処理が全て完了した場合には、タイマレジスタ205のインターバルタイマ値（SMIタイマ）をリセットして、ソフトウェアSMIの発生を停止させた後（ステップS615）、SMMを抜けて、割り込み元のOSに制御を戻す。

【 0 0 5 3 】

以上のようにして、BIOSとOSが交互に実行されながら、複数のデバイスそれぞれのD3復帰とD0復帰のための処理が並行して進められる。

【 0 0 5 4 】

なお、これまでの説明ではOSからBIOSへの切り換えをソフトウェアSMIで行う場合についてのみ説明したが、D3復帰のためのコマンド処理の完了を示すデバイスからの割り込み信号をSMIに変換することにより、OSからBIOSへの切り換えをデバイスからの割り込み信号によって行うこともできる。そのためのハードウェア構成の一例を図12に示す。

【 0 0 5 5 】

図12に示されているように、通常は、デバイス301～303それぞれからの割り込み信号（IRQまたはINT）は割り込みコントローラ304を介してCPU11にマスク可能割り込みINTRなどとして供給される。OSのレジューム処理に影響を与えることなく、BIOSのレジューム処理を割り込み処理によって実行するためにはSMMモードを利用することが好ましい。このため、本例では、割り込み信号変換回路305、ステータスレジスタ306、イネーブル/ディスエーブルレジスタ307が設けられている。割り込み信号変換回路305は、デバイス301～303それぞれからの割り込み信号（IRQまたはINT）をSMI信号に変換し、それをデバイスSMIとしてOR回路204に

10

20

30

40

50

出力する。割り込み信号変換回路305の変換動作は、イネーブル/ディスエーブルレジスタ307の設定値によって許可又は禁止される。現在のデバイスS M Iがどのデバイスからの割り込み信号に起因するものであるかは、ステータスレジスタ306を参照することによって判別できる。

【0056】

以下、図13のフローチャートを参照して、デバイスS M Iを利用する場合におけるレジューム処理の手順を説明する。

【0057】

B I O Sは、まず、コアデバイス復帰処理を実行する(ステップS701)。

次に、B I O Sは、イネーブル/ディスエーブルレジスタ307をイネーブルフラグをセットして、デバイスS M Iの発生を有効にする(ステップS702)。

この後、B I O Sは、デバイスA, B, Cそれぞれに対してD3復帰に必要なコマンド発行を一回ずつ実行した後(ステップS703)、主メモリ13上に存在するOSレジューム処理の先頭コードにジャンプしてOSに制御を渡す(ステップS704)。そして、OSによるレジューム処理が開始される(ステップS705)。このOSレジューム処理では、図10のステップS504~S511で説明した処理が行われる。ただし、各デバイスからの割り込み信号はB I O S起動のためのデバイスS M Iとして利用されているので、D0復帰のためのコマンド処理が終了したか否かのチェックは該当するデバイスをポーリングすることによって行われることになる。

【0058】

D3復帰のためのコマンド処理が終了したデバイスから割り込み信号が発生すると、デバイスS M IによってB I O Sが起動される。B I O Sは、ステータスレジスタ306を参照することによってデバイスS M Iの要因が、デバイスAによるデバイスS M I(デバイスA__S M I)、デバイスBによるデバイスS M I(デバイスB__S M I)、デバイスCによるデバイスS M I(デバイスC__S M I)のいずれであるかを判定する。B I O SにはデバイスA, B, Cそれぞれに対応するS M I処理ルーチンが設けられており、デバイスS M Iの発生要因に対応するS M I処理ルーチンが実行される。

【0059】

例えば、デバイスAに対応するS M I処理ルーチンの場合には、デバイスAのD3復帰に必要な次のコマンド発行を一回実行する(ステップS711)。次いで、全デバイスに関するD3復帰処理の完了の有無をチェックし(ステップS712)、完了していない場合には、そのままS M Mを抜けて、割り込み元のOSに制御を戻す。一方、全てのデバイスについてのD3復帰処理が全て完了した場合には、イネーブル/ディスエーブルレジスタ307のイネーブルフラグをリセットして、デバイスS M Iを無効化した後(ステップS712)、S M Mを抜けて、割り込み元のOSに制御を戻す。デバイスBに対応するS M I処理ルーチンでも同様の処理(ステップS721~S723)が実行され、またデバイスCに対応するS M I処理ルーチンでも同様の処理(ステップS731~S733)が実行される。

【0060】

以上のように、本実施形態のレジューム処理方法によれば、B I O Sレジューム処理とOSレジューム処理を並行処理することで、レジューム処理の高速化を図ることが可能となる。

【0061】

なお、本発明は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

10

20

30

40

50

【 0 0 6 2 】

【 発明の効果 】

以上説明したように、本発明によれば、レジューム処理を高速に実行できるようになり、サスペンドなどのパワーセーブモードからの復帰に要する時間を短縮する事が可能となる。

【 図面の簡単な説明 】

【 図 1 】 本発明の一実施形態に係るコンピュータシステムの構成を示すブロック図。

【 図 2 】 同実施形態における B I O S レジュームルーチンの起動処理動作の一例を説明するための図。

【 図 3 】 同実施形態で用いられる S M I 発生回路の構成を示す図。

10

【 図 4 】 同実施形態のシステムステートの遷移の様子を示す図。

【 図 5 】 同実施形態のシステムがメモリサスペンド状態に遷移する時に実行される一連の処理の流れを説明するフローチャート。

【 図 6 】 同実施形態のシステムがメモリサスペンド状態から復帰する時に実行される一連の処理の流れを説明するフローチャート。

【 図 7 】 同実施形態のシステムで実行される B I O S レジューム処理と O S レジューム処理との並行処理の原理を説明するための図。

【 図 8 】 同実施形態のシステムで実行される D 3 復帰処理と D 0 復帰処理との並行処理の様子を示す図。

【 図 9 】 同実施形態のシステムにおいて複数のデバイスに関する D 3 復帰処理を並行して行う場合の処理例を示す図。

20

【 図 1 0 】 同実施形態のシステムで実行されるレジューム処理の手順を示すフローチャート。

【 図 1 1 】 同実施形態のシステムで実行される B I O S レジューム処理の手順を示すフローチャート。

【 図 1 2 】 同実施形態のシステムでデバイス S M I を利用する場合のハードウェア構成の一例を示すブロック図。

【 図 1 3 】 同実施形態のシステムで実行されるレジューム処理の手順の他の例を示すフローチャート。

【 符号の説明 】

30

1 1 ... C P U

1 2 ... ホスト - P C I ブリッジ

1 3 ... 主メモリ

1 5 ... L A N コントローラ

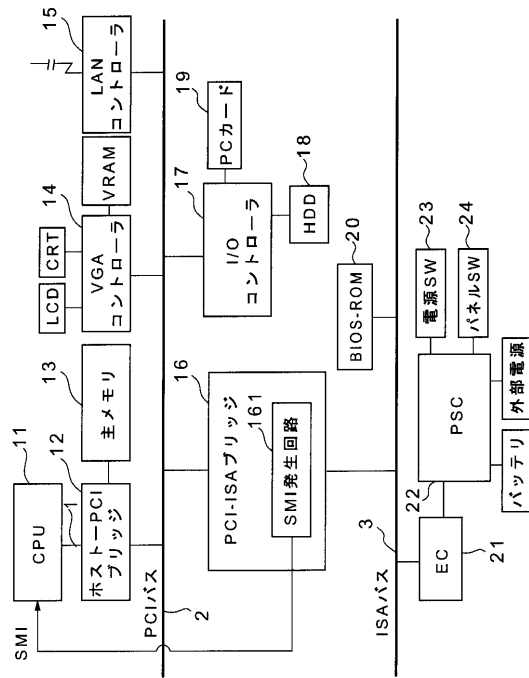
2 0 ... B I O S - R O M

2 0 1 ... ソフトウェア S M I 発生回路

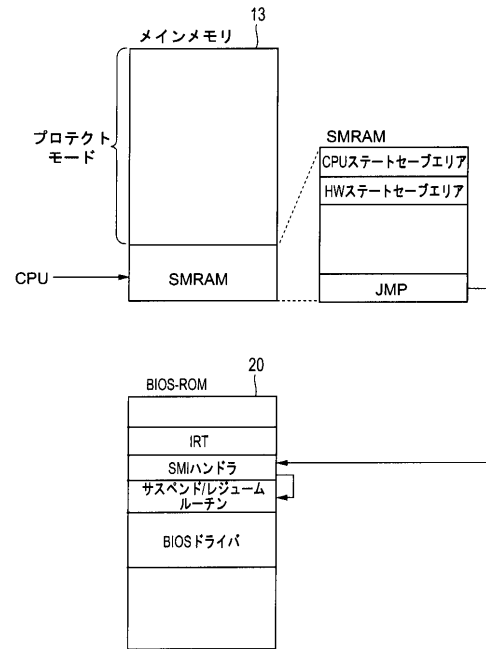
2 0 5 ... タイマレジスタ

3 0 5 ... 割り込み信号変換回路

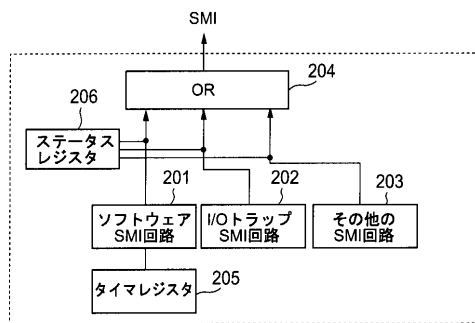
【図 1】



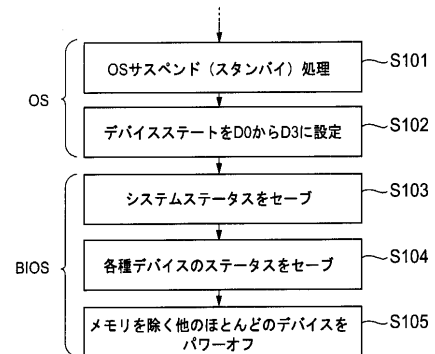
【図 2】



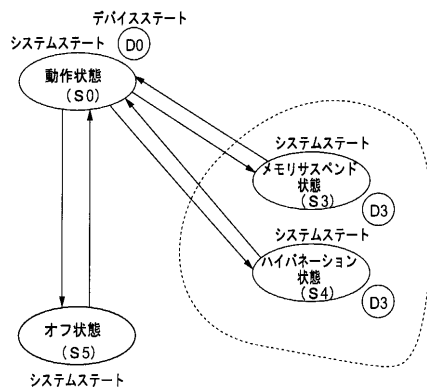
【図 3】



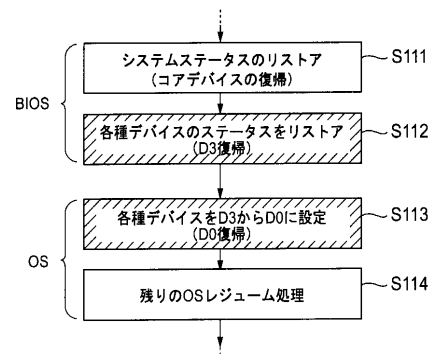
【図 5】



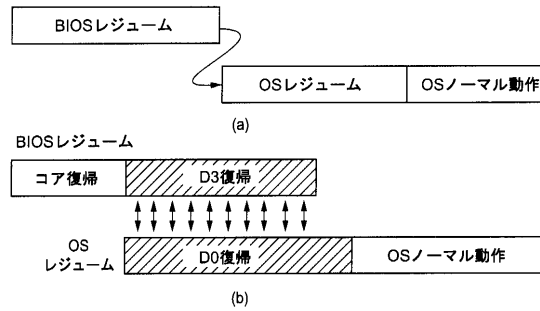
【図 4】



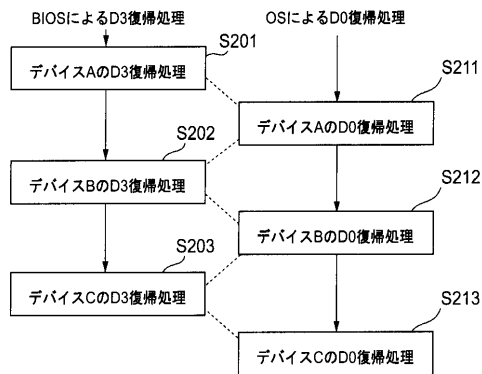
【図 6】



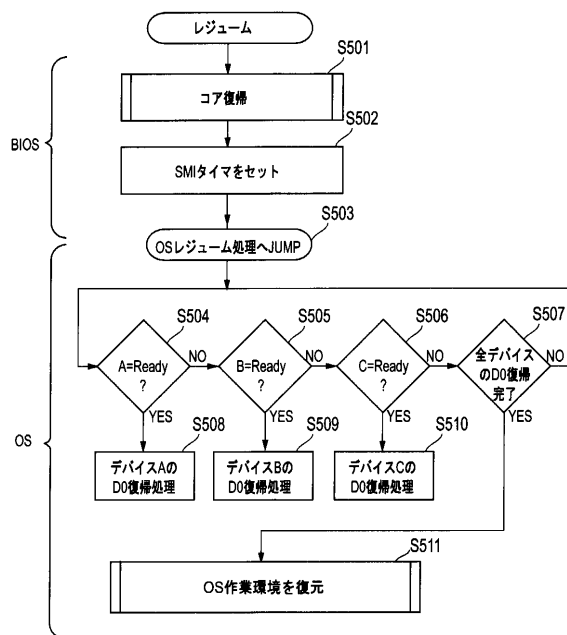
【図 7】



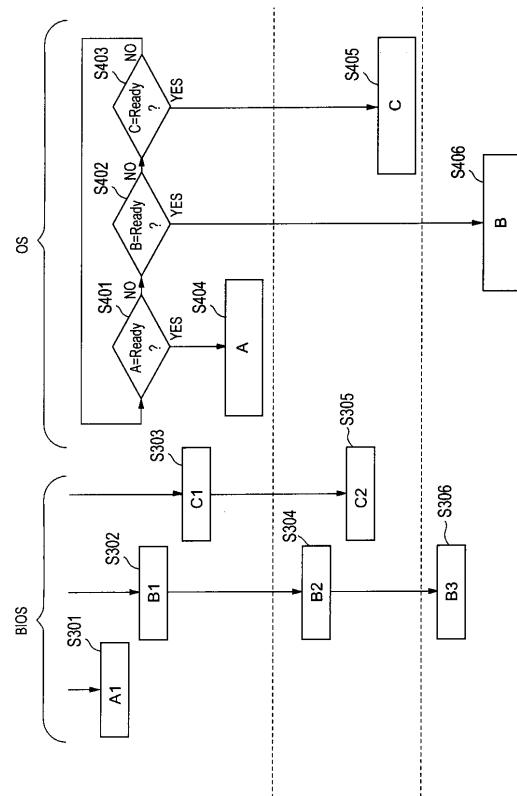
【図 8】



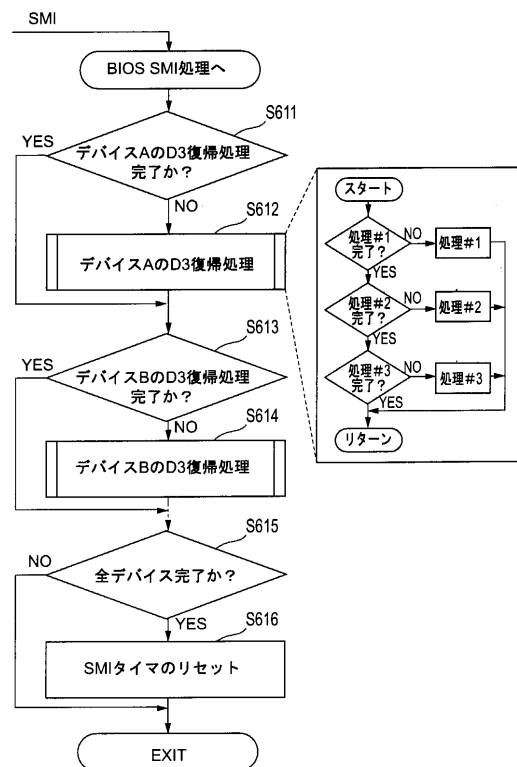
【図 10】



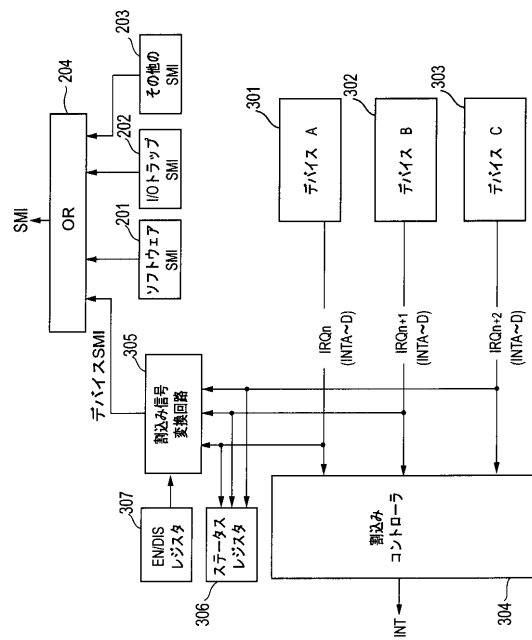
【図 9】



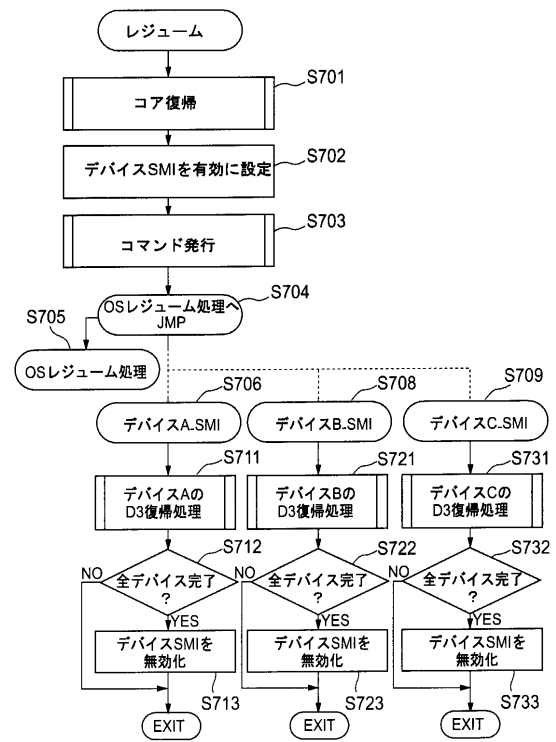
【図 11】



【図 12】



【図 13】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G06F 9/48

G06F 1/00

G06F 12/16