

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3922182号

(P3922182)

(45) 発行日 平成19年5月30日(2007.5.30)

(24) 登録日 平成19年3月2日(2007.3.2)

(51) Int. Cl.

F I

H03F 1/52 (2006.01)

H03F 1/52 Z

H03F 3/183 (2006.01)

H03F 3/183

H03F 3/217 (2006.01)

H03F 3/217

請求項の数 3 (全 9 頁)

(21) 出願番号 特願2002-379692 (P2002-379692)
 (22) 出願日 平成14年12月27日(2002.12.27)
 (65) 公開番号 特開2004-214793 (P2004-214793A)
 (43) 公開日 平成16年7月29日(2004.7.29)
 審査請求日 平成16年5月21日(2004.5.21)

(73) 特許権者 000004075
 ヤマハ株式会社
 静岡県浜松市中沢町10番1号
 (74) 代理人 100102635
 弁理士 浅見 保男
 (74) 代理人 100106459
 弁理士 高橋 英生
 (74) 代理人 100105500
 弁理士 武山 吉孝
 (74) 代理人 100103735
 弁理士 鈴木 隆盛
 (72) 発明者 野呂 正夫
 静岡県浜松市中沢町10番1号 ヤマハ株
 式会社内

最終頁に続く

(54) 【発明の名称】 増幅回路

(57) 【特許請求の範囲】

【請求項1】

入力信号の振幅を制限する電圧リミター回路と、
 該電圧リミター回路を介して入力される信号を増幅する増幅器と、
 該増幅器から負荷に供給される出力電流に比例する信号を増幅する電流検出アンプであ
 って、負荷インピーダンスが変化しても最大出力がほぼ一定となるようにゲインが大きく
 されていない電流検出アンプと、

基準電圧から前記電流検出アンプの出力を整流した電圧を減算した電圧を平均化する手
 段とを有し、

前記電圧リミター回路は、前記入力信号の電圧が前記平均化する手段の出力電圧に対し
 所定値以上高い電圧とならないように、前記入力信号の振幅を制限するものであることを
 特徴とする増幅回路。

【請求項2】

前記電圧リミター回路は、前記基準電圧から前記電流検出アンプの出力を整流した電圧
 を減算した電圧の瞬時値が、前記平均化する手段の出力電圧よりもさらに所定値低い電圧
 となったときにも、前記入力信号の振幅を制限するように構成されていることを特徴とす
 る請求項1記載の増幅回路。

【請求項3】

前記増幅器は、デジタルアンプであることを特徴とする請求項1又は2に記載の増幅回
 路。

10

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スピーカーなどを駆動する増幅回路に関する。

【0002】

【従来の技術】

スピーカーなどを駆動する増幅回路（パワーアンプ）は基本的に電圧出力であり、負荷に電圧信号を供給する。そのときの電流値は負荷のインピーダンスによって決まるが、スピーカーの場合インピーダンスは機種によって異なり、またインピーダンスは周波数によっても異なる。よって、パワーアンプはかなり広い範囲の負荷インピーダンスに対応する必要がある。

10

パワーアンプの出力電力は出力電圧と出力電流の積になる。最大出力電圧は電源電圧に依存するが、一般に、電源回路はレギュレーション特性を持っているので、負荷電流（出力電流）が増大すると電源電圧も低下する。よって負荷抵抗が小さくなると負荷電流が増すものの、最大出力電圧は低下するため、最大出力電力は完全には負荷抵抗に反比例しないが、一般的に最大出力電力は増大する方向に向かうため、どこかに出力信号を制限する手段を持たないとアンプが過電流もしくは電力的（熱的）に破壊してしまう。

このような目的で、ほとんどのパワーアンプは保護の目的で何らかのリミター回路（プロテクション回路）を持っている。

【0003】

20

リミター回路には、（１）出力電圧を制限する電圧リミター、（２）出力電流を制限する電流リミター、（３）アンプの消費電力を制限するＰＣリミターなどがある。

（１）電圧リミター

アンプの場合、リミター回路がなくても電源電圧でクリップするので、電圧リミターは特に設けなくても問題は無く、実際に無いアンプの方が多い。その場合、出力のクリップ電圧は電源電圧に依存するため、電源電圧が変動するとクリップ電圧も変動する。また、前述したように負荷電流が大きくなると一般的に電源電圧も低下するのでクリップ電圧も低下する。これは、理想アンプという視点からはデメリットに見えるが、現実的にはそうではない。一般的な一定電圧のリミターは、 8Ω 負荷と 2Ω 負荷の出力差が広がる（見かけ上理想アンプ＋理想電源の値に近づく）方向になるため意図的にそういう効果を狙う場合を除き、実用的な効果は少ない。

30

（２）電流リミター

電流リミターは、負荷ショート時の出力素子保護に不可欠な機能であり、負荷ショート時や低インピーダンス負荷時においてリミット値を越えた出力電流が流れたときに動作する。しかし、電流でクリップさせると信号波形が非常に汚くなる（スピーカーのインピーダンスがリアクタンス成分を含むため）ことと、出力が電流性になりスピーカーのダンピングが効かなくなる、などの問題があって耳につきやすい異音が発生するため、音楽再生中にパワーコントロールの目的で頻繁に動作させるわけにはいかず、あくまでアンプの破壊を防ぐ目的で異常負荷時のプロテクションという意味合いで使われる。

（３）ＰＣリミター

40

ＰＣリミターは、電流リミターのリミット電流値に出力電圧依存性を持たせたものである。負荷ショート時の電流リミット値を小さく設定できるので出力素子の負担が少ないというメリットがある。出力素子の保護という目的では、電流リミターより有効であるが、これも電流制限動作なので電流リミターと同様に音楽再生中に動作させると異音が目立つこととなる。

【0004】

また、過大な出力を防止するために電力増幅部の出力電圧と基準電圧とを比較し、出力電圧が基準電圧以上になったときに入力信号レベルを低下させるようにした電力増幅器において、負荷に応じて電力増幅部に供給される電流値に応じて前記基準電圧を複数段階に設定するようにした電力増幅器が提案されている（特許文献１参照）。

50

【 0 0 0 5 】

【 特許文献 1 】

特開平 1 0 - 1 7 3 4 4 6 号公報

【 0 0 0 6 】

【 発明が解決しようとする課題 】

理想的電源（完全な定電圧電源）から電流供給を受ける理想アンプが 8Ω 負荷時に 100 W の最大出力を持つ場合、 4Ω 負荷で 200 W 、 2Ω 負荷で 400 W の最大出力を持つことになる。単純に理想アンプに近い最大出力特性を持つものが良いアンプであるという思想で設計されたアンプも存在しているが、オーディオアンプの場合、実用的には 2Ω 程度の負荷まで対応する必要があるので、この場合アンプとしては、 400 W の出力に耐えら

10

れる設計にする必要が生じ、非常に大型のアンプになってしまう。しかも、市場で最もポピュラーな 8Ω のスピーカーを駆動する場合は 100 W の出力しか得られないので合理性・実用性という面からみると決して好ましいものではない。

すなわち、アンプの最大出力は、負荷インピーダンスが例えば 2Ω から 8Ω へと変化しても大きく変化しないほうが望ましい。

そこで、本発明は、負荷インピーダンスが変化しても最大出力電力をほぼ一定に制御することが可能な増幅回路を提供することを目的としている。

【 0 0 0 7 】

【 課題を解決するための手段 】

上記目的を達成するために、本発明の増幅回路は、入力信号の振幅を制限する電圧リミター回路と、該電圧リミター回路を介して入力される信号を増幅する増幅器と、該増幅器から負荷に供給される出力電流に比例する信号を増幅する電流検出アンプであって、負荷インピーダンスが変化しても最大出力がほぼ一定となるようにゲインが大きくされていない電流検出アンプと、基準電圧から前記電流検出アンプの出力を整流した電圧を減算した電圧を平均化する手段とを有し、前記電圧リミター回路は、前記入力信号の電圧が前記平均化する手段の出力電圧に対し所定値以上高い電圧とならないように、前記入力信号の振幅を制限するものとされているものである。

20

また、前記電圧リミター回路は、前記基準電圧から前記電流検出アンプの出力を整流した電圧を減算した電圧の瞬時値が、前記平均化する手段の出力電圧よりもさらに所定値低い電圧となったときにも、前記入力信号の振幅を制限するように構成されているものである。

30

さらに、前記増幅器はデジタルアンプとされているものである。

【 0 0 0 9 】

【 発明の実施の形態 】

図 1 は、本発明の増幅回路の第 1 の実施の形態の概略構成を示すブロック図である。この図において、1 は入力信号を電圧増幅する入力アンプ、2 は該入力アンプ 1 の出力信号電圧を電流検出アンプ 5 の出力に応じて制限する電圧リミター回路、3 は該電圧リミター回路 2 の出力を電力増幅する電力増幅器（パワーアンプ）、4 は負荷（スピーカー）6 に流れる出力電流（負荷電流）を検出するために電力増幅器 3 の出力とスピーカー 6 との間に直列に挿入された抵抗値の小さな抵抗、5 は前記抵抗 4 の両端に発生する電圧を増幅する差動アンプなどにより構成された電流検出アンプ、6 はスピーカである。なお、前記パワーアンプ 3 としてはアナログアンプ又はデジタルアンプのいずれであってもよい。

40

【 0 0 1 0 】

ここで、前記電流検出アンプ 5 は、入力電圧の平方根にほぼ比例する電圧を出力する入出力電圧特性とされており、また、そのゲインは大きくされていない。さらに、前記電圧リミター回路 2 は、前記電流検出アンプ 5 の出力を積分回路等を用いて平均化した出力に基づいて動作するようになされている。

そして、前記電流検出アンプ 5 のゲインと前記積分回路等の時定数を、出力電流を増していくとそれに応じて前記電圧リミター回路 2 のリミット電圧を徐々に下げていくような穏やかな動作（帰還量の少ない動作）となるように設定している。帰還量を非常に多く設定

50

した場合には出力電流が基準値を超えると急激にクリップさせるというような急峻な動作となるが、本発明の増幅回路においては、意図的に電流検出アンプのゲインを大きくせずに帰還量を少なめに調整し、例えば、スピーカ 6 のインピーダンスが $2\ \Omega$ のときには、 $8\ \Omega$ のときよりも大きな電流（約 2 倍の電流）でクリップするように設定することで、最大出力がほぼ一定となるように制御している。

【0011】

図 2 は、本発明の増幅回路の第 2 の実施の形態の構成を示すブロック図である。この図において、入力アンプ 1、電圧リミター回路 2、パワーアンプ 3、抵抗 4、電流検出アンプ 5 及びスピーカ 6 は前記図 1 に示したものと同一である。なお、ここでは、パワーアンプ 3 としてデジタルアンプが用いられている場合を示しており、パワーアンプ 3 は、P W M 変調回路 3 1、ドライバ回路 3 2 及び該ドライバ回路 3 2 によりスイッチングされる M O S F E T 3 3 , 3 4 からなっており、正負電源により駆動される。また、前記 P W M 変調回路 3 1 には、前記 M O S F E T 3 3 , 3 4 の出力からデジタルフィードバックがかけられ、スピーカ 6 への出力端子からアナログフィードバックがかけられており、高品質の出力を得ることができるようになされている。

【0012】

図示するように、この実施の形態における電圧リミター回路 2 は、プラス側とマイナス側それぞれに、前記電流検出アンプ 5 の出力を検波する検波回路、該検波回路出力のピーク値を検出するピーク値検出回路と平均値を検出する平均値検出回路、及びピーク値検出回路と平均値検出回路の出力に基づいて前記入力アンプ 1 の出力電圧の振幅を制限するリミター回路を設けている。

すなわち、プラス側には、前記電流検出アンプ 5 の出力を両波整流したプラス側の信号を出力するプラス出力検波回路 2 1、該プラス出力検波回路 2 1 の出力の平均値を検出するプラス側平均値検出回路 2 2、前記プラス出力検波回路 2 1 の出力のピーク値を検出するプラス側ピーク値検出回路 2 3、及び、前記プラス側ピーク値検出回路 2 2 の出力と前記プラス側平均値検出回路 2 3 の出力により制御されるプラス側リミター回路 2 4 が設けられており、マイナス側にも同様に、マイナス出力検波回路 2 5、マイナス側平均値検出回路 2 6、マイナス側ピーク値検出回路 2 7 及びマイナス側リミター回路 2 8 が設けられている。

ここで、前記ピーク値検出回路（2 3 , 2 7）は、前記検波回路（2 1 , 2 5）の出力の瞬時値を検出するものであり、前記平均値検出回路（2 2 , 2 6）は前記検波回路（2 1 , 2 5）の出力の平均値又は実効値を検出するものである。

【0013】

このように構成された増幅回路において、入力信号は、前記入力アンプ 1 で電圧増幅されて P W M 変調回路 3 1 に入力され、ここでパルス幅変調信号に変換される。P W M 変調回路 3 1 の出力によりドライバ 3 2 が駆動され、出力トランジスタ 3 3 , 3 4 がオンオフ制御されて、インダクタンス L とキャパシタンス C とからなるローパスフィルタを介してスピーカ 6 が駆動される。このスピーカ 6 に流れる負荷電流に比例する電圧が前記抵抗 4 の両端に発生し、ゲインが大きくされていない電流検出アンプ 5 により増幅されて、電圧リミター回路 2 に入力される。電圧リミター回路 2 のプラス出力検波回路 2 1 からは、前記電流検出アンプ 5 の出力を両波整流したプラス側の信号が出力され、プラス側ピーク値検出回路 2 3 とプラス側平均値検出回路 2 2 とで、それぞれそのピーク値と平均値を検出し、それらがあらかじめ定めたそれぞれの所定の基準値以上のときにプラス側リミター回路 2 4 が作動し、入力アンプ 1 の電圧出力のプラス側の振幅を制限する。同様に、マイナス出力検波回路 2 5、マイナス側平均値検出回路 2 6、マイナス側ピーク値検出回路 2 7 及びマイナス側リミター回路 2 8 により入力アンプ 1 の出力電圧のマイナス側の振幅が制限される。

【0014】

このように、この実施の形態においては、前記プラス側平均値検出回路 2 2 及びマイナス側平均値検出回路 2 6 により、負荷電流の平均値が所定の基準値以上であることを検出し

10

20

30

40

50

て入力電圧の振幅を制限するとともに、プラス側ピーク値検出回路 2 3 及びマイナス側ピーク値検出回路 2 7 により負荷電流の瞬時値が所定の基準値以上であるときにも入力電圧の振幅を制限するようにしている。これにより、連続最大出力とダイナミックパワーの両者を独立して制御することができる。

また、プラス側とマイナス側それぞれに検波回路、平均値検出回路、ピーク値検出回路を設け、それらによりプラス側リミター回路とマイナス側リミター回路を制御するようにしている。これにより、リミット処理を確実に行うことができる。

【 0 0 1 5 】

図 3 は、前記図 2 における電圧リミター回路の具体的な構成例を示す図である。この図において、入力アンプ 1、電圧リミター回路 2、パワーアンプ 3、抵抗 4、電流検出アンプ 5 は前述のものと同様である。

10

前記抵抗 4 の両端に発生する負荷電流に比例する電圧は電流検出アンプ 5 で増幅され、その交流成分がコンデンサ C1 と抵抗 R1 の直列回路を介して増幅器 A4 の反転入力に供給される。増幅器 A4 の出力端と前記反転入力との間にコンデンサ C2 が接続されている。なお、前述のように電流検出アンプ 5 のゲインは大きくされていない。

正電源 + V と負電源 - V との間に、抵抗 R2、n p n トランジスタ T1 のコレクタ、トランジスタ T1 のエミッタ、抵抗 R3、抵抗 R4、p n p トランジスタ T2 のエミッタ、トランジスタ T2 のコレクタ、抵抗 R5 が直列に接続されている。前記トランジスタ T1 のベースとトランジスタ T2 のベースには前記増幅器 A4 の出力（コンデンサ C2 の一端）が接続されており、前記抵抗 R3 と R4 の接続点には前記コンデンサ C2 の他端が接続されている。

20

また、前記抵抗 R2 と前記トランジスタ T1 のコレクタとの接続点（a 点）と前記増幅器 A4 の出力端との間に n p n トランジスタ T4 のコレクタ、トランジスタ T4 のエミッタ、抵抗 R7 が直列に接続されており、前記抵抗 R5 と前記トランジスタ T2 のコレクタとの接続点（b 点）と前記増幅器 A4 の出力端との間に p n p トランジスタ T3 のコレクタ、トランジスタ T3 のエミッタ、抵抗 R6 が直列に接続されている。そして、前記トランジスタ T3 と T4 のベースは相互に接続され、前記コンデンサ C2 の他端が接続されている。

これらトランジスタ T1 ~ T4、抵抗 R2 ~ R7 の回路により、前記増幅器 A4 の出力が両波整流される。すなわち、前記増幅器 A4 の出力が正のとき、前記トランジスタ T1 が導通し、トランジスタ T3 も導通する。また、前記増幅器 A4 の出力が負のとき、前記トランジスタ T2 が導通し、トランジスタ T4 も導通する。これにより、a 点には正電源から前記増幅器 A4 の出力を両波整流した出力を減算した電圧（プラス側の検波出力）が生じ、b 点には負電源に前記増幅器 A4 の出力を両波整流した電圧を加算した電圧（マイナス側の検波出力）が生じる。

30

【 0 0 1 6 】

前記 a 点は、コレクタが接地に接続された p n p トランジスタ T5 のベースに接続されるとともに、正電源 + V にコレクタが接続された n p n トランジスタ T7 のベースに接続されている。そして、前記 n p n トランジスタ T7 のエミッタには抵抗 R8 の一端が接続されており、該抵抗 R8 の他端には、カソードが前記 p n p トランジスタ T5 のエミッタに接続されているダイオード D1 のアノードが接続されている。前記抵抗 R8 と前記ダイオード D1 のアノードの接続点（c 点）と接地との間には、抵抗 R10 とコンデンサ C3 が並列に接続されており、また、c 点は、エミッタが抵抗 R12 を介して正電源 + V に接続され、コレクタが接地に接続された p n p トランジスタ T9 のベースに接続されている。そして、p n p トランジスタ T9 のエミッタには、アノードが前記入力アンプ 1 の出力に接続されたダイオード D3 のカソードが接続されている。

40

これらにより、前記図 2 に示した電圧リミター回路におけるプラス側平均値検出回路 2 2、プラス側ピーク値検出回路 2 3 及びプラス側リミター回路 2 4 が実現されている。

【 0 0 1 7 】

一方、前記 b 点は、コレクタが接地に接続された n p n トランジスタ T6 のベースに接続されるとともに、負電源 - V にコレクタが接続された p n p トランジスタ T8 のベースに接続されている。そして、前記 p n p トランジスタ T8 のエミッタには抵抗 R9 の一端が接続され、該抵抗 R9 の他端は、アノードが前記 n p n トランジスタ T6 のエミッタに接続されたダイ

50

オードD2のカソードに接続されている。前記抵抗R9と前記ダイオードD2のカソードとの接続点(d点)と接地との間には抵抗R11とコンデンサC4とが並列に接続されており、d点は、コレクタが接地に接続され、エミッタが抵抗R13を介して負電源-Vに接続されたnpnトランジスタT10のベースに接続されている。そして、前記npnトランジスタT10のエミッタには、カソードが前記入力アンプ1の出力に接続されたダイオードD4のアノードが接続されている。

これらにより、前記図2におけるマイナス側平均値検出回路26、マイナス側ピーク値検出回路27及びマイナス側リミター回路28が実現されている。

【0018】

このような構成において、前記a点の電圧に応じてトランジスタT7が導通する期間に、正電源+Vを抵抗R8とR10で分圧した電圧がコンデンサC3にチャージされる。また、トランジスタT7が非導通の期間には該コンデンサC3にチャージされた電圧は抵抗R10を介して放電する。これにより、c点の電圧は、a点に生じたプラス側両波整流電圧の平均値に対応した電圧となる。そして、前記入力アンプ1の出力電圧と前記c点の電圧の差が、(ダイオードD3の順方向電圧降下+トランジスタT9のエミッタ-ベース間電圧=約1.2V)以上であるときに、該ダイオードD3及びトランジスタT9が導通し、入力アンプ1の出力電圧を(c点の電圧+ダイオードD3の順方向電圧降下+トランジスタT9のエミッタ-ベース間電圧)より大きくならないように制限する。このようにして出力電流の平均値が、前記抵抗R8、R10及びコンデンサC3により決定される所定の基準値以上となったときに、入力アンプ1の出力のプラス側の振幅を制限することができる。

【0019】

また、前記a点の電圧が瞬間的に大きく低下し所定の基準値よりも下がったときには、トランジスタT5が導通し、前記入力アンプ1の出力電圧が(ダイオードD3の順方向電圧降下+トランジスタT9のエミッタ-ベース間電圧+ダイオードD1の順方向電圧降下+トランジスタT5のエミッタ-ベース間電圧+a点の電圧)以上とならないように制限する。これにより、瞬時最大電力(ダイナミックパワー)が所定値以上とならないように制御することができる。なお、前記基準値は、前記ダイオードD1の個数により変更することができる。

【0020】

一方、マイナス側においても、前記トランジスタT6、T8、T10、ダイオードD2、D4、抵抗R9、R11、R13、コンデンサC4からなる回路が、同様に動作して、定格出力(連続最大出力)及び瞬時最大電力(ダイナミックパワー)がそれぞれ設定した値以上にならないように制御することができる。

ここで、前述のように、前記電流検出アンプ5のゲイン(大きくされていない)と、前記抵抗R8、R10、コンデンサC3からなる回路の時定数又は抵抗R9、R11、コンデンサC4からなる回路の時定数を、出力電流が大きくなるに応じてリミット電圧を徐々に下げていく帰還量の少ない動作となるように設定している。

このように、定格出力及びダイナミックパワーを負荷インピーダンスにかかわらずほぼ一定とすることができ、また、それぞれの値を独立に設定することができる。

【0023】

【発明の効果】

以上説明したように、本発明の増幅回路によれば、例えば、2Ωから8Ωまでの負荷に対してほとんど同じ最大出力電力にすることが可能になる。これにより、アンプの発熱などの負担が少なくなる。逆に、発熱量を同等にした場合、8Ω時の最大出力を大きく設定できる。

また、電圧リミター回路を用いて最大出力を制限しているため、通常のアンプの電圧クリップと同様のクリップ波形となる。そして、クリップ時においてもアンプの出力は定電圧特性を保ちクリップ波形がきれいなため音楽再生中にクリップしても通常のアンプのクリップ時と同等の音質となりそれ以上の異音は発生しない。

さらに、連続最大出力とダイナミックパワーを独立してコントロールできるので、アンプの用途に適した設定が可能となる。

10

20

30

40

50

【図面の簡単な説明】

【図 1】 本発明の増幅回路の第 1 の実施の形態の構成を示すブロック図である。

【図 2】 本発明の増幅回路の第 2 の実施の形態の構成を示すブロック図である。

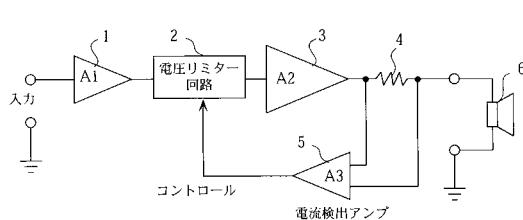
【図 3】 本発明の増幅回路における電圧リミター回路の一構成例を示す回路図である。

【符号の説明】

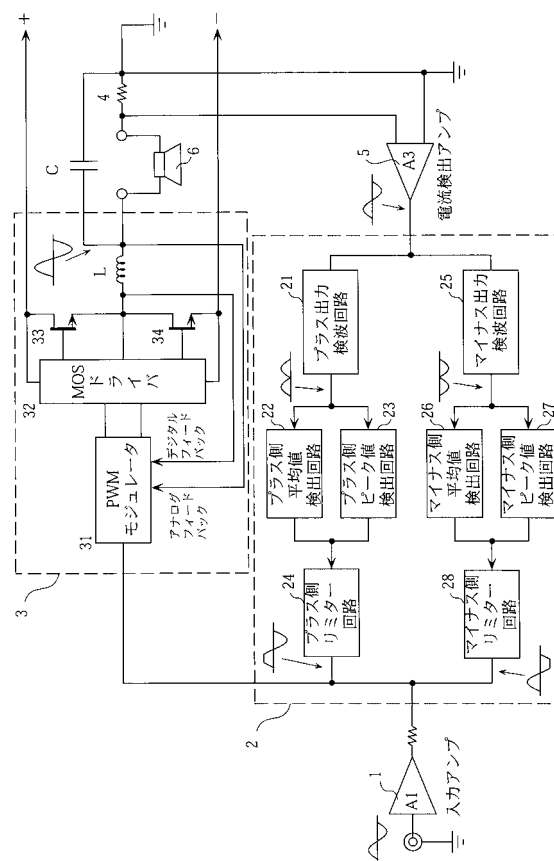
1 入力アンプ、2 電圧リミター回路、3 パワーアンプ、4 抵抗、5 電流検出アンプ、6 スピーカー、21 プラス出力検波回路、22 プラス側平均値検出回路、23 プラス側ピーク値検出回路、24 プラス側リミター回路、25 マイナス出力検波回路、26 マイナス側平均値検出回路、27 マイナス側ピーク値検出回路、28 マイナス側リミター回路、31 PWM 変調回路、32 ドライバ回路、33, 34 MOS FET

10

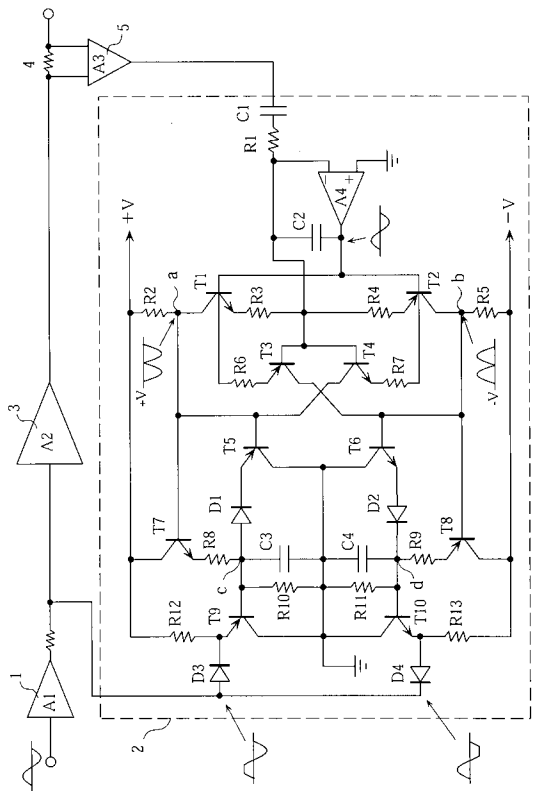
【図 1】



【図 2】



【図 3】



フロントページの続き

審査官 野元 久道

- (56)参考文献 特表平 1 1 - 5 0 2 3 8 2 (J P , A)
特開昭 5 9 - 0 4 0 7 1 3 (J P , A)
特開平 0 4 - 0 7 9 5 0 5 (J P , A)
特開平 0 8 - 3 3 0 8 7 4 (J P , A)
特開平 0 6 - 0 3 1 9 6 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03F 1/52
H03F 3/183
H03F 3/217