



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201620043 A

(43) 公開日：中華民國 105 (2016) 年 06 月 01 日

(21) 申請案號：104122557 (22) 申請日：中華民國 104 (2015) 年 07 月 13 日

(51) Int. Cl. : H01L21/336 (2006.01) H01L29/78 (2006.01)

(30) 優先權：2014/08/19 世界智慧財產權組織 PCT/US14/51619

(71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)  
美國

(72) 發明人：歐雷瓦 羅門 OLAC-VAW, ROMAN (US)；賀菲斯 瓦力德 HAFEZ, WALID M. (US)；簡 嘉弘 JAN, CHIA-HONG (US)；張旭佑 CHANG, HSU YU (TW)；張 婷 CHANG, TING (TW)；瑞瑪斯維米 瑞豪 RAMASWAMY, RAHUL (IN)；劉培 基 LIU, PEI CHI (TW)；迪亞斯 奈維爾 DIAS, NEVILLE (IN)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：8 共 66 頁

(54) 名稱

具有橫向逐漸改變之功函數的電晶體閘極金屬

TRANSISTOR GATE METAL WITH LATERALLY GRADUATED WORK FUNCTION

(57) 摘要

半導體裝置包括具有閘極電極的電晶體，該閘極電極具有在閘極電極長度上單調地逐漸改變的功函數，以及製造此裝置的方法。在實施例中，閘極金屬功函數係在閘極電極之源極與汲極邊緣之間逐漸改變，用以提升高電壓性能。在實施例中，閘極金屬的厚度從源極邊緣處的非零值逐漸改變到汲極邊緣處之較大的厚度。在另些實施例中，具有閘極金屬厚度逐漸改變的高電壓電晶體與使用標稱厚度之閘極電極金屬的另一電晶體被集成在一起。在實施例中，製造半導體裝置的方法包括藉由相對於圍繞的介電質非均勻地凹入第一開口內的第一閘極金屬，以逐漸改變介於源極端與汲極端之間的閘極金屬厚度。

Semiconductor device(s) including a transistor with a gate electrode having a work function monotonically graduating across the gate electrode length, and method(s) to fabricate such a device. In embodiments, a gate metal work function is graduated between source and drain edges of the gate electrode for improved high voltage performance. In embodiments, thickness of a gate metal graduates from a non-zero value at the source edge to a greater thickness at the drain edge. In further embodiments, a high voltage transistor with graduated gate metal thickness is integrated with another transistor employing a gate electrode metal of nominal thickness. In embodiments, a method of fabricating a semiconductor device includes graduating a gate metal thickness between a source end and drain end by non-uniformly recessing the first gate metal within the first opening relative to the surrounding dielectric.

指定代表圖：

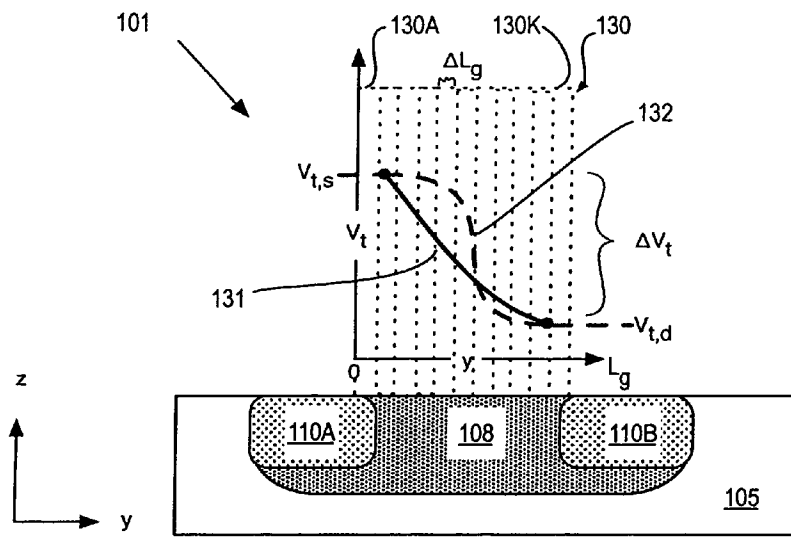


圖 1A

符號簡單說明：

- 101 . . . 場效電晶體
- 105 . . . 基板
- 110A . . . 源極區
- 110B . . . 汲極區
- 108 . . . 通道區
- 130 . . . 閘極金屬
- 130A . . . 閘極片
- 130K . . . 閘極片
- 131 . . . 實線
- 132 . . . 虛線

201620043

# 發明摘要

※申請案號：104122557

※申請日：104年07月13日

※IPC分類：H01L 21/336 (2006.1)  
H01L 29/78 (2006.1)

【發明名稱】(中文/英文)

具有橫向逐漸改變之功函數的電晶體閘極金屬

Transistor gate metal with laterally graduated work function

【中文】

半導體裝置包括具有閘極電極的電晶體，該閘極電極具有在閘極電極長度上單調地逐漸改變之功函數，以及製造此裝置的方法。在實施例中，閘極金屬功函數係在閘極電極之源極與汲極邊緣之間逐漸改變，用以提升高電壓性能。在實施例中，閘極金屬的厚度從源極邊緣處的非零值逐漸改變到汲極邊緣處之較大的厚度。在另些實施例中，具有閘極金屬厚度逐漸改變的高電壓電晶體與使用標稱厚度之閘極電極金屬的另一電晶體被集成在一起。在實施例中，製造半導體裝置的方法包括藉由相對於圍繞的介電質非均勻地凹入第一開口內的第一閘極金屬，以逐漸改變介於源極端與汲極端之間的閘極金屬厚度。

## 【 英文 】

Semiconductor device(s) including a transistor with a gate electrode having a work function monotonically graduating across the gate electrode length, and method(s) to fabricate such a device. In embodiments, a gate metal work function is graduated between source and drain edges of the gate electrode for improved high voltage performance. In embodiments, thickness of a gate metal graduates from a non-zero value at the source edge to a greater thickness at the drain edge. In further embodiments, a high voltage transistor with graduated gate metal thickness is integrated with another transistor employing a gate electrode metal of nominal thickness. In embodiments, a method of fabricating a semiconductor device includes graduating a gate metal thickness between a source end and drain end by non-uniformly recessing the first gate metal within the first opening relative to the surrounding dielectric.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

101：場效電晶體

105：基板

110A：源極區

110B：汲極區

108：通道區

130：閘極金屬

130A：閘極片

130K：閘極片

131：實線

132：虛線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

具有橫向逐漸改變之功函數的電晶體閘極金屬

Transistor gate metal with laterally graduated work function

## 【技術領域】

通言之，本文描述的實施例係有關積體電路(IC)及單石半導體裝置，且更特定地與使用具有橫向漸變之功函數之金屬閘極電極的電晶體有關。

## 【先前技術】

單石 IC 通常包含了製造在平面基板(諸如，矽晶圓)上的許多電晶體，諸如金屬-氧化物-半導體場效電晶體(MOSFET)、或更通稱為金屬-絕緣-半導體場效電晶體(MISFET)。目前的系統單晶片技術(SoC)積極地微縮 FET 閘極長度( $L_g$ )，以提供按照摩爾定律(Moore's Law)的性能與面積微縮。

橫向微縮的不利影響之一是支援低漏電與高電壓裝置，這是由於高電壓電晶體的架構與最小設計規則(標稱)邏輯電晶體之架構的趨異，使得橫向微縮變得更困難，而此兩者在 SoC 的應用中都重要。橫向微縮也縮小了閘極接點的間距，其使峰值電場增加，進一步縮小了電晶體的高電壓操作窗口。

透過通道摻雜(例如，高角度、低能量植入等)可調變沿著 FET 中半導體通道區之長度的峰值電場。視閘極電極的材料而定，藉由調整閘極電極的功函數值來設計閘極電極功函數相對於通道半導體的差異也可調變電場。例如，多晶矽閘極電極可具有雜質來活化閘極電極內之差異的範圍。在其它例中，閘極電極可被分割成不同材料的兩個電極，其經由閘極電極而靜電地耦合到通道區之不同的部分。不過，此等結構並不容易與在較低之源極/汲極及/或閘極/汲極電壓下操作的邏輯電晶體整合，其並不共用到達峰值電場的靈敏度。

能增進某些電晶體之高電壓操作而不妨礙低電壓邏輯電晶體操作的 FET 架構與相關的製造技術係有利的，特別是有利於 SoC 技術。

### 【圖式簡單說明】

本文所描述的內容係藉由例子來說明，且非藉由附圖來限制。為說明的簡單性與清晰性，圖中所說明的各元件不必然按比例來繪製。例如，某些元件的尺寸相對於其它元件可被誇大。此外，參考標記已在各圖間重複來指示對應或類似之元件被視為適當的。在各圖中：

圖 1A 說明按照實施例之電晶體臨界電壓的橫向調變；

圖 1B 說明按照實施例之具有橫向逐漸改變功函數的例示性 nMOS 電晶體；

圖 2A 說明按照實施例之用以改變功函數之閘極金屬組成物的橫向調變；

圖 2B 說明按照實施例之用以改變功函數之閘極金屬厚度的橫向調變；

圖 3A 與 3B 說明按照實施例之 MOSFET 的剖面視圖，其使用具有橫向逐漸改變之功函數的閘極金屬；

圖 4 的剖面視圖說明按照實施例之使用具有橫向逐漸改變功函數之閘極金屬的 MOSFET 與使用具有不逐漸改變功函數之閘極金屬之 MOSFET 的整合；

圖 5A 的流程圖說明按照實施例之形成包括具有橫向逐漸改變功函數之閘極金屬之電晶體的方法；

圖 5B 的流程圖說明按照實施例之逐漸改變在介於源極端與汲極端間之閘極長度上之閘極金屬之厚度的方法；

圖 5C 的流程圖說明按照實施例之形成包括具有橫向逐漸改變功函數之閘極金屬的電晶體與包括具有不逐漸改變功函數之閘極金屬之電晶體的方法；

圖 6A, 6B, 6C, 6D, 6E, 6F, 6G, 6H, 6I, 及 6J 的剖面視圖說明按照實施例之包括具有橫向逐漸改變功函數之閘極金屬的電晶體與包括具有不逐漸改變功函數之閘極金屬的電晶體按照實施圖 5C 所描繪之方法中所選擇之操作的演進。

圖 7 說明按照本發明之實施例，使用包括具有橫向逐漸改變功函數之閘極金屬之電晶體的行動計算平台與資料伺服機構；以及

圖 8 說明按照本發明之實施例之電子計算裝置的功能性方塊圖。

### 【發明內容及實施方式】

本文參考所附圖式來描述一或多個實施例。雖然詳細地描繪與討論了特定的組態與配置，但須瞭解，這些只是為了說明之目的。熟悉相關技藝之人士可看出，可有其它的組態與配置也不會偏離本發明的精神與範圍。熟悉相關技藝之人士可明瞭，除了本文所詳細描述以外之各種其它的系統與應用也可使用本文所描述的技术及/或配置。

在以下的詳細描述中將參考附圖，其構成本文及說明之例示性實施例的一部分。此外，須瞭解，也可利用其它實施例，且可做結構及/或邏輯的改變，不會偏離申請專利範圍之主題的範圍。亦須注意，可使用例如上、下、頂部、底部、及類似詞之方向與參考僅為便於描述圖中的特徵。諸如“較高的”與“較低的”、“在...上面的”及“在...下面”等名詞，係藉由參考圖示說明的 X-Z 座標來理解，及諸如“毗鄰”之名詞，可藉由參考 X,Y 座標或非 Z 座標來理解。本文所使用之相對位置的名詞，僅是為標示一結構特徵與另一結構特徵的區別，在某種意義上，可比列舉標示更為清楚，諸如“第一”、“第二”、“第三”等。

在以下的描述中說明了諸多的細節。不過，對熟悉相關技藝之人士來說將為顯而易知的是，可實行本發明並不需要這些特定的細節。在某些實例中，為避免模糊了本發

明，習知的方法及裝置係以方塊圖而非細節的形式來予以顯示。本說明書從頭到尾參考“實施例”或“一實施例”意指所描述與實施例有關之特定的特徵、結構、功能、或特性係包括在本發明的至少一個實施例中。因此，本說明書從頭到尾各處所出現的“在實施例中”或“在一實施例中”等片語，不必然意指本發明之相同的實施例。此外，在一或多個實施例中，可按任何適當的方式結合特定的特徵、結構、功能、或特性。例如，第一實施例與第二實施例可在與該兩實施例相關聯之特定的特徵、結構、功能、或特性不互斥等方面任意結合。

如本發明及所附申請專利範圍之描述中所使用的“一”與“該”等單數形式，除非上下文中有明確指示，否則也意欲包括複數形式。亦將瞭解，本文中所使用的名詞“及/或”意指且涵蓋一或多個相關表列項目之任何或所有可能的組合。

本文所可使用的名詞“耦接”與“連接”連同它們的衍生字是描述各組件之間的功能性或結構上的關係。須瞭解，這些名詞彼此間並無意成為同義字。反之，在特定的實施例中，“連接”可用於指示兩或多個元件彼此直接物理、光學、或電接觸。“耦接”可用於指示兩或多個元件彼此直接或間接(兩者之間具有其它的中介元件)物理、光學、或電接觸，及/或兩或多個元件彼此合作或交互作用(例如，如在因果關係的關係中)。

本文中所使用的名詞“之上”、“之下”、“之間”、及

“上”意指一組件或材料關於其它組件或材料的相對位置，而這些物理關係是需要注意的。例如，在材料的情況中，配置在另一材料之上或之下的一材料或材料層可直接接觸，或可具有一或多個中介材料層。此外，配置在兩材料或材料層之間的一材料可與該兩層直接接觸或可具有一或多層中介層。反之，第一材料或材料層在第二材料或材料層“上”係與該第二材料/材料層直接接觸。關於組件總成的情況也是做類似的區別。

如本文從頭到尾及申請專利範圍中所使用，以名詞“至少其中之一”、“一或多個”所結合的表列項目，可意指該等表列項目的任意結合。例如，片語“A、B、或C的至少其中之一”可意指A、B、C、A與B、A與C、B與C、或A、B與C。

本文描述使用橫向逐漸改變之閘極金屬功函數的單石半導體裝置，以及製造此結構的例示性技術。在實施例中，閘極金屬功函數係在閘極電極的源極邊緣與汲極邊緣之間逐漸改變以提高高電壓性能。在實施例中，閘極金屬之厚度從源極邊緣之非零值逐漸改變到位於汲極邊緣的較大厚度。在另些實施例中，具有逐漸改變閘極金屬厚度的高電壓電晶體與使用標稱非逐漸改變厚度之閘極電極金屬的其它電晶體被集成在一起。在實施例中，製造半導體裝置的方法包括藉由相對於圍繞的介電質材料非均勻地凹入第一開口內的第一閘極金屬，以逐漸改變介於源極端與汲極端之間的閘極金屬厚度。

圖 1A 說明按照實施例之電晶體臨界電壓的橫向調變。如圖所示，場效電晶體 101 包括半導體源極區 110A，藉由半導體通道區 108 與半導體汲極區 110B 分隔開，所有這些都被配置在基板 105 之上。通道區 108 可實質地未摻雜(亦即，相對於基板 105 而未故意地摻雜)。不過，在例示性的實施例中，通道區 108 具有某導電類型(例如，p 型)的標稱摻雜位準，而源極、汲極區 110、111 具有互補導電類型(例如，n 型)的標稱摻雜位準。基板 105 可以是適合用來形成 IC 的任何基板，諸如但不限於半導體基板、絕緣體上半導體(SOI)基板、或絕緣體基板(例如，藍寶石)等等、及/或以上這些的組合。在例示性的實施例中，基板 105 包括實質單晶半導體，諸如但不限於矽。例示性的半導體組成物也包括 IV 族系統、諸如矽、鍺、或它們的合金；III-V 族系統，諸如 GaAs、InP、InGaAs 等等；或 III-N 族系統，諸如 GaN。

包括閘極金屬 331 的閘極電極係配置在通道區 108 之上，以配置在兩者間的閘極介電質膜(未顯示)而將其分隔開。在本文的實施例中，閘極金屬功函數之設定，至少部分是由閘極金屬 331 所負責，而且此功函數係在閘極電極長度  $L_g$  上橫向地逐漸改變(例如，在  $y$  維度上)。閘極金屬功函數之調變影響電晶體 101 的臨界電壓  $V_t$ 。圖 1A 進一步說明，在源極區 110A 與汲極區 110B 之間的閘極金屬 331 在閘極電極長度  $L_g$  上被分割成複數片 331A-331K。按照本文的實施例，如果將每一片 130A-130K 視為具有閘

極長度增量  $\Delta L_g$  的獨立閘極電極，則橫過  $\Delta L_g$  對臨界電壓  $V_t$  的影響，可看成閘極金屬功函數之調變的函數。在例示性的實施例中，關於高電壓電晶體應用(例如，閘極/汲極電壓高於 3V)之優點，閘極金屬 331(例如，閘極片 130A)之源極邊緣處的閘極金屬功函數係與臨界電壓  $V_{t,s}$  相關聯，其明顯遠高於與汲極邊緣處(例如，閘極片 130K)之閘極金屬功函數相關聯的臨界電壓  $V_{t,d}$ 。雖然電晶體 101 可相關聯單一個有效臨界電壓，例如限於  $V_{t,s}$ ，但圖 1A 中所說明之  $V_t$  在汲極邊緣近端的下降，其降低了汲極 110B 附近的電場，減輕了熱電子效應，對於給定的  $L_g$  而言，當操作電壓增加，此電場可支配了電晶體的失效機制。如同下文進一步之描述，逐漸改變閘極金屬功函數以獲得在  $L_g$  上的  $\Delta V_t$ ，有利的  $\Delta V_t$  至少 100mV，至少 200mV、及 250mV 或更多則更為有利。在另些實施例中，閘極金屬功函數在  $L_g$  上的逐漸改變可提供從  $V_{t,s}$  到  $V_{t,d}$  之單調地下降，以到達所要的  $\Delta V_t$ 。 $V_t$  之單調地下降，可按如實線 131 所示之漸變的方式，或接近似於步階函數之較陡峭的方式，如虛線 132 所示。

圖 1B 說明例示性的 nMOS 電晶體 102，其具有 n 型的源極區 110A 與汲極區 110B，以及 p 型的通道區 108。閘極金屬 130 具有閘極金屬功函數  $\phi_{gm}$ ，其在  $L_g$  上改變，以提供圖 1A 中所說明的  $V_t$  調變。閘極金屬功函數  $\phi_{gm}$  在  $L_g$  上以均勻(固定的)的通道半導體功函數從  $\phi_{gm,s}$  單調地下降到  $\phi_{gm,d}$ ，以達到所想要的  $\Delta V_t$ 。如下文進一步之描述，

閘極金屬功函數  $\phi_{gm}$  之單調地下降，可按如實線 134 所說明的漸變方式，或接近似於步階函數之較陡峭的方式，如虛線 136 所示。在替代的 pMOS 實施例中，源極區 110A 與汲極區 110B 為 p 型，以及通道區 108 為 n 型，閘極金屬功函數  $\phi_{gm}$  從源極區之近端處的第一功函數值，單調地增加到汲極區之近端處的第二功函數值，類似於圖 1A 中所說明之  $V_{t,d}$  相對於  $V_{t,s}$  的減少。

在實施例中，閘極金屬的合金組成在閘極電極之長度上被調變，以在所想要的方向上(例如，從源極到汲極、從汲極到源極)橫向地逐漸改變閘極金屬功函數。圖 2A 說明按照例示性實施例之閘極金屬組成的橫向調變，用以改變電晶體 201 中之閘極電極 331 的功函數。在此例示性的實施例中，閘極金屬二元合金的組成物包括第一金屬(M1)與第二金屬(M2)。M1 之原子分數  $x$  的改變，是從源極區 110A 到汲極區 110B 之橫向距離的函數。在有利的實施例中，閘極金屬合金中之每一個組成物的原子分數  $x$  橫跨整個閘極長度  $L_g$  係非零的。在說明的例示性實施例中，M1 的原子分數  $x$  從閘極電極 130 之源極邊緣處(例如， $y=0$ )的第一非零值增加到閘極電極 130 之汲極邊緣處(例如， $y=L_g$ )的第二非零值，而 M2 的原子分數  $1-x$  從閘極電極 130 之源極邊緣處的第一非零值下降到閘極電極 130 之汲極邊緣處的第二非零值。如下文進一步的描述，M1 在源極與汲極邊緣之非零的濃度，可有利於使具有閘極金屬功函數橫向逐漸改變之閘極電極的第一電晶體能夠與具有使

用某標稱閘極金屬功函數之閘極電極的第二電晶體相集成，第二電晶體在閘極長度上的該標稱閘極金屬功函數實質上不變。在另些實施例中， $M1$  的原子分數  $x$  從源極邊緣單調地增加到汲極邊緣，例如，如任一條曲線 215 之說明(例如，實線代表  $x$  以離源極區 110A 之距離為函數的線性逐漸改變，以及虛線之近似步階函數的  $x$ )。視  $M1$  與  $M2$  的功函數及電晶體 201 的導電類型(nMOS 或 PMOS)而定，合金組成可以有很寬的範圍。具有最大功函數之組成物的原子分數可隨著離開源極區 110A 漸大的橫向距離減少或增加，用以在所想要的方向上橫向地逐漸改變閘極電極金屬功函數。任何習知適合做為閘極電極的金屬(例如，電阻夠低，具有足夠的熱穩定度等)都可選用為金屬  $M1$  與金屬  $M2$ 。例示性的金屬包括鎢(W)、鈷(Co)、鎳(Ni)、鉬(Mo)、鉭(T)、鈦(Ti)、錫(Sn)、鋁(Al)、及鉑(Pt)。閘極金屬合金可包括兩或多個此等例示性金屬。在閘極金屬合金中可進一步結合一或多個附加的添加物(諸如但不限於碳、矽、及氮)。閘極金屬可以是合金，也可包括這些例示性金屬的其中之一與其它金屬的合金，可有或無添加物，(諸如但不限於碳、矽、及氮)。

在實施例中，閘極金屬的膜厚在閘極電極之長度上逐漸改變，以橫向地逐漸改變閘極金屬功函數。圖 2B 說明閘極金屬厚度的橫向逐漸改變，以改變電晶體 202 中之閘極電極 130 的功函數。在此例示性的實施例中，第一閘極金屬  $M1$  的厚度在第一閘極電極之長度上單調地增加，從

源極區 110A 之近端的源極邊緣厚度  $T_{M1,s}$  增加到汲極區 110B 之近端的汲極邊緣厚度  $T_{M1,d}$ 。在此等實施例中，源極邊緣厚度與汲極邊緣厚度的至少其中之一低於臨界厚度，高於此臨界厚度，功函數即與金屬膜厚度無關。在例示性的實施例中，此臨界厚度為大約 100 奈米，至少源極邊緣厚度  $T_{M1,s}$  係小於 100 奈米。在另些實施例中，閘極金屬的源極邊緣厚度與汲極邊緣厚度都小於 100 奈米。

在實施例中，源極邊緣厚度  $T_{M1,s}$  與汲極邊緣厚度  $T_{M1,d}$  之間有利的差(亦即， $\Delta z$ -高度)為至少 10%。至少 20%及超過 25%更有利。例如，在圖 2 中，汲極邊緣厚度  $T_{M1,d}$  可至少比源極邊緣厚度  $T_{M1,s}$  厚 10%。在某些實施例中，臨界電壓為閘極金屬功函數的線性函數，且閘極金屬功函數為第一金屬厚度的線性函數。在一個有利的實施例中，位於源極邊緣厚度  $T_{M1,s}$  處的第一閘極金屬與  $V_t$  相關聯，其比與位於汲極邊緣厚度  $T_{M1,d}$  處之第一閘極金屬相關聯的第二  $V_t$  至少低 100mV。在另些實施例中，第一閘極金屬具有的汲極邊緣厚度  $T_{M1,d}$  比源極邊緣厚度  $T_{M1,s}$  至少厚 10%，且汲極邊緣對應的  $V_t$ ，比源極邊緣至少低 100mV(亦即，在閘極金屬  $z$ -高度上每改變 5%， $V_t$  即改變 50mV)。

須注意，圖 2A 與 2B 所說明的實施例係彼此相容的，且在一個有利的實施例中，閘極金屬合金的組成物藉由橫向逐漸改變至少一金屬膜的厚度而被橫向地調變，接著該金屬膜與配置在厚度逐漸改變之膜上的另一金屬膜形

成合金。隨著被沉積之厚度的變化，可用來改變合金組成物的原子分數，如同下文的進一步之描述。

圖 3A 為按照實施例之 MOSFET 301 的剖面視圖，使用包括具有橫向逐漸改變功函數之閘極金屬的閘極堆疊 330。圖 3A 中所說明的剖面視圖可適用於平面與非平面(亦即，鰭部)MOSFET 結構。沿著離開圖 3A 所說明之平面的軸，將可更明瞭平面與非平面實施例之間的結構差異，但並非說明本文之實施例與這些特徵無關，且因此一體適用於平面與非平面 FET 技術。

MOSFET 301 包括半導體源極區 110A、汲極區 110B、通道區 108、及基板 105，實質上如同前文之描述。如同進一步之說明，源極接點 314A 與源極區 110A 介接，汲極接點 314B 與汲極區 110B 介接。接點 314A 與 314B 可利用與半導體源極、汲極區 110A、110B 之成分相容(例如，提供良好的歐姆行為)的任何習知接點金屬。

接點金屬被介電質材料 315、325 所包圍。絕緣介電質 315 與中間間隔件介電質 325 可以是任何習知的介電質材料，諸如但不限於氧化矽(SiO)、氮化矽(SiN)、氧氮化矽(SiON)、碳氮化矽(SiCN)、或低-k 材料(例如，碳摻雜的二氧化矽(SiOC)、多孔介電質等)。在先進的 COMS 技術中，間隔件介電質 325 的標稱橫向(例如，y 方向)厚度例如 20 奈米或更薄。絕緣介電質 315 可具有任何厚度(例如，z 方向)以配合與閘極電極頂蓋材料 332 及/或源極、汲極接點 314A、314B 的平坦化。

閘極介電質 320 係配置在通道區 108 之上。閘極介電質 320 可以是任何材料，且具有能在 MOS 堆疊中提供適當之功能的任何厚度。具有整體介電常數範圍在 3.9 至大約 8 的材料，諸如二氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{Si}_3\text{N}_4$ )、氧氮化矽 (SON) 等，都可用於閘極介電質 320。不過，在有利的實施例中，閘極介電質 320 為高 k 介電材料，具有至少 10 的整體介電常數。例示性的高 k 材料包括但不限於金屬氧化物 (例如， $\text{HfO}_2$ )、及金屬矽化物。閘極介電質 320 也可以是多種介電質 (例如，以上材料的兩或多層薄膜) 的疊層堆疊。閘極介電質 320 可具有一範圍的實體厚度，其可以是介電質成分的函數，由典型的 MOS 堆疊參數所限制，諸如洩漏電流等。在例示性的實施例中，閘極介電質 320 的標稱厚度視它的整體相對介電係數而定，以獲得所想要的等效氧化物厚度 (equivalent oxide thickness ; EOT)，例如，10 奈米或更薄。

在實施例中，閘極功函數金屬具有從與下方閘極介電質介接處開始的 z-高度，此高度在閘極長度  $L_g$  上改變。功函數金屬 z-高度的變化，可提供前文所描述之功函數金屬厚度的任何變化。例如，閘極功函數金屬的 z-高度在閘極長度  $L_g$  上可有 10%-20% 或更多的改變。在例示性的實施例中，閘極功函數金屬係與閘極介電質直接接觸，不過，也可藉由一或多種其它的材料而將其與閘極介電質間隔開，諸如 z-高度沒有明顯變化的另一閘極功函數金屬。在圖 3A 中說明的例示性實施例中，閘極金屬 331 與閘極

介電質 320 介接，且在閘極電極源極邊緣 331S 處具有非零的最小 z-高度  $H_{g,s}$ 。閘極金屬 331 的 z-高度以逐漸改變之方式單調地增加到閘極電極汲極邊緣 331D 的最大 z-高度  $H_{g,d}$ 。最大 z-高度  $H_{g,d}$  可改變，但在例示性的實施例中，其不超過 100 奈米。如圖 3A 之進一步的說明，汲極邊緣 z-高度  $H_{g,d}$  小於間隔件介電質 325 之對應的 z-高度 (例如，從與  $H_{g,d}$  相同之參考平面所測量的 z-高度  $H_2$ )。在另些實施例中，汲極邊緣 z-高度  $H_{g,d}$  也小於絕緣介電質 315 之對應的 z-高度 (例如，從與  $H_{g,d}$  相同之參考平面所測量的 z-高度  $H_2$ )。在實施例中，源極邊緣 z-高度  $H_{g,s}$  小於間隔件介電質 325 之對應的 z-高度。在另些實施例中，源極邊緣 z-高度  $H_{g,s}$  小於絕緣介電質 315 之對應的 z-高度 (例如，從與  $H_{g,d}$  相同之參考平面所測量的 z-高度  $H_2$ )。在實施例中，閘極金屬 331 的源極邊緣 z-高度  $H_{g,s}$  與汲極邊緣 z-高度  $H_{g,d}$  兩者皆小於間隔件介電質 325 之對應的 z-高度。

在實施例中，閘極堆疊進一步包括配置在厚度逐漸改變之閘極功函數金屬之上的閘極頂蓋材料。在圖 3A 所說明的例示性實施例中，閘極堆疊 330 包括配置在閘極金屬 331 上的閘極頂蓋材料 332。閘極頂蓋材料 332 具有與間隔件介電質 325 之頂表面實質齊平的頂表面，將閘極堆疊 330 的 z-高度帶至實質等於間隔件介電質 325 的 z-高度 (例如，等於 z-高度  $H_2$ )。閘極頂蓋材料 332 可以是金屬、半導體、或介電質。

關於金屬與半導體的實施例，閘極頂蓋材料 332 可以但非必須與閘極金屬 331 結成合金。在其它實施例中，在金屬閘極頂蓋材料 332 與閘極金屬 331 之間可配置擴散阻障層(例如，TaN)。關於閘極頂蓋材料 332 與閘極金屬 331 結成合金的實施例，圖 3A 中所說明之閘極金屬 331 之 z-高度(厚度)的改變可提供橫向調變閘極金屬合金之組成的基礎。例如，閘極金屬 331 與金屬閘極頂蓋材料 332 之間會發生固態擴散，其所形成之金屬合金的成分為閘極金屬 331 與閘極頂蓋材料 332 在 z-高度  $H_2$  中之相對比例的函數。由於閘極頂蓋材料 332 的平面頂表面，閘極金屬 331 之 z-高度的改變，控制了所得到之閘極金屬合金的體積比例。關於閘極金屬 331 與閘極頂蓋材料 332 合金的實施例，圖 3A 中所說明之閘極金屬 331 與閘極頂蓋材料 332 間的界面 331T 為在熱退火前之沉積狀態的表示法。例示性的閘極頂蓋金屬與半導體包括但不限於多晶矽、鎢、銅、鈦、鋁、鎳、鈷、它們的合金、及碳化物。

至於介電質實施例，閘極頂蓋材料 332 可提供閘極金屬 331 之頂表面上方的電性絕緣。介電質閘極頂蓋材料 332 可具有與閘極介電質 320、絕緣介電質 315、及間隔件介電質 325 的一或多個相同的成分，或可具有與任何及/或所有其它介電質不同的成分，以允許各材料之間的選擇性蝕刻。在例示性的實施例中，閘極頂蓋材料 332 包括以下的其中一或多個：SiO、SiON、SiN、SiCN、SiC、低 k 介電質(例如，摻雜碳的氧化物)、等等。關於閘極頂蓋

材料 332 為介電質的實施例，橫向功函數的逐漸改變可以是金屬 331 如圖示說明之厚度改變的直接結果，如同前圖 2B 之上下文中的描述。橫向功函數的逐漸改變也可以是金屬 331 如圖示說明之厚度改變的間接結果，其中，於閘極金屬 331 與閘極介電質 320 之間配置厚度實質不變的第二功函數金屬。關於此等實施例，閘極金屬合金成分可根據金屬 331 之厚度或  $z$ -高度變化來予以調變，實質如前文金屬閘極頂蓋材料 332 之上下文中的描述。因此，無論閘極金屬 331 是閘極電極堆疊 330 中唯一的功函數金屬，或是兩或多層金屬膜的其中之一(例如，包括有疊加的金屬閘極頂蓋材料 332 及/或未描繪的下層金屬)，金屬 311 厚度在閘極長度  $L_g$  上的變化，橫向地逐漸改變閘極電極堆疊 330 內之電極的有效功函數。

功函數金屬之  $z$ -高度在兩非零值之間的改變可以是逐漸的，如圖 3A 之說明，或是步階函數(step function)的，如圖 3B 之說明。在圖 3B 中，MOSFET 302 包括閘極金屬 331，其在閘極電極堆疊 370 之源極邊緣( $H_{g,s}$ )與汲極邊緣( $H_{g,d}$ )之間的  $z$ -高度(金屬厚度)具有不連續之步階。下文中進一步說明形成圖 3A 之逐漸改變的金屬厚度剖面或圖 3B 之步階函數金屬厚度剖面的製造技術。

在實施例中，半導體裝置包括具有功函數橫向逐漸改變之閘極電極金屬的第一電晶體，以及具有功函數在閘極電極長度上小量(例如，非逐漸改變)改變之閘極電極金屬的第二電晶體。在另些實施例中，半導體裝置包括具有厚

度橫向逐漸改變之閘極電極金屬的第一電晶體，以及具有厚度在閘極電極長度上小量(例如，非逐漸改變)改變之閘極電極金屬的第二電晶體。在有利的實施例中，閘極電極厚度沿著閘極長度的改變視閘極電極的尺寸而定。具有低於臨界值之標稱閘極長度的閘極電極，介於源極與汲極邊緣之間的金屬厚度可以無單調的增加，然而具有高於臨界值之閘極長度的閘極電極，介於源極與汲極邊緣之間(例如，從源極邊緣到汲極邊緣)的金屬厚度單調的增加。

圖 4 為按照實施例之半導體裝置 401 的剖面視圖，其包括使用功函數橫向逐漸改變之閘極金屬的 MOSFET 301，以及與之結合的使用具有標稱功函數之閘極金屬的 MOSFET 400。MOSFET 301 可具有前文參考圖 3A 所描述之任何及所有的結構特徵。

MOSFET 400 進一步包括配置在基板 105 另一部分之上的半導體通道區 208。半導體通道區 208 可具有與半導體通道 108 相同的導電類型，或可為與其導電類型互補的類型。MOSFET 400 進一步包括半導體源極區 210A 與汲極區 210B，此兩區的導電類型與通道區 208 互補。源極區 210A 與汲極區 210B 係配置在基板 105 之上之通道區 208 的相對側，例如，如同再生長及/或抬升的半導體區。在例示性的實施例中，通道區 208 具有與通道區 108 相同的導電類型，源極區 210A 與汲極區 210B 具有與源極區 110A 與汲極區 110B 相同的導電類型(例如，n 型)。在另一實施例中，源極區 110A、汲極區 110B、源極區

210A、與汲極區 210B 全部都具有實質相同的組成物(例如，摻雜到相同的雜質位準，等)。MOSFET 400 進一步包括與半導體源極區 210A 介接的源極接點 314A，以及與半導體汲極區 210B 介接的汲極接點 314B。MOSFET 400 還包括閘極介電質 320。

MOSFET 400 進一步包括閘極電極堆疊 430，藉由閘極介電質 320 而與通道區 208 相隔開。閘極電極堆疊 430 進一步藉由中間間隔件介電質 325 而與源極接點 314A 及汲極接點 314B 相隔開。如圖 4 中之說明，閘極電極堆疊 430 包括閘極金屬 331 與閘極頂蓋材料 332，實質如前文關於閘極電極堆疊 301 之描述，不過，閘極金屬 331 實質上為平面的且具有  $H_{g,l}$  的標稱 z-高度， $H_{g,s}$  與  $H_{g,d}$  之間沒有單調的 z-高度增加。在有利的實施例中，閘極電極堆疊 430 與閘極電極堆疊 330 具有相同的材料成分(亦即，相同的閘極金屬 331 與相同的閘極頂蓋材料 332)。在另些實施例中，閘極電極長度在臨界之上，閘極金屬 331 之厚度或 z-高度單調地增加。在臨界之下，從閘極電極之邊緣到邊緣的閘極金屬 331 厚度或 z-高度不單調地增加。閘極電極堆疊 330 可設計成具有比閘極電極堆疊 430 大的橫向關鍵尺寸(CD)。圖 4 中所說明之較大的橫向閘極長度  $L_{HV}$  適合高電壓(HV)電晶體，其可具有數十至數百奈米的閘極長度。圖 4 中所說明之較小的橫向閘極長度  $L_{LV}$  適合邏輯電晶體，其可具有的閘極長度在 10 奈米的數量級。如同下文進一步之描述，閘極長度與閘極金屬 331 之厚度之間的

相關，有利於使具有橫向逐漸改變之閘極金屬功函數的 HV 電晶體能夠與無橫向功函數逐漸改變之低壓邏輯電晶體相整合。

在實施例中，閘極金屬 331 之厚度，從閘極電極堆疊 330 源極邊緣處的非零厚度值  $H_{g,s}$  增加到汲極邊緣處的厚度值  $H_{g,d}$ ，其比源極邊緣厚度值  $H_{g,s}$  至少大 10%(至少 20%更有利)。不過，在閘極電極堆疊 430 之源極與汲極邊緣之間的閘極金屬 331，也具有改變小於 10%的厚度。視所使用的製造技術而定，閘極電極堆疊 430 中之閘極金屬 331 的標稱厚度，可大於、近似等於、或小於閘極電極堆疊 330 中的源極邊緣厚度值  $H_{g,s}$ 。在所描繪的例示性的實施例中，閘極電極堆疊 430 中的閘極金屬 331 具有平均厚度  $H_{g,l}$ ，其小於閘極電極堆疊 330 中的源極邊緣厚度值  $H_{g,s}$ 。

在實施例中，閘極金屬橫向功函數調變為一取決於形成閘極電極之製程的特徵。具有使用橫向功函數逐漸改變之閘極金屬之閘極電極的電晶體結構可用各種技術來予以製造。圖 5A 為按照實施例的流程圖，說明形成具有橫向逐漸改變之功函數之閘極金屬之 MOS 電晶體的方法。例如，方法 501 可被實施來製造圖 3A 與 3B 中所說明的 MOSFET 301 或 302。

方法 501 開始於操作 510，在介電質材料層中形成開口。此開口可露出基板的半導體通道區。在操作 510 處可實施任何習用技術來形成後續要在其內沉積閘極電極的開

口。其中一個技術包括從包圍的結構中去除犧牲的閘極電極，如下文於圖 5C 及圖 6A-6D 之上下文中的進一步描述。也可實施其它的技術，諸如但不限於覆被介電質薄膜的圖案化蝕刻。包圍的介電質厚度或 z-高度與開口的 CD 可加以選擇，以提供後續以閘極電極金屬回填開口及回填之閘極電極金屬之凹入期間所需的深寬比(AR)。

在操作 520，於操作 510 所形成之開口內所露出的半導體通道區之上形成閘極介電質層。在操作 520 可使用任何習知的閘極介電質形成製程(例如，熱氧化、CVD、及 ALD)，以形成適合做為 MOS 介電質的任何習知材料。在有利的實施例中，操作 520 蘊含高 k 材料的 ALD。

方法 501 繼續在操作 530 於操作 510 所形成的開口內形成閘極金屬。在例示性的實施例中，操作 530 蘊含以非共形製程(諸如但不限於濺鍍)、共形製程(諸如但不限於 CVD 與 ALD)、或超填(superfilling)製程(諸如但不限於旋塗、電解電鍍、或無電極電鍍)來沉積閘極功函數金屬。

方法 501 繼續於操作 540，將操作 530 所沉積在開口內的閘極金屬非均勻地凹入。按照前文圖 1A-圖 4 之上下文中所描述的任何例子，非均勻回蝕刻可逐漸改變在閘極長度上的厚度。操作 540 可蘊含以閘極金屬成分為函數之一或多樣習知的凹入蝕刻製程。在實施例中，視所想要的閘極金屬厚度剖面而定，操作 540 可包括各向異性的電漿式凹入蝕刻，及/或等向性的濕化學式凹入蝕刻。在另些實施例中，操作 540 蘊含閘極金屬的平坦化，以去除接續

在非均勻凹入蝕刻後之所沉積之閘極金屬的多餘覆蓋層。此等實施例在下文於圖 5B 及圖 5C 之上下文中進一步描述。方法 501 於操作 550 處結束，在此，藉由以習知技術形成源極/汲極區及形成到達源極/汲極區的源極/汲極接點以完成電晶體。如果形成有閘極金屬合金，例如，在源極/汲極再生長等期間，則要實施熱退火。

圖 5B 為按照實施例的流程圖，說明在介於源極邊緣與汲極邊緣間之閘極長度上逐漸改變閘極金屬之厚度的方法 502。方法 502 為方法 501 中操作 540 的特定實施例，且可被實施來製造例如圖 3A 與 3B 中所說明的 MOSFET 301 或 302。

方法 502 開始於操作 504，在此接收配置在包圍介電質中之開口內經平坦化的閘極金屬。在操作 505，相對於包圍介電質而將閘極金屬凹入第一量。可使用任何回蝕 (etch back) 蝕刻技術而對包圍介電質選擇性地將閘極金屬凹入，諸如但不限於電漿蝕刻處理 (例如，使用氧化化學品，諸如氟、氯、溴等)。在操作 506，在經凹入的閘極金屬之上沉積及/或非均勻地修改遮罩材料。沉積及/或修改遮罩材料可按目的而採用很多種形式，對配置在經凹入之閘極金屬上之遮罩材料的第二部分選擇性地改變配置在經凹入之閘極金屬上之遮罩材料之第一部分的厚度或品質。

雖然光阻遮罩的微影圖案化可為遮罩修改的一種形式，但此技術可僅適合能滿足微影印刷之限制的較大閘極電極長度。在有利的實施例中，操作 506 蘊含自對齊遮罩

沉積及/或修改的技術。在更有利的實施例中，操作 506 蘊含定向性的自對齊沉積及/或遮罩修改的技術，諸如但不限於斜向沉積與斜向植入。例如，在一個實施例中，定向性地沉積第二閘極金屬(其可具有與經凹入之閘極金屬相同的組成物，或不同的組成物)以非均勻地補充經凹入的閘極金屬。在另一實施例中，以預定的角度定向性地沉積犧牲的遮罩材料，以使得凹入的深寬比遮蔽掉部分之犧牲遮罩材料的沉積。在另一實施例中，藉由以預定的角度實施植入來定向性地修改犧牲遮罩材料，以使得凹入的深寬比遮蔽掉部分犧牲遮罩材料的外露。斜向植入實施例之更詳細的例子在下文之圖 5C 的上下文中進一步描述。

方法 502 於操作 507 處繼續，在此，經凹入的閘極金屬再次被凹入一量，此量係以非均勻遮罩材料為函數而在閘極電極長度上改變。在此，在操作 506 處已定向性地沉積非犧牲的遮罩，則操作 507 可略過。在例示性的實施例中，在存在有操作 506 所形成的非均勻遮罩的情形下，凹入蝕刻操作 507 與操作 505 所實施的凹入蝕刻實質上相同則更為可靠，操作 507 將橫向地逐漸改變閘極金屬厚度。接著，可利用閘極金屬厚度沿著閘極電極長度的改變來橫向地逐漸改變閘極金屬功函數，例如前文所述。在操作 553，例如，使用習知技術來形成源極/汲極半導體區及擴散接點金屬化以完成方法 502。

圖 5C 為按照實施例的流程圖，說明形成包括功函數橫向逐漸改變之閘極金屬的電晶體與包括功函數不逐漸改

變之閘極金屬之電晶體的方法 503。例如，方法 503 可被實施來製造圖 4 中所說明的 MOSFETS 301 與 400。方法 503 之上下文中所描述的某些操作將進一步於圖 6A-6J 中說明。圖 6A-6J 係按照有利之實施例，當實施方法 503 中所選擇的操作時，具有經橫向調變之閘極金屬厚度的 MOSFET 與無橫向調變之閘極金屬厚度之 MOSFET 演進的剖面視圖。說明於圖 6A-6J 中與圖 4 對應的結構仍保留該圖所引用的參考編號。藉由圖 6A-6J 更詳細說明的各項操作，同樣可應用到前文方法 501 與 502 之對應的操作中。

參考圖 5C，方法 503 開始於操作 513，在絕緣介電質材料層中形成第一與第二開口。該等開口露出基板之兩個分隔開的半導體通道區。在操作 511 可實施任何習知技術來形成隨後要在其內沉積閘極電極的開口。一項技術包括從包圍的結構中同時去除兩個犧牲閘極電極。在圖 6A 說明的例示性實施例中，實施閘極置換製程係從在通道半導體區 108、208 之上形成犧牲閘極結構 630 開始。犧牲閘極結構 630 可用任何習知技術來予以製造。在一個實施例中，犧牲的材料諸如但不限於多晶矽，沉積在基板之上並圖案化以形成複數個犧牲閘極結構。可使用任何適合的沉積技術，諸如但不限於化學氣相沉積 (CVD) 或原子層沉積 (ALD)。在一個例示性的實施例中，以 CVD 來沉積多晶矽。可使用任何適合的各向異性蝕刻來圖案化犧牲的材料。形成包圍犧牲閘極結構 630 的絕緣介電質材料 315。

可使用任何沉積製程來形成介電質材料 315，諸如但不限於 CVD 及旋轉塗佈 (spin-on) 製程。關於未平坦化的沉積製程，所沉積的介電質可被平坦化，例如，藉由化學機械研磨 (CMP)，以使犧牲閘極特徵的頂表面露出。

現回到圖 5C，在操作 514 去除犧牲閘極特徵，如圖 6B 之進一步的說明。任何習用的蝕刻處理，諸如但不限於濕式化學蝕刻或乾式電漿蝕刻都可被用來對圍繞的介電質具選擇性地去除一或多個犧牲閘極結構。間隔件介電質 325 可藉由以諸如但不限於化學氣相沉積 (CVD) 或原子層沉積 (ALD) 之任何習知的技術，沉積諸如但不限於 SiO、SiON、SiN、SiOC、等任何適合的介電質材料來予以形成。介電質材料的沉積以共形為有利的。接著，各向異性蝕刻清除介電質材料僅留下自對齊於形貌步階的間隔件介電質 325。在圖 6B 說明的例示性實施例中，間隔件介電質 325 係自對齊於絕緣介電質 315 的邊緣。在替代的實施例中，絕緣介電質 315 之形成與犧牲閘極結構 630 之去除，可接在間隔件介電質 325 形成之後。

現回到圖 5C，可選擇介電質 315、325 的厚度 (z-高度) 及該等閘極電極開口之第一個開口的 CD，以便在操作 514 所形成的開口內沉積之後，接著能夠使閘極金屬非均勻的凹入。在圖 6A 說明的例示性實施例中，較大 CD  $L_{HV}$  的第一開口與較小 CD  $L_{LV}$  的第二開口係形成在厚度或 z-高度實質一致的圍繞介電質內。

進一步參考圖 5C，方法 503 繼續在操作 515 於操作

513 所形成的第一與第二開口的每一個開口中形成閘極介電質。在操作 515，可使用任何習知的閘極介電質形成處理(例如，熱氧化、CVD、及 ALD)來形成適合 MOS 介電質的任何習知材料。在藉由圖 6C 進一步說明的有利實施例中，高 k 閘極介電質 320 係藉由 ALD 來予以沉積。雖未描繪，但閘極介電質 320 也可被形成在間隔件介電質 325 的側壁之上。接著，以閘極金屬 331 同時回填第一與第二開口，例如，使用前文所列的任何技術。

現回到圖 5C，方法 503 繼續於操作 516，在操作 516 中，以任何習知的技術(例如，CMP)而將操作 515 所沉積的閘極金屬平坦化。如圖 6D 中的進一步說明，平坦化可去除閘極金屬覆蓋層並使絕緣介電質 315 及/或任何中間介電材料(例如，間隔件介電質 325)露出。接著，使用任何習知技術而將閘極金屬 331 凹入到低於包圍的介電質。在圖 6E 進一步說明的有利實施例中，實施電漿式的閘極電極凹入蝕刻 650。實施凹入蝕刻以降低閘極金屬 331 的 z-高度，並得到相對於間隔件介電質 325 頂表面之預定的凹入深度  $D_{R,1}$ 。目標的凹入深度  $D_{R,1}$  可以是閘極長度  $L_{HV}$  的函數，以得到具有所想要深寬比的凹部(例如， $D_{R,1}=L_{HV}$ ，或 1:1AR)。如圖 6E 之說明，橫跨閘極長度  $L_{HV}$  與  $L_{LV}$  (亦即，在 z-高度的變化小於 10%)的凹入蝕刻 650 實質上係均勻的。

現回到圖 5C，方法 503 進行到操作 535，在此，在基板之上沉積遮罩材料來回填間隔件介電質 325 之間的凹

部。在操作 535，可利用任何適合的遮罩材料及習知技術中的沉積處理。在圖 6F 說明的例示性實施例中，沉積碳質遮罩 660。碳質遮罩可以是任何碳基的材料，其提供良好的蝕刻速率控制，對於四周圍繞的材料具有足夠的蝕刻選擇性，且可被適當地平坦化。在一個實施例中，碳質遮罩 660 是以旋轉塗佈處理所施加的光阻，其為自平坦化。替代的實施例包括 CVD 鑽石狀碳(diamond-like carbon；DCL)遮罩，其可需要後續的平坦化。接著，經平坦化的遮罩材料 660 被凹入到低於四周圍繞的間隔件介電質 325 之 z-高度的平面。諸如以乾式電漿為基礎的蝕刻之任何習知適合薄化特定遮罩材料的回蝕刻處理都可被使用(例如，用於光阻遮罩的氧化電漿)。遮罩凹入蝕刻被用來減少遮罩 660 的 z-高度，以得到相對於間隔件介電質 325 頂表面預定的凹部深度  $D_{R,2}$ 。凹入深度  $D_{R,2}$  可以是閘極長度  $L_{HV}$  的函數，以得到所想要之深寬比(例如， $<1:1AR$ )的凹部。如圖 6F 中進一步說明，橫跨閘極長度  $L_{HV}$  與  $L_{LV}$  的遮罩凹入蝕刻 651 實質上係均勻的(亦即，z-高度的變化小於 10%)。

現回到圖 5C，在操作 537 實施斜向植入，以選擇性地修改配置在開口內之部分遮罩材料的蝕刻抗性。斜向植入有利於僅修改曝露於離子通量的遮罩材料，其為操作 516 及/或 533 所形成之凹入深寬比所決定之立體角的函數。如圖 6G 所示，植入 670 在部分的橫向長度  $L_{HV}$  上形成經修改的遮罩材料 661。任何實用的植入角度都可被使

用，例示性的植入角度係介於  $45-80^\circ$  之間。植入角度可連同凹入深度  $D_{R,2}$  一起被選擇，以使由植入的物種通量照射在配置於橫向長度  $L_{HV}$  之較大開口內的遮罩部分 661，然而配置在橫向長度  $L_{LV}$  之較小開口內的遮罩材料 660 被完全遮蔽。視實施例而定，相較於未被修改之遮罩材料，經由曝露於植入的物種來修改遮罩材料，對於特定的蝕刻處理可呈現出或多或少的抗蝕性。在一個例示性的實施例中，遮罩材料為碳質遮罩(例如，光阻)，矽離子的植入將降低經修改之遮罩材料 661 的蝕刻速率，使其遠低於未經修改之遮罩 660(在氟基的電漿中)的蝕刻速率。在替代的實施例中，其遮罩材料係碳質遮罩(例如，光阻)，氫離子的植入將提高經修改之遮罩材料 661 的蝕刻速率，使其遠超過未經修改之遮罩 660(例如，在氟基的電漿中)的蝕刻速率。

現回到圖 5C，在操作 539，閘極金屬被第二次凹入。在操作 539 之金屬凹入蝕刻係配置在閘極金屬之上的遮罩材料之蝕刻速率的另一函數，部分的遮罩材料被斜向植入操作 537 修改。在第一實施例中，經修改之遮罩材料對閘極金屬蝕刻處理的抗蝕性已被提高，配置在未經修改之遮罩材料下方之閘極金屬部分被凹入的量，大於配置在經修改之遮罩材料下方之部分的量。視植入物種剖面的陡度、遮罩材料之材料特性、及凹入蝕刻特性而定，閘極金屬的凹入剖面可以是逐漸改變/漸縮的，或是陡峭的/步階函數。在圖 6H 說明的例示性實施例中，使用各向等性蝕刻

處理 680 來形成閘極金屬 331 之厚度沿著閘極電極長度  $L_{HV}$  的逐漸改變。由於橫向尺寸  $L_L$  之開口的遮罩材料 660 全部未經修改，因此，各向等性蝕刻處理 680 沿著閘極電極長度  $L_{LV}$  均勻地凹入未經修改的遮罩 660，及隨後的閘極金屬 331，凹入到近似等於沿著閘極電極長度  $L_{HV}$  之最小厚度的厚度。在替代的實施例中，在操作 539 實施各向異性的閘極金屬凹入，經由控制凹部的 AR，閘極金屬 331 之陡峭步階函數的厚度可沿著閘極電極長度  $L_{HV}$  而被定位。

在第二實施例中，經修改之遮罩材料已減弱了對於閘極金屬蝕刻處理的抗蝕性，配置在未經修改之遮罩材料下方之閘極金屬部分被凹入的量，小於配置在經修改之遮罩材料之下的部分。關於此等實施例，操作 539 的閘極金屬凹入蝕刻主要視初始凹部深度  $D_{R,1}$ (圖 6E)而定，而遮罩材料到達預定深度  $D_{R,2}$ (圖 6F)之凹入並不重要，因為曝露於植入之任何遮罩材料的蝕刻速率已被加速。因此，在操作 539，僅遮罩材料之凹入需要連同閘極金屬之凹入。關於第二實施例，由於橫向尺寸  $L_L$  之開口的遮罩材料 660 全部都未經修改，因此，凹入蝕刻處理將沿著閘極電極長度  $L_{LV}$  將遮罩與閘極金屬 331 均勻地凹入到近似等於沿著閘極電極長度  $L_{HV}$  之最大厚度的厚度。須注意，使用遮罩材料之斜向植入的第一與第二例示性實施例可提供閘極電極之閘極金屬厚度在足夠橫向長度上的單調改變，如同前文之描述(例如，圖 3A、圖 3B、圖 4 之上下文)。

現回到圖 5C，在操作 543，以閘極頂蓋材料來回填在操作 539 所形成的凹部。如同前文之描述，閘極頂蓋材料可以是金屬、半導體、或介電質。如圖 6I 之說明，閘極頂蓋材料 332 被沉積，且與間隔件介電質 325 及/或絕緣介電質 315 的頂表面一同被平坦化。平坦化對於閘極頂蓋材料 332 與閘極金屬 331 合金在一起特別有利。任何習知的沉積技術，諸如自平坦化的旋轉塗佈沉積、或非平坦化的氣相沉積都可用來沉積閘極頂蓋材料 332。非平坦化沉積實施例可進一步包括後續的平坦化(例如，CMP)操作。接著，方法 503 在操作 553 處結束，在此，以較寬閘極電極來完成 HV MOS 電晶體，並以較窄的閘極電極來完成邏輯 MOS 電晶體。在形成了如圖 6J 所說明的源極/汲極接點之後，接著，包括有 HV 電晶體 301 與 LV 邏輯電晶體 400 的半導體裝置準備好按照慣例的上層金屬化，而前者具有橫向逐漸改變的閘極金屬功函數，後者具有非逐漸改變的閘極金屬功函數。

圖 7 說明系統 1000，其中，行動計算平台 1005 及/或資料伺服器 1006 使用按照本發明實施例的半導體裝置，其包括有閘極金屬功函數橫向逐漸改變的電晶體及閘極金屬功函數不逐漸改變的電晶體。資料伺服器 1006 可以是任何的商用伺服器，例如，包括配置在機架內且被聯網在一起，用來處理電子資料之任何數量的高性能計算平台，其在例示性的實施例中包括經封裝的單體 IC 1050。行動計算平台 1005 可以是任何可攜式裝置，被組構成用於電

子資料顯示、電子資料處理、無線電子資料傳輸等用途。例如，行動計算平台 1005 可以是平板電腦、智慧型手機、膝上型電腦等任何一種，且可包括顯示螢幕(例如，電容性、電感性、電阻性、觸控螢幕)、晶片級或封裝級的集成系統 1010、及電池 1015。

無論是配置在展開圖 1020 中所說明的集成系統 1010 內，或如同伺服器 1006 內之單獨封裝的晶片，經封裝的單石 IC 1050 包括有記憶體晶片(例如，RAM)，或處理器晶片(例如，微處理器、多核心微處理器、圖形處理器、等等)，其使用的單石架構包括具有閘極金屬功函數橫向逐漸改變的電晶體，如本文它處討論的例子。有利的是，集成系統 1010 包括的半導體裝置進一步包括閘極金屬功函數橫向改變的電晶體及閘極金屬功函數不逐漸改變的電晶體，如同本文它處討論的例子。單體 IC 1050 可進一步連同電源管理積體電路(PMIC)1030、包括寬帶 RF(無線)發射器及 / 或接收器 (TX/RX) 的 RF(無線)積體電路(RFIC)1025(例如，包括有數位基頻與進一步包含發射路徑上之功率放大器與接收路徑上之低雜訊放大器的類比前端模組)、以及它們的控制器 1035 以上的其中一或多個耦接至電路板、基板、或插入件 1060。

在功能上，PMIC 1030 可執行電池電源調節、直流-對-直流轉換等，且因此其具有耦接至電池 1015 的輸入，及提供電流供應給其它的功能模組的輸出。如進一步之說明，在例示性的實施例中，RFIC 1025 具有耦接至天線(未

顯示)的輸出，用以實施各種無線標準或協定，包括但不限於 Wi-Fi(IEEE 802.11 系列)、WiMAX(IEEE 802.16 系列)、IEEE 802.20、長程演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽、以上這些的衍生物，以及被命名為 3G、4G、5G、或以上之任何其它的無線協定。在替代的實施中，這些板件級(board-level)之模組的每一個都可被集成到單獨的 IC 上，耦接至單石 IC 1050 的封裝基板，或在單一個 IC 內，耦接至單石 IC 1050 的封裝基板。

圖 8 係為按照本發明之至少某些實施所配置之計算裝置 1100 的功能方塊圖。例如，在平台 1005 或伺服器 1006 內可發現計算裝置 1100。裝置 1100 進一步包括安裝若干組件的主機板 1102，這些組件包括但不限於處理器 1104(例如，應用軟體處理器)，其可進一步結合閘極金屬功函數橫向逐漸改變的電晶體，如同本文它處所討論的例子。處理器 1104 可被實體及/或電耦接至主機板 1102。在某些例中，處理器 1104 包括封裝在處理器 1104 內的積體電路晶粒。一般來說，名詞“處理器”或“微處理器”可意指任何裝置或裝置的一部分，其處理來自暫存器及/或記憶體中的電子資料，並將該電子資料轉換成可以進一步儲存在暫存器及/或記憶體中的其它電子資料。

在各例中，一或多個通訊晶片 1106 也可被實體及/或電耦接至主機板 1102。在進一步的實施中，通訊晶片

1106 可以是處理器 1104 的一部分。視其應用而定，計算裝置 1100 可包括其它的組件，這些組件可以也可以不與主機板 1102 實體及電耦接。這些其它的組件包括但不限於揮發性記憶體(例如，DRAM)、非揮發性記憶體(例如，ROM)、快閃記憶體、圖形處理器、數位信號處理器、密碼處理器、晶片組、天線、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編解碼器、視頻編解碼器、功率放大器、全球定位系統(GPS)裝置、羅盤、加速儀、陀螺儀、喇叭、照相機、及大量儲存裝置(諸如，硬式磁碟機、固態硬碟(SSD)、光碟(CD)、數位影音光碟(DVD)、諸如此類)、等等。

通訊晶片 1106 可使往來於計算裝置 1100 的資料傳輸能夠無線通訊。名詞“無線”及其衍生詞可被用來描述電路、裝置、系統、方法、技術、通訊通道等，其可經由使用經調變的電磁輻射透過非固態媒體來傳遞資料。此名詞並非暗示相關聯的裝置不包含任何導線，雖然在某些實施例中可能沒有導線。通訊晶片 1106 可實施多種無線標準或協定，包括但不限於本文它處所描述的那些。如同所討論者，計算裝置 1100 可包括複數個通訊晶片 1106。例如，第一通訊晶片可專用於較短程無線通訊，諸如 Wi-Fi 與藍牙，及第二通訊晶片可專用於較長程無線通訊，諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其它。

雖然已參考了各種不同的實施描述了本文所陳述的某

些特徵，但無意將此描述解釋成限制之意。因此，熟悉關於本發明之技藝的人士可明瞭，本文所描述之實施的各種修改以及其它的實施，都視為是在本發明之精神與範圍之內。

將理解，本發明並不限於如此描述的實施例，以修改與變化來實施不會偏離所附申請專利範圍的範圍。以上的實施例可包括各種特徵的特定組合。例如：

在一或多個第一例示性實施例中，半導體裝置包括第一電晶體。第一電晶體進一步包括配置在基板之上的第一半導體通道區。第一電晶體進一步包括具有與第一通道區互補之導電類型的第一半導體源極區與第一汲極區，係配置在基板之上，且位在第一通道區的相對側。第一電晶體進一步包括與第一源極區介接的第一源極接點，及與第一汲極區介接的第一汲極接點。第一電晶體進一步包括配置在第一通道區之上的第一閘極介電質。第一電晶體進一步包括第一閘極電極，藉由第一閘極介電質而與第一通道區分隔開，及藉由第一中間間隔介電質而與第一汲極和源極接點分隔開，第一閘極電極進一步包含具有功函數的至少第一閘極金屬，該功函數在第一源極與汲極區間之間極電極的閘極長度上單調地改變。

在第一實施例的進一步中，第一源極與汲極區為  $n$  型，且第一閘極金屬的功函數從第一源極區之近端的第一功函數值單調地減少至第一汲極區之近端的第二功函數值。或，第一源極與汲極區為  $p$  型，且第一閘極金屬的功

5

函數從第一源極區之近端的第一功函數值單調地增加至第一汲極區之近端的第二功函數值。

在第一實施例的進一步中，第一閘極金屬的厚度在第一源極區與第一汲極區間之第一閘極電極的長度上單調地改變；或，第一閘極金屬的合金成分在第一源極區與第一汲極區間之第一閘極電極的長度上單調地改變。

在緊前之實施例的進一步中，第一閘極金屬的厚度，從第一閘極電極之源極邊緣處的非零第一厚度值增加至第一閘極電極之汲極邊緣處的第二厚度值。

在緊前之實施例的進一步中，第二厚度值比第一厚度值至少大 10%，且位於第一厚度值處的第一閘極金屬係與第一臨界電壓( $V_t$ )相關聯，第一  $V_t$  比位於第二厚度值處之與第一閘極金屬相關聯的第二  $V_t$  至少低 100mV。

在緊前之實施例的進一步中，第一閘極電極位於源極邊緣與汲極邊緣兩邊緣處的頂表面被凹入到低於中間間隔介電質之頂表面的 z-高度。第一電晶體進一步包括閘極頂蓋材料，係配置在介於第一中間間隔介電質之間的第一閘極金屬之上。

在緊前之實施例的進一步中，該裝置進一步包括第二電晶體。第二電晶體進一步包括配置在基板之上的第二半導體通道區。第二電晶體進一步包括具有與第二通道區互補之導電類型的第二半導體源極區與第二汲極區，係配置在基板之上，且位在第二通道區的相對側。第二電晶體進一步包括與第二源極區介接的第二源極接點，及與第二汲

極區介接的第二汲極接點。第二電晶體進一步包括配置在第二通道區之上的第二閘極介電質。第二電晶體進一步包括第二閘極電極，藉由第二閘極介電質而與第二通道區分隔開，及藉由第二中間間隔介電質而與第二汲極與源極接點分隔開，第二閘極電極進一步包含至少第一閘極金屬，且第一閘極金屬具有一厚度，厚度藉由比第一閘極電極中之量更少的量而在第二源極與第二汲極區間之第二閘極電極之長度上改變。

在緊前之實施例的進一步中，第一閘極金屬的厚度，從第一閘極電極之源極邊緣處的非零第一厚度值增加至第一閘極電極之汲極邊緣處的第二厚度值，第二厚度比第一厚度值至少厚 10%。第二閘極金屬具有一厚度，該厚度在第二閘極電極之源極與汲極邊緣之間的改變小於 10%，且具有小於第一厚度值的平均厚度。

在緊前之實施例的進一步中，第二閘極金屬具有比第一閘極長度更短的第二閘極長度。

在以上實施例的進一步中，第一閘極電極在源極邊緣處的頂表面被凹入到低於中間間隔介電質之頂表面的  $z$ -高度。第二閘極金屬在汲極邊緣與源極邊緣兩邊緣處的頂表面被凹入到低於第二中間間隔介電質之頂表面的  $z$  高度。閘極頂蓋材料係配置在第一閘極金屬之上，且在第一中間間隔介電質之間。閘極頂蓋材料係配置在第二閘極金屬之上，且在第二中間間隔介電質之間。

在緊前之實施例的進一步中，第一厚度值小於 100 奈

5

米。第二厚度值比第一厚度值至少厚 20%。第一閘極電極具有至少 10 奈米的閘極長度，且第二閘極電極具有小於第一閘極電極之閘極長度的閘極長度。第一與第二閘極金屬具有相同的成分。閘極頂蓋材料為介電質。閘極頂蓋材料與第一及第二閘極金屬介接。

在一或多個第二例示性實施例中，製造半導體裝置之方法包括在圍繞的介電質材料中形成第一閘極電極開口，第一開口露出第一半導體通道區。該方法進一步包括在第一半導體通道區之上形成第一閘極介電質。該方法進一步包括在第一開口中沉積第一閘極金屬。該方法進一步包括藉由在第一開口內相對於圍繞的介電質材料非均勻地凹入第一閘極金屬，以逐漸改變源極端與汲極端之間的第一閘極金屬厚度。該方法進一步包括形成到達配置在第一通道區之相對側上之第一源極與汲極區的第一源極與汲極接點。

在第二實施例的進一步中，逐漸改變介於源極端與汲極端之間的第一閘極金屬厚度包含藉由第一閘極電極之源極端處的量大於第一閘極電極之汲極端處的量以凹入第一閘極金屬。

在緊前之實施例的進一步中，逐漸改變第一閘極金屬厚度進一步包括平坦化第一閘極金屬與圍繞的介電質材料。逐漸改變第一閘極金屬厚度進一步包括凹入第一閘極金屬而使其低於圍繞的介電質材料。逐漸改變第一閘極金屬厚度進一步包括方向性地沉積或修改經凹入之第一閘極

金屬上方的遮罩材料，在第一開口內沿著遮罩材料之長度以第一開口之深寬比為函數的沉積或修改係非均勻的。

在以上實施例的進一步中，修改遮罩材料之特性進一步包含將開口內之部分的遮罩材料曝露於斜向植入來修改被曝露之遮罩材料的蝕刻速率。沉積第二材料進一步包含沉積介電材料。

在第二實施例的進一步中，製造裝置進一步包括在圍繞的介電質材料中形成第二開口，第二開口露出第二半導體通道區。製造裝置進一步包括在第二半導體通道區之上形成第二閘極介電質。製造裝置進一步包括以第一閘極金屬來回填第二開口以形成第二閘極電極。製造裝置進一步包括凹入第二開口內的第一閘極金屬，且不逐漸改變第二閘極電極介於源極端與汲極端之間的第一閘極金屬厚度。製造裝置進一步包括形成到達配置在第二通道區之相對側上之第二源極與汲極區的第二源極與汲極接點。

在緊前之實施例的進一步中，第一開口具有比第二開口大的橫向尺寸。逐漸改變第一開口內的第一閘極金屬厚度，並凹入第二開口內之第一閘極金屬而不逐漸改變第一閘極金屬厚度進一步包括平坦化第一閘極金屬與圍繞的介電質材料，凹入第一與第二開口內的第一閘極金屬，以使其低於圍繞的介電質材料，在經凹入的閘極金屬上方沉積遮罩材料，實施斜向植入，其修改第一開口內之遮罩材料之外露部分的蝕刻速率，以及，以不同的遮罩材料蝕刻速率為函數來凹入第一閘極金屬第二量，第二量在第一閘極

電極之長度上的改變，多於在第二閘極電極之長度上的改變。該方法進一步包括在經凹入的第一閘極金屬之上沉積閘極頂蓋材料。該方法進一步包括平坦化閘極頂蓋材料與圍繞的介電質材料。

在一或多個第三例示性實施例中，系統單晶片 (SoC) 包括處理器邏輯電路，耦接至處理器邏輯電路的記憶體電路，耦接至處理器邏輯電路的 RF 電路，且包括無線電發射電路與無線電接收器電路，以及電源管理電路，包括用以接收 DC 電源之輸入與耦接至處理器邏輯電路、記憶體電路、或 RF 電路之至少其中一者的輸出。RF 電路或電源管理電路的至少其中一者包括第一實施例中之任何一實施例的半導體裝置。

在第三實施例的進一步中，半導體裝置進一步包含第一電晶體。第一電晶體包括配置在基板之上的第一半導體通道區。第一電晶體包括具有與第一通道區互補之導電類型的第一半導體源極區與第一汲極區，係配置在基板之上，且位在第一通道區的相對側。第一電晶體包括與第一源極區介接的第一源極接點，及與第一汲極區介接的第一汲極接點。第一電晶體包括配置在第一通道區之上的第一閘極介電質。第一電晶體包括第一閘極電極，藉由第一閘極介電質而與第一通道區分隔開，並藉由第一中間間隔介電質而與第一汲極與源極接點分隔開，第一閘極電極進一步包含具有功函數的至少第一閘極金屬，該功函數在第一源極與汲極區間之閘極電極的閘極長度上單調地改變。

在緊前之實施例的進一步中，第一閘極金屬的厚度，從第一閘極電極之源極邊緣處的非零第一厚度值增加至第一閘極電極之汲極邊緣處的第二厚度值。

不過，以上的實施例並不受限於此，在各種不同的實施中，以上的實施例可包括僅取此些特徵的子集，取此些特徵之不同的次序，取此些特徵之不同的組合，及/或取那些明列之特徵以外的額外特徵。因此，本發明之範圍應參考所附申請專利範圍連同名為這些申請專利範圍之相等物的完整範圍來界定。

#### 【符號說明】

101：場效電晶體

110A：半導體源極區

110B：半導體汲極區

108：半導體通道區

105：基板

130：閘極金屬

102：nMOS 電晶體

201：電晶體

202：電晶體

301：電晶體

314A：源極接點

314B：汲極區接點

315：絕緣介電質

- 320：閘極介電質
- 325：中間間隔件介電質
- 330：閘極堆疊
- 331S：閘極電極源極邊緣
- 331D：閘極電極汲極邊緣
- 332：閘極電極頂蓋材料
- 302：金屬氧化物半導體場效電晶體
- 370：閘極電極堆疊
- 400：金屬氧化物半導體場效電晶體
- 401：半導體裝置
- 430：閘極電極堆疊
- 208：半導體通道區
- 210A：半導體源極區
- 210B：半導體汲極區
- 630：犧牲閘極結構
- 650：閘極電極凹入蝕刻
- 651：遮罩凹入蝕刻
- 660：碳質遮罩
- 670：植入
- 680：各向等性蝕刻
- 661：經修改之遮罩材料
- 1000：系統
- 1005：行動計算平台
- 1006：資料伺服器

- 1015：電池
- 1010：封裝級的集成系統
- 1050：單石積體電路
- 1030：射頻(無線)積體電路
- 1035：控制器
- 1025：射頻(無線)發射器及/或接收器
- 1060：插入件
- 1100：計算裝置
- 1102：主機板
- 1104：處理器
- 1106：通訊晶片

## 申請專利範圍

1. 一種半導體裝置，包含：

第一電晶體，該第一電晶體進一步包含：

半導體第一通道區，係配置在基板之上；

具有與該第一通道區互補之導電類型的半導體第一源極區與第一汲極區，係配置在該基板之上，且位在該第一通道區的相對側；

與該第一源極區介接的第一源極接點，及與該第一汲極區介接的第一汲極接點；

第一閘極介電質，係配置在該第一通道區之上；

以及

第一閘極電極，藉由該第一閘極介電質而與該第一通道區分隔開，及藉由第一中間間隔介電質而與該第一汲極和源極接點分隔開，該第一閘極電極進一步包含具有功函數的至少第一閘極金屬，該功函數在該第一源極與汲極區間之該第一閘極電極的閘極長度上單調地改變。

2. 如申請專利範圍第 1 項之裝置，其中：

該第一源極與汲極區為 n 型，且該第一閘極金屬的該功函數從該第一源極區之近端的第一功函數值單調地減少至該第一汲極區之近端的第二功函數值；或

該第一源極與汲極區為 p 型，且該第一閘極金屬的該功函數從該第一源極區之近端的第一功函數值單調地增加至該第一汲極區之近端的第二功函數值。

3. 如申請專利範圍第 1 項之裝置，其中：

該第一閘極金屬的厚度在該第一源極區與該第一汲極區間之該第一閘極電極的該長度上單調地改變；或

該第一閘極金屬的合金組成物在該第一源極區與該第一汲極區間之該第一閘極電極的該長度上單調地改變。

4. 如申請專利範圍第 3 項之裝置，其中，該第一閘極金屬的厚度，從該第一閘極電極之源極邊緣處的非零第一厚度值增加至該第一閘極電極之汲極邊緣處的第二厚度值。

5. 如申請專利範圍第 4 項之裝置，其中：

該第二厚度值比該第一厚度值至少大 10%；

位於該第一厚度值處的該第一閘極金屬係與第一臨界電壓 ( $V_t$ ) 相關聯，該第一  $V_t$  比位於該第二厚度值處之與該第一閘極金屬相關聯的第二  $V_t$  至少低 100mV。

6. 如申請專利範圍第 4 項之裝置，其中：

該第一閘極電極位於該源極邊緣與該汲極邊緣兩邊緣處之頂表面被凹入到低於該第一中間間隔介電質之頂表面的 z-高度；以及

進一步包含閘極頂蓋材料，係配置在介於該第一中間間隔介電質之間的該第一閘極金屬之上。

7. 如申請專利範圍第 3 項之裝置，進一步包含：

第二電晶體，包括：

半導體第二通道區，係配置在該基板之上；

具有與該第二通道區互補之導電類型的半導體第二源極區與第二汲極區，係配置在該基板之上，且位在該

第二通道區的相對側；

與該第二源極區介接的第二源極接點，及與該第二汲極區介接的第二汲極接點；

第二閘極介電質，係配置在該第二通道區之上；  
以及

第二閘極電極，藉由該第二閘極介電質而與該第二通道區分隔開，及藉由第二中間間隔介電質而與該第二汲極與源極接點分隔開，該第二閘極電極進一步包含至少該第一閘極金屬，且該第一閘極金屬具有一厚度，該厚度藉由比該第一閘極電極中之量更少的量而在該第二源極與第二汲極區間之該第二閘極電極之長度上改變。

8. 如申請專利範圍第 7 項之裝置，其中：

該第一閘極金屬的該厚度，從該第一閘極電極之源極邊緣處的非零第一厚度值增加至該第一閘極電極之汲極邊緣處的第二厚度值，該第二厚度值比該第一厚度值至少厚 10%；

第二閘極金屬具有一厚度，該厚度在該第二閘極電極之該源極與汲極邊緣之間的改變小於 10%，且具有小於該第一厚度值的平均厚度。

9. 如申請專利範圍第 7 項之裝置，其中：

該第一閘極金屬之該厚度，從該第一閘極電極之源極邊緣處的非零第一厚度值增加至該第一閘極電極之汲極邊緣處的第二厚度值，該第二厚度值比該第一厚度值至少厚 10%；

第二閘極金屬具有一厚度，該厚度在該第二閘極電極之該源極與汲極邊緣之間的改變少於 10%，且具有小於該第一厚度值的平均厚度；以及

該第二閘極金屬具有比第一閘極長度更短的第二閘極長度。

10. 如申請專利範圍第 9 項之裝置，其中：

該第一閘極金屬在該源極邊緣處的頂表面被凹入到低於該第一中間間隔介電質之頂表面的 z-高度；

該第二閘極金屬在汲極邊緣與源極邊緣兩邊緣處之頂表面被凹入到低於該第二中間間隔介電質之頂表面的 z-高度；

閘極頂蓋材料，係配置在該第一閘極金屬之上，且在該第一中間間隔介電質之間；以及

該閘極頂蓋材料係配置在該第二閘極金屬之上，且在該第二中間間隔介電質之間。

11. 如申請專利範圍第 10 項之裝置，其中：

該第一厚度值小於 100 奈米；

該第二厚度值比該第一厚度值至少厚 20%；

該第一閘極電極具有至少 10 奈米的閘極長度，且該第二閘極電極具有小於該第一閘極電極之閘極長度的閘極長度；

該第一與第二閘極金屬具有相同的成分；

該閘極頂蓋材料係介電質；以及

該閘極頂蓋材料與該第一及第二閘極金屬介接。

12. 一種製造半導體裝置之方法，該方法包含：

在圍繞的介電質材料中形成閘極電極第一開口，該第一開口露出半導體第一通道區；

在該半導體第一通道區之上形成第一閘極介電質；

在該第一開口中沉積第一閘極金屬；

藉由在該第一開口內相對於該圍繞的介電質材料非均勻地凹入該第一閘極金屬，以逐漸改變源極端與汲極端之間的該第一閘極金屬厚度；以及

形成至配置在該第一通道區之相對側上之第一該源極與汲極區的第一源極與汲極接點。

13. 如申請專利範圍第 12 項之方法，其中，逐漸改變介於該源極端與汲極端之間的該第一閘極金屬厚度包含：藉由該第一閘極電極之源極邊緣處的量大於該第一閘極電極之汲極邊緣處的量以凹入該第一閘極金屬。

14. 如申請專利範圍第 13 項之方法，其中，逐漸改變該第一閘極金屬厚度進一步包含：

平坦化該第一閘極金屬與該圍繞的介電質材料；

凹入該第一閘極金屬而使其低於該圍繞的介電質材料；以及

方向性地沉積或修改經凹入之該第一閘極金屬上方的遮罩材料，在該第一開口內沿著該遮罩材料之長度以該第一開口之深寬比為函數的該沉積或該修改係非均勻的。

15. 如申請專利範圍第 14 項之方法，其中：

方向性地沉積或修改該遮罩材料包含：進一步藉由將

該第一開口內之部分的該遮罩材料曝露於斜向植入來修改該遮罩材料，該斜向植入修改被曝露之該遮罩材料的蝕刻速率；以及

沉積第二材料進一步包含沉積介電材料。

16. 如申請專利範圍第 14 項之方法，其中，製造該裝置進一步包含：

在圍繞的介電質材料中形成第二開口，該第二開口露出半導體第二通道區；

在該半導體第二通道區之上形成第二閘極介電質；

藉由以該第一閘極金屬來回填該第二開口以形成第二閘極電極；

凹入該第二開口內的該第一閘極金屬，且不逐漸改變該第二閘極電極介於源極端與汲極端之間的該第一閘極金屬厚度；以及

形成至配置在該第二通道區之相對側上之第二源極與汲極區的第二源極與汲極接點。

17. 如申請專利範圍第 16 項之方法，其中：

該第一開口具有比該第二開口大的橫向尺寸；以及

逐漸改變該第一開口內的該第一閘極金屬厚度，並凹入該第二開口內之該第一閘極金屬而不逐漸改變該第一閘極金屬厚度進一步包含：

平坦化該第一閘極金屬與該圍繞的介電質材料；

凹入該第一與第二開口內的該第一閘極金屬，以使其低於該圍繞的介電質材料；

在該經凹入的閘極金屬上方沉積遮罩材料；

實施斜向植入，其修改該第一開口內之該遮罩材料之外露部分的蝕刻速率；以及

以該不同的遮罩材料蝕刻速率為函數來凹入該第一閘極金屬第二量，該第二量在該第一閘極電極之長度上的改變，多於在該第二閘極電極之長度上的改變。

18. 如申請專利範圍第 17 項之方法，其中，該方法進一步包含：

在經凹入的該第一閘極金屬之上沉積閘極頂蓋材料；以及

平坦化該閘極頂蓋材料與該圍繞的介電質材料。

19. 一種系統單晶片 (SoC)，包含：

處理器邏輯電路；

記憶體電路，係耦接至該處理器邏輯電路；

RF 電路，係耦接至該處理器邏輯電路，且包括無線電發射電路與無線電接收器電路；以及

電源管理電路，包括用以接收 DC 電源之輸入與耦接至該處理器邏輯電路、該記憶體電路、或該 RF 電路之至少其中一者的輸出，其中，該 RF 電路或該電源管理電路的至少其中一者包括第一電晶體，進一步包含：

半導體第一通道區，係配置在基板之上；

具有與該第一通道區互補之導電類型的半導體第一源極區與第一汲極區，係配置在該基板之上，且位在該第一通道區的相對側；

與該第一源極區介接的第一源極接點，及與該第一汲極區介接的第一汲極接點；

第一閘極介電質，係配置在該第一通道區之上；  
以及

第一閘極電極，藉由該第一閘極介電質而與該第一通道區分隔開，並藉由第一中間間隔介電質而與該第一汲極與源極接點分隔開，該第一閘極電極進一步包含具有功函數的至少第一閘極金屬，該功函數在該第一源極與汲極區間之該閘極電極的閘極長度上單調地改變。

20. 如申請專利範圍第 19 項之 SoC，其中，該第一閘極金屬的厚度，從該第一閘極電極之源極邊緣處的非零第一厚度值增加至該第一閘極電極之汲極邊緣處的第二厚度值。

圖式

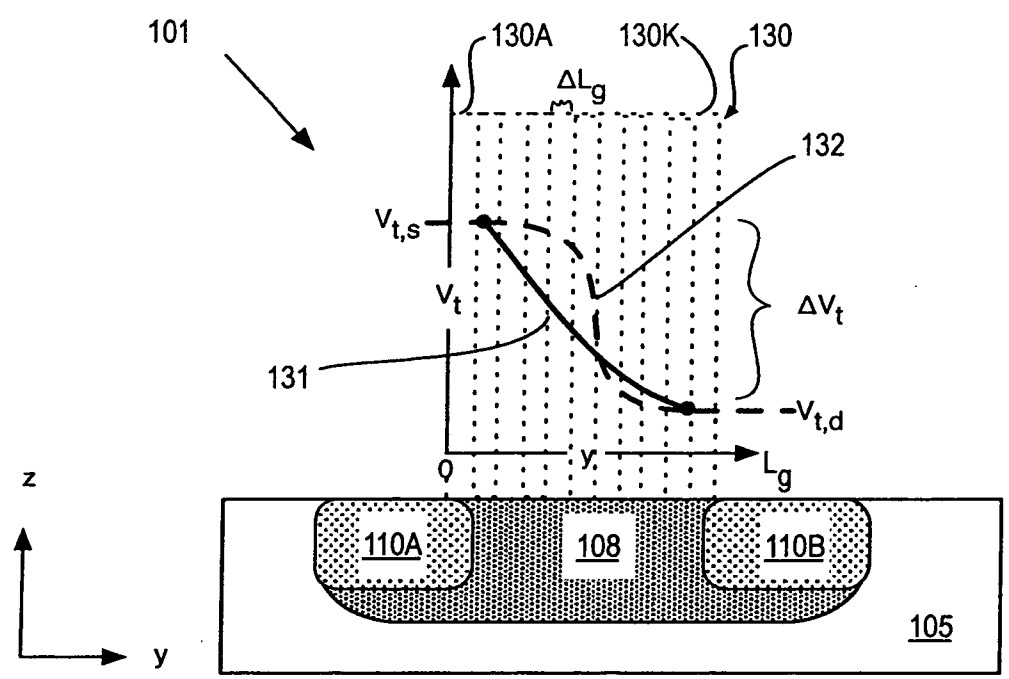


圖 1A

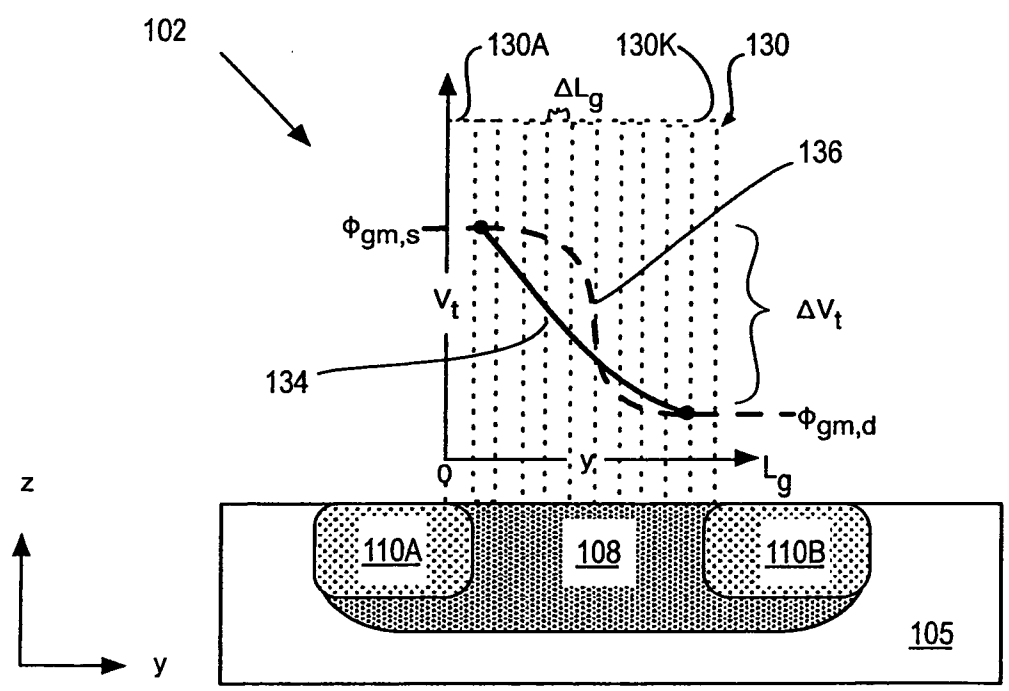


圖 1B

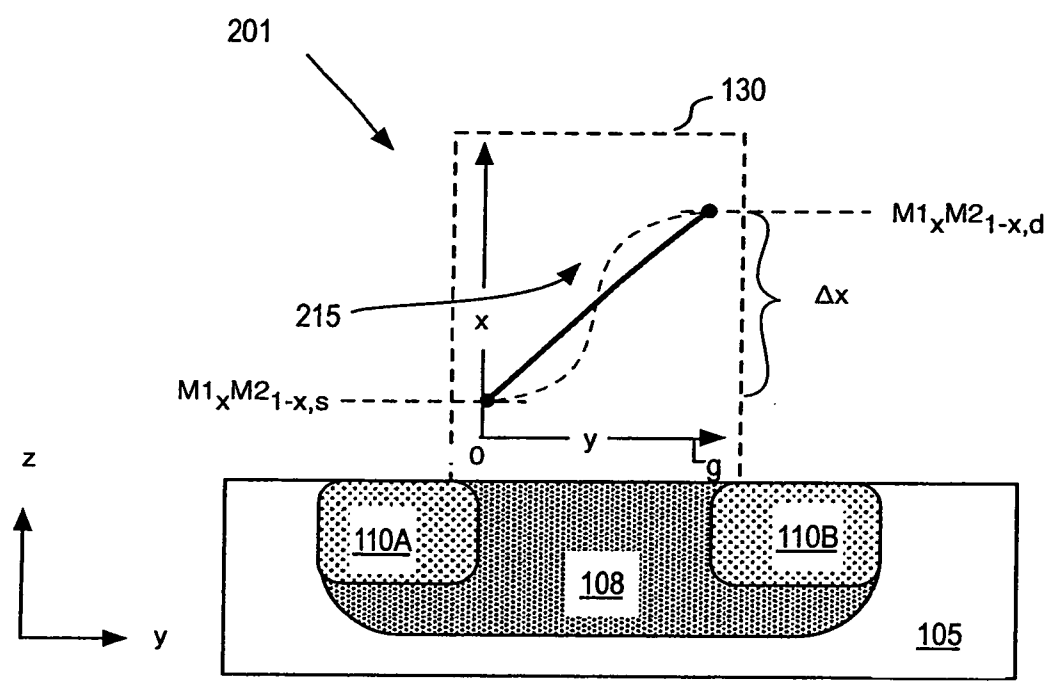


圖 2A

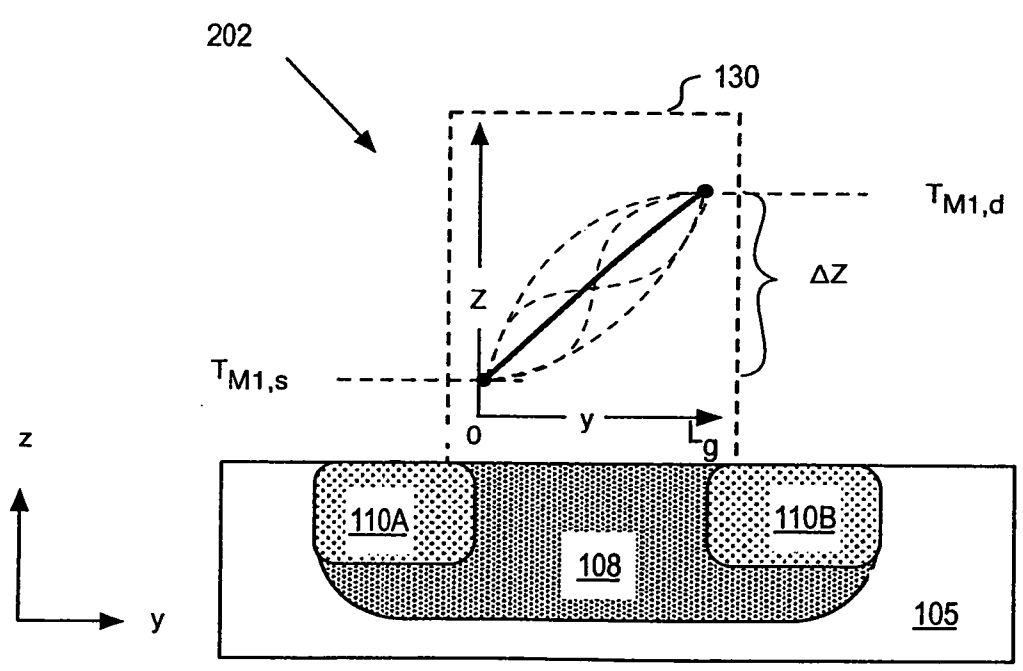


圖 2B

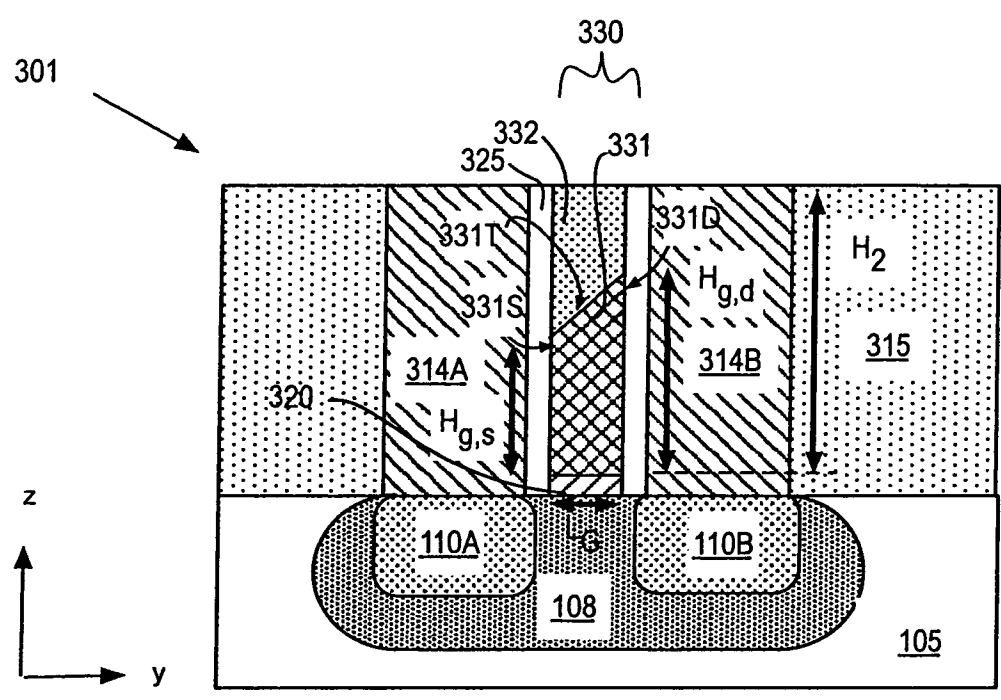


圖 3A

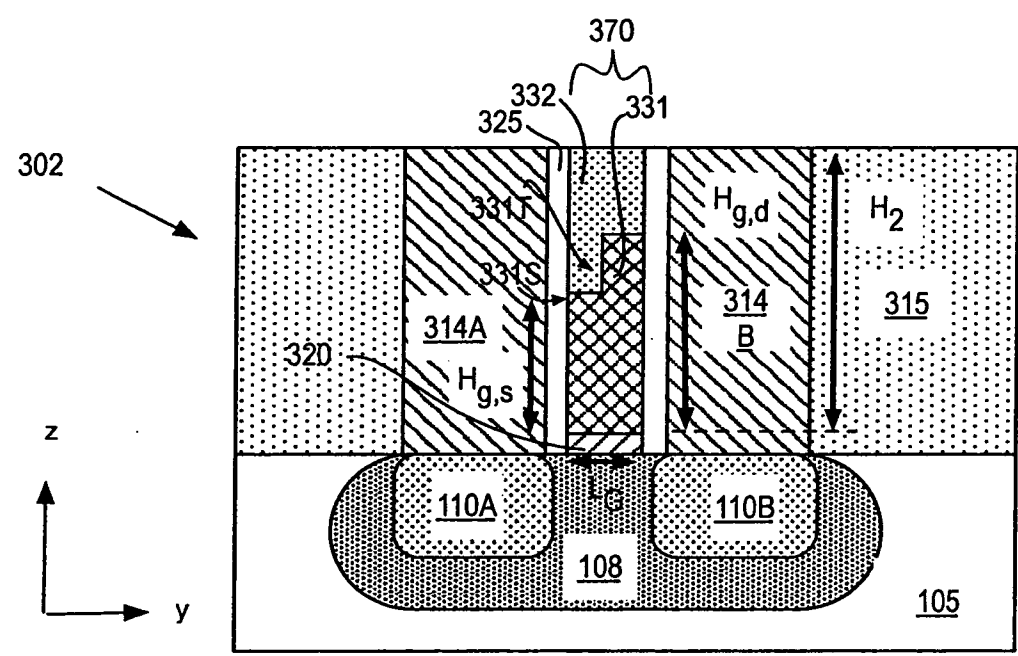


圖 3B

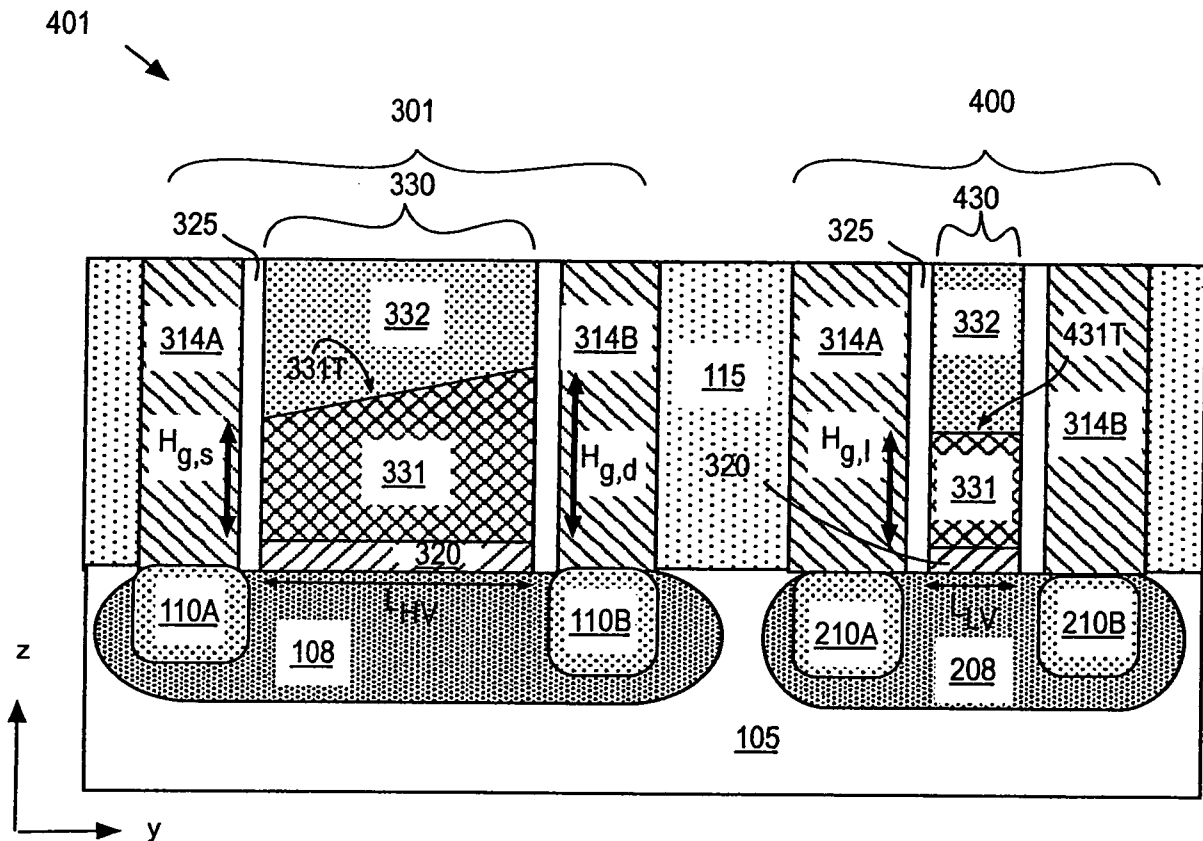


圖 4

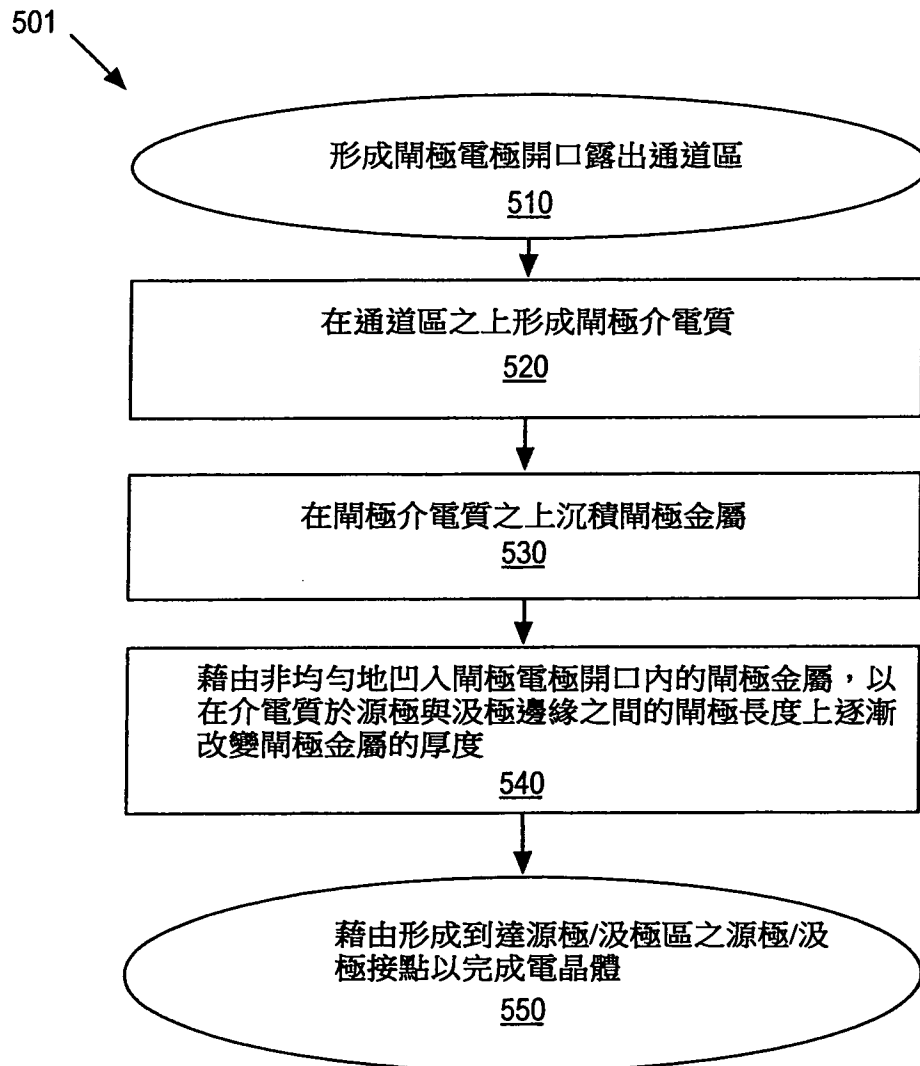


圖 5A

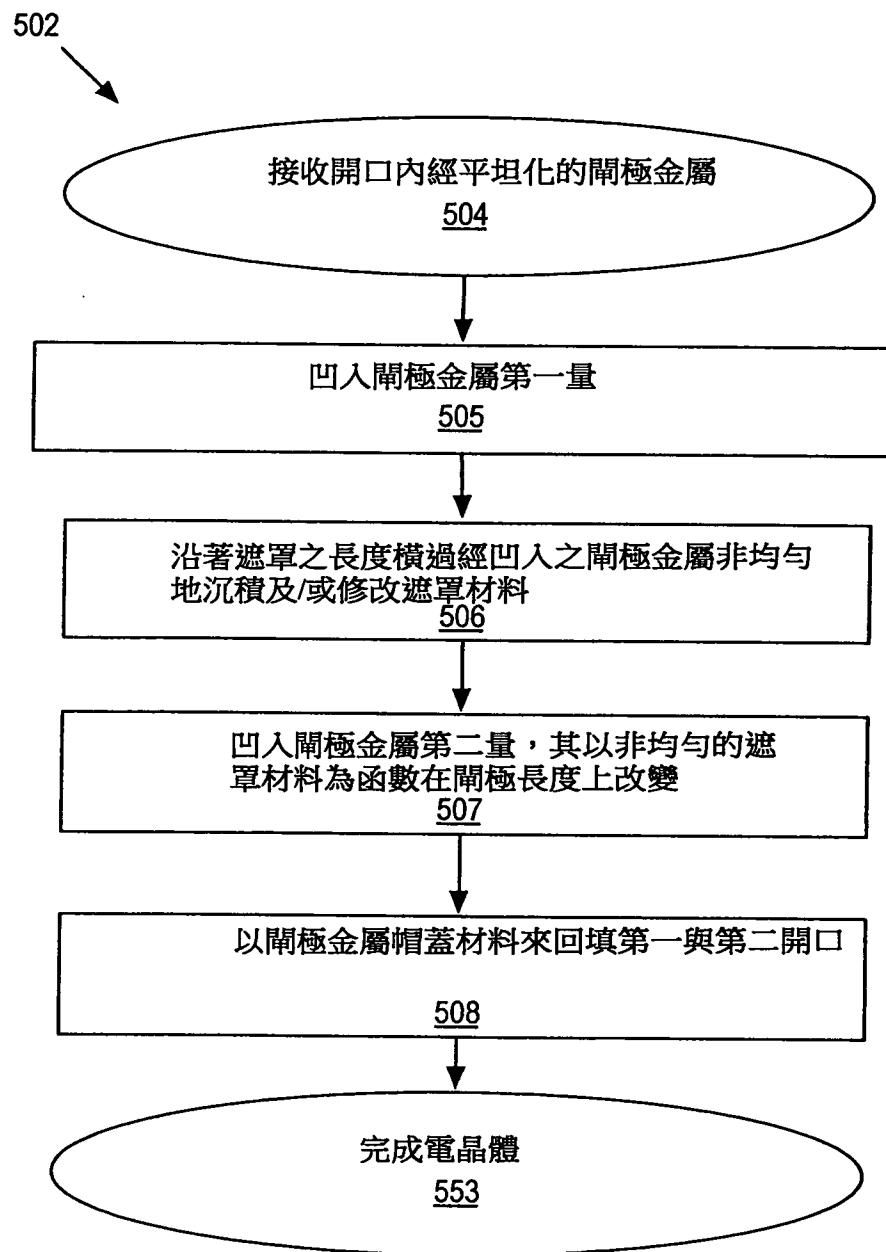


圖 5B

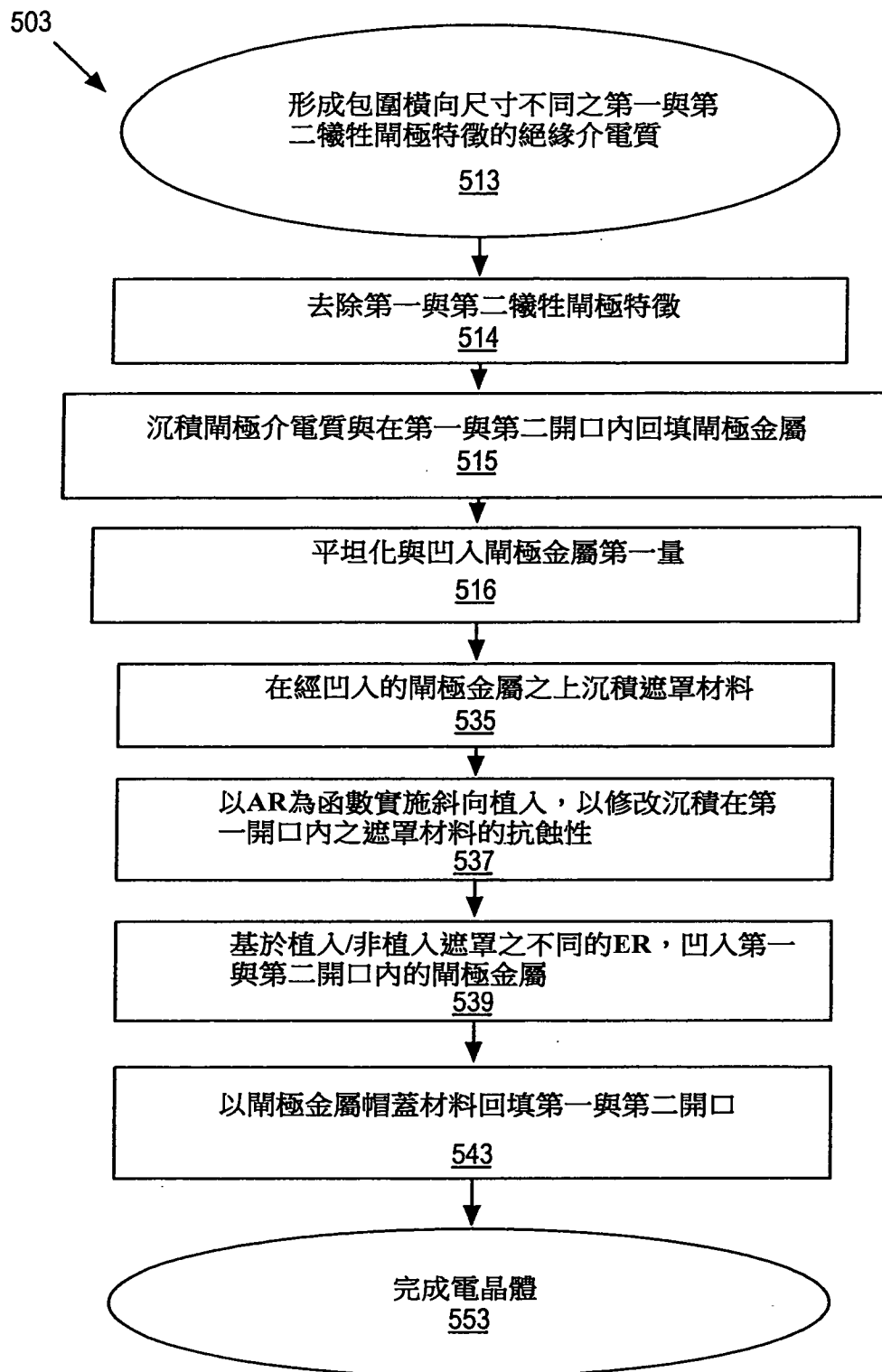


圖 5C

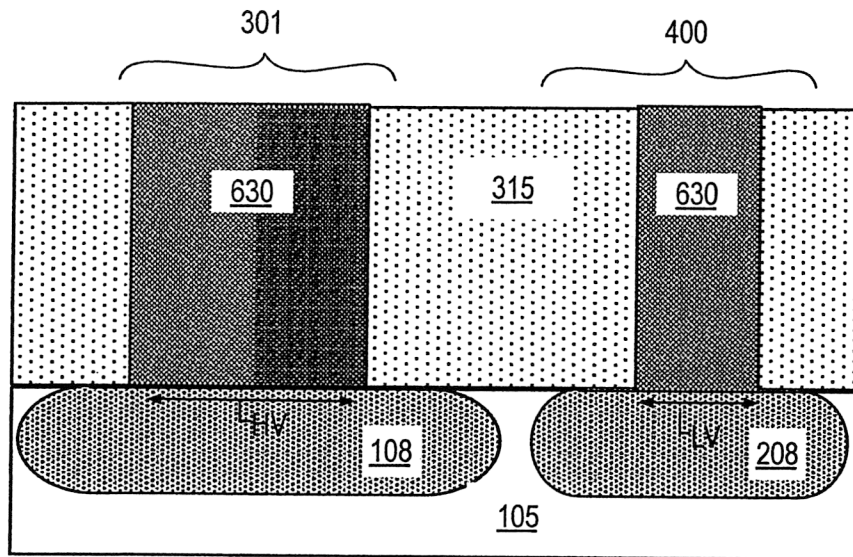


圖 6A

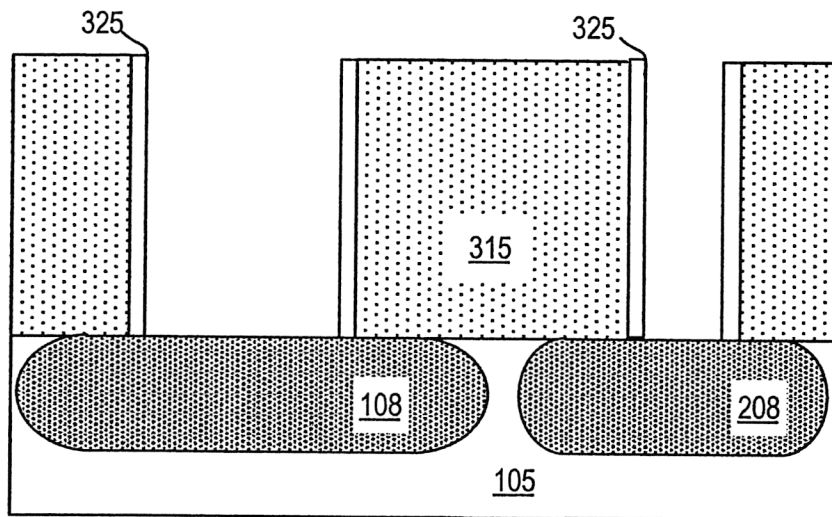


圖 6B

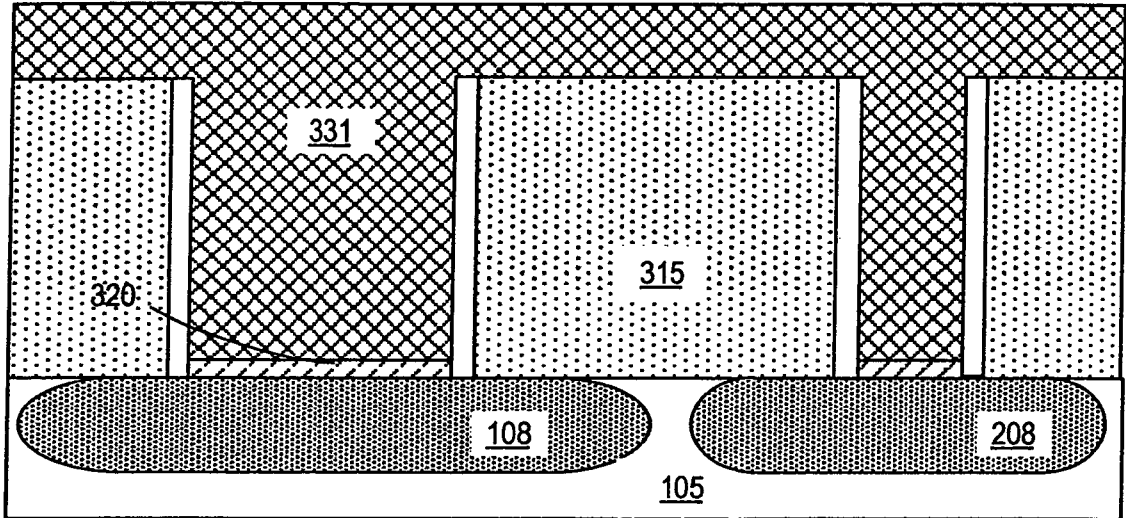


圖 6C

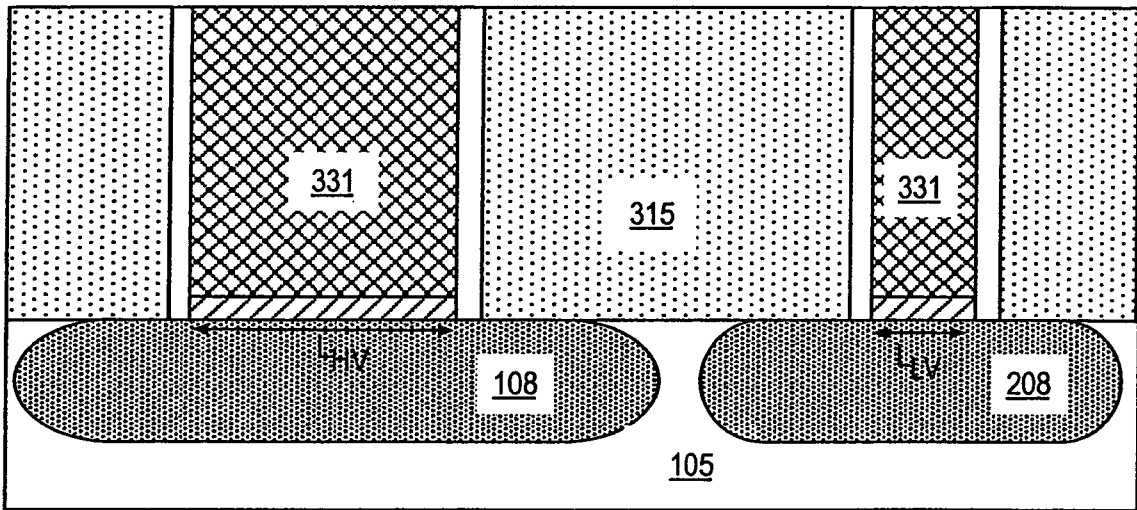


圖 6D

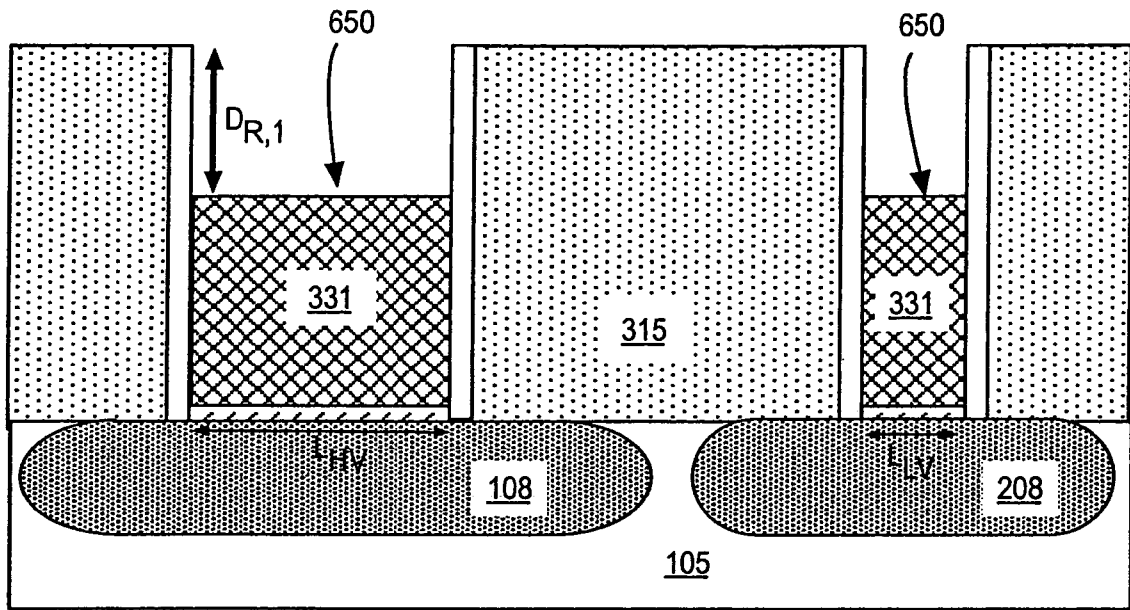


圖 6E

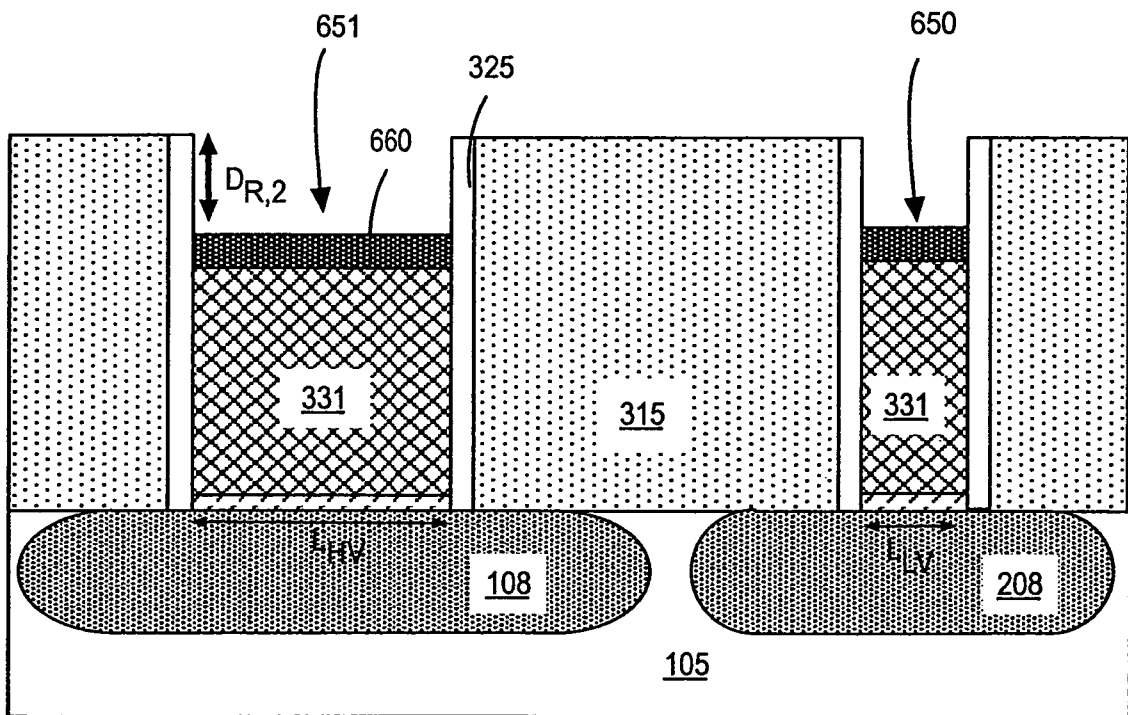


圖 6F

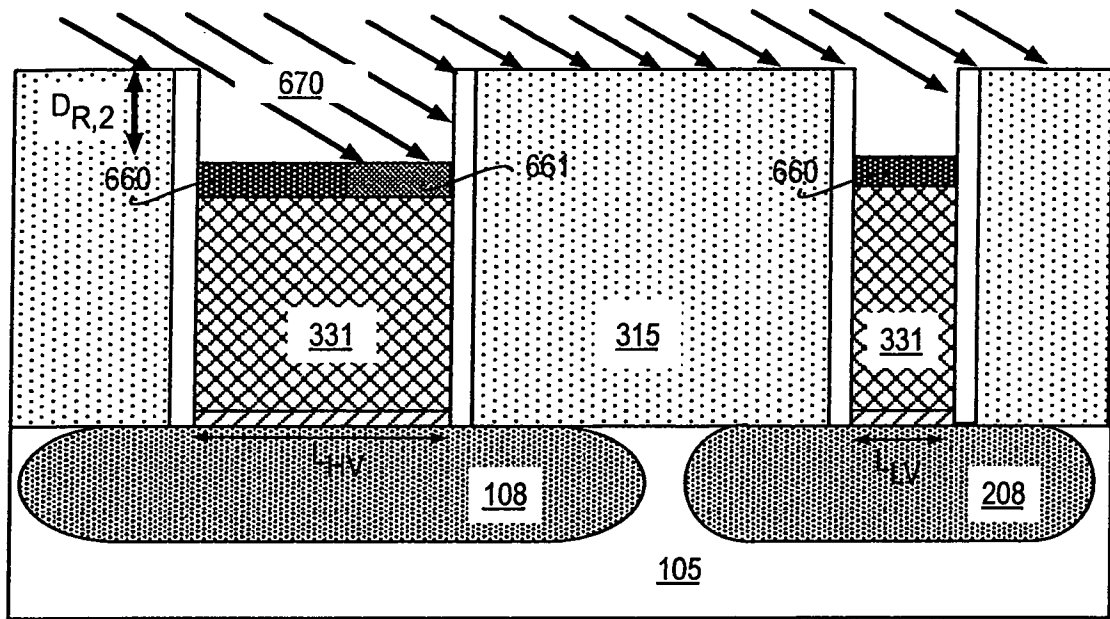


圖 6G

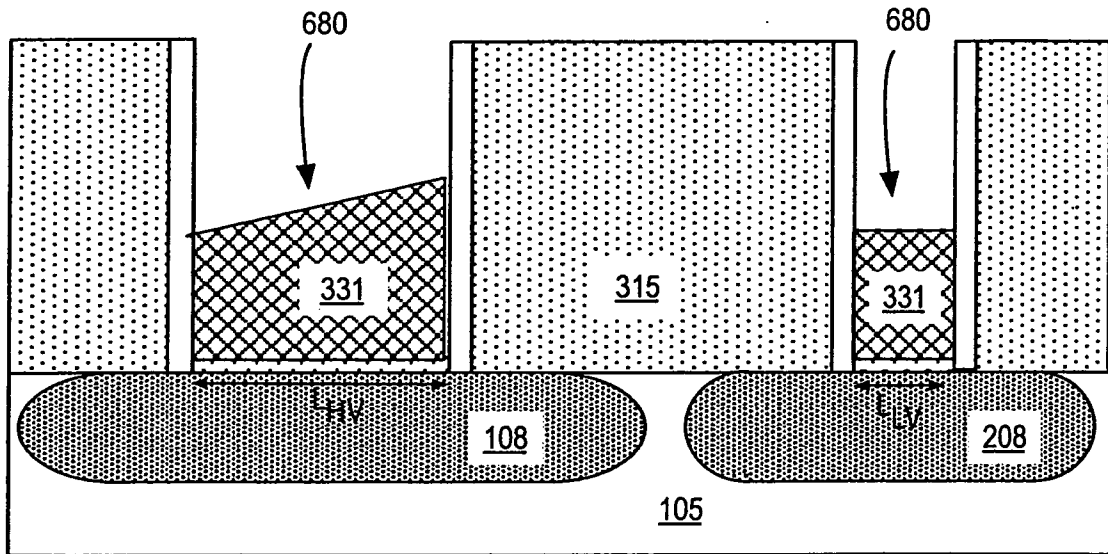


圖 6H

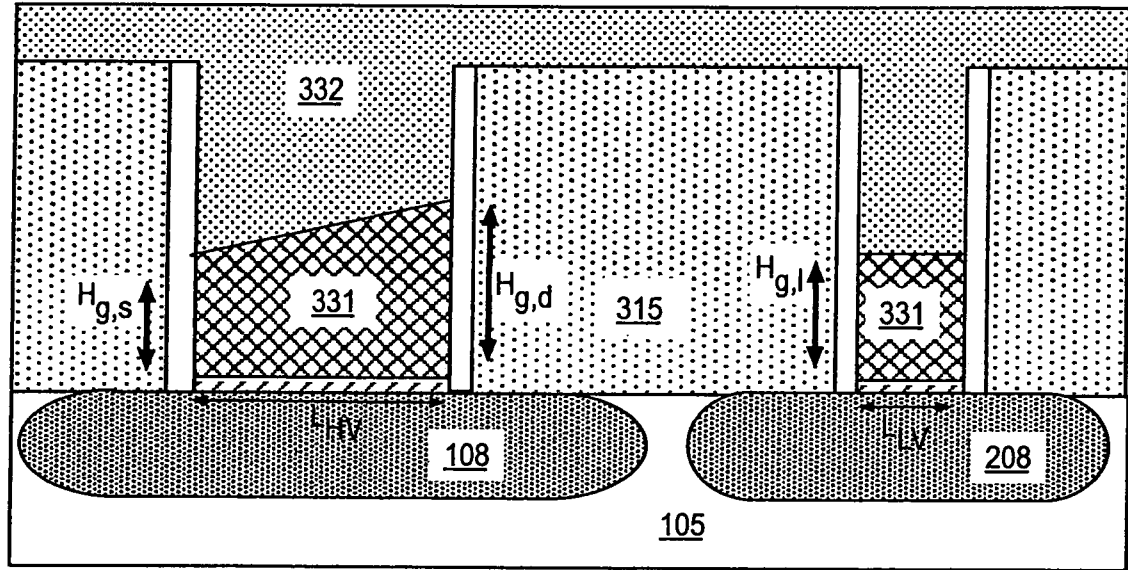


圖 6I

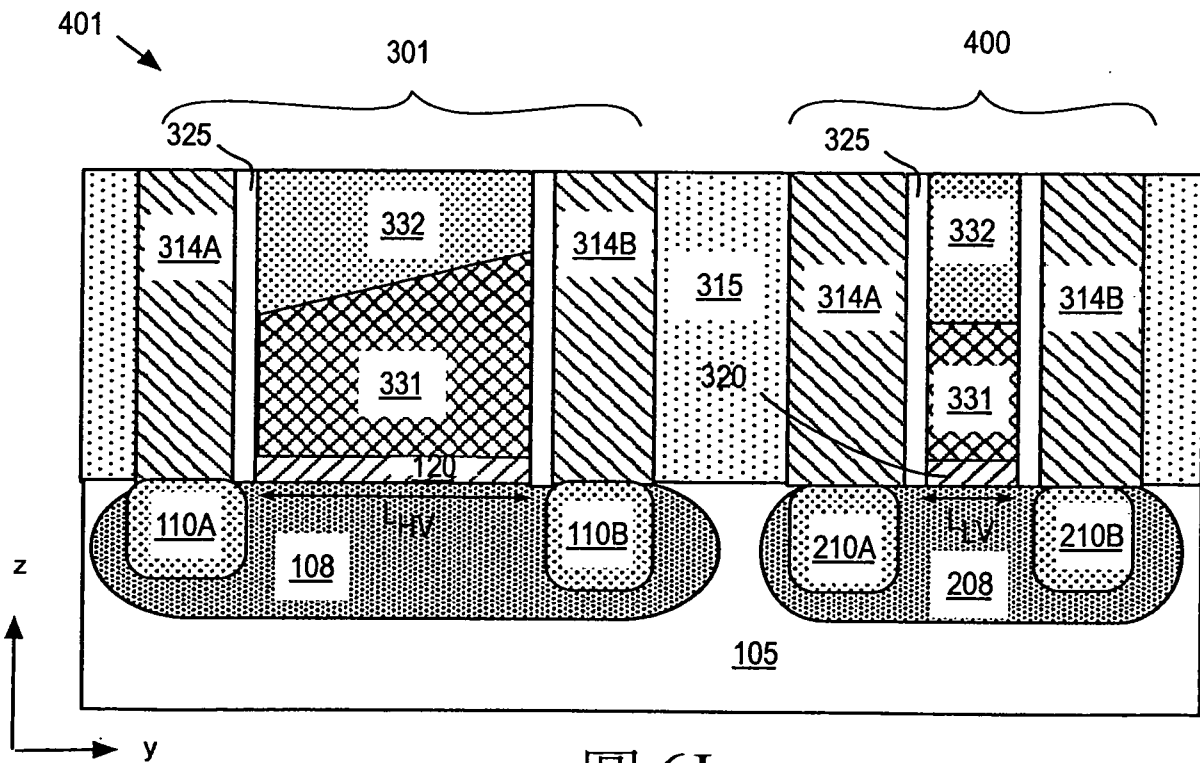


圖 6J

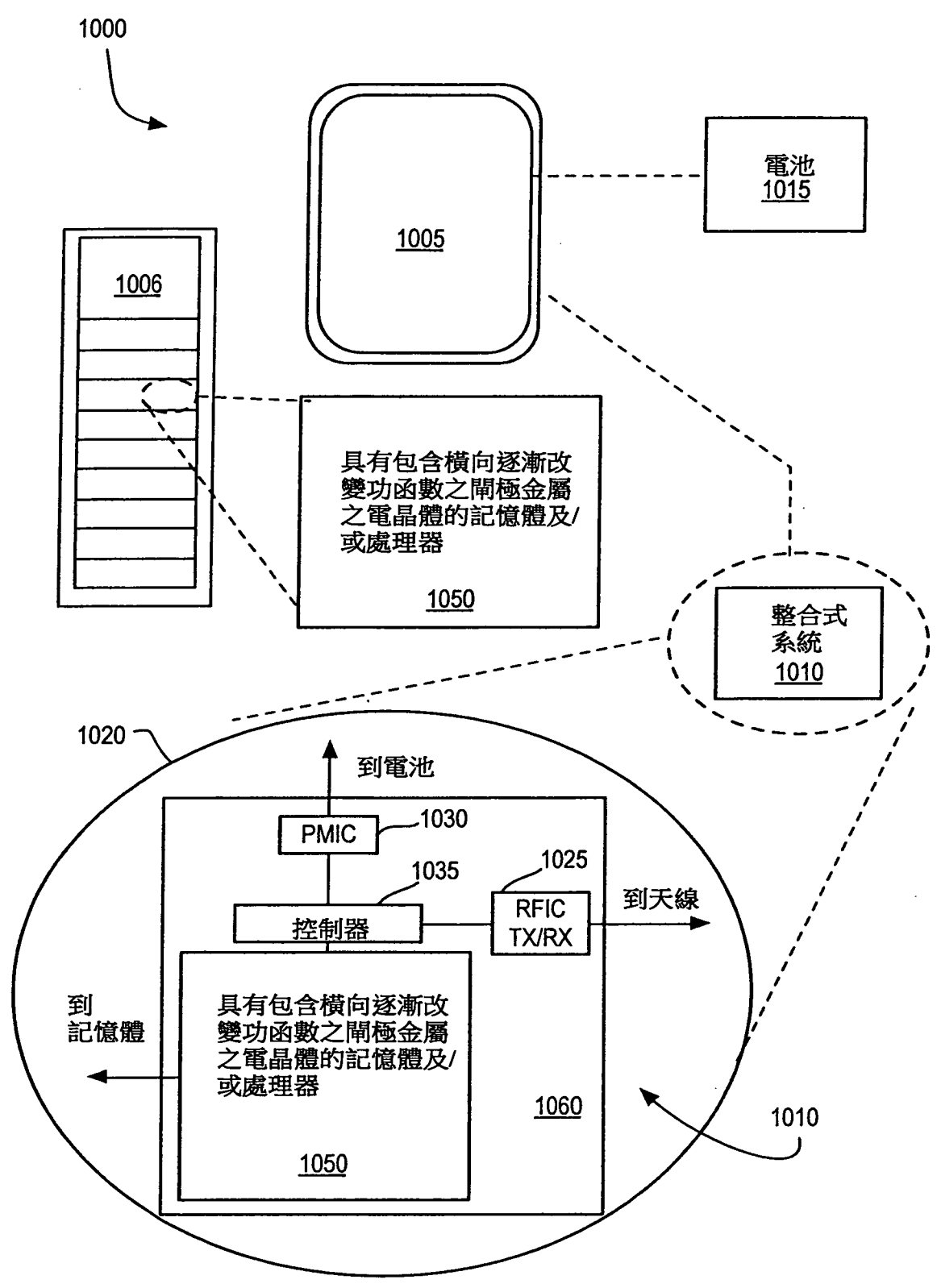


圖 7

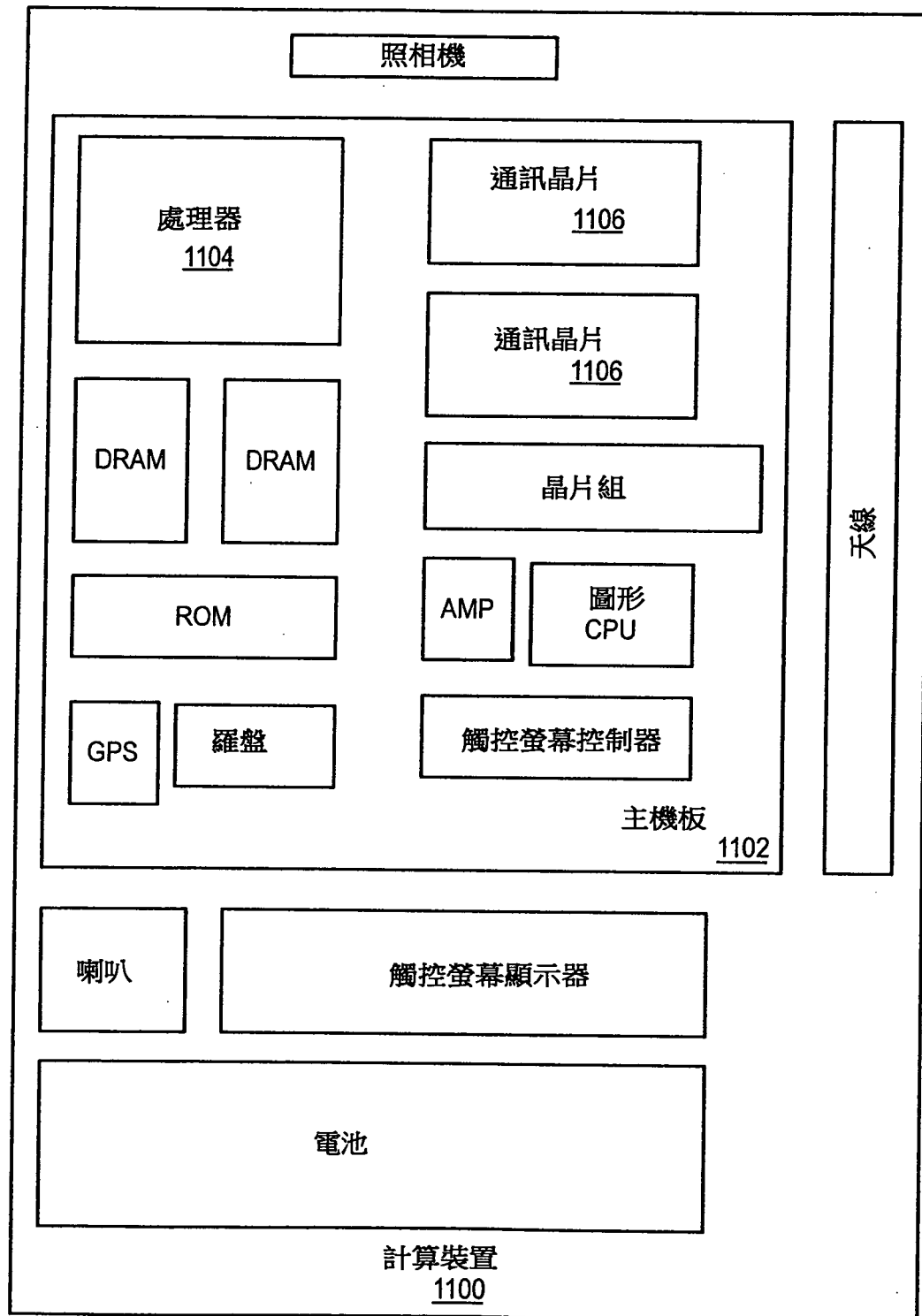


圖 8