

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국(43) 국제공개일
2009년 12월 3일 (03.12.2009)

(10) 국제공개번호

WO 2009/145581 A2

PCT

(51) 국제특허분류:

H01L 29/786 (2006.01)

(21) 국제출원번호:

PCT/KR2009/002855

(22) 국제출원일:

2009년 5월 29일 (29.05.2009)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2008-0050466 2008년 5월 29일 (29.05.2008) KR

(71) 출원인 (US을(를) 제외한 모든 지정국에 대하여): 삼성전자 주식회사 (SAMSUNG ELECTRONICS., LTD.) [KR/KR]; 경기도 수원시 영통구 매탄동 416, 442-742 Gyeonggi-do (KR).

(72) 발명자: 김창정 (KIM, Chang-Jung); 경기도 용인시 기흥구 농서동 산 14-1 삼성종합기술원, 446-712 Gyeonggi-do (KR). 김상욱 (KIM, Sang-Wook); 경기도 용인시 기흥구 농서동 산 14-1 삼성종합기술원, 446-712 Gyeonggi-do (KR). 김선일 (KIM, Sun-II); 경기도 용인시 기흥구 농서동 산 14-1 삼성종합기술원, 446-712 Gyeonggi-do (KR).

(74) 대리인: 리엔목 특허법인 (Y.P.LEE, MOCK & PARTNERS); 서울특별시 서초구 서초동 1575-1 고려빌딩, 137-875 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

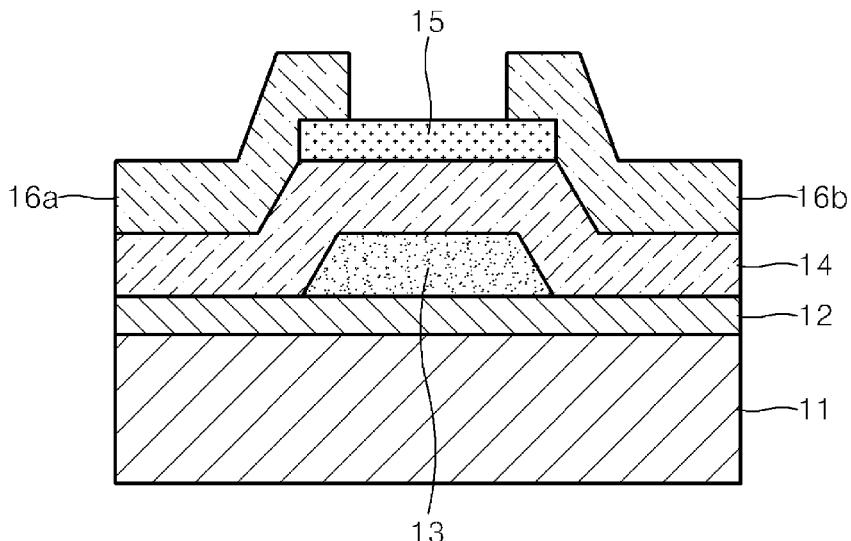
공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

(54) Title: OXIDE SEMICONDUCTOR AND THIN FILM TRANSISTOR INCLUDING SAME

(54) 발명의 명칭: 산화물 반도체 및 이를 포함하는 박막 트랜지스터

1a



(57) Abstract: Provided are: an oxide semiconductor containing Zn, In, and Hf, wherein the composition ratio of the content of the Hf atom to the total content of Zn, In, and Hf atoms is 2 to 16 wt %; and a thin film transistor including the oxide semiconductor.

(57) 요약서: Zn, In 및 Hf을 포함하며, Zn, In 및 Hf 원자의 전체 함량 대비 Hf 원자 함량의 조성비가 2 내지 16 at%인 산화물 반도체 및 이를 포함하는 박막 트랜지스터를 제공한다.

명세서

산화물 반도체 및 이를 포함하는 박막 트랜지스터 기술분야

[1] 설명되는 실시예들은 산화물 반도체 및 이를 포함하는 박막 트랜지스터에 관한 것으로, 보다 상세하게는 Zn 산화물에 새로운 물질을 첨가한 반도체 물질 및 이를 포함하는 산화물 박막 트랜지스터에 관한 것이다.

배경기술

[2] 현재 박막 트랜지스터(Thin film transistor)는 다양한 응용 분야에 이용되고 있으며 특히, 디스플레이 분야에서 스위칭 및 구동 소자로 이용되고 있으며, 크로스 포인트형 메모리 소자의 선택 스위치로 사용되고 있다.

[3] 현재 TV용 패널로서 액정 디스플레이(LCD)가 주축을 이루고 있는 가운데, 유기발광 디스플레이도 TV로의 응용을 위해 많은 연구가 진행되고 있다. TV용 디스플레이 기술 개발은 시장에서 요구하는 바를 충족시키는 방향으로 발전하고 있다. 시장에서 요구하는 사항으로는 대형화된 TV 또는 DID(Digital Information Display), 저가격, 고화질(동영상 표현력, 고해상도, 밝기, 명암비, 색재현력) 등이 있다. 이와 같은 요구 사항에 대응하기 위해서는 유리 등의 기판의 대형화와 함께, 우수한 성능을 갖는 디스플레이의 스위칭 및 구동소자로 적용될 박막 트랜지스터(TFT)가 요구된다.

[4] 디스플레이의 구동 및 스위칭 소자로서 사용되는 것으로, 비정질 실리콘 박막트랜지스터(a-Si TFT)가 있다. 이는 저가의 비용으로 $2m^2 \times 2m$ 가 넘는 대형 기판 상에 균일하게 형성될 수 있는 소자로서 현재 가장 널리 쓰이는 소자이다. 그러나, 디스플레이의 대형화 및 고화질화 추세에 따라 소자 성능 역시 고성능이 요구되어, 이동도 $0.5 \text{ cm}^2/\text{Vs}$ 수준의 기존의 a-Si TFT는 한계에 다다를 것으로 판단된다. 따라서 a-Si TFT보다 높은 이동도를 갖는 고성능 TFT 및 제조 기술이 필요하다.

[5] a-Si TFT 대비 월등히 높은 성능을 갖는 다결정 실리콘 박막트랜지스터(poly-Si TFT)는 수십에서 수백 cm^2/Vs 의 높은 이동도를 갖기 때문에, 기존 a-Si TFT에서 실현하기 힘들었던 고화질 디스플레이에 적용할 수 있는 성능을 갖는다. 또한, a-Si TFT에 비해 소자 특성 열화 문제가 매우 적다. 그러나, poly-Si TFT를 제작하기 위해서는 a-Si TFT에 비해 복잡한 공정이 필요하고 그에 따른 추가 비용도 증가한다. 따라서, p-Si TFT는 디스플레이의 고화질화나 OLED와 같은 제품에 응용되기 적합하지만, 비용 면에서는 기존 a-Si TFT에 비해 열세이므로 응용이 제한적인 단점이 있다. 그리고 p-Si TFT의 경우, 제조 장비의 한계나 균일도 불량과 같은 기술적인 문제로 현재까지는 1 m가 넘는 대형기판을 이용한 제조공정이 실현되고 있지 않기 때문에, TV 제품으로의 응용이 어렵다.

[6] 이에 따라 a-Si TFT의 장점과 poly-Si TFT의 장점을 모두 지닌 새로운 TFT기술에 대한 요구되었다. 이에 대한 연구가 활발히 진행되고 있는데, 그

대표적인 것으로 산화물 반도체 소자가 있다.

- [7] 산화물 반도체 소자로 최근 각광을 받는 것으로 ZnO계 박막 트랜지스터이다. 현재 ZnO 계열 물질로 Zn 산화물, Ga-In-Zn 산화물 등이 소개되었다. ZnO계 반도체 소자는 저온 공정으로 제작이 가능하고 비정질 상이기 때문에 대면적화가 용이한 장점을 가진다. 또한, ZnO 계 반도체 필름은 고이동도의 물질로서 다결정 실리콘과 같은 매우 양호한 전기적 특성을 갖는다. 현재, 이동도(mobility)가 높은 산화물 반도체 물질층, 즉 ZnO 계열(based) 물질층을 박막 트랜지스터의 채널 영역에 사용하기 위한 연구가 진행되고 있다. ZnO 계열 물질로 Zn 산화물, Ga-In-Zn 산화물 등이 소개되었다.

도면의 간단한 설명

- [8] 이와 같은 및/또는 다른 측면들 및 효과들은 다음 도면들은 참조하여 다음과 같은 실시예들의 상세한 설명으로부터 명확해지고 보다 충실히 인식될 것이다.
- [9] 도 1a은 본 발명의 실시예에 의한 바텀 구조의 산화물 박막 트랜지스터를 나타낸 도면이다.
- [10] 도 1b는 본 발명의 실시예에 의한 탑 구조의 산화물 박막 트랜지스터를 나타낸 도면이다.
- [11] 도 2a 내지 도 2e는 본 발명의 실시예에 의한 산화물 박막 트랜지스터의 제조 방법을 나타낸 도면이다.
- [12] 도 3a 내지 도 3d는 본 발명의 실시예에 의해 제조된 시편의 단면을 나타낸 TEM 사진을 나타낸 도면이다.
- [13] 도 4a 내지 도 4d는 본 발명의 실시예에 의한 산화물 박막 트랜지스터의 채널 영역의 Hf 함량에 따른 트랜스퍼 커브(transfer curve)를 나타낸 것으로, 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 변화를 나타낸 그래프이다.
- [14] 도 5a는 타겟 3으로 Ar:O₂의 비율이 90:10%인 조건하에서 채널을 형성하고, 섭씨 200도에서 열처리한 뒤, 섭씨 60도에서, 게이트 소스 전압이 -20V이며, 드레인 소스 전압이 10V인 상태에서, 1시간 및 16시간 후의 트랜스퍼 커프를 측정한 결과를 나타낸 것이다.
- [15] 도 5b는 시편 2 내지 4로 시편을 형성한 뒤, 시간에 따른 트랜스퍼 커프를 측정하고, 10⁻⁹A에서의 V_{th} 의 편차(ΔV_{th})를 측정한 결과를 나타낸 그래프이다.
- [16] 도 6a 내지 도 6d는 타겟 5, 6, 7 및 8로 Ar:O₂의 비율이 90:10sccm인 분위기 하에서 DC 스퍼터링으로 산화물 박막 트랜지스터의 채널 영역(폭:길이=50:4μm)을 형성한 뒤, 질소 분위기 하에서 섭씨 200도에서 1시간 동안 열처리한 다음, 소스-드레인 전압이 10V인 경우, 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 변화를 나타낸 그래프이다.
- [17] 도 7a 및 도 7b는 타겟 7 및 8로 형성한 시편의 채널 영역에 대한 TEM 이미지를 나타낸 도면이다.
- [18] 도 8은 타겟 6으로 Ar:O₂의 비율이 95:5sccm인 조건하에서 채널 영역(폭:길이=50:4μm)을 형성하고, 질소 분위기 하에서 섭씨 200도에서 1시간

동안 열처리한, 섭씨 60도에서, 게이트 소스 전압이 -20V이며, 드레인 소스 전압이 10V인 상태에서, 1시간 및 16시간 경과 후의 트랜스퍼 커브를 측정한 결과를 나타낸 것이다.

- [19] 도 9는 타겟 9로 산화물 박막 트랜지스터의 채널 영역(폭/길이 = 50:4um)을 형성한 뒤, 질소 분위기 하에서 섭씨 200도에서 1시간 동안 열처리한 다음 측정한 트랜스퍼 커브(transfer curve)를 나타낸 것으로, 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 변화를 나타낸 그래프이다.

발명의 상세한 설명

기술적 해결방법

- [20] 본 발명의 한 측면은 Zn 산화물에 새로운 물질을 첨가한 산화물 반도체에 관련된다.

- [21] 본 발명의 또 다른 측면은 상기 산화물 반도체를 채널 영역에 사용한 산화물 박막 트랜지스터에 관련된다.

유리한 효과

- [22] 본 발명의 실시예들에 따르면, Hf을 포함하여 특성이 우수한 산화물 반도체 및 산화물 박막 트랜지스터를 제공할 수 있다.

발명의 실시를 위한 최선의 형태

- [23] 본 발명에서는, Zn, In 및 Hf을 포함하며, Zn, In 및 Hf 원자의 전체 함량 대비 Hf 원자 함량의 조성비가 2 내지 16 at.%인 산화물 반도체를 제공한다.

- [24] 또한, 본 발명에서는, 산화물 박막 트랜지스터에 있어서, 게이트, 상기 게이트에 대응되는 위치에 형성된 것으로 Zn, In 및 Hf을 포함하며, Zn, In 및 Hf 원자의 전체 함량 대비 Hf 원자 함량의 조성비가 2 내지 16 at.%인 산화물 반도체로 형성된 채널, 상기 게이트 및 채널 사이에 형성되는 게이트 절연체 및 상기 채널의 양측부와 각각 접촉하며 형성된 소스 및 드레인을 포함하는 산화물 박막 트랜지스터를 제공한다.

- [25] 본 발명의 일 측면에 있어서, 상기 산화물 반도체는 Hf의 조성비가 3 내지 16at.% 범위이며, 상기 산화물 반도체는 비정질인 산화물 반도체일 수 있다.

- [26] 본 발명의 일 측면에 있어서, 상기 Hf의 조성비가 3.8 내지 11 at.% 범위이며, 상기 산화물 반도체는 비정질인 산화물 반도체일 수 있다.

- [27] 본 발명의 일 측면에 있어서, 상기 Hf의 조성비가 5 내지 11 at.% 범위이며, 상기 산화물 반도체는 비정질인 산화물 반도체일 수 있다.

- [28] 본 발명의 일 측면에 있어서, 상기 Zn의 조성비가 10 내지 60 at.% 범위인 산화물 반도체일 수 있다.

- [29] 본 발명의 일 측면에 있어서, 상기 Zn의 조성비가 31 내지 46 at.% 범위인 산화물 반도체일 수 있다.

- [30] 본 발명의 일 측면에 있어서, 상기 In의 조성비가 30 내지 90 at.% 범위인 산화물 반도체일 수 있다.

[31] 본 발명의 일 측면에 있어서, 상기 In의 조성비가 51 내지 54 at.% 범위인 산화물 반도체일 수 있다.

발명의 실시를 위한 형태

[32] 이하, 도면을 참조하여 본 발명의 실시예에 의한 산화물 반도체 및 이를 포함하는 산화물 박막 트랜지스터에 대해 상세히 설명하고자 한다. 참고로, 도면에 도시된 각 층의 두께 및 폭은 설명을 위하여 다소 과장되게 표현되었음을 명심하여야 한다.

[33] 도 1a 및 도 1b는 본 발명의 실시예에 의한 산화물 반도체를 포함하는 박막 트랜지스터의 구조를 나타낸 단면도이다. 도 1a에서는 바텀 게이트(bottom gate)형 박막 트랜지스터를 나타내며, 도 1b에서는 탑 게이트(top gate)형 박막 트랜지스터를 나타내었다. 본 발명의 실시예에 의한 박막 트랜지스터는 바텀 게이트 및 탑 게이트형 박막 트랜지스터에 모두 적용될 수 있다.

[34] 도 1a을 참조하면, 본 발명의 실시예에 의한 산화물 박막 트랜지스터는 기판(11) 상에 형성된 게이트(13)와 기판(11) 및 게이트(13) 상에 형성된 게이트 절연층(14)을 포함하고 있다. 기판(11) 상에는 산화층(12)이 형성될 수 있으며, 기판(11)이 Si로 형성된 경우 산화층(12)은 Si 표면에 열산화 공정에 의해 형성된 Si 산화물일 수 있다. 그리고, 게이트(13)에 대응되는 게이트 절연층(14) 상에는 채널(15)이 형성되어 있으며, 채널(15)의 양측부 및 게이트 절연층(14) 상에는 소스(16a) 및 드레인(16b)이 형성되어 있다.

[35] 도 1b를 참조하면, 기판(101) 상에 소스(102a) 및 드레인(102b)이 형성되어 있으며, 소스(102a) 및 드레인(102b) 사이의 기판(101) 상에는 채널(103)이 형성되어 있다. 채널(103) 상에는 게이트 절연층(104)이 형성되어 있으며, 채널(103)에 대응되는 게이트 절연층(104) 상에는 게이트(105)가 형성되어 있다.

[36] 본 발명의 실시예에 의한 산화물 박막 트랜지스터는 채널(15)이 In-Zn 복합 산화물에 Hf를 첨가한 것을 특징으로 한다.

[37] 이하, 도 1a 및 도 1b에 나타낸 본 발명의 실시예에 의한 산화물 박막 트랜지스터를 형성하는 각 층의 형성 물질에 대해 설명하면 다음과 같다. 기판(11, 101)은 일반적인 반도체 소자에 사용되는 기판을 사용할 수 있으며, 예를 들어 Si, glass 또는 유기물 재료를 사용할 수 있다. 기판(11, 101) 표면에는 절연층이 형성될 수 있으며, 절연층은 예를 들어 Si 기판을 열산화하여 형성된 SiO₂일 수 있다. 게이트(13, 105)는 전도성 물질을 사용할 수 있으며, 예를 들어 Ti, Pt, Ru, Au, Ag, Mo, Al, W 또는 Cu와 같은 금속 또는 IZO(InZnO) 또는 AZO(AlZnO)와 같은 금속 또는 전도성 산화물일 수 있다. 게이트 절연층(14, 104)은 통상적인 반도체 소자에 사용되는 절연 물질을 사용하여 형성할 수 있다. 구체적으로 SiO₂ 또는 SiO₂보다 유전율이 높은 High-K 물질인 HfO₂, Al₂O₃, Si₃N₄ 또는 이들의 혼합물을 사용할 수 있다. 소스(16a, 102a) 및 드레인(16b, 102b)은 전도성 물질을 사용하여 형성할 수 있으며, 예를 들어 Ti, Pt, Ru, Au, Ag, Mo, Al, W 또는 Cu와 같은 금속 또는 IZO(InZnO) 또는 AZO(AlZnO)와 같은 금속 또는

전도성 산화물을 사용할 수 있다.

- [38] 본 발명의 실시 예에 의한 산화물 반도체는 In-Zn 복합 산화물에 Hf이 첨가된 물질이다.
- [39] Hf은 전기 음성도가 1.3으로써, 전기 음성도가 3.5인 산소와의 전기 음성도 차이가 2.2로 이온 결합이 상당히 강한 산화물을 형성한다. 그리고, Hf의 이온 반지름은 0.078nm로써, 이온 반지름이 0.074nm인 Zn과 비슷하다. 따라서, In-Zn 복합 산화물에 Hf이 첨가되는 경우 결정 격자의 변형이 없이 Zn과 치환이 용이하게 발생될 수 있다.
- [40] a-Si:H의 경우는 공유결합을 하고 있는데, 이 결합은 방향성을 가지는 sp³ 배위결합을 하여 비정질상으로 존재하게 되면 산소결합을 하고 있는 전자 구름이 뒤틀어지게 된다. 이로 인하여 약한 결합(weak bond)이 존재하게 된다. 이러한 결합구조를 가진 TFT를 장기간 구동하게 되면 결합 영역에 전자 또는 홀(Hole)이 축적되면서 결과적으로 결합이 끊어지게 되어 문턱 전압(V_{th})이 동에 따른 신뢰성에 문제가 발생한다. 반면 이온결합의 경우는 양이온 전자구름의 크기가 커서 산소음이온의 결합에 관계없이 overlaid되어 결정상이든 비정질상이든 약한 결합이 존재하지 않음으로 인해 문턱 전압(V_{th})의 변화가 거의 없거나 작은 신뢰성이 높은 박막 트랜지스터를 제조에 기여하는 것으로 생각된다. 본 발명의 실시예에서 Hf이 추가된 Zn 산화물 또는 Zn-In 복합 산화물은 이러한 이온 결합이 대부분의 결합을 형성하나 모든 결합이 이온 결합일 필요는 없다.
- [41] 상기 산화물 반도체에는 Li, K과 같은 I족 원소, Mg, Ca, Sr과 같은 II족 원소, Ga, Al, In, Y과 같은 III족 원소, Ti, Zr, Si, Sn, Ge과 같은 IV족 원소, Ta, Vb, Nb, Sb와 같은 V족 원소, Ln 계열 원소(La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu) 등이 추가적으로 포함될 수 있다.
- [42] 본 발명의 실시 예에 의한 산화물 반도체는 LCD, OLED에 사용되는 구동 트랜지스터의 채널물질로 적용될 수 있으며, 메모리 소자의 주변회로를 구성하는 트랜지스터, 또는 선택 트랜지스터의 채널 물질로 적용될 수 있다.
- [43] 이하, 도 2a 내지 도 2e를 참조하여 본 발명의 실시예에 의한 산화물 박막 트랜지스터의 제조 방법에 대해 설명하고자 한다. 여기서는 바텀 게이트형 박막 트랜지스터의 제조 방법에 대해 설명하고자 한다.
- [44] 도 2a를 참조하면, 먼저 기판(11)을 마련한다. 기판(11)은 Si, glass 또는 유기물 재료를 사용할 수 있다. Si을 기판(11)으로 사용하는 경우, 열산화 공정에 의해 기판(11) 표면에 절연층(12), 예를 들어 SiO₂를 형성할 수 있다. 그리고, 기판(11) 상에 금속 또는 전도성 금속 산화물 등의 전도성 물질(13a)을 도포한다.
- [45] 도 2b를 참조하면, 전도성 물질(13a)을 패터닝함으로써 게이트(13)를 형성한다. 도 2c를 참조하면, 게이트(13) 상부에 절연 물질을 도포하고 패터닝하여 게이트 절연층(14)을 형성한다. 게이트 절연층은 실리콘 산화물, 실리콘 질화물, 하프늄(Hf) 산화물, 알루미늄 산화물 또는 하프늄산화물 및 알루미늄산화물이

혼합물로 형성할 수 있다.

- [46] 도 2d를 참조하면, 게이트 절연층(14) 상에 채널 물질을 PVD, CVD 또는 ALD 등의 공정으로 도포한 뒤, 게이트(13)에 대응되는 게이트 절연층(14) 상에 채널 물질들이 잔류하도록 패터닝함으로써 채널(15)을 형성한다. 본 발명의 실시예에서는 채널(15)은 In-Zn 복합 산화물에 Hf을 첨가하여 형성할 수 있다. 구체적으로 스퍼터링(sputtering) 공정으로 채널(15)을 형성하는 경우, InZnO에 Hf를 포함하도록 형성된 하나의 타겟(one target)을 공정 챔버 내에 장착하여 스퍼터링(sputtering) 공정으로 채널(15)을 형성할 수 있다.
- [47] 도 2e를 참조하면, 금속 또는 전도성 금속 산화물 등의 물질을 채널(15) 및 게이트 절연층(14) 상에 도포한 뒤, 채널(15)의 양측부에 연결되도록 패터닝함으로써 소스(16a) 및 드레인(16b)을 형성한다. 마지막으로, 섭씨 400도 이하, 예를 들어 섭씨 200도의 온도에서 일반적인 퍼니스, RTA(rapid thermal annealing), 레이저 또는 핫플레이트에 등을 이용하여 열처리 공정을 실시한다.
- [48] 제조예
- [49] 기판으로 실리콘을 사용하고, 기판 표면에 실리콘 산화물을 100nm 두께로 형성한다. 기판 표면에 약 200nm 두께의 Mo를 형성하여 게이트를 형성한 뒤, 기판 및 게이트 상부에 200nm 두께의 실리콘 질화물을 도포하여 게이트 전극층을 형성한다. 그리고, 게이트에 대응되는 게이트 전극층 상에 산화물 반도체를 도포하여 채널을 형성한다. 채널 형성의 구체적인 공정을 설명하면 다음과 같다.
- [50] LTS(chemical) 사이에 $HfO_2:In_2O_3:ZnO$ 의 몰% 비율을 각각 0.1:1:2(타겟1), 0.2:1:2(타겟 2), 0.3:1:2(타겟 3) 및 0.4:1:2(타겟 4)로 단일타겟 제조를 의뢰하여 4개의 산화물 타겟을 입수하고 이를 사용하여 채널을 형성하였다. 타겟 1 내지 4를 각각 스퍼터(Varian사, 모델명 MS2100)의 챔버 내에 장착시키고, 상온에서 Ar:O₂ 가스를 90~95:5~10sccm 비율로 공급하며 5mTorr의 압력을 유지하였으며, 타겟에 150watt의 전류를 인가하여 RF 마그네트론 스퍼터링을 실시하였다. 채널을 약 70nm의 두께로 형성하였으며, 채널 폭/길이(W/L)는 50/4μm로 형성하였다. 그리고, 채널의 양측에 소스 및 드레인으로 200nm두께의 Mo를 형성하였으며, Si 산화물로 약 200nm 두께의 패시베이션층을 형성하였다. 다음으로, 섭씨 약 200도에서 1시간 동안 열처리 공정을 실시하였다.
- [51] 상술한 바와 같이 제조한 본 발명의 실시예에 의한 산화물 반도체에 대해 본 발명자는 산화물 반도체의 각 영역에 따른 정확한 결정상을 확인하기 위하여 영역별 단면 투과전자현미경(TEM) 사진 및 회절 패턴(diffracton pattern) 사진을 조사하였다. 도 3a 내지 도 3d는 본 발명의 실시예에 의해 제조된 시편의 단면을 나타낸 TEM 사진을 나타낸 도면이다. 도 3a를 참조하면, 타겟 1로 형성한 시편의 경우, 박막의 일부 영역에서만 결정화가 진행되었고, 전반적으로 비정질(amorphous) 상태가 관찰되었다. 도 3b 내지 도 3d를 참조하면, 도 3a에서 도시된 박막에서 부분적으로 결정화된 그레인 영역이 나타나는 것과 달리

전체적으로 균질하게 관찰되는 것으로부터 볼 때, 타겟 2 내지 타겟 4로 형성한 시편의 경우, 박막의 전영역에 걸쳐 비정질 상태임을 알 수 있다. 각각의 타겟으로 형성한 시편에 대해 ICP(inductively coupled plasma)로 조성 분석을 하였다. 표 1에서는 타겟 1 내지 4로 형성한 시편에서 Zn, In, Hf의 조성비를 at%를 나타내었다.

[52] 【표 1】

[53]

D	Zn/(Zn+In+Hf) atomic%	In/(Zn+In+Hf) atomic%	Hf/(Zn+In+Hf) atomic%
타겟 1	46	52	2
타겟 2	42	54	5
타겟 3	39	54	7
타겟 4	41	52	7

[54] ※ 상기 표 및 이하에서 나타나는 ICP 분석 결과는 소수점 한자리에서 반올림된 값이며, $\pm 1\%$ 의 오차값을 가진다.

[55] 다음으로 코닝(Corning)사에 $\text{HfO}_2:\text{In}_2\text{O}_3:\text{ZnO}$ 의 몰% 비율을 각각 0.1:1:2(타겟 5), 0.2:1:2(타겟 6), 0.3:1:2(타겟 7) 및 0.4:1:2(타겟 8)로 단일타겟 제조를 의뢰하여 4개의 산화물 타겟으로 입수하고 이를 사용하여 채널을 형성하였다. 타겟 5, 6, 7, 8을 각각 스피터(Varian사, 모델명 MS2100)에 장착하고 Ar:O₂ 가스를 95:5sccm 비율로 공급하는 상태에서, DC 스피터링 공정으로 채널을 형성한 뒤, 섭씨 약 200도에서 N₂ 분위기 하에서 1시간 동안 열처리를 실시하였다. 그리고, ICP로 조성을 분석하였다. 표 2에서는 타겟 5 내지 8로 형성한 시편에서 Zn, In, Hf의 조성을 at%를 나타내었다.

[56] 【표 2】

[57]

D	Zn/(Zn+In+Hf) atomic%	In/(Zn+In+Hf) atomic%	Hf/(Zn+In+Hf) atomic%
타겟 5	42	52	5
타겟 6	38	51	11
타겟 7	34	52	14
타겟 8	31	53	16

[58] 다음으로 Advanced Nano Products사에 $\text{HfO}_2:\text{In}_2\text{O}_3:\text{ZnO}$ 의 몰% 비율을 0.15:1:2(타겟 9)로 의뢰하여 얻어진 타겟을 스피터(Varian사, 모델명 MS2100)에 장착하고 Ar:O₂ 가스를 90:10sccm 비율로 공급하는 상태에서, DC 스피터링 공정으로 채널을 형성한 뒤, 섭씨 약 200도에서 1시간 동안 열처리를 실시하였다. 형성된 박막의 ICP분석결과 Hf의 함량은 3.8 atomic %인 것을 알 수

있었다.

- [59] 도4a 내지 도 4d는 본 발명의 실시예에 의한 산화물 박막 트랜지스터의 채널 영역(폭:길이=50:4 μm)의 Hf 함량에 따른 트랜스퍼 커브(transfer curve)를 나타낸 것으로, 소스-드레인 전압이 10V인 경우 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 변화를 나타내었으며, 도 4b, 4c, 4d의 경우는 소스 드레인 전압이 0.1V 일 때의 결과도 같이 나타내어 On 전류 값이 약 10^{-6} A으로 표시되는 곡선이 추가되었다. 여기서 cc는 시편의 중심 부위를 대상으로 측정한 결과를 나타낸 것이며, cr은 시편의 가장 자리 부위를 대상으로 측정한 결과를 나타낸 것이다.
- [60] 도4a는 채널 층이 타겟 1을 사용하여 Ar:O₂의 비율이 90:10sccm 조건 하에서 제작된 시편에 관한 것이며, 도 4b는 채널층이 타겟 2를 사용하여 Ar:O₂의 비율이 90:10sccm인 분위기 하에서 제작한 시편에 대한 것이며, 도 4c는 채널층이 타겟 3을 사용하여 Ar:O₂의 비율이 90:10sccm인 분위기 하에서 제작된 시편에 대한 것이며, 도 4d는 채널층이 타겟 4를 사용하여 Ar:O₂의 비율이 90:10sccm인 분위기 하에서 제작된 시편에 대한 것이다. 도 4a 내지 도 4d를 참조하면, 소스-드레인 전압이 10V인 경우 On 전류가 약 $10^{-3} \sim 10^{-5}$ A이고, 오프 전류가 10^{-12} A 이하이며, 온/오프 전류 비는 10^7 이상인 것을 알 수 있다.
- [61] 도5a는 타겟 3으로 Ar:O₂의 비율이 90:10sccm인 조건 하에서 채널 영역(폭:길이=50:4 μm)을 형성하고, 섭씨 200도에서 15시간 열처리한 뒤, 섭씨 60도에서, 게이트 소스 전압이 -20V이며, 드레인 소스 전압이 10V인 상태에서, 1시간 및 16시간 경과 후의 트랜스퍼 커브를 측정한 결과를 나타낸 것이다. 도 5a를 참조하면, 트랜스퍼 커브의 결과가 편차가 없이 거의 일정한 것을 알 수 있다. 결과적으로, 신뢰성 있는 반도체 소자를 제공할 수 있음을 알 수 있다.
- [62] 도5b는 타겟 2 내지 4로 Ar:O₂의 비율이 90:10sccm인 조건 하에서 채널 영역(폭:길이=50:4 μm)을 형성하고, 섭씨 200도에서 15시간 열처리한 뒤, 시간에 따른 트랜스퍼 커브를 측정하고, 10^{-9} A에서의 V_{th} 의 편차(ΔV_{th})를 측정한 결과를 나타낸 그래프이다. 도 5b를 참조하면, 대부분의 시편에서 ΔV_{th} 값이 낮으며, 특히 타겟 3으로 형성하는 경우, ΔV_{th} 값이 매우 낮아 높은 신뢰성을 나타내는 것을 알 수 있다.
- [63] 도6a 내지 도 6d는 타겟 5, 6, 7 및 8로 Ar:O₂의 비율이 90:10sccm인 분위기 하에서 DC 스팍터링으로 산화물 박막 트랜지스터의 채널 영역(폭:길이=50:4 μm)을 형성한 뒤, 질소 분위기 하에서 섭씨 200도에서 1시간 동안 열처리한 다음, 소스-드레인 전압이 10V인 경우, 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 변화를 나타낸 그래프이다. 도 6a 및 도 6b를 참조하면, Hf의 조성비가 약 5 및 11 at%에서 On 전류가 약 10^{-4} A이고, 오프 전류가 $10^{-11} \sim 10^{-12}$ A 이하이며, 온/오프 전류 비는 10^7 이상인 것을 알 수 있다. 또한 도 6c 및 6d는 5V 이상의 고 전압 하에서의 TFT 특성 확보 가능성을 나타낸다.
- [64] 도7a 및 도 7b는 타겟 7 및 8로 형성한 시편의 채널 영역에 대한 TEM 이미지를 나타낸 도면이다. 도 7a 및 7b를 참조하면, 타겟 7 및 8로 형성한 채널 영역은

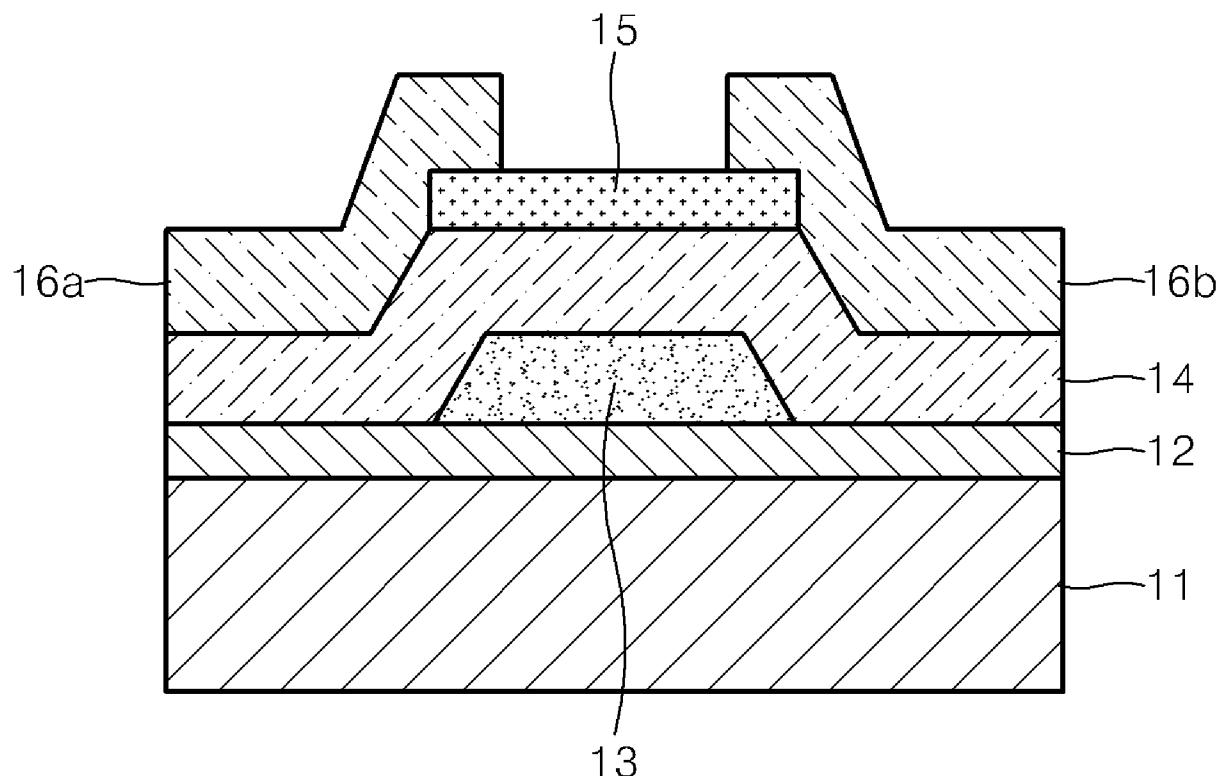
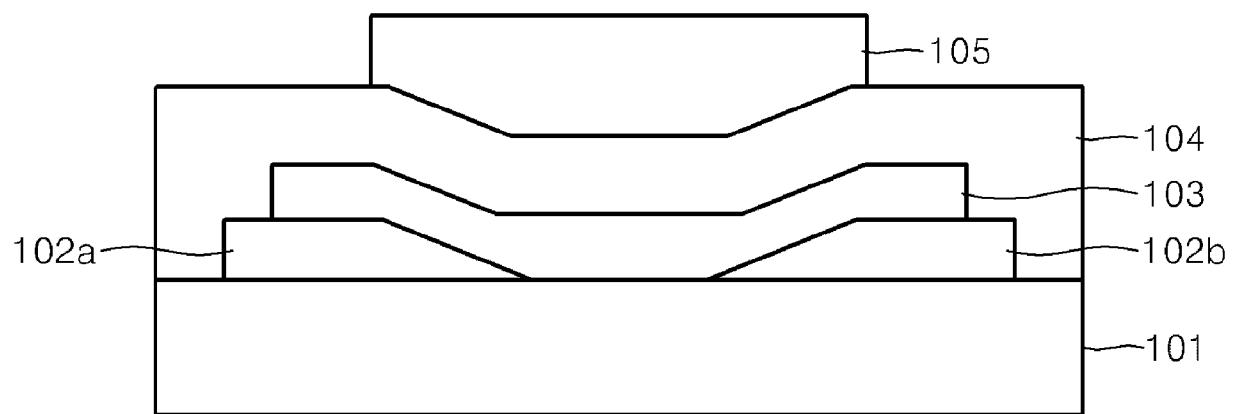
모두 비정질 특성을 지니고 있는 것을 알 수 있다.

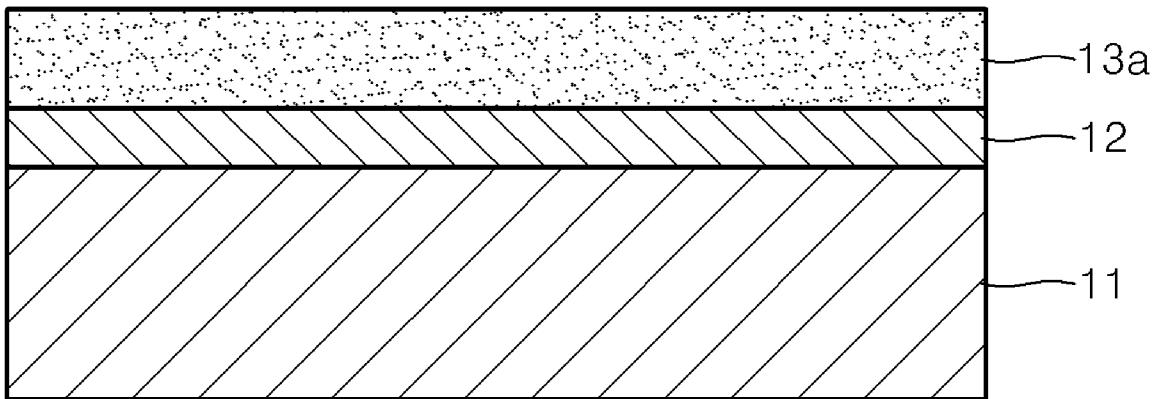
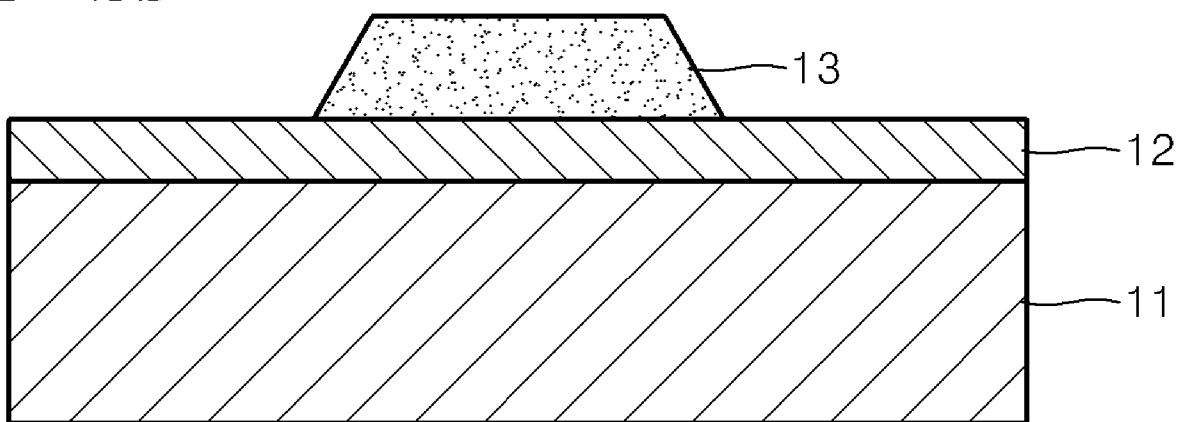
- [65] 도8은 타겟 6으로 Ar:O₂의 비율이 95:5sccm인 조건하에서 채널 영역(폭:길이=50:4μm)을 형성하고, 질소 분위기 하에서 섭씨 200도에서 1시간 동안 열처리한다. 그리고, 섭씨 60도, 게이트 소스 전압이 -20V이며, 드레인 소스 전압이 10V인 상태에서, 1시간 및 16시간 경과 후의 트랜스퍼 커브를 측정한 결과를 나타낸 것이다. 도 8을 참조하면, 트랜스퍼 커브의 결과가 편차가 없이 거의 일정한 것을 알 수 있다.
- [66] 도9는 타겟 9로 산화물 박막 트랜지스터의 채널 영역(폭/길이 = 50:4um)을 형성한 뒤, 질소 분위기 하에서 섭씨 200도에서 1시간 동안 열처리한 다음 측정한 트랜스퍼 커브(transfer curve)를 나타낸 것으로, 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 변화를 나타낸 그래프이다. 도 9를 참조하면, On 전류가 약 10⁴ A이고, 오프 전류가 10⁻¹¹~10⁻¹²A 이하이며, 온/오프 전류 비는 10⁷ 이상인 것을 알 수 있다. 결과적으로, 본 발명의 실시예에 의한 산화물 박막 트랜지스터는 높은 On/Off 전류비와 낮은 Off 전류를 나타내며, 트랜지스터로서의 특성을 만족시킬 수 있다.
- [67] 본 발명의 실시예에 따른 산화물 반도체는 Zn, In, 및 Hf 전체 원자 함량에 대한 Hf의 조성비가 2 내지 16at% 범위이다. 이 때, Zn의 조성비는 10 내지 60at%, In의 조성비는 30 내지 90at%의 범위에서 조정할 수 있으며, Zn은 31 내지 46at%이며, In은 51 내지 54 at% 범위 일 수 있다. 이 범위 중에서 Hf의 조성이 3 at% 이상인 경우 비정질인 것으로 판단되며, 그 미만인 경우 마이크로 크리스탈을 포함하는 상태인 것으로 판단된다.
- [68] 본 발명의 실시예에 의한 산화물 박막 트랜지스터의 경우, 실재 증착된 박막의 조성성분비, I_{DS}-V_{GS} 그래프 등은 사용되는 타겟의 종류, 증착시 타겟 인가전압, 증착장비, 증착압력, 산소분압 조건, 기판온도 등에 의해 변경가능하다. 또한 증착된 박막 조성이 같은 경우라도 증착 조건에 따라 박막 특성의 변경이 가능하다. 예를 들어 스퍼터링 공정으로 산화물 반도체를 증착하는 경우, 산소 분압에 따라 산화물의 저항 범위는 크게 변할 수 있다. 산소 분압이 적정량 이하로 조절되는 경우 증착된 박막의 저항이 낮은 박막을 증착할 수 있으며, 산소 분압을 높게 조절하는 경우 저항이 높은 박막을 증착할 수 있다.
- [69] 상술한 바와 같은 실시예를 통해서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상에 의해 산화물 반도체를 이용하여 LCD, OLED 등 평판 디스플레이의 구동 트랜지스터, 메모리 소자의 주변회로 구성을 위한 트랜지스터 등의 다양한 전자 소자를 제조할 수 있을 것이다. 본 발명의 실시예에 의한 산화물 박막 트랜지스터는 바텀 게이트형 또는 탑 게이트형으로 사용될 수 있다. 결과적으로 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특히 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

청구범위

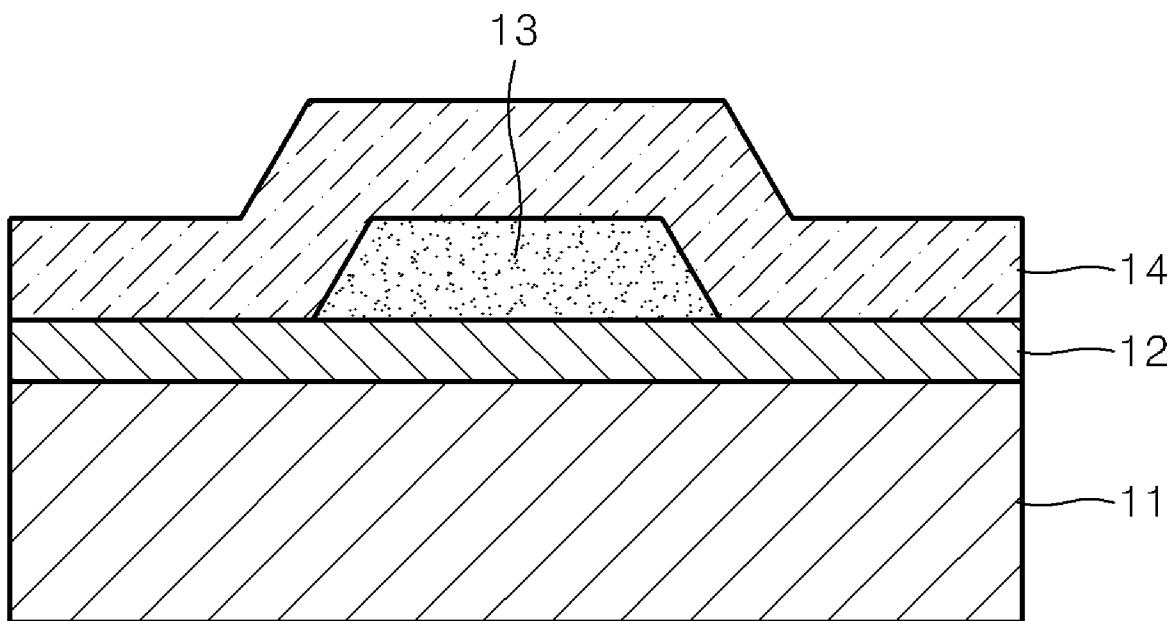
- [1] 【청구항 1】
Zn, In 및 Hf을 포함하며, Zn, In 및 Hf 원자의 전체 함량 대비 Hf 원자 함량의 조성비가 2 내지 16 at%인 산화물 반도체.
- [2] 【청구항 2】
제1항에 있어서,
상기 산화물 반도체는 Hf의 조성비가 3 내지 16at% 범위이며, 상기 산화물 반도체는 비정질인 산화물 반도체.
- [3] 【청구항 3】
제1항에 있어서,
상기 Hf의 조성비가 3.8 내지 11 at% 범위이며, 상기 산화물 반도체는 비정질인 산화물 반도체.
- [4] 【청구항 4】
제1항에 있어서,
상기 Hf의 조성비가 5 내지 11 at% 범위이며, 상기 산화물 반도체는 비정질인 산화물 반도체.
- [5] 【청구항 5】
제1항에 있어서,
상기 Zn의 조성비가 10 내지 60 at% 범위인 산화물 반도체.
- [6] 【청구항 6】
제1항에 있어서,
상기 Zn의 조성비가 31 내지 46 at% 범위인 산화물 반도체.
- [7] 【청구항 7】
제1항에 있어서,
상기 In의 조성비가 30 내지 90 at% 범위인 산화물 반도체.
- [8] 【청구항 8】
제1항에 있어서,
상기 In의 조성비가 51 내지 54 at% 범위인 산화물 반도체.
- [9] 【청구항 9】
산화물 박막 트랜지스터에 있어서,
게이트;
상기 게이트에 대응되는 위치에 형성된 것으로 Zn, In 및 Hf을 포함하며,
Zn, In 및 Hf 원자의 전체 함량 대비 Hf 원자 함량의 조성비가 2 내지 16
at%인 산화물 반도체로 형성된 채널;
상기 게이트 및 채널 사이에 형성되는 게이트 절연체; 및
상기 채널의 양측부와 각각 접촉하며 형성된 소스 및 드레인을 포함하는
산화물 박막 트랜지스터.

- [10] 【청구항 10】
 제9항에 있어서,
 상기 채널은 Hf의 조성비가 3 내지 16at% 범위이며, 비정질인 산화물 박막 트랜지스터.
- [11] 【청구항 11】
 제9항에 있어서,
 상기 채널은 상기 Hf의 조성비가 3.8 내지 11 at% 범위이며, 비정질인 산화물 박막 트랜지스터.
- [12] 【청구항 12】
 제9항에 있어서,
 상기 채널은 상기 Hf의 조성비가 5 내지 11 at% 범위이며, 비정질인 산화물 박막 트랜지스터.
- [13] 【청구항 13】
 제9항에 있어서,
 상기 Zn의 조성비가 10 내지 60 at% 범위인 산화물 반도체인 산화물 박막 트랜지스터.
- [14] 【청구항 14】
 제9항에 있어서,
 상기 Zn의 조성비가 31 내지 46 at% 범위인 산화물 반도체인 산화물 박막 트랜지스터.
- [15] 【청구항 15】
 제9항항에 있어서,
 상기 In의 조성비가 30 내지 90 at% 범위인 산화물 반도체인 산화물 박막 트랜지스터.
- [16] 【청구항 16】
 제9항에 있어서,
 상기 In의 조성비가 51 내지 54 at% 범위인 산화물 반도체인 산화물 박막 트랜지스터.

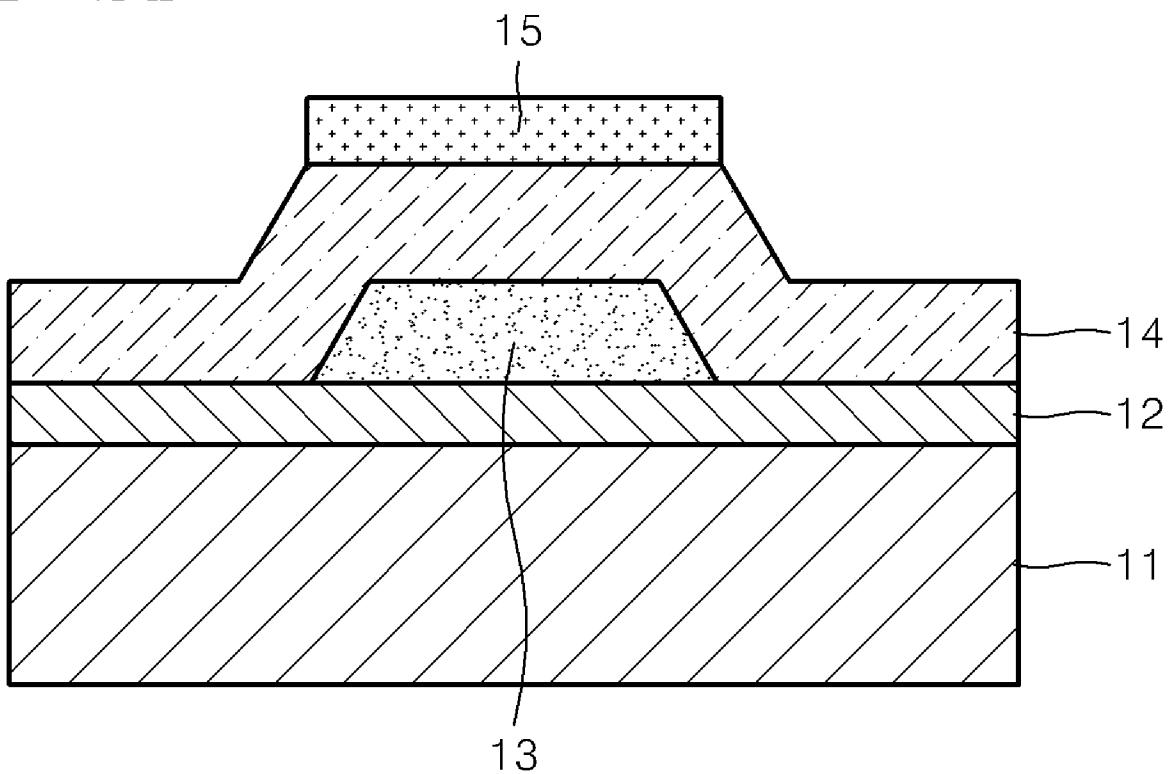
1 a**1 b**

도 2a**도 2b**

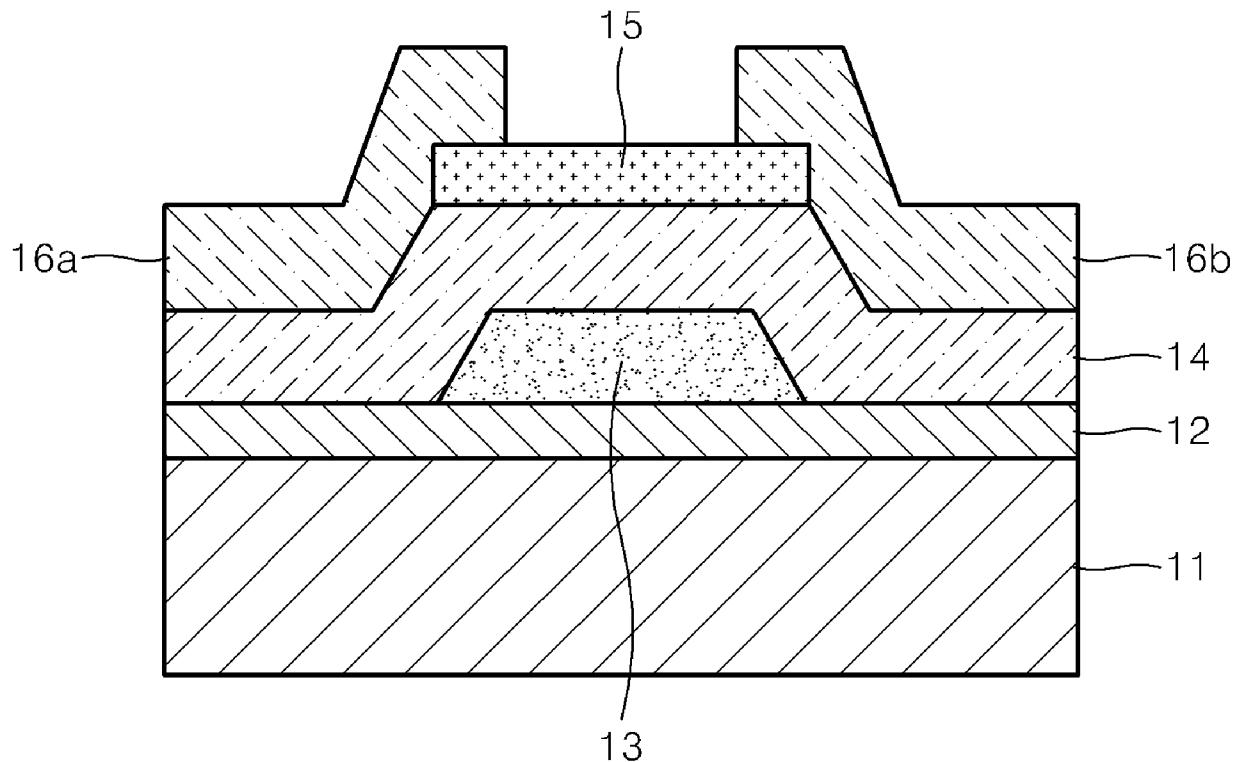
■ 2c



■ 2d



2e



3a

Locally crystallized

HfZO(0.1 mol%)



도 3b

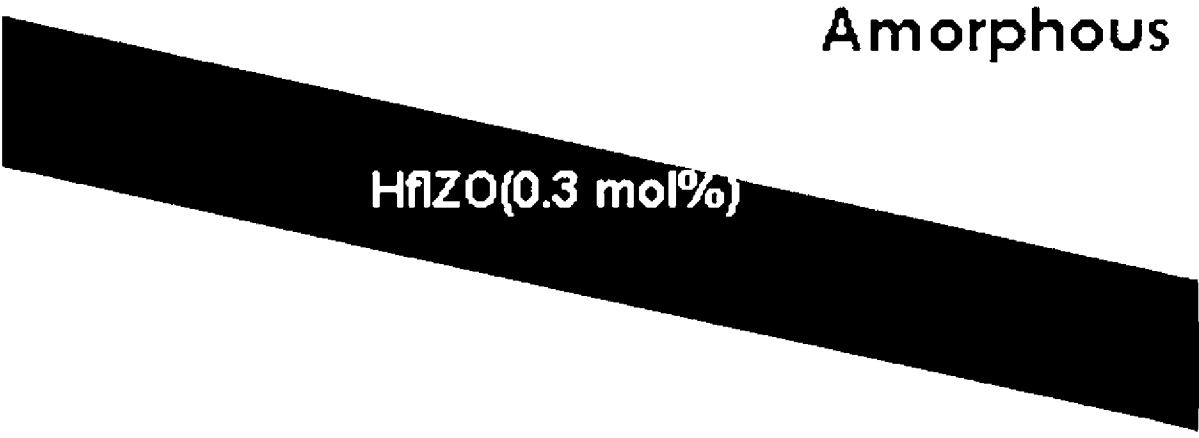
Amorphous

Hf₁ZO(0.2 mol%)

도 3c

Amorphous

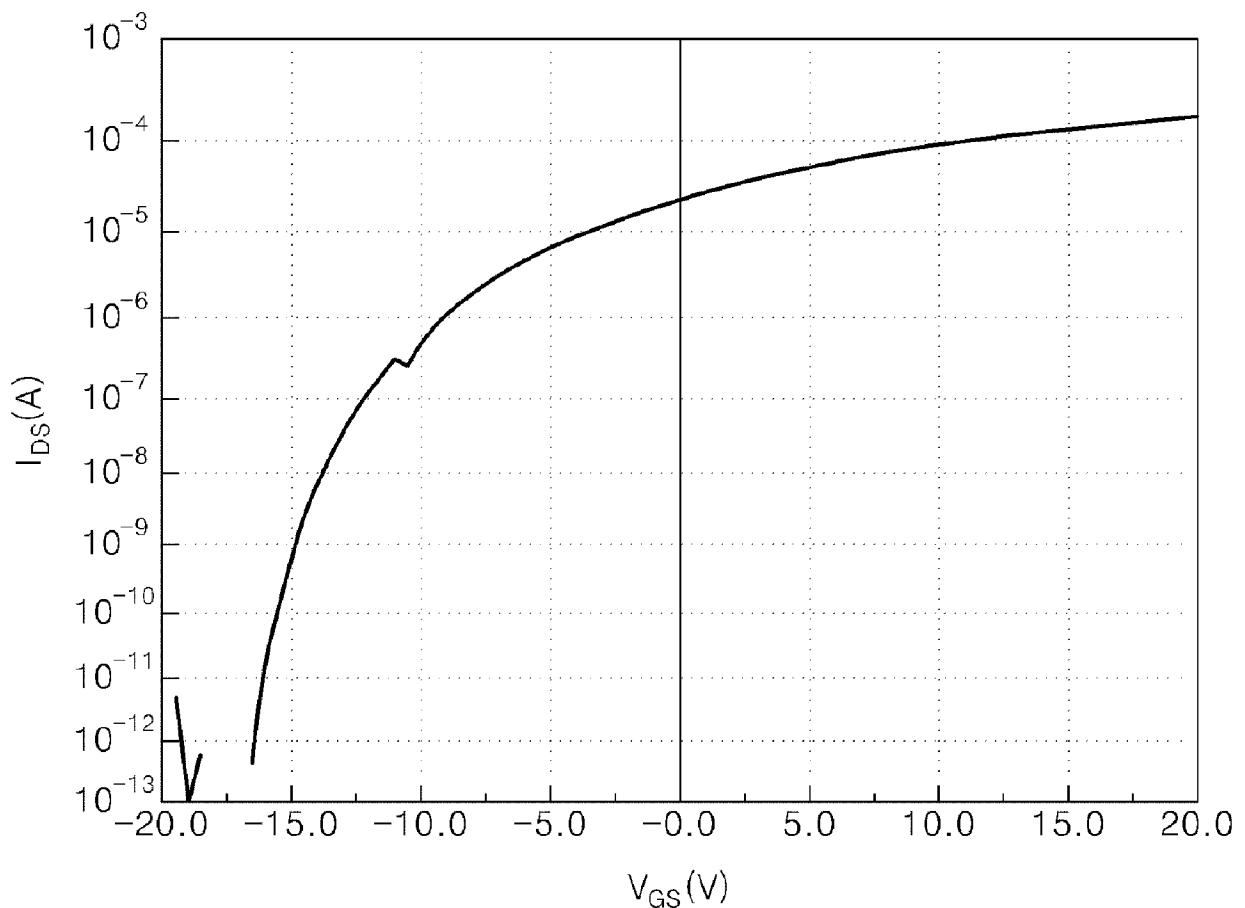
HfZO(0.3 mol%)

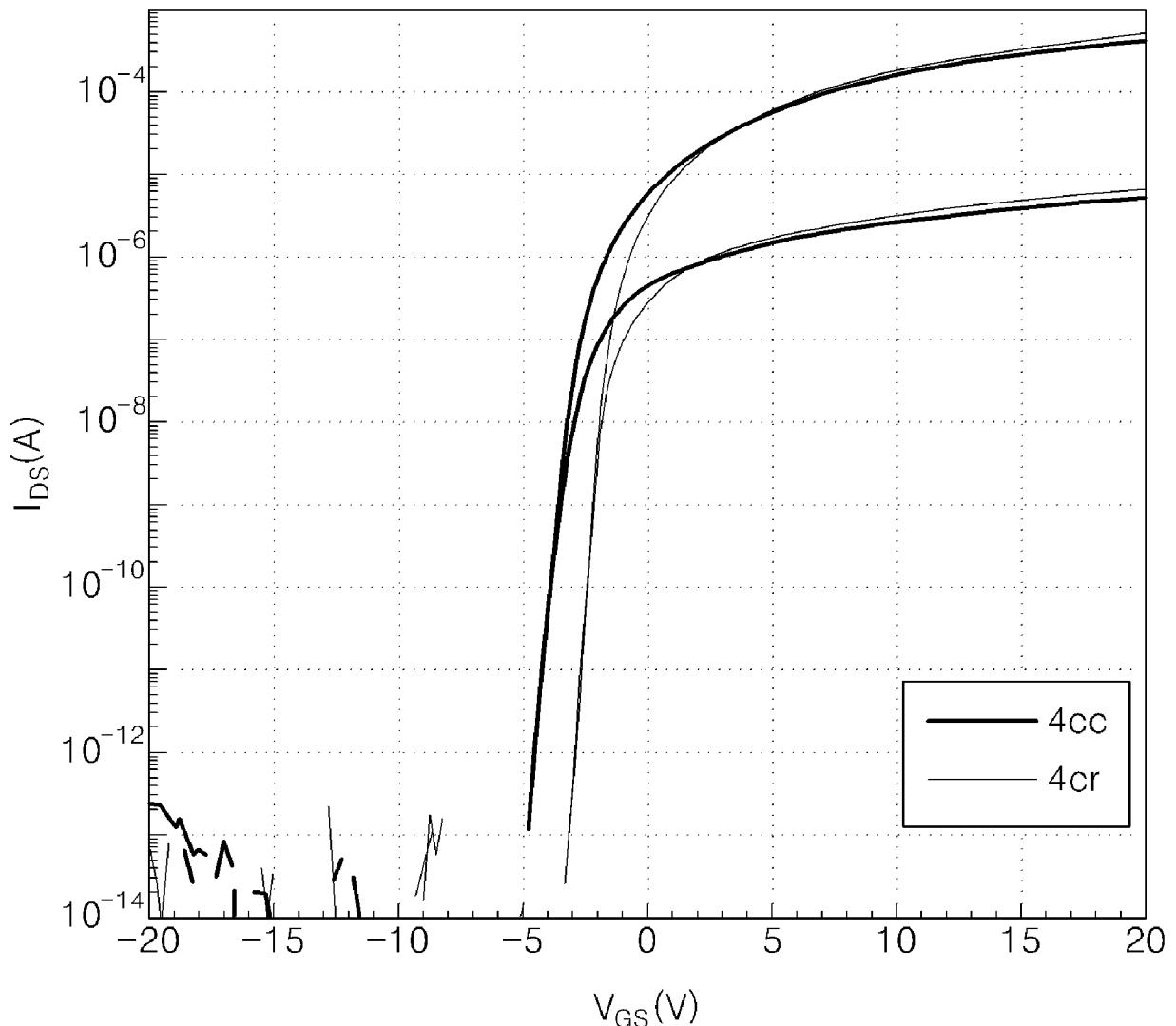


도 3d

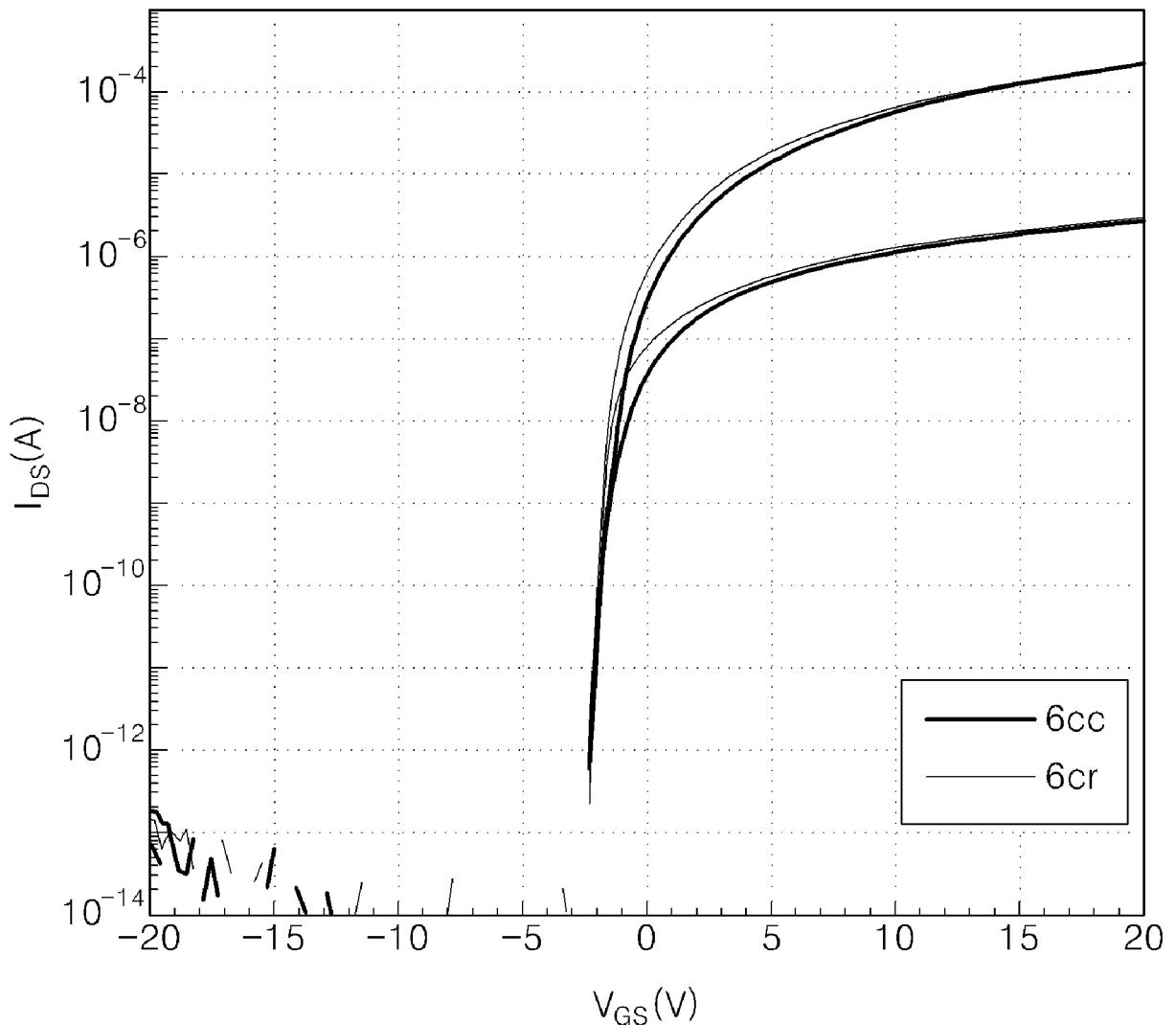
Amorphous

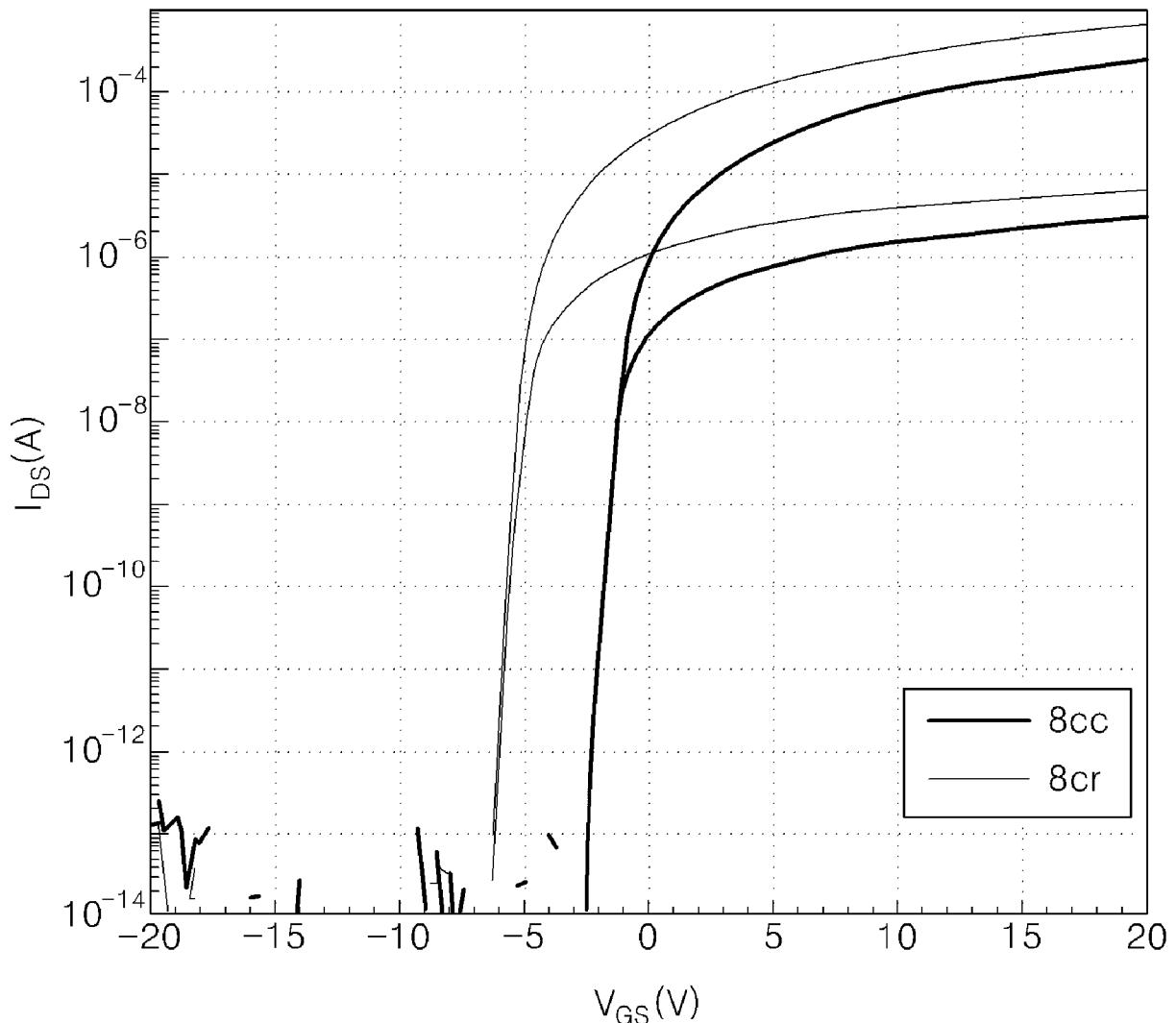
Hf_{0.4}Zr_{0.6}O₂(0.4 mol%)

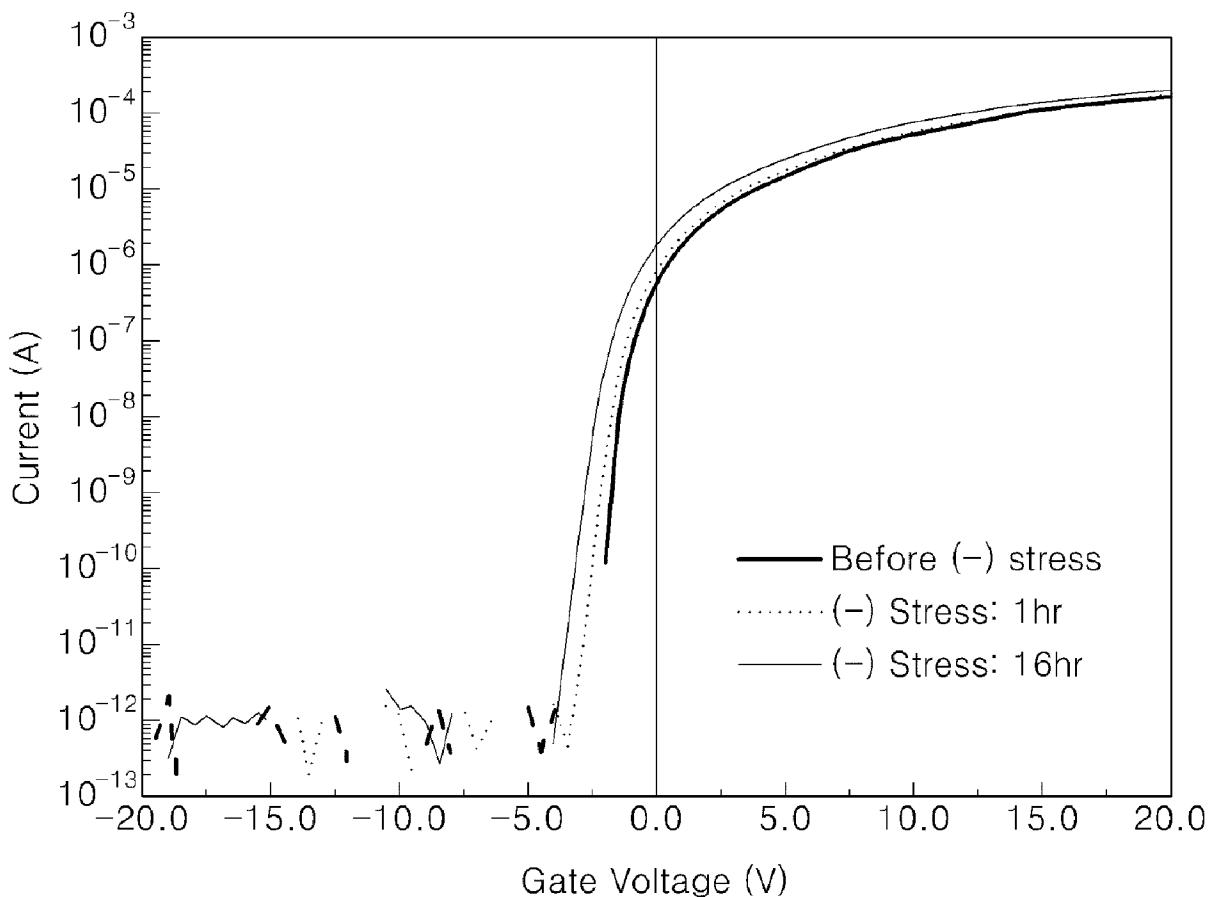
■ 4a

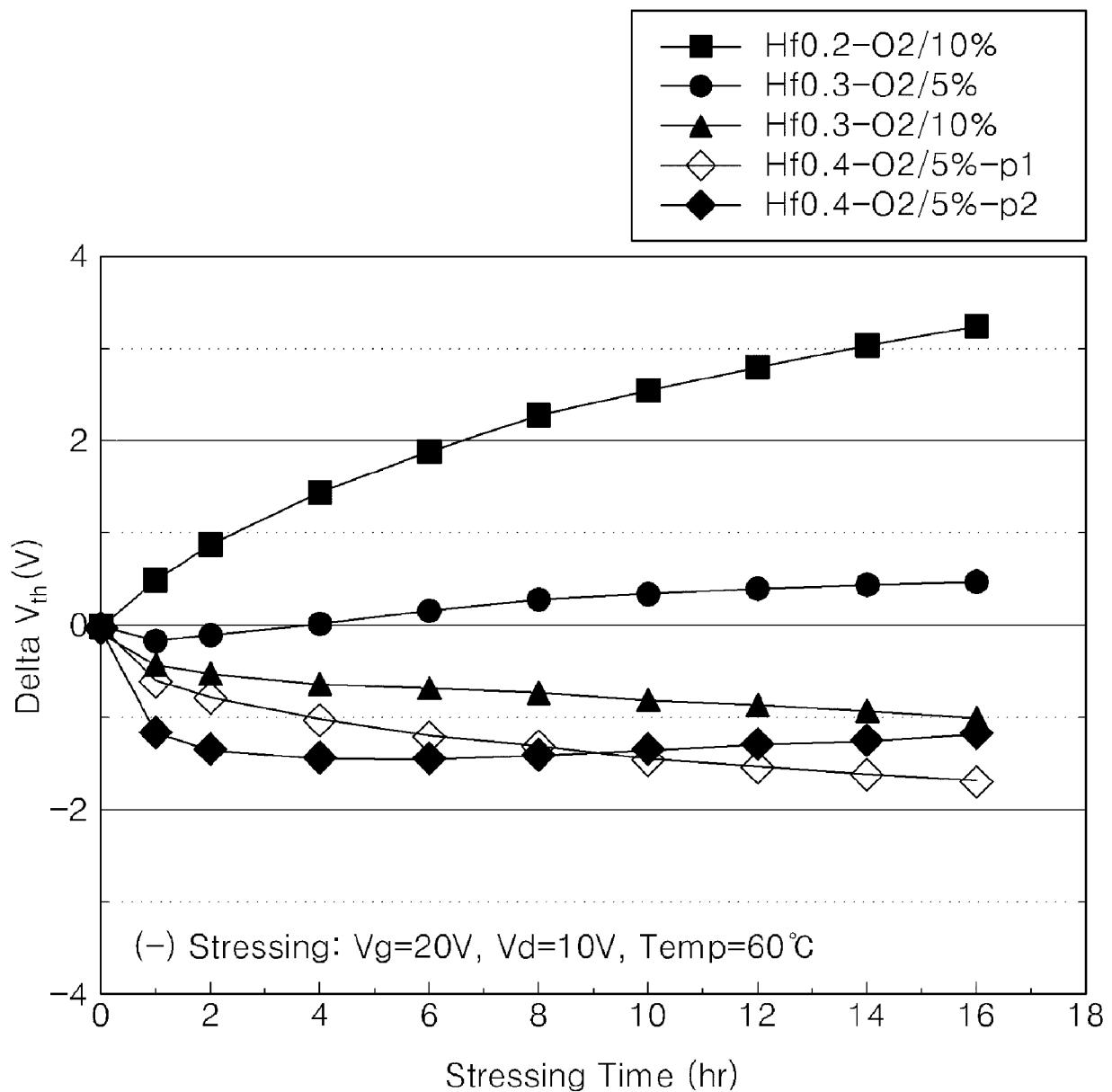
E 4b

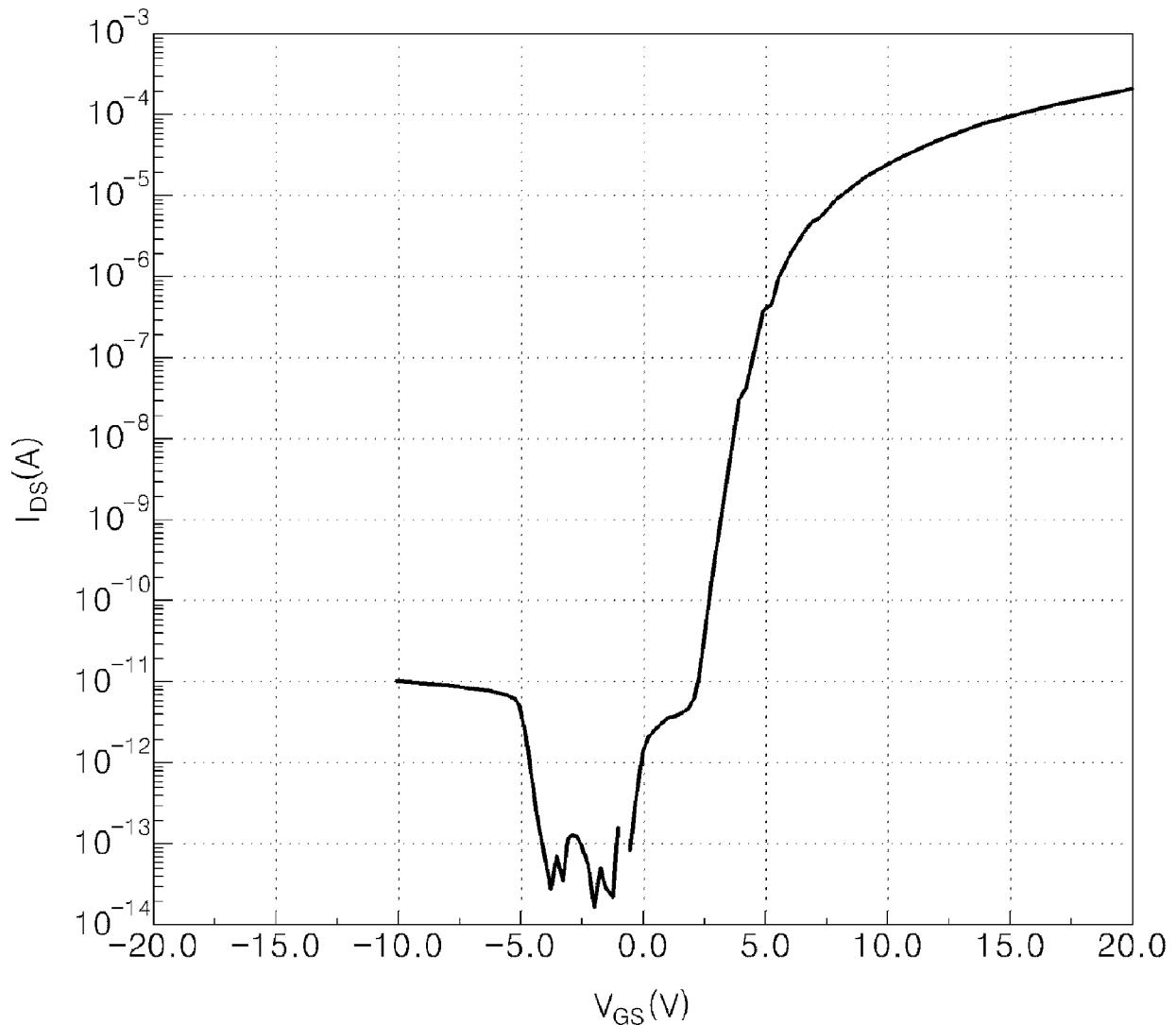
■ 4c

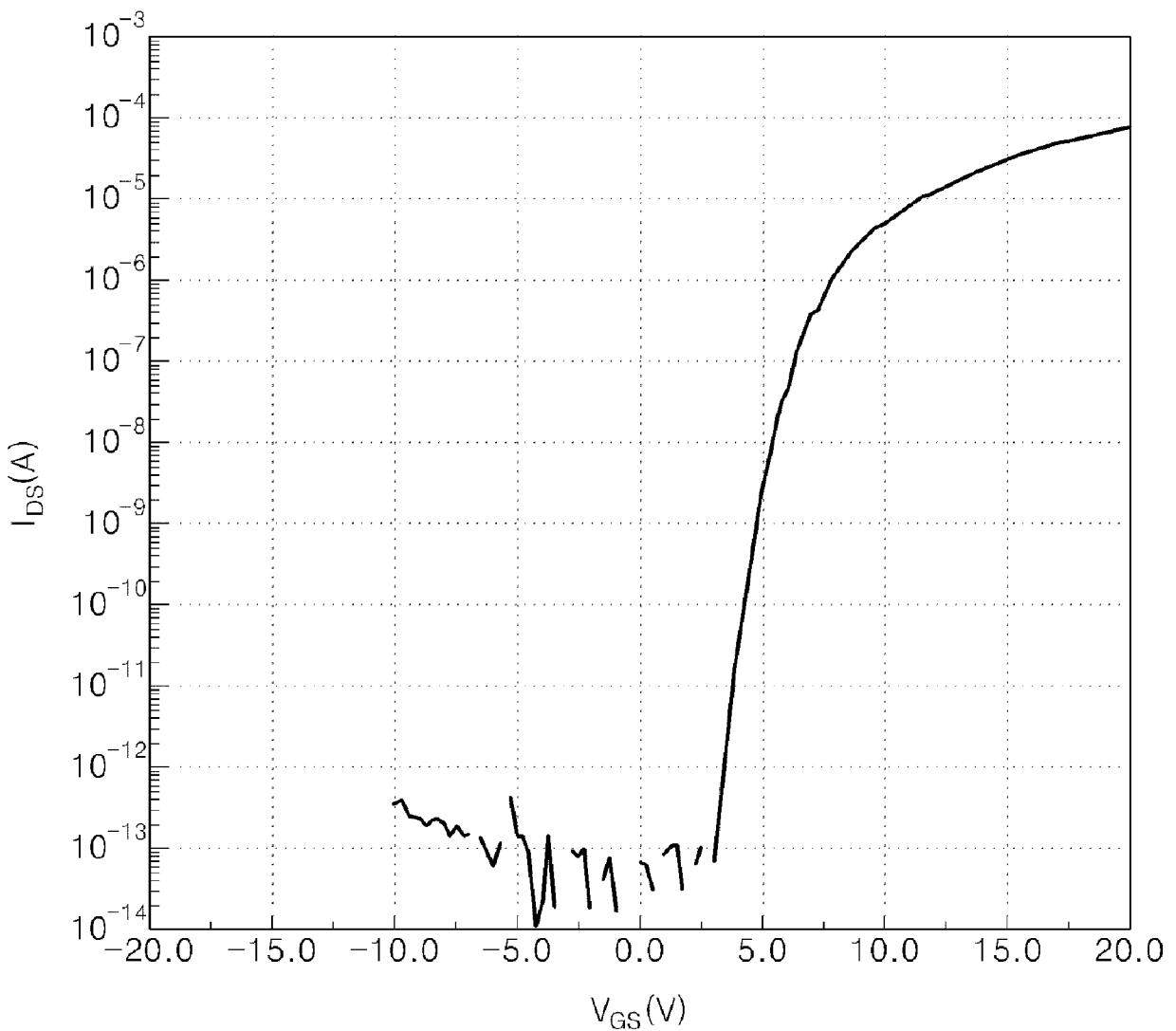


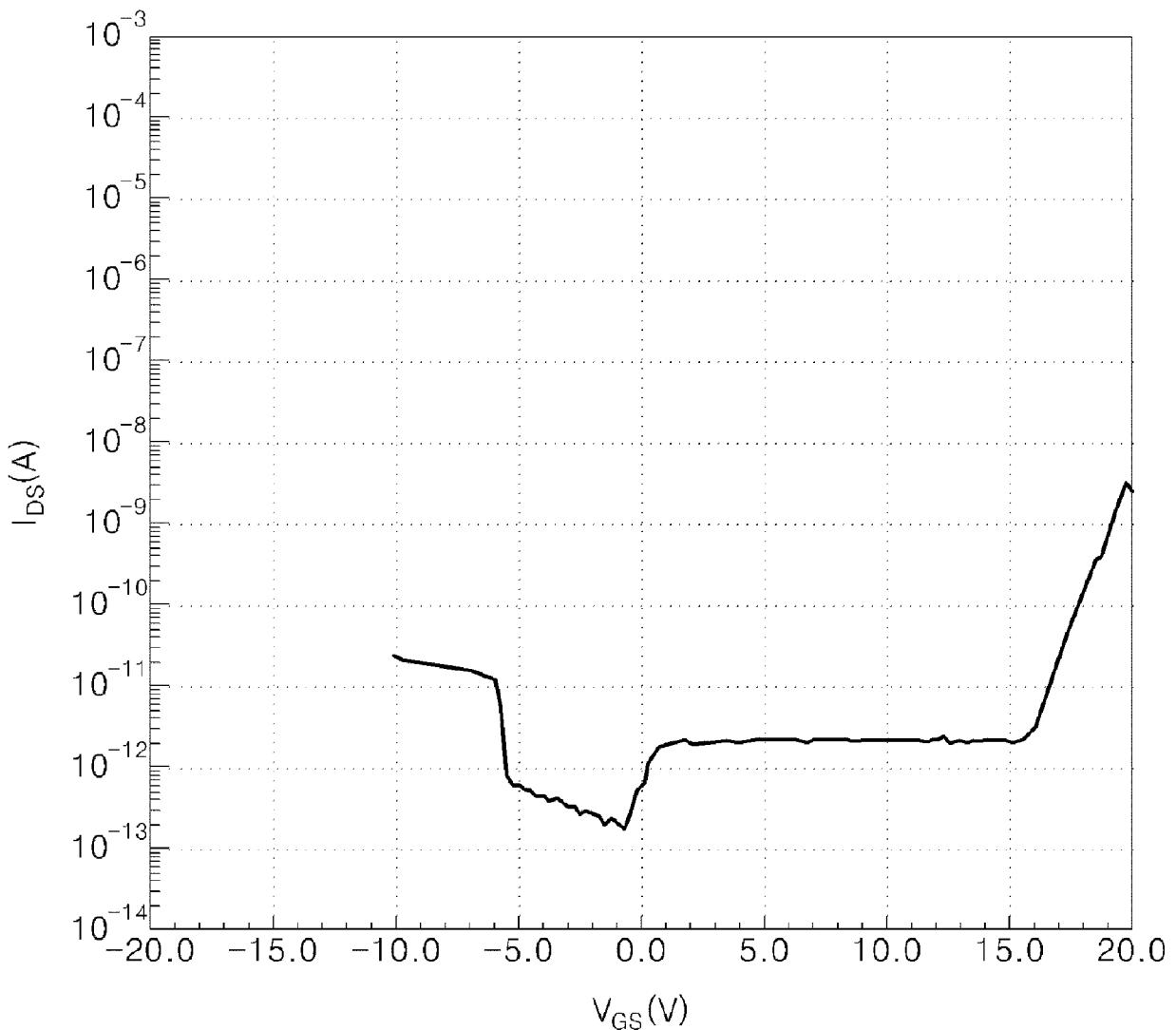
■ 4d

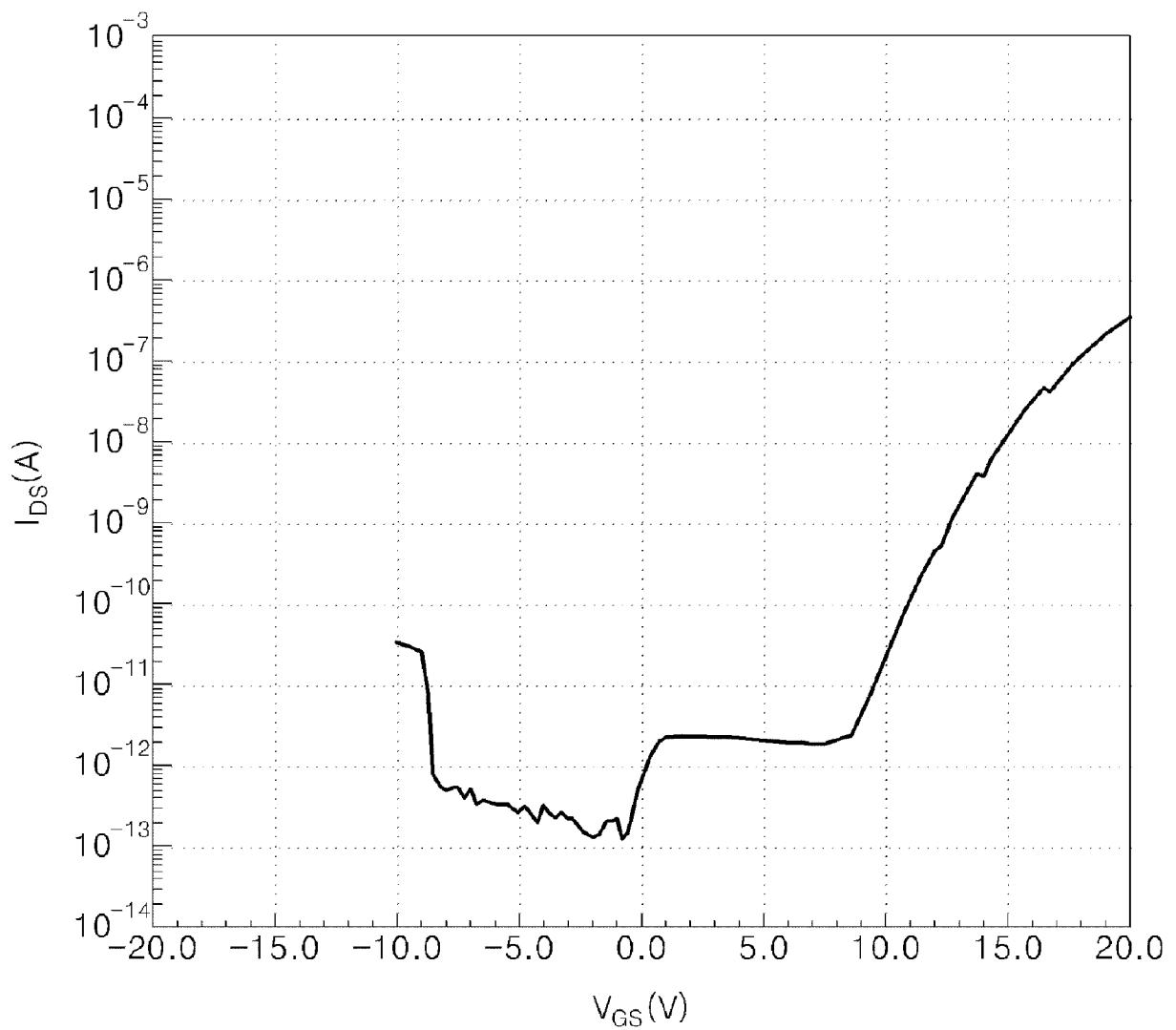
5a

5b

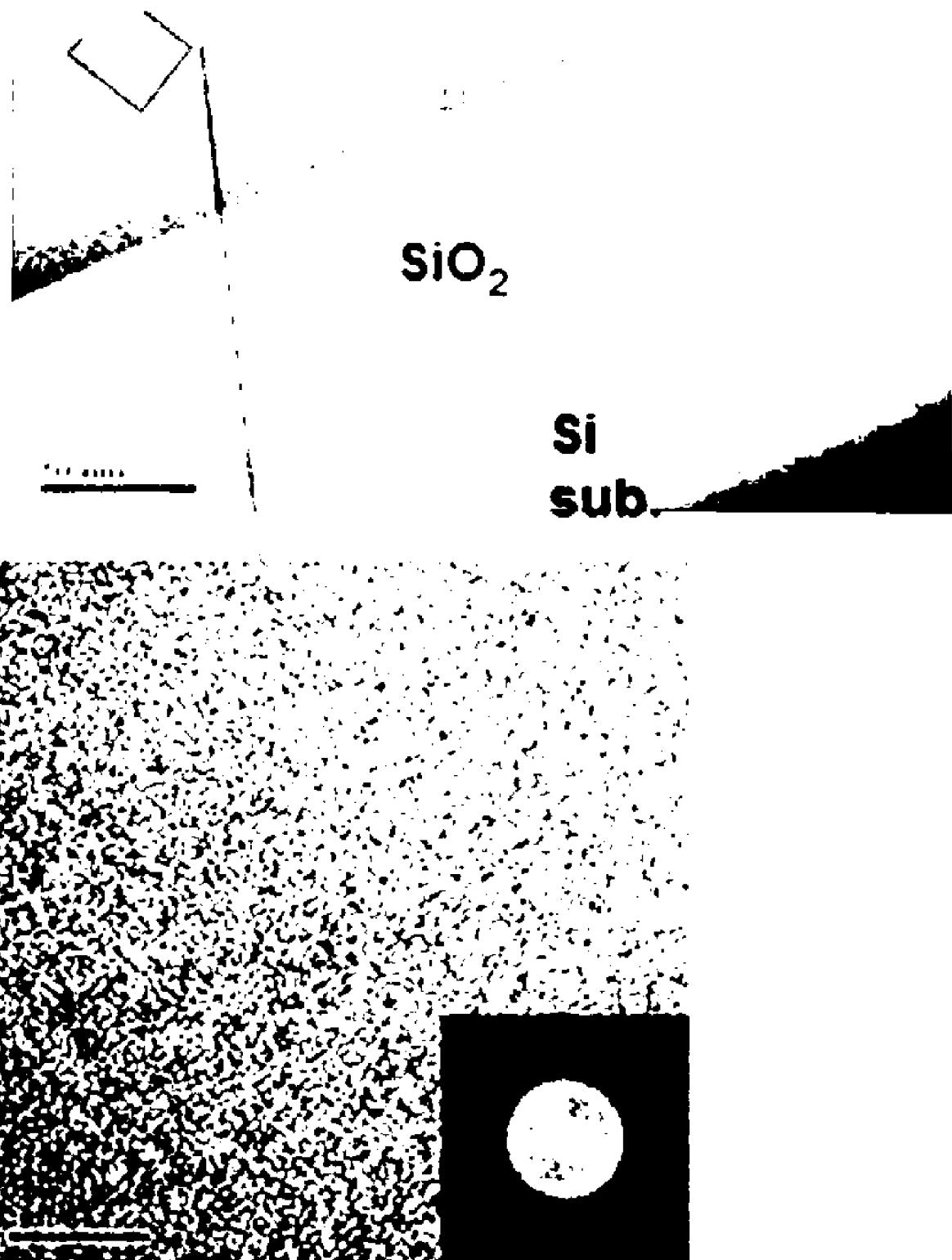
6a

■ 6b

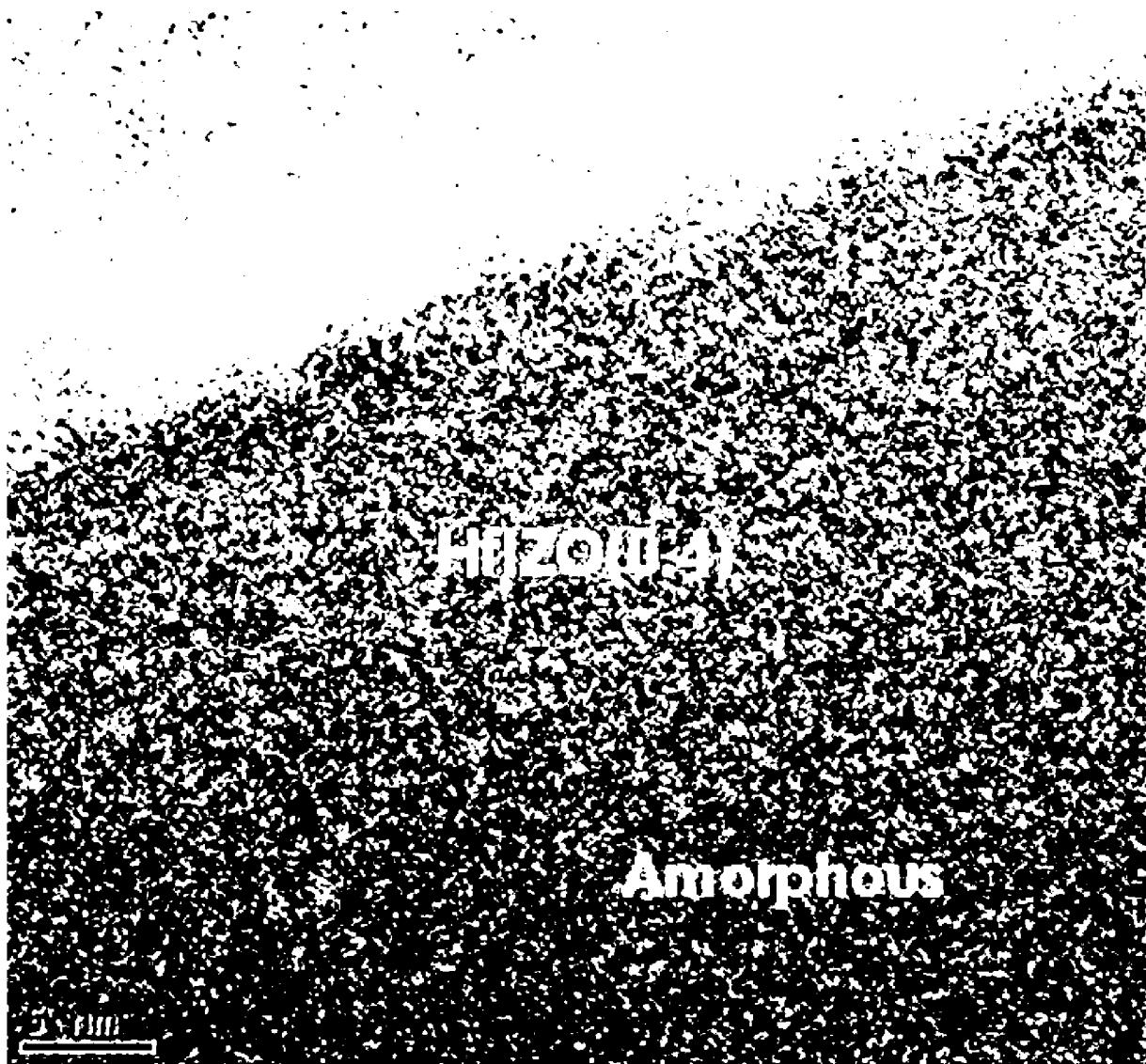
6c

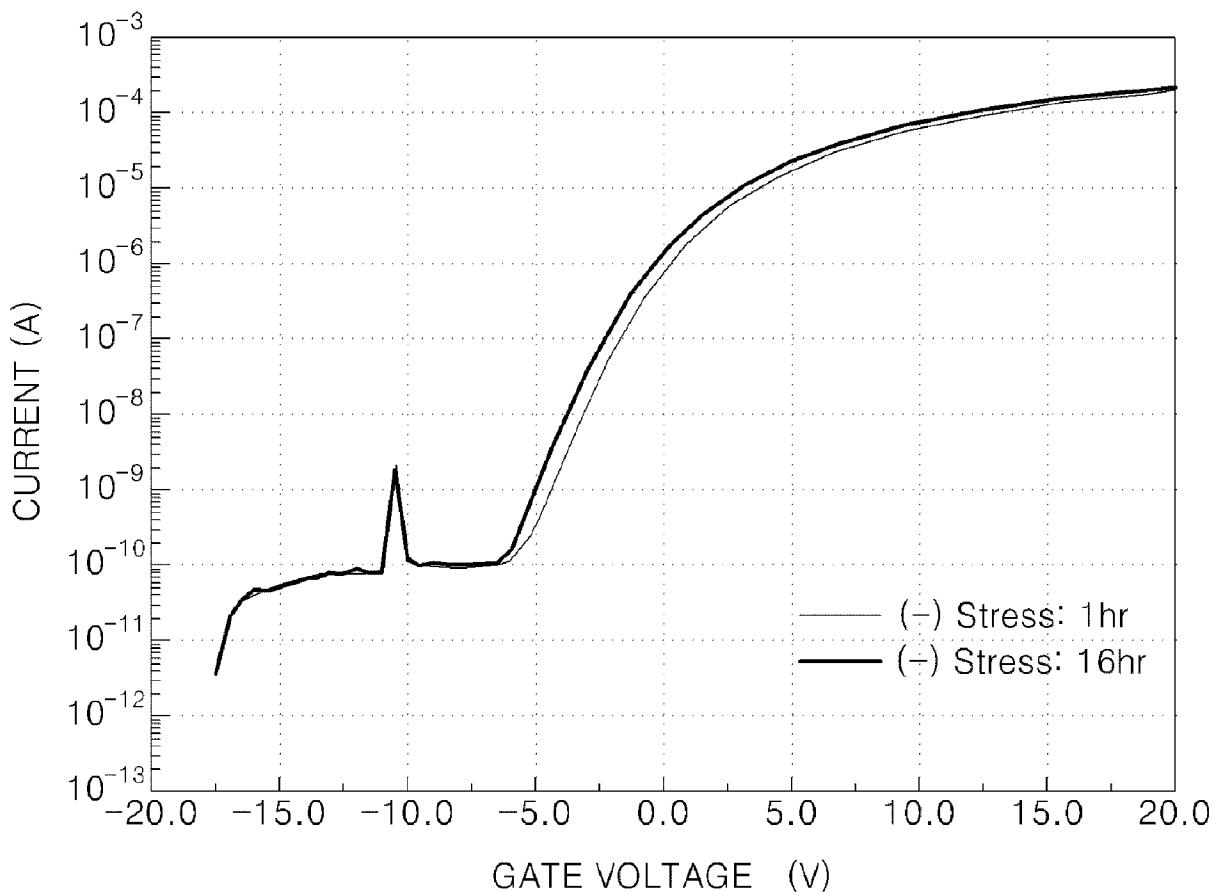
■ 6d

■ 7a



5 7b



E 8

5 9