

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6810280号  
(P6810280)

(45) 発行日 令和3年1月6日(2021.1.6)

(24) 登録日 令和2年12月14日(2020.12.14)

(51) Int. Cl.	F I
HO 1 L 39/24 (2006.01)	HO 1 L 39/24 W
HO 1 L 27/18 (2006.01)	HO 1 L 27/18

請求項の数 21 (全 24 頁)

(21) 出願番号	特願2019-550195 (P2019-550195)	(73) 特許権者	502208397
(86) (22) 出願日	平成29年12月15日(2017.12.15)		グーグル エルエルシー
(65) 公表番号	特表2020-511794 (P2020-511794A)		Google LLC
(43) 公表日	令和2年4月16日(2020.4.16)		アメリカ合衆国 カリフォルニア州 94
(86) 国際出願番号	PCT/US2017/066574		043 マウンテン ビュー アンフィシ
(87) 国際公開番号	W02018/169585		アター パークウェイ 1600
(87) 国際公開日	平成30年9月20日(2018.9.20)		1600 Amphitheatre P
審査請求日	令和1年10月31日(2019.10.31)		arkway 94043 Mounta
(31) 優先権主張番号	62/470,694	(74) 代理人	100108453
(32) 優先日	平成29年3月13日(2017.3.13)		弁理士 村山 靖彦
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100110364
			弁理士 実広 信哉
		(74) 代理人	100133400
			弁理士 阿部 達彦

最終頁に続く

(54) 【発明の名称】 積層型量子コンピューティングデバイスにおける回路要素の集積

(57) 【特許請求の範囲】

【請求項1】

第1の誘電体基板と、  
前記第1の誘電体基板上の超伝導キュビットと  
を含む第1のチップと、  
前記第1のチップに結合された第2のチップであって、  
第2の誘電体基板と、  
前記第2の誘電体基板上のキュビット読み出し要素と、  
前記第2の誘電体基板上の制御ワイヤと、  
前記制御ワイヤを覆う誘電体層と、  
前記誘電体層を覆う遮蔽層と  
を含む第2のチップと  
を含み、

前記遮蔽層は、前記制御ワイヤからの電磁場と前記超伝導キュビットからの電磁場とを互いに干渉しないように隔離することによって、前記第2のチップ上の前記制御ワイヤと前記第1のチップ上の前記超伝導キュビットとの間のクロストークを低減するように配置されている、デバイス。

【請求項2】

前記誘電体層は、前記キュビット読み出し要素を露出させる開口を含む、請求項1に記載のデバイス。

## 【請求項 3】

前記誘電体層は、約 1 GHz と約 10 GHz との間の周波数で約  $10^{-5}$  より大きい損失正接を有する誘電体材料を含む、請求項 1 または 2 に記載のデバイス。

## 【請求項 4】

前記超伝導キュビットは読み出し領域を含み、

前記キュビット読み出し要素は前記超伝導キュビットの読み出し領域と重なる、請求項 1 から 3 のいずれか一項に記載のデバイス。

## 【請求項 5】

前記キュビット読み出し要素は、パッド要素に電氣的に結合された共振器要素を含み、前記共振器要素が前記超伝導キュビットの読み出し領域と重なることなく、前記パッド要素は前記超伝導キュビットの読み出し領域と重なる、請求項 4 に記載のデバイス。

10

## 【請求項 6】

前記第 1 のチップは超伝導体接地面を含み、前記共振器要素は前記超伝導体接地面と重なる、請求項 5 に記載のデバイス。

## 【請求項 7】

前記誘電体層は、

前記誘電体層の表面から前記誘電体層を通して前記制御ワイヤまで延びるビアと、

前記ビア内にあり、前記制御ワイヤに電氣的に結合されたインターコネクと、

前記誘電体層の前記表面上にあり、前記インターコネクに電氣的に結合された制御接点と

20

を含む、請求項 1 から 6 のいずれか一項に記載のデバイス。

## 【請求項 8】

前記制御接点は前記遮蔽層によって横方向に囲まれ、前記遮蔽層から物理的に分離されている、請求項 7 に記載のデバイス。

## 【請求項 9】

前記制御接点は前記超伝導キュビットと重なる、請求項 7 または 8 に記載のデバイス。

## 【請求項 10】

前記制御接点は、前記超伝導キュビットと重なることなく、前記超伝導キュビットから横方向にずれている、請求項 7 から 9 のいずれか一項に記載のデバイス。

30

## 【請求項 11】

前記遮蔽層は前記誘電体層の側壁を覆っている、請求項 1 から 10 のいずれか一項に記載のデバイス。

## 【請求項 12】

前記キュビット読み出し要素、前記制御ワイヤ、および前記遮蔽層のそれぞれは超伝導体である、請求項 1 から 11 のいずれか一項に記載のデバイス。

## 【請求項 13】

前記第 2 のチップは、複数の制御ワイヤと、複数の誘電体層とを含み、

前記複数の制御ワイヤは前記複数の誘電体層内に埋め込まれ、

前記遮蔽層は前記複数の誘電体層を覆っている、

請求項 1 から 12 のいずれか一項に記載のデバイス。

40

## 【請求項 14】

前記第 1 のチップは前記第 2 のチップにバンプボンディングされている、請求項 1 から 13 のいずれか一項に記載のデバイス。

## 【請求項 15】

第 1 の誘電体基板と、

前記第 1 の誘電体基板上の超伝導キュビットとを含む第 1 のチップを提供するステップと、

第 2 のチップを提供するステップであって、

第 2 の誘電体基板を提供するステップと、

50

前記第 2 の誘電体基板上に第 1 の超伝導体層を形成するステップと、  
 前記第 1 の超伝導体層が制御ワイヤを含むように前記第 1 の超伝導体層をパターンニングするステップと、  
 前記制御ワイヤを含む前記第 1 の超伝導体層上に誘電体層を形成するステップと、  
 前記誘電体層をパターンニングしてパターンニングされた誘電体層を提供するステップと、  
 前記パターンニングされた誘電体層上に第 2 の超伝導体層を形成するステップと、  
 前記第 2 の超伝導体層と前記第 1 の超伝導体層とをパターンニングしてキュビット読み出し要素および遮蔽層を提供するステップと  
 を含む、ステップと、

前記第 2 のチップを前記第 1 のチップに結合するステップと  
 を含み、

10

前記遮蔽層は、前記制御ワイヤからの電磁場と前記超伝導キュビットからの電磁場とを互いに干渉しないように隔離することによって、前記第 2 のチップ上の前記制御ワイヤと前記第 1 のチップ上の前記超伝導キュビットとの間のクロストークを低減するように配置される、方法。

【請求項 16】

前記誘電体層をパターンニングするステップは、前記誘電体層にビアを形成して前記制御ワイヤの一部を露出させるステップであって、前記ビアは前記誘電体層の表面から前記制御ワイヤの露出した前記一部まで延びる、ステップを含む、請求項 15 に記載の方法。

【請求項 17】

20

前記第 2 の超伝導体層を形成するステップは、前記ビア内にインターコネクタを形成するステップであって、前記インターコネクタは前記制御ワイヤの露出した前記一部と接触する、ステップを含む、請求項 16 に記載の方法。

【請求項 18】

前記第 2 の超伝導体層をパターンニングするステップは、前記誘電体層の前記表面上に制御接点を形成するステップを含む、請求項 17 に記載の方法。

【請求項 19】

前記キュビット読み出し要素が前記超伝導キュビットと重なるように結合する前に、前記第 2 の誘電体基板を前記第 1 のチップに位置合わせするステップ  
 をさらに含む、請求項 15 に記載の方法。

30

【請求項 20】

第 1 のチップを第 2 のチップに結合する方法であって、  
 前記第 1 のチップを提供するステップであって、前記第 1 のチップは、第 1 の誘電体基板と、前記第 1 の誘電体基板上の超伝導キュビットとを含む、ステップと、  
 前記第 2 のチップを提供するステップであって、前記第 2 のチップは、第 2 の誘電体基板と、前記第 2 の誘電体基板上のキュビット読み出し要素と、前記第 2 の誘電体基板上の制御ワイヤと、前記制御ワイヤを覆う誘電体層と、前記誘電体層を覆う遮蔽層とを含む、ステップと、

超伝導体バンプボンドで前記第 1 のチップを前記第 2 のチップに結合するステップと  
 を含み、

40

前記遮蔽層は、前記制御ワイヤからの電磁場と前記超伝導キュビットからの電磁場とを互いに干渉しないように隔離することによって、前記第 2 のチップ上の前記制御ワイヤと前記第 1 のチップ上の前記超伝導キュビットとの間のクロストークを低減するように配置される、方法。

【請求項 21】

第 1 の誘電体基板と、  
 前記第 1 の誘電体基板上の超伝導キュビットと  
 を含む第 1 のチップと、  
 前記第 1 のチップに結合された第 2 のチップであって、  
 第 2 の誘電体基板と、

50

前記第2の誘電体基板上の第1の超伝導体層であって、前記第1の超伝導体層の第1の領域がキュビット読み出し要素を形成し、前記第1の超伝導体層の第2の領域がキュビット制御要素を形成する、第1の超伝導体層と、

前記第1の超伝導体層の前記第2の領域上の誘電体層と、

前記キュビット制御要素の一部を露出させるための前記誘電体層内のビアであって、前記誘電体層の表面から前記キュビット制御要素の露出した前記一部まで延びる、ビアと、

前記誘電体層上の第2の超伝導体層であって、前記第2の超伝導体層は前記ビア内にインターコネクタを形成し、前記インターコネクタは、前記キュビット制御要素の露出した前記一部に接触し、前記第2の超伝導体層は、前記インターコネクタから電氣的に隔離された遮蔽層を形成する、第2の超伝導体層と

10

を含む第2のチップと

を含み、

前記遮蔽層は、前記キュビット制御要素からの電磁場と前記超伝導キュビットからの電磁場とを互いに干渉しないように隔離することによって、前記第2のチップ上の前記キュビット制御要素と前記第1のチップ上の前記超伝導キュビットとの間のクロストークを低減するように配置されている、量子コンピューティング回路デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、積層型量子コンピューティングデバイスにおける回路要素の集積に関する。

20

【背景技術】

【0002】

量子コンピューティングは、基底状態の重ね合わせおよびエンタングルメントなどの量子効果を利用して、特定の計算を古典デジタルコンピュータより効率的に実行する比較的新しいコンピューティング方法である。情報をビット（たとえば、「1」または「0」）の形式で格納および操作するデジタルコンピュータとは対照的に、量子コンピューティングシステムはキュビットを用いて情報を操作することができる。キュビットは、複数の状態（たとえば、「0」および「1」の両方の状態のデータ）の重ね合わせを可能にする量子デバイス、および/または複数の状態のデータの重ね合わせ自体を指すことができる。従来の用語法によれば、量子システムにおける「0」および「1」状態の重ね合わせは、たとえば、 $|0\rangle + |1\rangle$  として表すことができる。デジタルコンピュータの「0」および「1」状態は、それぞれキュビットの  $|0\rangle$  および  $|1\rangle$  基底状態に類似している。値  $| \quad |^2$  はキュビットが  $|0\rangle$  状態にある確率を表し、値  $| \quad |^2$  はキュビットが  $|1\rangle$  基底状態にある確率を表す。

30

【発明の概要】

【課題を解決するための手段】

【0003】

一般に、いくつかの態様において、本開示は、第1の誘電体基板と、第1の誘電体基板上の超伝導キュビットとを含む第1のチップと、第1のチップに結合され、第2の誘電体基板と、第2の誘電体基板上のキュビット読み出し要素と、第2の誘電体基板上の制御ワイヤと、制御ワイヤを覆う誘電体層と、誘電体層を覆う遮蔽層とを含む第2のチップとを含むデバイスに関する。

40

【0004】

いくつかの実装形態において、制御ワイヤを覆う誘電体層は、キュビット読み出し要素を露出させる開口を含む。

【0005】

いくつかの実装形態において、誘電体層は、約1GHzと約10GHzとの間の周波数で約  $1e^{-5}$  より大きい損失正接を有する誘電体材料を含む。

【0006】

いくつかの実装形態において、第1のチップ上の超伝導キュビットは読み出し領域を含

50

み、キュビット読み出し要素はキュビットの読み出し領域と重なる。

【0007】

いくつかの実装形態において、キュビット読み出し要素は、パッド要素に電氣的に結合された共振器要素を含み、共振器要素が超伝導キュビットの読み出し領域と重なることなく、パッド要素は超伝導キュビットの読み出し領域と重なる。

【0008】

いくつかの実装形態において、第1のチップは超伝導体接地面を含み、第2のチップ上の共振器要素は超伝導体接地面と重なる。

【0009】

いくつかの実装形態において、誘電体層は、誘電体層の表面から誘電体層を通して制御ワイヤまで延びるビアを含む。加えて、誘電体層は、ビア内にあり、制御ワイヤに電氣的に結合されたインターコネクトと、誘電体層の表面上にあり、インターコネクトに電氣的に結合された制御接点とを含む。

10

【0010】

いくつかの実装形態において、制御接点は遮蔽層によって横方向に囲まれ、遮蔽層から物理的に分離されている。

【0011】

いくつかの実装形態において、制御接点は超伝導キュビットと重なる。

【0012】

いくつかの実装形態において、制御接点は、超伝導キュビットと重なることなく、超伝導キュビットから横方向にずれている。

20

【0013】

いくつかの実装形態において、遮蔽層は誘電体層の側壁を覆っている。

【0014】

いくつかの実装形態において、キュビット読み出し要素、制御ワイヤ、および遮蔽層のそれぞれは超伝導体材料を含む。

【0015】

いくつかの実装形態において、第2のチップは、複数の制御ワイヤと、複数の誘電体層とを含み、遮蔽層は複数の誘電体層を覆っている。

【0016】

いくつかの実装形態において、第1のチップは第2のチップにバンプボンディングされている。

30

【0017】

いくつかの態様において、本開示は、第1の誘電体基板を提供するステップと、第1の誘電体基板上に第1の超伝導体層を形成するステップと、第1の超伝導体層がキュビット制御ワイヤを含むように第1の超伝導体層をパターニングするステップと、キュビット制御ワイヤを含む第1の超伝導体層上に誘電体層を形成するステップと、誘電体層をパターニングしてパターニングされた誘電体層を提供するステップと、パターニングされた誘電体層上に第2の超伝導体層を形成するステップと、第2の超伝導体層と第1の超伝導体層とをパターニングしてキュビット読み出し要素を提供するステップとを含む方法に関する。

40

【0018】

いくつかの実装形態において、誘電体層をパターニングするステップは、誘電体層にビアを形成して制御ワイヤの一部を露出させるステップであって、ビアは誘電体層の表面から制御ワイヤの露出した一部まで延びる、ステップを含む。

【0019】

いくつかの実装形態において、第2の超伝導体層を形成するステップは、ビア内にインターコネクトを形成するステップであって、インターコネクトは制御ワイヤの露出した一部と接触する、ステップを含む。

【0020】

50

いくつかの実装形態において、第2の超伝導体層をパターニングするステップは、誘電体層の表面上に制御接点を形成するステップを含む。

【0021】

いくつかの実装形態において、超伝導キュビットを含む第2の誘電体基板は、キュビット読み出し要素を含む第1の誘電体基板に結合されている。

【0022】

いくつかの実装形態において、キュビット読み出し要素が超伝導キュビットと重なるように結合する前に、第1の誘電体基板と第2の誘電体基板を位置合わせする。

【0023】

一般に、いくつかの態様において、本開示の主題は、量子計算システムを動作させる方法において実施することができ、量子計算システムを動作させることは量子コンピューティングデバイスを動作させることを含む。量子コンピューティングデバイスは、たとえば、第1の誘電体基板と、第1の誘電体基板上の超伝導キュビットとを含む第1のチップと、第1のチップに結合され、第2の誘電体基板と、第2の誘電体基板上のキュビット読み出し要素と、第2の誘電体基板上の制御ワイヤと、制御ワイヤを覆う誘電体層と、誘電体層を覆う遮蔽層とを含む第2のチップとを含む。量子コンピューティングデバイスを動作させることは、量子コンピューティングデバイスを用いて、超伝導キュビットに格納されている量子情報をコヒーレントに処理することを含むことができる。量子計算システムを動作させることは、量子計算システムから出力を取得することと、古典回路要素を用いて出力を処理することとをさらに含むことができる。

【発明の効果】

【0024】

本明細書に記載の主題の特定の実装形態は、以下の利点の1つまたは複数を実現するように実施することができる。たとえば、いくつかの実装形態において、損失材料およびキュビット制御配線は、キュビットを含むチップから分離しているスタック内の1つまたは複数のチップ上に形成することができる。キュビットを含むチップを高品質（低損失）材料に限定することによって、キュビットは損失材料から実質的に隔離され、キュビットのデコヒーレンスを低減することができる。キュビットを含むチップから制御配線を離すことによって、キュビットのレイアウトおよび配線の制約を緩和することができる。レイアウトの制約をさらに緩和するため、キュビット読み出し要素を、配線および損失材料が形成されている同じチップに移動させることもできる。第2のチップ上の制御要素および配線からの第1のチップ上の超伝導キュビット間の干渉を限定するため、制御要素および配線を遮蔽層および誘電体層によって覆うことができる。キュビット読み出し要素のコヒーレンスを維持するため、キュビット読み出し要素は、誘電体層または遮蔽層なしで提供されてもよい。加えて、いくつかの実装形態において、これらのデバイスおよび方法によって、3D集積による超伝導キュビット密度および/またはキュビット結合の増加が可能になる。また、超伝導キュビットおよび配線/制御要素のための製造ステップは、超伝導キュビットを第1のチップ上に、配線/制御要素を第2の別個のチップ上に配置することによって分離される。さらに、いくつかの実装形態において、これらのデバイスおよび方法により、処理方法および材料に関連する損失を低減しながら、3D集積を達成することが可能になる。特に、製造プロセスの最終ステップの間にキュビット読み出し共振器構造をパターニングすることによって、加工（たとえば、粗化）に敏感なキュビット読み出し共振器構造のエッジおよびコーナーが高品質なものになり、結果としてデバイスの品質係数が向上する。

【0025】

1つまたは複数の実施形態の詳細は、添付の図面および以下の説明に記載されている。他の特徴および利点は、説明、図面、および特許請求の範囲から明らかになるであろう。

【図面の簡単な説明】

【0026】

【図1A】積層型量子コンピューティングデバイスの一例の側面図を示す概略図である。

【図 1 B】例示的な積層型量子コンピューティングデバイスの第 2 のチップからの回路要素が重ねられた、積層型量子コンピューティングデバイスの第 1 のチップからの回路要素の上面図を示す概略図である。

【図 2 A】例示的な積層型量子コンピューティングデバイスの第 2 のチップからの回路要素が重ねられた、積層型量子コンピューティングデバイスの第 1 のチップからの回路要素の上面図を示す概略図である。

【図 2 B】積層型量子コンピューティングデバイスの断面を示す概略図である。

【図 3 A】例示的な積層型量子コンピューティングデバイスの第 2 のチップからの回路要素が重ねられた、積層型量子コンピューティングデバイスの第 1 のチップからの回路要素の上面図を示す概略図である。

10

【図 3 B】積層型量子コンピューティングデバイスの断面を示す概略図である。

【図 4 A】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

【図 4 B】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

【図 4 C】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

【図 4 D】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

【図 4 E】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

20

【図 4 F】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

【図 5 A】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

【図 5 B】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

【図 5 C】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

【図 5 D】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

30

【図 5 E】積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。

【図 6】積層型量子コンピューティングデバイスで用いられるべき例示的なチップの側面図を示す概略図である。

【発明を実施するための形態】

【0027】

量子コンピューティングは、量子コンピュータの量子ビット（キュビット）に格納されている量子情報をコヒーレントに処理することを伴う。超伝導量子コンピューティングは、量子コンピューティング回路要素が部分的に超伝導体材料から形成される量子コンピューティング技術の有望な実装形態である。超伝導量子コンピュータは通常マルチレベルシステムであり、最初の 2 つのレベルのみが計算の基礎として用いられる。いくつかの実装形態において、超伝導キュビットなどの量子回路要素（たとえば、量子コンピューティング回路要素）は、超伝導を達成することができるように、および熱揺らぎによってエネルギーレベル間の転移が生じないように、非常に低い温度で動作する。加えて、量子コンピューティング回路要素は、低いエネルギー損失および散逸で動作する（たとえば、量子コンピューティング回路要素は高い品質係数 Q を示す）ことが好ましい場合がある。低いエネルギー損失および散逸は、たとえば、量子デコヒーレンスの回避に役立つことができる。

40

【0028】

50

量子アニーラなどのいくつかのタイプの量子コンピューティングプロセッサにおいて、量子プロセッサの超伝導キュビットは、各超伝導キュビットの量子状態が、それが結合されている他の超伝導キュビットの対応する量子状態に影響するように制御可能な方法で動作可能に互いに結合される。プロセッサの設計に応じて、選択されたアーキテクチャにより、結合に使用できる超伝導キュビットの密度および総数が限定され、したがって、多数の超伝導キュビットを必要とする複雑な問題を実行するプロセッサの能力が限定されるおそれがある。さらに、いくつかの量子コンピューティング設計において、超伝導キュビットは、2つのレベルのシステムとの相互作用により、エネルギー損失およびデコヒーレンスを受けるおそれがある。たとえば、超伝導体材料から形成された超伝導キュビットを用いる量子コンピュータにおいて、たとえば、堆積誘電体、量子コンピュータが通信する古典回路要素からの、および古典回路要素と量子回路要素との間の接続からの損失のある非超伝導材料の存在は、デコヒーレンスの増加につながるおそれがある。

10

**【0029】**

超伝導量子回路要素を有する量子アニーラなどの量子プロセッサにおいて結合に使用できる超伝導キュビットの密度を増やし、超伝導キュビットの数大きくするため、3D集積を用いてプロセッサおよび関連する回路要素を構築することができる。すなわち、一次元および/または二次元(たとえば、x方向および/またはy方向)に沿って延びるチップの単一平面内にプロセッサの量子回路要素を製造する代わりに、第3の次元(たとえば、z方向)に沿って互いに結合された複数のチップに量子回路要素を形成することもできる。3D集積を達成するためのアプローチは、バンプボンディングを用いてチップを結合することであり、チップは、たとえば、超伝導体バンプボンディングによって互いに接合されて積層型デバイス(たとえば、積層型量子コンピューティングデバイス)を形成する。いくつかの実装形態において、チップの物理的結合に加えて、バンプボンディングを用いてスタック内の異なるチップからのコンポーネントを互いに電氣的に結合することができる。あるいは、バンプボンディングのみを用いて異なるチップの物理的結合を提供することもできる。結合のために超伝導体バンプボンディングを用いることによって、さもなくば損失のある非超伝導体材料で発生するおそれのあるエネルギー損失およびデコヒーレンスの低減を達成することができる。

20

**【0030】**

さらに、いくつかの実装形態において、損失材料およびキュビット制御配線は、キュビットを含む1つまたは複数のチップとは別個のスタック内の1つまたは複数のチップ上に形成されてもよい。キュビットを含むチップを高品質(低損失)材料に限定することによって、キュビットは損失材料から実質的に隔離され、キュビットのデコヒーレンスを低減することができる。さらに、キュビットを含むチップから制御配線を離すことによって、キュビットのレイアウトおよび配線の制約を緩和することができる。

30

**【0031】**

レイアウトの制約をさらに緩和するため、キュビット読み出し要素を、配線および損失材料が形成されている同じチップに移動させることもできる。しかしながら、読み出し共振器は控えめなレベルのコヒーレンスを維持すべきである。読み出し共振器は、低い結合品質係数 $Q_c$ での環境に強く結合されるが、固有の品質係数 $Q_i$ が低すぎればキュビットを減衰させることになる。さらに、あるチップ上のキュビットと他のチップ上の配線との間のクロストークを回避するため、配線は露出させるべきでない。

40

**【0032】**

本開示は、積層型量子コンピューティングデバイスにおいて回路要素を集積するためのデバイスおよび方法に関する。積層型量子コンピューティングデバイスにおける第1のチップは、高品質のコヒーレント材料(低損失材料)から形成された超伝導キュビットを含み、1つまたは複数の配線層と、損失性誘電体と統合されたキュビット制御およびキュビット読み出し要素を含む第2のチップに結合されている。配線、読み出しおよび制御要素を第2のチップに移動させることによって、第1のチップに対するキュビットのレイアウトの制約(および第2のチップに対する配線のレイアウトの制約)を緩和することができ

50

る。さらに、損失性誘電体材料を第2のチップに移動させることにより、第1のチップ上のキュビットが高いコヒーレンス（たとえば、約1,000,000以上のQ）を維持することが可能になる。第2のチップ上のキュビット読み出し要素は、その表面上に損失性誘電体なしで形成することができるため、読み出し要素は適度なコヒーレンス（たとえば、約200,000以上のQ<sub>i</sub>）を維持する。さらに、第2のチップ上に遮蔽層を形成して、第1のチップ上の超伝導キュビットを第2のチップ上の配線から遮蔽し、クロストークを低減することができる。さらに、本明細書で開示されるデバイスは、読み出し要素の残留物および損傷を低減するプロセスを用いて製造することができ、読み出し要素が適度なコヒーレンスを維持することが可能になる。

#### 【0033】

図1Aは、積層型量子コンピューティングデバイス100の一例の側面図を示す概略図である。積層型量子コンピューティングデバイス100は、第1のチップ102および第2のチップ104を含む。第1のチップ102は、データ処理動作（たとえば、量子データ処理動作）を実行する際に用いるための1つまたは複数の量子コンピューティング回路要素（たとえば、超伝導キュビット）を含む。一例において、第1のチップ102は、超伝導キュビットの一次元（1D）または二次元（2D）アレイを含む。第1のチップ102の量子コンピューティング回路要素は、基板上および/または基板内に形成することができる。第1のチップの基板は、たとえば、シリコンまたはサファイアウエハなどの量子コンピューティング回路要素に適した低損失誘電体から形成することができる。代わりに他の材料を基板に用いることもできる。

#### 【0034】

第2のチップ104は、たとえば、キュビット制御要素およびキュビット読み出し要素などの追加の量子コンピューティング回路要素を含む。第2のチップ104は配線を含むこともできる。キュビット制御要素の例は、キュビットの周波数を調整するためのキュビットZ制御要素、およびキュビットを励起させるためのキュビットXY制御要素を含む。各制御要素は、第1のチップ102上のキュビットに結合する（たとえば、容量結合する）ように動作可能であり得る。キュビット読み出し要素は、たとえば、第1のチップ102のキュビットに結合する（たとえば、誘導結合する）ように動作可能な共振器を含むことができる。第2のチップ104上の制御要素、読み出し要素および配線は、第2のチップの基板上の超伝導体材料から形成することができる。第2のチップの基板は、たとえば、シリコンまたはサファイアウエハなどの量子コンピューティング回路要素に適した低損失誘電体から形成することができる。代わりに他の材料を基板に用いることもできる。いくつかの実装形態において、第1のチップの基板は、第2のチップの基板とは異なる基板である。

#### 【0035】

第1のチップ102は、第2のチップ104の上に位置合わせされ、バンプボンドなどのインターコネクタ106を用いて第2のチップ104に物理的に接続される。いくつかの実装形態において、バンプボンド106は、第1のチップ102のコンポーネントと第2のチップ104のコンポーネントとの間の電氣的接続も提供する。本例において、第1のチップ102は、超伝導体バンプボンド106（たとえば、インジウムを含むバンプボンド）を介して第2のチップ104に接続されている。いくつかの実装形態において、第1のチップ102と第2のチップ104との間に真空が維持されている。

#### 【0036】

バンプボンド106は、たとえば、第1のチップ102上に配置することができる超伝導キュビットのエネルギー損失およびデコヒーレンスを回避するために超伝導体材料を含むことができる。たとえば、バンプボンド106として用いるのに適した超伝導体材料は、インジウム、鉛、レニウム、パラジウム、または金などの非超伝導体材料の薄層（たとえば、約1nmと約100nmとの間）を有するニオブを含むが、これらに限定されない。バンプボンド106の厚さは、第1のチップ102上および第2のチップ104上の回路要素間で所望の容量結合または誘導結合を達成するように、第1のチップ102と第2

10

20

30

40

50

のチップ104とが離間するように設定することができる。たとえば、第1のチップ102のデバイス表面と第2のチップ104の構造要素表面との間のギャップ108の高さは、約0.5 $\mu\text{m}$ と約100 $\mu\text{m}$ との間(たとえば、約10 $\mu\text{m}$ と約20 $\mu\text{m}$ との間、約1 $\mu\text{m}$ と10 $\mu\text{m}$ との間、約0.5 $\mu\text{m}$ と約20 $\mu\text{m}$ との間、約0.5 $\mu\text{m}$ と約15 $\mu\text{m}$ との間、約0.5 $\mu\text{m}$ と約10 $\mu\text{m}$ との間、約0.5 $\mu\text{m}$ と約5 $\mu\text{m}$ との間、または約0.5 $\mu\text{m}$ と約2.5 $\mu\text{m}$ との間)に設定することができる。

#### 【0037】

図1Bは、第1のチップからの回路要素が例示的な積層型量子計算デバイス(たとえば、デバイス100)において第2のチップからの回路要素と位置合わせされたときのこれらの回路要素の上面図を示す概略図である。図1Bに示すように、第1のチップは、超伝導キュビット122のアレイ(たとえば、2 $\times$ 2アレイ)を含む。本例におけるキュビットは、一般に4本のアームを有する「プラス」記号の形で表されるエクスマン(Xmon)トランズモンキュビットである。キュビット122は、磁束キュビット、トランズモンキュビット、およびジーモン(gmon)キュビットなどのキュビットを含むことができるが、これらに限定されない。第2のチップは、キュビット読み出しデバイス124のアレイを含み、各キュビット読み出しデバイス124は、第1のチップからの対応する超伝導キュビット122と位置合わせされている。各キュビット読み出しデバイス124は、パッド要素126に電気的に結合された共振器要素128を含む。各パッド要素126は、第1のチップ上の対応する超伝導キュビット122の中心上に位置合わせすることができる。パッド要素126が上に位置合わせされた超伝導キュビット122の領域は、超伝導キュビット122の読み出し領域134と呼ぶことができる。いくつかの実装形態において、パッド要素126は、キュビット122の読み出し領域134に容量結合するように動作可能である。パッド要素とキュビットとの間のキャパシタンスの量は、パッド要素126およびキュビット122の相対的な大きさに応じて変化し得る。共振器要素128は、超伝導キュビット122に対して横方向にずれて、細長アーム130を介してパッド要素128に電気的に結合することができる。共振器要素128は、たとえば、共平面導波路などの伝送線路共振器(たとえば、分布素子共振器または集中素子共振器)を含むことができ、共振器の長さが共振器周波数を決定する。パッド要素126、アーム130および共振器要素128のそれぞれは、超伝導体薄膜(たとえば、Al)から形成することができる。

#### 【0038】

第2のチップは配線要素(たとえば、制御ワイヤ130)を含むこともできる。配線要素も超伝導体薄膜(たとえば、Al)から形成することができる。配線要素は、キュビットZ制御要素またはキュビットXY制御要素などの制御要素を含むことができ、またはこれらの制御要素に結合することができる。いくつかの実装形態において、配線要素の制御要素部分は、第1のチップ上の対応するキュビットの1つまたは複数の部分の上(またはチップの向きによって下)に直接位置合わせすることができる。いくつかの実装形態において、配線要素の制御要素部分は、制御要素とキュビットとが重ならないように、対応するキュビットの1つまたは複数の部分から横方向にずらすことができる。パッド132は、パンプボンドの可能な位置を示すが、パンプボンドは他の位置に配置されてもよい。積層型量子計算デバイスにおける各チップ用の基板の厚さは、たとえば、約10ミクロンと約1000ミクロンとの間とすることができる。高品質、低損失の基板材料の例は、単結晶シリコンおよびサファイアを含む。

#### 【0039】

図2Aは、積層型量子計算デバイス(デバイス100など)を通る上面図を示す概略図であり、図1Bを参照してより詳細に議論した、第2のチップからの回路要素と位置合わせされた第1のチップからの回路要素を示す。第1のチップは、超伝導キュビット(たとえば、キュビット222a、222b)のアレイを含む。第2のチップは、配線要素230、キュビット読み出しデバイス(たとえば、224a、224b)、およびキュビット制御要素を含む。パンプボンドなどのチップ間インターコネクタ用のパッドは、様々な場

10

20

30

40

50

所に分散して示されている。配線要素230は、キュビット制御要素を含むことができ、またはこれらに結合することができる。配線要素230を超伝導キュビットとは別個のチップ上に形成することによって、配線要素230がもはやキュビットの周りを走る必要がないことを考えると、配線レイアウトの制約を緩和することができる。むしろ、図2Bに示すようないくつかの実装形態において、第2のチップ上の配線要素230は、第1のチップ上の超伝導キュビットの部分と重なってもよい。キュビット読み出しデバイス224a、224bは、第1のチップが第2のチップに結合されているとき、第1のチップ上に形成された対応する超伝導キュビット（たとえば、それぞれキュビット222a、222b）の一部と重なるパッド要素226a、226b（図2A参照）などの部分を含むことができる。キュビット読み出しデバイス224a、224bはそれぞれ、第1のチップ上のキュビットと重ならない共振器要素228a、228bを含むこともできる。共振器要素228aおよび228bは、図1Bおよび図2Aにおいて固体パッドとして示されているが、たとえば、共平面導波路などの伝送線路共振器（たとえば、分布素子共振器または集中素子共振器）を含むこともできる。

#### 【0040】

図2Bは、図2Aに示すデバイスなどの例示的な積層型量子計算デバイスを通る断面図を示す概略図である。本明細書で説明するように、図2Bに示す回路要素の配置は、図2Aに示す回路要素の配置とわずかに異なるが、同様の参照番号は同様の特徴を指す。この積層型デバイスは、第2のチップ204に結合された（たとえば、バンプボンディングされた）第1のチップ202を含む。第1のチップ202および第2のチップ204の基板は、たとえば、シリコンまたはサファイアウエハなどの量子コンピューティング回路要素に適した低損失誘電体から形成することができる。図2Bに示す断面図は、隣接する超伝導キュビットの部分222a、222b、222cと、第1のチップ202上に形成された接地面の部分214（図示を容易にするため図2Aにおいては示さず）を含む。接地面およびキュビットは、少なくとも部分的に、A1などの超伝導体金属膜から形成することができる。部分222a、222b、222cは、隣接する超伝導キュビットの細長アームに対応することができる（たとえば、キュビットがエックスモンキュビットを含む場合）。いくつかの実装形態において、超伝導体接地面214は隣接する超伝導キュビット間に配置される。

#### 【0041】

第2のチップ204は配線要素230を含み、これはキュビット制御要素（たとえば、キュビットZ制御要素および/またはキュビットXY制御要素）を含むことができる。第2のチップ204は1つまたは複数のキュビット読み出しデバイスを含むこともでき、これは、図2Aに示すように、共振器要素（たとえば、228a、228b）およびパッド要素（たとえば、226a、226b）などの要素を含むことができる。パッド要素226aが図2Bに示されており、キュビット222bの一部と重なっている。図2Bに示す断面において、第2のチップ204上の配線要素230は、第1のチップ202上に配置された超伝導キュビットの部分222a、222b、222cの下を少なくとも部分的に通過する。配線要素230と、配線要素230が下を通過するキュビットとの間のクロストークを低減するため、配線要素は遮蔽層218によって覆われ、これはキュビットからの場と配線要素からの場とが互いに干渉するのを防ぐ。このような干渉により、超伝導キュビットが減衰およびデコヒーレンスするおそれがある。遮蔽層218を支持するため、誘電体層216が配線要素230上に設けられる。誘電体層216は、オルトケイ酸テトラエチル（TEOS）、二酸化ケイ素、または窒化ケイ素などの損失性誘電体を含むことができる。一般に、「損失性」誘電体は、誘電体を組み込んでいるデバイスの品質係数（Q）に対して定義することができる。たとえば、品質係数Qを有するデバイスについて、誘電体が $1/Q$ より大きい損失正接を有すれば、そのデバイスの誘電体は損失性であると見なすことができる。いくつかの実装形態において、損失性誘電体材料は、たとえば、少なくとも $1e^{-4}$ または少なくとも $1e^{-5}$ を超えるマイクロ波周波数（約1と約10GHzとの間）で損失正接を有する誘電体材料を含む。損失性誘電体材料は、たとえば、プ

10

20

30

40

50

ラズマ堆積プロセスを用いて堆積させることができる。堆積した誘電体材料の厚さは、約50nmと約2000nmとの間の範囲とすることができる。

【0042】

遮蔽層218は、A1などの超伝導体材料を含み、誘電体層216の上に堆積して誘電体層216を覆うことができる。遮蔽層218は、たとえば物理気相成長プロセスによって堆積させることができる。いくつかの実装形態において、誘電体層216の表面は、誘電体層216の側壁（たとえば、側壁220aおよび220b）を含め、遮蔽層218によって完全に覆われ、第2のチップ204上に形成されていない誘電体層216の表面を効果的にカプセル化している。いくつかの場合において、遮蔽層は、第1のチップ202に面する誘電体層の表面のみを覆う。超伝導体層（たとえば、金属層）の厚さは、約10nmと約1000nmとの間の範囲とすることができる。

10

【0043】

損失性誘電体により、キュビット読み出しデバイス224についての固有の品質係数 $Q_i$ が低くなり、したがって、コヒーレンスが低すぎてキュビット読み出し要素が適切に機能することができなくなるおそれがある。キュビット読み出しデバイス224のコヒーレンスを保持するため、読み出しデバイス224上には誘電体層が設けられない。たとえば、チップ204上に誘電体層216を形成した後、誘電体層216の部分を除去して、キュビット読み出しデバイス224が露出する開口を形成することができる。

【0044】

配線要素230は図2Bにおいて超伝導体材料の単一層として示されているが、超伝導体材料の複数の層を配線要素230の一部として形成してもよく、超伝導体材料の複数の層は誘電体材料内に埋め込まれる。多層スタックの一例は図6を参照して説明する。

20

【0045】

いくつかの実装形態において、キュビット制御要素の一部は、第1のチップ上の超伝導キュビットと相互作用する（たとえば、キュビットに誘導または容量結合してキュビットを調整または励起する）必要があり、したがって遮蔽層によって隔離することができない。図3Aは、積層型量子計算デバイス（デバイス100など）を通る上面図を示す概略図であり、図1Bおよび図2Aに関して本明細書で議論したように、第2のチップからの回路要素と位置合わせされた第1のチップからの回路要素を示す。図2Aとは対照的に、破線B-Bによって特定されるセクションは、キュビット制御要素が第1のチップの超伝導キュビットに結合する領域を示す。

30

【0046】

図3Bは、図3Aに示すデバイスのような積層型量子計算デバイスを通る断面図を示す概略図である。この積層型デバイスは、第2のチップ304に結合された（たとえば、パンプボンディングされた）第1のチップ302を含む。第1のチップ302および第2のチップ304の基板は、たとえば、シリコンまたはサファイアウエハなどの量子コンピューティング回路要素に適した低損失誘電体から形成することができる。図3Bに示す断面図は、超伝導キュビットの部分322aと、第1のチップ302上に形成された接地面の部分314を含む。接地面およびキュビットは、少なくとも部分的に、A1などの超伝導体金属膜から形成することができる。部分322aは超伝導キュビットの細長アームに対応することができる（たとえば、キュビットがエックスモンキュビットを含む場合）。パンプボンド320（たとえば、超伝導体パンプボンド）が、第1のチップ302を第2のチップ304に物理的に結合する。

40

【0047】

第2のチップ304は配線要素330を含み、これは、第2のチップ304上に形成されたキュビット制御要素（たとえば、キュビットZ制御要素および/またはキュビットXY制御要素）を含むことができる。第2のチップ304は、共振器要素またはパッド要素などの1つまたは複数のキュビット読み出しデバイス324を含むこともできる。図2Bに関して説明したように、配線要素330は遮蔽層318（たとえば、A1膜などの超伝導体膜）によって覆われ、これは第1のチップ302上のキュビットから配線要素330

50

を隔離している。遮蔽層 318 を支持するため、誘電体層 316 が配線要素 330 上に設けられる。誘電体層 316 は、オルトケイ酸テトラエチル (TEOS)、二酸化ケイ素、または窒化ケイ素などの損失性誘電体を含むことができる。

#### 【0048】

図 2 B とは対照的に、図 3 B は、第 2 のチップ 304 上のキュビット制御要素が第 1 のチップ 302 上のキュビットに結合 (たとえば、容量結合) することができるように、シールドが存在しない領域を示している。図 3 B に示す例において、ビア 326 が誘電体層 316 内に形成されている。ビア 326 は、誘電体層 316 の表面から誘電体層 316 を通って配線要素 330 まで延び、A1 などの超伝導体金属で充填されてビアインターコネクタを形成することができる。接触パッド 328 がビアインターコネクタ 326 上に形成され、キュビット制御要素として機能する。接触パッド 328 は、遮蔽層 318 によって横方向に囲まれてもよいが、遮蔽層 318 から物理的に分離されている (たとえば、遮蔽層 318 と露出した接触パッド 328 との間にギャップが配置されてもよい)。接触パッド 328 も、A1 薄膜などの超伝導体金属から形成することができる。

10

#### 【0049】

いくつかの実装形態において、第 2 のチップ 304 上の接触パッド 328 は、2 つのチップが互いに結合されているとき、接触パッド 328 が超伝導キュビットと重なる (たとえば、直接に面する) ように第 1 のチップ 302 上の超伝導キュビット (たとえば、キュビット 322 a) の一部の下または上に位置合わせされる。いくつかの実装形態において、2 つのチップが位置合わせされて結合されたとき、接触パッド 328 が超伝導キュビットと重ならないように、第 2 のチップ 304 上の接触パッド 328 は第 1 のチップ 302 上の超伝導キュビットの一部から横方向にずれている。

20

#### 【0050】

図 2 B に関して説明したように、誘電体層はキュビット読み出しデバイス 324 上に設けられず、キュビット読み出しデバイス 324 のコヒーレンスを保持する。いくつかの実装形態において、キュビット読み出し要素の一部は、第 1 のチップ 302 の超伝導体接地面 314 と位置合わせされる。

#### 【0051】

図 4 A ~ 図 4 F は、積層型量子コンピューティングデバイス用のキュビット読み出しおよび制御要素を有することになるチップ (第 2 のチップ 204 またはチップ 304 として) を製造するための例示的なプロセスを示す概略図である。図 4 A に示すように、チップ 404 が提供される。チップ 404 は、誘電体基板、たとえば、シリコンまたはサファイア基板から形成することができる。チップ 404 の表面上に第 1 の超伝導体層 424 が設けられる。超伝導体層 424 は、たとえば、アルミニウム、ニオブチタン、または超伝導臨界温度未満で超伝導特性を有する他の材料または合金を含むことができる。超伝導体層 424 は、他の技術の中でも、たとえば、物理気相成長プロセスを用いて堆積させることができる。

30

#### 【0052】

図 4 B に示すように、超伝導体層 424 がパターニングされる。パターニングは、たとえば、選択的エッチングまたはリフトオフプロセスにより、既に堆積した超伝導体材料の部分を選択的に除去することを伴うことができる。あるいは、層 424 は、図 4 A に示すプロセスステップにおいて 1 つまたは複数のマスクを通して超伝導体材料を堆積させることによってパターニングされてもよい。超伝導体層 424 のパターニングは、1 つまたは複数の配線要素 430 などの別個の構造を画定する。

40

#### 【0053】

図 4 C に示すように、超伝導体層 424 上に次いで誘電体層 416 が設けられる。誘電体層 416 は、他の技術の中でも、たとえば、物理気相成長プロセスまたはプラズマ堆積プロセスを用いて堆積させることができる。誘電体層 416 は、TEOS、二酸化ケイ素、または窒化ケイ素などの誘電体材料を含むことができる。通常、堆積した誘電体は損失性材料であり、約 1 GHz と約 10 GHz との間の周波数で少なくとも  $1e^{-4}$  または少

50

なくとも  $1e-5$  を超えるマイクロ波周波数で損失正接を有する。

【0054】

図4Dに示すように、誘電体層416をパターニングして誘電体材料の部分を除去する。たとえば、いくつかの実装形態において、誘電体層416の一部を除去して、キュビット読み出し要素が形成されることになる領域において超伝導体層424を露出させる。いくつかの実装形態において、誘電体層416の一部を除去して、キュビット制御要素が形成されることになる領域における配線要素430へのビア426を提供する。いくつかの実装形態において、超伝導体層424上に堆積した誘電体層416は、パターニングステップ中に除去されない。誘電体層416のパターニングは、他の技術の中でも、誘電体層を選択的にエッチングすることを含むことができる。

10

【0055】

図4Eに示すように、第2の超伝導体層418が設けられる。第2の超伝導体層は、たとえば、誘電体層416の表面上、超伝導体層424の表面上、および露出したチップ404（たとえば、露出した誘電体基板）上に堆積させることができる。いくつかの実装形態において、第2の超伝導体層は、たとえば、誘電体層416の表面上に堆積させることができる。いくつかの実装形態において、第2の超伝導体層418は、ビア426内に堆積してピアインターコネクタを形成する。いくつかの実装形態において、第2の超伝導体層418は、誘電体層416の側壁415に堆積される。第2の超伝導体層418は、第1の超伝導体層424と同じまたは異なる超伝導体材料であってもよい。第2の超伝導体層418は、他の技術の中でも、たとえば物理気相成長プロセスによって堆積させることができる。

20

【0056】

図4Fに示すように、第2の超伝導体層418がパターニングされる。いくつかの実装形態において、第2の超伝導体層418と超伝導体層424との両方が同時に選択的にパターニングされて、キュビット読み出し要素450（たとえば、共平面導波路キュビット読み出し共振器）などの回路要素を形成する。

【0057】

いくつかの実装形態において、第2の超伝導体層418がパターニングされ、第2の超伝導体層418の一部および誘電体層416の一部が、誘電体層416の側壁415の一部が露出し、超伝導体層424の一部が露出するように、同じまたは後続のステップにおいて除去される。露出した誘電体層側壁415の一部は、超伝導キュビットおよびキュビット読み出し要素について高品質（たとえば、より良いコヒーレンス特性）を依然として達成しながら露出させることができる（超伝導体層418によって覆われない）。露出した超伝導体層424を選択的にパターニングして、キュビット読み出し要素などの回路要素を形成することができる。

30

【0058】

加えて、いくつかの実装形態において、第2の超伝導体層418は、キュビット制御要素（たとえば、キュビットZ制御要素またはキュビットXY制御要素）を画定するように選択的にパターニングされる。たとえば、第2の超伝導体層418は、キュビット制御要素460の一部を形成する接触パッド428を画定するように図4Fにおいてパターニングされる。パターニングにより、第2の超伝導体層418の一部が除去され、層418が接触パッド428およびキュビット読み出し要素424から電氣的に隔離される。パターニングされた層418は遮蔽層としても機能する。

40

【0059】

チップ404の製造が完了すると、チップ404は位置合わせされ、超伝導キュビットを含む別個のチップ（たとえば、チップ202またはチップ302など）に結合（たとえば、フリップチップボンディングを介して）することができる。いくつかの実装形態において、図4A～図4Fに関して説明した製造プロセスにより、より良いコヒーレンス特性を示すキュビット読み出し要素を得ることができる。キュビット読み出し要素の適度な $Q_i$ を達成するには、キュビット読み出し要素に近接する露出基板表面領域に高品質の金属

50

基板界面と基板空気界面とを有するようにキュビット読み出し要素を製造することが好ましい。製造プロセス全体を通じてこれらの界面を高品質に保つため、キュビット読み出し要素のパターニングは、最後のプロセスステップまたは最後のプロセスステップの近くまで残される。このように、エッチングステップと残留物からの界面に対する損傷を減らすことができ、結果としてキュビット読み出し要素の品質係数が向上する。

#### 【0060】

図4Fに示すように、キュビット読み出しデバイス450は、(たとえば、超伝導体層のパターニングステップの結果として)配線要素430から物理的に分離したものとして示されている。いくつかの実装形態において、キュビット読み出しデバイス450は、配線要素430および/またはキュビット制御要素に物理的に接続される。図5A~図5Eは、製造プロセスの様々なステップで上面および側面から見た、積層型量子コンピューティングデバイス用のチップを製造するための例示的なプロセスを示す概略図である。図5Aに示すように、チップ502が提供される。チップ502は、誘電体基板、たとえば、シリコンまたはサファイア基板から形成することができる。チップ502の表面上に第1の超伝導体層504を堆積させる。超伝導体層504は、たとえば、アルミニウム、ニオブチタン、または超伝導臨界温度未満で超伝導特性を有する他の材料または合金を含むことができる。超伝導体層504は、他の技術の中でも、たとえば、物理気相成長プロセスを用いて堆積させることができる。

10

#### 【0061】

図5Bに示すように、超伝導体層504がパターニングされる。パターニングは、たとえば、選択的エッチングまたはリフトオフプロセスにより、既に堆積した超伝導体材料の部分を選択的に除去することを伴うことができる。あるいは、層504は、図5Aに示すプロセスステップにおいて1つまたは複数のマスクを通して超伝導体材料を堆積させることによってパターニングされてもよい。図5Bは、1つまたは複数の制御ワイヤ506を含む、パターニングプロセスによって画定される別個の構造を画定する。除去された第1の超伝導体層504の部分が、下にあるチップ502を露出させる。

20

#### 【0062】

図5Cに示すように、超伝導体層504上およびチップ502上に次いで誘電体層508が形成される。誘電体層508は、他の技術の中でも、たとえば、物理気相成長プロセスまたはプラズマ堆積プロセスを用いて堆積させることができる。誘電体層508は、TEOS、二酸化ケイ素、または窒化ケイ素などの誘電体材料を含むことができる。通常、堆積した誘電体は損失性材料であり、約1GHzと約10GHzとの間の周波数で少なくとも $1e^{-4}$ または少なくとも $1e^{-5}$ を超えるマイクロ波周波数で損失正接を有する。誘電体層508をパターニングして(たとえば、エッチングまたはリフトオフプロセスにより)、キュビット読み出し要素が形成されることになる領域を露出させることができる。

30

#### 【0063】

図5Dに示すように、第2の超伝導体層510が、パターニングされた誘電体層508、第1の超伝導体層504(たとえば、制御ワイヤ506を含む)およびチップ502上に形成される。堆積は、第2の超伝導体層510が誘電体層508の側壁を覆うように、共形堆積であってもよい。第2の超伝導体層510は、第1の超伝導体層504と同じ超伝導体材料のものであっても、異なる超伝導体材料のものであってもよい。

40

#### 【0064】

第1の超伝導体層504および第2の超伝導体層510は次いで図5Eに示すようにパターニングされる。いくつかの実装形態において、第2の超伝導体層510および第1の超伝導体層504は、異なる構造を画定するように選択的にパターニングされる。たとえば、第2の超伝導体層510は、制御ワイヤ506、誘電体層508の一部および第1の超伝導体層504の一部を露出させるようにパターニングすることができる。対照的に、第1の超伝導体層504は、キュビット読み出し要素518を画定するようにパターニングすることができる。パターニングプロセスは、単一のエッチングステップまたは複数の

50

エッチングステップにおいて行うことができる。いくつかの実装形態において、誘電体層 508 は、誘電体層 508 の一部を露出させるようにパターニングされる。たとえば、図 5E の側面図に見られるように、側壁 512 がパターニングステップにより露出している。チップの製造が完了すると、チップは位置合わせされて、超伝導キュビットを含む別個のチップ（たとえば、チップ 202 またはチップ 302 など）に結合（たとえば、フリップチップボンディングを介して）することができる。

#### 【0065】

いくつかの実装形態において、誘電体材料の複数の層および配線要素の複数の層がチップ上に製造されてもよい。図 6 は、積層型量子コンピューティングデバイスで用いられるべき例示的なチップの側面図を示す概略図である。チップ 602 は、1 つまたは複数のキュビット読み出し要素、キュビット制御要素、および/または配線要素を含むことができる。チップ 602 は、部分的に、比較的高い損失を有する（たとえば、約 1 GHz と約 10 GHz との間の周波数で少なくとも約  $1e^{-4}$  または少なくとも約  $1e^{-5}$  の損失正接を有する）材料から形成することができる。チップ 602 は位置合わせされ、超伝導キュビットを含むチップに結合されて、デバイス 100 などの積層型量子計算デバイスを提供することができる。

#### 【0066】

図 6 に示すように、チップ 602 は誘電体基板（たとえば、単結晶シリコンまたはサファイア）から形成することができ、その上に超伝導体材料（たとえば、Al 薄膜）の第 1 の層 604 が形成される。超伝導体材料の第 1 の層 604 は、たとえば、1 つまたは複数のキュビット読み出し要素、キュビット制御要素および/または配線要素を画定するようにパターニングすることができる。第 1 の超伝導体層 604 の部分の上にスタック状に配置された超伝導体材料（たとえば、Al）の追加の層（たとえば、層 606、608、610）をチップ 602 上に形成することができる。層 606、608、610 も、配線要素および/またはキュビット制御要素を画定するようにパターニングすることができる。スタック内の超伝導体材料の層 604、606、608、および 610 は、誘電体材料の対応する層（たとえば、612、614、616、618）によって互いに分離することができる。誘電体材料は、たとえば、TEOS、二酸化ケイ素、または窒化ケイ素などの損失性誘電体を含むことができる。

#### 【0067】

2 つの超伝導体層が誘電体層によって分離されている（たとえば、誘電体層 616 によって分離された超伝導体層 610 および 608）マイクロストリップ形状をチップ 602 上に形成することができる。いくつかの実装形態において、3 つの超伝導体層が 2 つの誘電体層によって分離され（たとえば、超伝導体層 606、誘電体層 614、超伝導体層 608、誘電体層 616、および超伝導体層 610 を含む層スタック）、1 つの超伝導体信号層（たとえば、超伝導体層 608）が、接地層として機能する 2 つの超伝導体層（たとえば、超伝導体層 606 および 610）の間に挟まれる、ストリップライン形状をチップ 602 上に形成することができる。いくつかの実装形態において、多層マイクロストリップ形状、多層ストリップライン形状、またはそれらの組み合わせをチップ 602 上に形成することができる。

#### 【0068】

超伝導体材料の様々な層の 1 つまたは複数は、1 つまたは複数のピアインターコネクタ（たとえば、ピアインターコネクタ 620、622、624、626）を介して互いに電氣的に結合することができる。ピアインターコネクタ 620、622、624、626 は、図 4A ~ 図 4F において詳述したピアインターコネクタ 426 と同様の方法で製造することができる。いくつかの実装形態において、ピアに超伝導体材料（たとえば、アルミニウム）を充填してピアインターコネクタを形成する。ピアは、たとえば、物理気相成長プロセスを用いて充填されてもよい。ピアインターコネクタの位置は、配線要素およびキュビット制御要素の望ましいルーティングレイアウトによる。

#### 【0069】

10

20

30

40

50

超伝導体材料の最上層 628 を、キュビット制御要素 630 (たとえば、キュビット Z 制御要素またはキュビット X Y 制御要素) および遮蔽層 632 を画定するようにパターンニングすることができる。遮蔽層 632 は、配線要素からの電磁場と別個のチップ上に提供されたキュビットからの電磁場とを互いに干渉しないように隔離することができる。いくつかの実装形態において、超伝導体材料の最上層 628 は、誘電体層 612、614、616、および 618 の側壁を覆うように堆積させることもできる。

【0070】

本開示のため、超伝導体(あるいは超伝導)材料は、超伝導臨界温度でまたはそれ未満で超伝導特性を示す材料として理解することができる。超伝導材料の例は、アルミニウム(1.2ケルビンの超伝導臨界温度)およびニオブ(9.3ケルビンの超伝導臨界温度)を含む。

10

【0071】

量子コンピューティング回路要素の形成に用いることができる超伝導材料の一例はアルミニウムである。アルミニウムを誘電体と組み合わせて用いて、量子コンピューティング回路要素の一般的なコンポーネントであるジョセフソン接合を確立することができる。アルミニウムで形成することができる量子コンピューティング回路要素の例は、とりわけ、超伝導共平面導波路、量子 LC 発振器、キュビット(たとえば、磁束キュビットまたは電荷キュビット)、または超伝導量子干渉デバイス(SQUID)(たとえば、RF-SQUID または DC-SQUID)などの回路要素を含む。

【0072】

20

アルミニウムは、超伝導量子コンピューティング回路要素と相互運用可能な超伝導古典回路要素や、相補型金属酸化膜半導体(CMOS)回路に基づく他の古典回路要素の形成にも用いることができる。アルミニウムで形成することができる古典回路要素の例は、高速単一磁束量子(RSFQ)デバイス、レシプロカル量子論理(RQL)デバイスおよび、バイアス抵抗を用いないRSFQのエネルギー効率の高いバージョンであるERSFQ デバイスを含む。他の古典回路要素も同様にアルミニウムで形成することができる。古典回路要素は、基本的な算術、論理、および/または入力/出力動作をデータに対して実行することによってコンピュータプログラムの命令を集团的に実行するように構成することができ、データはアナログまたはデジタル形式で表される。

【0073】

30

本明細書に記載のプロセスは、超伝導体、誘電体および/または金属などの1つまたは複数の材料の堆積を伴うことがある。選択された材料に応じて、これらの材料は、他の堆積プロセスの中でも、化学気相成長、物理気相成長(たとえば、蒸着またはスパッタリング)、またはエピタキシャル技術などの堆積プロセスを用いて堆積させることができる。本明細書で説明したプロセスは、製造中にデバイスから1つまたは複数の材料を除去することを伴うこともある。除去されるべき材料に応じて、除去プロセスは、たとえば、ウェットエッチング技術、ドライエッチング技術、またはリフトオフプロセスを含むことができる。

【0074】

40

本開示のために、超伝導キュビットはエキスマンキュビットとして表されている。しかしながら、本開示の主題は、他の適切な超伝導キュビットで実施されてもよい。たとえば、超伝導キュビットは、他のタイプのキュビットの中でも、ジーマンキュビット、トランズマンキュビット、またはフラックスモン(fluxmon)キュビットを含む。

【0075】

本明細書で説明した量子の主題および量子動作の実装形態は、適切な量子回路、またはより一般的には、本明細書で開示された構造およびそれらの構造上の等価物を含む量子計算システム、またはこれらの1つまたは複数の組み合わせにおいて実施することができる。「量子計算システム」という用語は、量子コンピュータ、量子情報処理システム、量子暗号システム、または量子シミュレータを含むことができるが、これらに限定されない。

【0076】

50

量子情報および量子データという用語は、量子システムで運搬され、保持または格納される情報またはデータを指し、ここで最小の重要なシステムはキュビット、たとえば、量子情報の単位を定義するシステムである。「キュビット」という用語は、対応する文脈において2レベルシステムと適切に近似され得るすべての量子システムを包含することが理解される。そのような量子システムは、たとえば2つ以上のレベルを備えたマルチレベルシステムを含むことができる。例として、そのようなシステムは、原子、電子、光子、イオンまたは超伝導キュビットを含むことができる。多くの実装形態において、計算基底状態は基底および最初の励起状態で識別されるが、計算状態がより高いレベルの励起状態で識別される他の設定が可能であることが理解される。量子メモリは、高い忠実度および効率で長時間にわたって量子データを格納できるデバイス、たとえば、光が伝送に用いられ、重ね合わせまたは量子コヒーレンスなどの量子データの量子特徴を格納および保存するために物質が用いられる光物質インターフェイスであることが理解される。

10

**【0077】**

量子コンピューティング回路要素を用いて量子処理動作を実行することができる。すなわち、量子コンピューティング回路要素は、重ね合わせおよびエンタングルメントなどの量子力学的現象を利用して、非決定論的な方法でデータに対する動作を実行するように構成することができる。キュビットなどの特定の量子コンピューティング回路要素は、複数の状態の情報を同時に表現および操作するように構成することができる。本明細書で開示されたプロセスで形成することができる超伝導量子コンピューティング回路要素の例は、とりわけ、共平面導波路、量子LC発振器、キュビット（たとえば、磁束キュビットまたは電荷キュビット）、超伝導量子干渉デバイス（SQUID）（たとえば、RF-SQUIDまたはDC-SQUID）、インダクタ、コンデンサ、伝送線路、接地面などの回路要素を含む。

20

**【0078】**

対照的に、古典回路要素は一般に決定論的な方法でデータを処理する。古典回路要素は、基本的な算術、論理、および/または入力/出力動作をデータに対して実行することによってコンピュータプログラムの命令を集成的に実行するように構成することができ、データはアナログまたはデジタル形式で表される。いくつかの実装形態において、古典回路要素を用いて、電気接続または電磁接続を介して量子コンピューティング回路要素にデータを送信および/またはそこからデータを受信することができる。本明細書で開示されたプロセスで形成することができる古典回路要素の例は、高速単一磁束量子（RSFQ）デバイス、レシプロカル量子論理（RQL）デバイスおよび、バイアス抵抗を用いないRSFQのエネルギー効率の高いバージョンであるERSFQデバイスを含む。他の古典回路要素も同様に本明細書で開示されたプロセスで形成することができる。

30

**【0079】**

本明細書に記載の回路要素などの超伝導量子コンピューティング回路要素および/または超伝導古典回路要素を用いる量子計算システムの動作中、超伝導回路要素は、クリオスタット内で超伝導体材料が超伝導体特性を示すことが可能な温度まで冷却される。

**【0080】**

本明細書は多くの特定の实装形態の詳細を含むが、これらは特許請求の範囲に対する限定としてではなく、特定の实装形態に特有の特徴の説明として解釈されるべきである。別個の实装形態の文脈で本明細書に記載したいくつかの特徴は、単一の实装形態において組み合わせることもできる。逆に、単一の实装形態の文脈で説明した様々な特徴も、複数の実装形態において別個に、または任意の適切なサブコンビネーションで実現することができる。また、いくつかの組み合わせで動作するものとして特徴を上で説明し、最初はそのようにクレームさえしたが、クレームされた組み合わせからの1つまたは複数の特徴はいくつかの場合において組み合わせから削除することができ、クレームされた組み合わせはサブコンビネーションまたはサブコンビネーションの変形を対象とすることができる。

40

**【0081】**

50

同様に、特定の順序で動作が図面において描かれているが、これは、所望の結果を達成するために、そのような動作を示した特定の順序でまたは連続した順序で実行すること、またはすべての説明した動作を実行することを要求するものとして理解されるべきではない。たとえば、請求項に記載されているアクションは、異なる順序で実行することができ、それでも望ましい結果を達成することができる。いくつかの状況において、マルチタスクおよび並列処理が有利なことがある。また、上述の実装形態における様々なコンポーネントの分離は、すべての実装形態においてそのような分離を必要とするものとして理解されるべきではない。

【 0 0 8 2 】

多くの実装形態を説明してきた。それにもかかわらず、本発明の趣旨および範囲から逸脱することなく様々な修正を行うことができることが理解されるであろう。以下の特許請求の範囲内には他の実装形態がある。

【符号の説明】

【 0 0 8 3 】

1 0 0	積層型量子コンピューティングデバイス	
1 0 2	第1のチップ	
1 0 4	第2のチップ	
1 0 6	バンプボンド	
1 0 8	ギャップ	
1 2 2	超伝導キュビット	20
1 2 4	キュビット読み出しデバイス	
1 2 6	パッド要素	
1 2 8	共振器要素	
1 3 0	細長アーム、制御ワイヤ	
1 3 2	パッド	
1 3 4	読み出し領域	
2 0 2	第1のチップ	
2 0 4	第2のチップ	
2 1 4	超伝導体接地面、接地面の部分	
2 1 6	誘電体層	30
2 1 8	遮蔽層	
2 2 0 a	側壁	
2 2 0 b	側壁	
2 2 2 a	キュビット、超伝導キュビットの部分	
2 2 2 b	キュビット、超伝導キュビットの部分	
2 2 2 c	キュビット、超伝導キュビットの部分	
2 2 4 a	キュビット読み出しデバイス	
2 2 4 b	キュビット読み出しデバイス	
2 2 6 a	パッド要素	
2 2 6 b	パッド要素	40
2 2 8 a	共振器要素	
2 2 8 b	共振器要素	
2 3 0	配線要素	
3 0 2	第1のチップ	
3 0 4	第2のチップ	
3 1 4	超伝導体接地面、接地面の部分	
3 1 6	誘電体層	
3 1 8	遮蔽層	
3 2 0	バンプボンド	
3 2 2 a	キュビット、超伝導キュビットの部分	50

3 2 4	キュビット読み出しデバイス	
3 2 6	ビア	
3 2 8	接触パッド	
3 3 0	配線要素	
4 0 4	チップ	
4 1 5	側壁	
4 1 6	誘電体層	
4 1 8	第2の超伝導体層	
4 2 4	第1の超伝導体層	
4 2 6	ビア	10
4 2 8	接触パッド	
4 3 0	配線要素	
4 5 0	キュビット読み出し要素	
4 6 0	キュビット制御要素	
5 0 2	チップ	
5 0 4	第1の超伝導体層	
5 0 6	制御ワイヤ	
5 0 8	誘電体層	
5 1 0	第2の超伝導体層	
5 1 2	側壁	20
5 1 8	キュビット読み出し要素	
6 0 2	チップ	
6 0 4	第1の超伝導体層	
6 0 6	超伝導体材料の層	
6 0 8	超伝導体材料の層	
6 1 0	超伝導体材料の層	
6 1 2	誘電体材料の層	
6 1 4	誘電体材料の層	
6 1 6	誘電体材料の層	
6 1 8	誘電体材料の層	30
6 2 0	ビアインターコネク	
6 2 2	ビアインターコネク	
6 2 4	ビアインターコネク	
6 2 6	ビアインターコネク	
6 2 8	最上層	
6 3 0	キュビット制御要素	
6 3 2	遮蔽層	

【 図 1 A 】

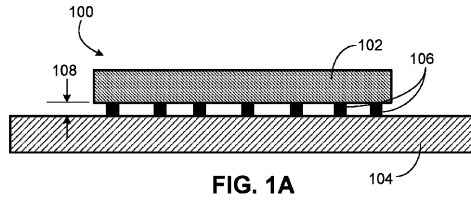


FIG. 1A

【 図 1 B 】

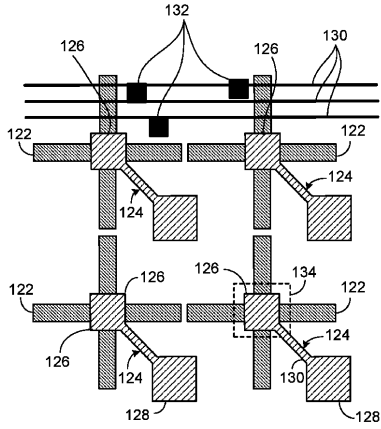


FIG. 1B

【 図 2 A 】

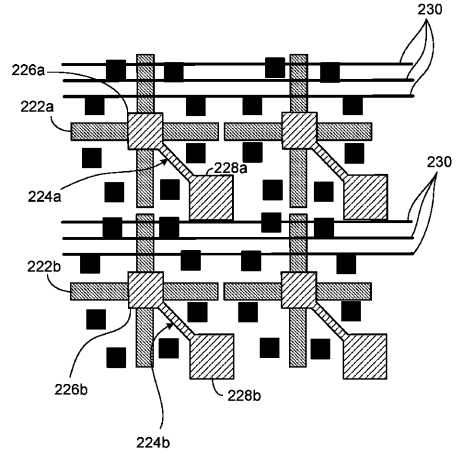


FIG. 2A

【 図 2 B 】

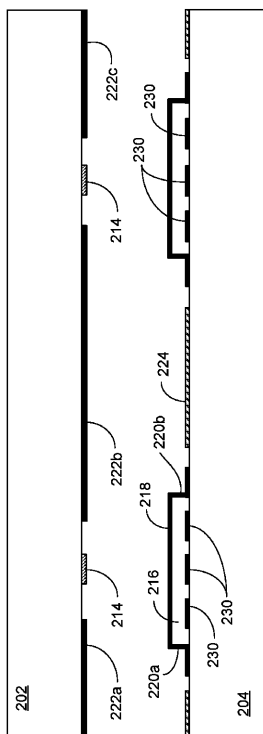


FIG. 2B

【 図 3 A 】

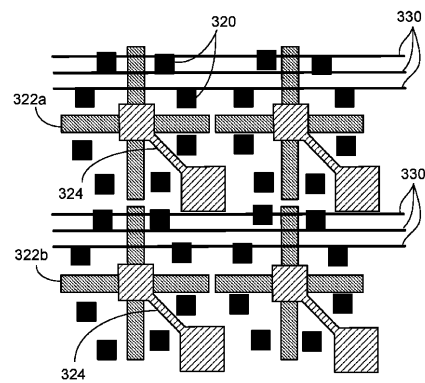


FIG. 3A

【 図 3 B 】

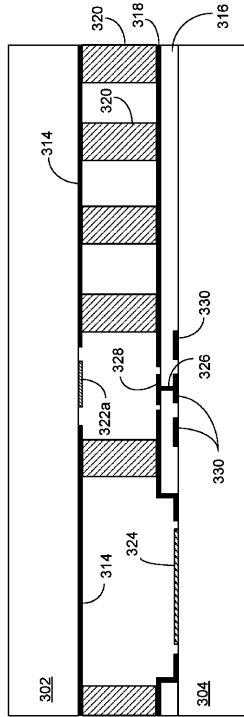


FIG. 3B

【 図 4 A 】

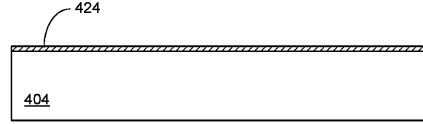


FIG. 4A

【 図 4 B 】

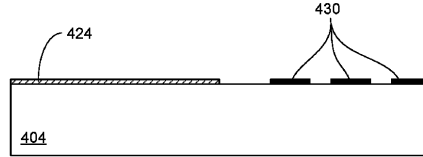


FIG. 4B

【 図 4 C 】

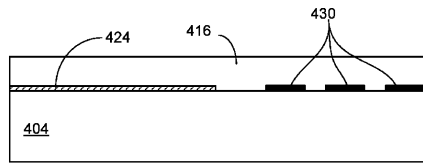


FIG. 4C

【 図 4 D 】

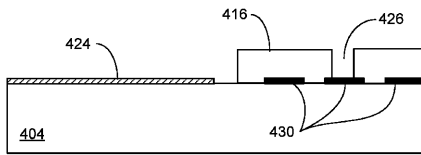


FIG. 4D

【 図 4 E 】

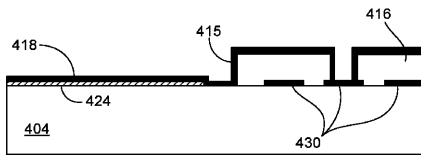


FIG. 4E

【 図 4 F 】

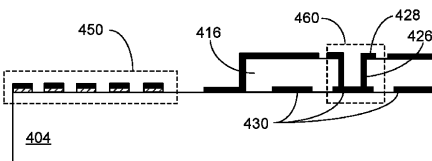


FIG. 4F

【 図 5 A 】

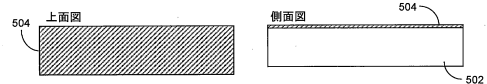


FIG. 5A

【 図 5 B 】

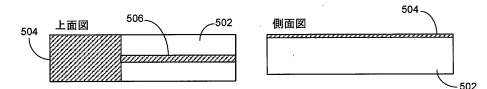


FIG. 5B

【 図 5 C 】

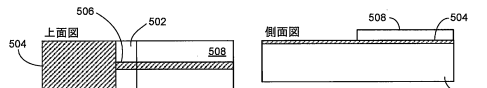


FIG. 5C

【 図 5 D 】

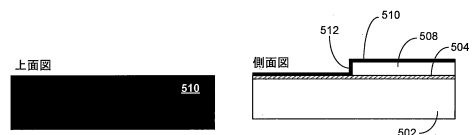


FIG. 5D

【 図 5 E 】

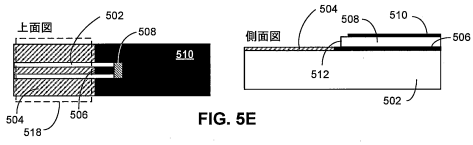


FIG. 5E

【 図 6 】

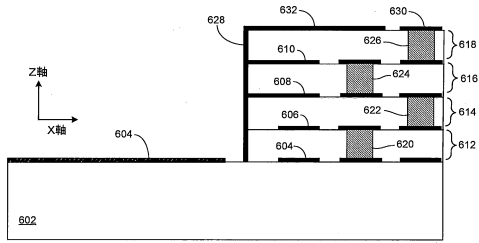


FIG. 6

---

フロントページの続き

- (72)発明者 ジュリアン・ショー・ケリー  
アメリカ合衆国・カリフォルニア・94043・マウンテン・ビュー・アンフィシアター・パーク  
ウェイ・1600
- (72)発明者 ジョシュア・ユーソフ・ムトゥス  
アメリカ合衆国・カリフォルニア・94043・マウンテン・ビュー・アンフィシアター・パーク  
ウェイ・1600

審査官 棚田 一也

- (56)参考文献 特表2016-511534(JP,A)  
特開平09-205232(JP,A)  
国際公開第2018/212041(WO,A1)  
米国特許出願公開第2010/0133514(US,A1)

- (58)調査した分野(Int.Cl., DB名)
- |      |       |
|------|-------|
| H01L | 39/24 |
| H01L | 27/18 |