

申請日期： 87.12.11	案號： 87120673
類別： H01L 29/112	

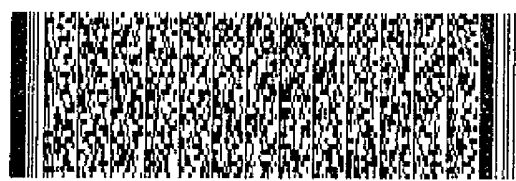
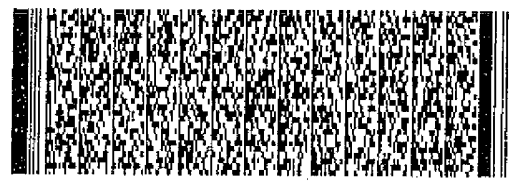
(以上各欄由本局填註)

公告本	發明專利說明書	434901
-----	---------	--------

發明名稱	中文	金屬閘次微米金屬氧化膜半導體電晶體及其製造方法
	英文	METAL GATE SUB-MICRON MOS TRANSISTOR AND METHOD OF MAKING SAME

發明人	姓名 (中文)	1. 許勝藤 2. 大衛 R. 伊文斯 3. 塔伊恩格岩
	姓名 (英文)	1. SHENG TENG HSU 2. DAVID R. EVANS 3. TUE NGUYEN
	國籍	1. 美國 2. 美國 3. 美國
	住、居所	1. 美國 華盛頓州98607 坎馬斯市 樽魚西北街2216號 2. 美國 奧勒岡州97007 比佛頓市 西南179街7574號 3. 美國 華盛頓州98683 凡庫弗市 東南171街1603號

申請人	姓名 (名稱) (中文)	1. 日商夏普股份有限公司 2. 美商夏普微電子科技公司
	姓名 (名稱) (英文)	1. SHARP KABUSHIKI KAISHA 2. SHARP MICROELECTRONICS TECHNOLOGY, INC.
	國籍	1. 日本 2. 美國
	住、居所 (事務所)	1. 日本國大阪府大阪市阿倍野區長池町22番22號 2. 美國華盛頓州坎馬斯市新太平洋濱大道5700號
	代表人 姓名 (中文)	1. 町田勝彥 2. 瓊 A. 休意爾
代表人 姓名 (英文)	1. KATSUHIKO MACHIDA 2. JON A. SHROYER	



434901

本案已向

國(地區)申請專利

申請日期 案號

主張優先權

美國 US

1998/01/09 09/004,991

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明範疇

本發明有關於MOS半導體元件及其製造方法，而且尤其有關於其中具極薄金屬閘的MOS電晶體。

發明背景

已知有許多種金屬氧化膜半導體(MOS)元件。期望在這些元件中提供積體電路的閘極區中極短的縫道長度。一種達成此目的是方法是使用 n^+ 或 p^+ 摻雜雙極聚矽閘。在形成此一閘的過程中將硼或硼化合物植入底材中，其通常會使硼化合物深深滲入底材中。此外這些化合物的摻雜密度必須很高，否則閘極會空乏而導致低的縫道電流密度。

Chatterjee等人已用次100 nm閘結構來討論此問題，該結構藉由在取代閘過程製造的次100 nm閘長金屬閘NMOS電晶體中的閘極區上取代聚矽而形成，國際電子元件會議，1997/12/7-10, pp 821-824。

習知的金屬閘製程太複雜而且在自對齊元件的製造時要考慮極難的結構問題。例如銅是理想的金屬閘，但是變成薄膜時其黏結特性極差。鋁也可當成金屬閘使用，但是有電性遷移的問題。

發明總結

在摻雜之單晶矽底材上形成本發明之MOS電晶體以形成第一型傳導層，並包含：在該底材上形成一活化區；位於該活化區之源極區及汲極區，摻雜以形成第二型傳導縫道；一金屬閘區，位於該源極區與該汲極區間之該活化區，其中該金屬閘具有小於一微米之寬度；位於該閘極區

五、發明說明 (2)

上之閘極氧化區；位於結構上之氧化區；及一源電極，一閘電極，與一汲電極，各接至其個自區域，且各由一接觸金屬與一電極金屬之合併形成。另一實施例包含一對MOS電晶體，其具有其閘電極間之連接，及一電晶體之汲電極與另一電晶體之汲電極。

本發明之目的是提供一成本低廉且有效之方法以製造金屬閘次微米縫道長MOS積體電路。

本發明之另一目的是提供一金屬閘次微米縫道長MOS積體電路，其具有高電流密度。

配合附圖及以下說明即可更明了本發明的這些及其他目的及優點。

附圖簡單說明

圖1-6說明製造本發明的金屬閘次微米MOS電晶體的連續步驟。

圖7是根據本發明建構的MOS IC的前視剖面圖。

圖8-10說明製造本發明的金屬閘次微米MOS電晶體另一實施例的連續步驟。

圖11是根據本發明建構的另一MOS IC實施例的前視剖面圖。

較佳實施例詳細說明

在本文的例子中，用銅作為金屬以提供金屬閘次微米金屬氧化膜半導體(MOS)電晶體。次微米表示用於本發明結構中的金屬閘其寬度小於1000 nm。將了解的是也可使用任何適當的積體電路連接材料，其包含所有的耐火金屬，

五、發明說明 (3)

而最常用的是鋁。在本文的例子中將使用 n^- 縫道MOS電晶體，雖然也可使用該結構及製程來提供 p^- 縫道MOS電晶體及互補金屬氧化膜半導體(CMOS)積體電路，假設開始時預形成矽底材的適當摻雜。

現在參考圖1，提供一矽底材10，其將用以形成MOS電晶體11。已處理過底材10以形成一活化區域的氧化絕緣邊界，如 p^- 矽底材上的邊界12，14所示以界定元件區域15。熟於此技術者將了解的是藉由摻雜第一型雜質即可處理矽底材以製備 p^- 井，以形成第一型傳導區，並(門檻電壓調整適於製造本發明的元件。例如藉由單一硼離子植入(能量位準在30 keV與80 keV之間，劑量在 $1.0 \times 10^{12} \text{ cm}^{-2}$ 與 $1.0 \times 10^{14} \text{ cm}^{-2}$ 之間)並接著作熱擴散而形成 p^- 底材10。

現在參考圖2，已形成的開氧化區16其厚度不大於10 nm。可以用習用或快速的熱氧化，化學蒸氣沈積(CVD)或其他適當方法來形成此氧化區。

在製程的此點，可沈積一層聚矽材料18。層18有10 nm至50 nm間的厚度。沈積此層以保護後續處理期間的開氧化膜，然而也可省去此層，或是用任一種障蔽或金屬層來取代，它可提供有效迅速的方法來保護未來的閘極區。

沈積一矽氮化物(Si_3N_4)層，厚度在300 nm與700 nm之間。施以適當的光阻材料並在氮化物與聚矽層作電漿蝕刻，而產生如圖2所示的聚矽區18及氮化栓柱20。蝕刻製程是一或雙步驟製程。在雙步驟製程中，第一蝕刻製程在開氧化層16停止。後續的蝕刻步驟去除 p^- 矽底材10的所有



五、發明說明 (4)

多餘材料。氮化栓柱20，聚矽區18及剩餘的氧化層16在此稱為堆疊層。植入適當的離子以形成LDD區(未示)。這種植入也界定(預設) p^- 矽底材中的閘極區25。閘極區25也在此稱為第一型傳導縫道。以任何習知的製程來形成源極區22及汲極區24以形成輕度摻雜的傳導區。這些製程包含LDD，MDD，及HALO結構。

以CVD在聚矽區18與氮化栓柱20上形成一矽氧化層，厚度在50 nm與200 nm之間。電漿蝕刻此氧化層以便在氮化栓柱20的側壁周圍形成如圖3所示的氧化間隔物26，28。若期望，在此製程步驟中也可使用氮化矽以外的任何其他絕緣體。

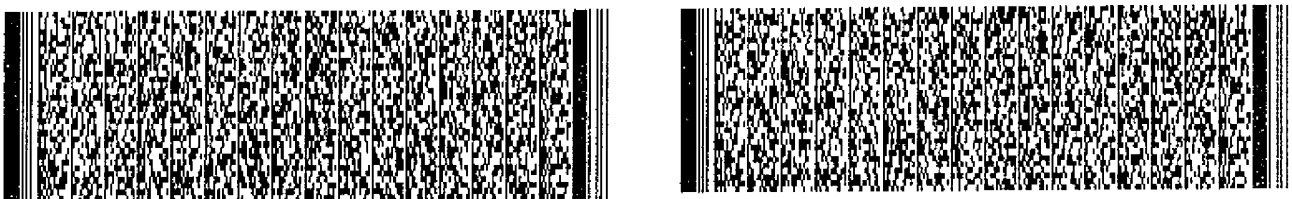
植入適當的離子以形成源極區22及汲極區24並加以利用或活化。源極區與汲極區在此稱為第二型傳導縫道，其係 n^+ 縫道，而植入底材中的雜質稱為第二型摻雜雜質。例如用磷(P)或砷(As)離子植入以不高於70 keV (P)或140 keV (As)的能量，及劑量在 $1.0 \times 10^{13} \text{ cm}^{-2}$ 與 $5.0 \times 10^{14} \text{ cm}^{-2}$ 之間來達成LCD。用砷離子植入在10 keV與80 keV之間的能量位準，劑量在 $1.0 \times 10^{15} \text{ cm}^{-2}$ 與 $5.0 \times 10^{15} \text{ cm}^{-2}$ 之間來形成 n^+ 層。在此，若期望也可使用沙力塞。沙力塞(自對齊矽化物)形成過程包含最好以CVD來形成一層Ti或Co，厚度在30 nm至60 nm，在氮大氣壓下對於Ti是500°C至650°C，或者對於Co是450°C至600°C。以蝕刻，及氮氣中的快速熱回火(RTA)，對於Ti是700°C至850°C，或者對於Co是650°C至800°C，以去除過量的Ti或Co。

五、發明說明 (5)

一旦形成源極區及汲極區，現在參考圖4，以CVD再將二氧化矽加入，厚度為矽氮化栓柱20的1.5至2倍，而產生氧化區30，32。最好以化學機械研磨法將結構打平以曝露矽氮化栓柱20的上表面。以CMP作平面化可提供具約5%一致的表面。

現在參考圖5，以光阻層來覆蓋結構以保護氧化區30，32的特定區域。分別形成源電極及汲電極的渠溝34，36。分別形成源電極及汲電極的額外部分的通道孔38，40以使各電極加入其個自傳導區。本方法的此部分需要一種習用的雙罩幕製程，雙防蝕製程，或半調罩幕製程。形成渠溝與通道孔之後，在此總稱為電極接收結構，將光阻層從結構中去除。製程的次一步驟包含磷酸(H_3PO_4)溶液中的溼蝕刻，或任何適當的選定蝕刻劑以便將矽氮化栓柱20去除，但是不會蝕刻氧化區30，32，矽區10，或聚矽層18。產生的結構如圖5，其允許開電極的通道孔42。

現在參考圖6，以CVD來沈積一層接觸金屬如Ti，Ta，Ta_nN，TaSiN，W，WN，WSiN，或Re，及障壁金屬如TiN，並且以44表示。接著以MOCVD，或其他CVD，PVD及濺擊製程來沈積金屬材料如銅，並形成區域46。如上所述，也可使用其他金屬如鋁或耐火金屬。接著平面蝕刻金屬區46及接觸金屬44，其中蝕刻在氧化區30，32停止，(參考圖7)而導致源電極48，及開電極50，及汲電極52的形成。此平面蝕刻最好是以CMP製程來執行。在500°C至900°C間的溫度將結構回火半小時，以形成諸電極與其傳導縫道間的良好



五、發明說明 (6)

接觸。在回火製程中，聚矽層18會轉成矽化物54。以金屬閘電極50取代習用的聚矽閘。由閘電極50寬來決定元件的閘長。將了解的是結構是立體的，而且其深度(朝著附圖的頁面往下)大約等於其寬度，形成閘極的大致長方形活化區域，及形成電晶體其他部分的其他三維結構。

明顯的，用於源電極，閘電極，及汲電極的材料都相同，而且在第一層連接中同時製造。閘極與源極區及汲極區作自對齊。雖然已使用n-縫道MOS電晶體作為例子，將了解的是同一製程在適當替代矽摻雜劑之下，也適用於p-縫道電晶體及CMOS IC製造。縫道區域的摻雜密度較低以產生高的驅動電流與低的底材偏壓效應。

在一對MOS電晶體56，58之間以一區域連接來形成另一製程及結構。現在參考圖8，如上所述執行相同的初始步驟，並適當摻雜底材60以形成一適當極性的底材，在此例中是p-底材。形成二氧化矽絕緣區域62，64及66，並且以CVD來熱成長或沈積一層二氧化矽68。在此實施例中藉由將第三型摻雜雜質植入底材也可形成n-井(其稱為第三型傳導縫道)，即磷的能量位準在50 keV至180 keV，劑量在 $1.0 \times 10^{12} \text{ cm}^{-2}$ 至 $5.0 \times 10^{13} \text{ cm}^{-2}$ 。

現在參考圖9，如上所述的製造n-縫道72及p-縫道74的閘電極，即藉由形成氮化矽取代栓柱。使用習用製程來植入LDD，p⁺及n⁺。可以用BF₂在小於100 keV的能量下，及劑量在 $1.0 \times 10^{13} \text{ cm}^{-2}$ 與 $5.0 \times 10^{14} \text{ cm}^{-2}$ 之間來形成p-縫道LDD。可以用BF₂離子植入，在10 keV至60 keV之間的能量下及劑

五、發明說明 (7)

量在 $1.0 \times 10^{15} \text{ cm}^{-2}$ 至 $5.0 \times 10^{15} \text{ cm}^{-2}$ ，來形成 p^- 縫道源極區及汲極區。如上所述形成額外的沙力塞區域，並形成源極區76，82及汲極區80，78。

接著以CVD沈積一氧化層84。氧化層84應該大約是障壁金屬72/74厚度的三倍(附圖未依比例)。以化學機械研磨法將氧化層84的相同打平以形成如圖9所示的配置。

現在參考圖10，以光阻層覆蓋氧化層，並且作達馬式渠溝及接觸蝕刻成為如圖10所示的配置，並產生源電極的渠溝與通道孔86其將接到源極區76，一渠溝/通道孔88其將提供源電極的區域將連接源極區82與渠溝/通道孔90，其將提供一電極以連接汲極區80與汲極區78。此外，將氧化層蝕刻掉以提供孔92及94，其將提供空間給閘電極，其也包含一連接區域，其在圖中未示，將分別接到閘極77，79。

在此，(如圖6所述)以CVD沈積第二障壁金屬。第二障壁材料是TiN，或WN，或其他適當的障壁金屬，其提供 n^+ 與 p^- 矽的良好電阻接觸，其選擇成可防止金屬擴散入矽中。接著以CVD或濺擊在結構上沈積金屬，該金屬是Cu，Mo，W，或Al，或其他適當金屬。接著將結構的氧化區域作化學機械研磨，而產生如圖11所示的配置。如圖11所示，形成第一nMOST源電極96作為第二pMOST源電極98。連接電極100接到nMOST汲極區80及pMOST汲極區78。以區域連接106將閘電極102，104結合。

因此已說明一金屬閘次微米MOS電晶體其及變化。在此



五、發明說明 (8)

形成的積體電路其特徵為高驅動電流及低底材偏壓效應。結構簡單且是一種成本低廉方法以形成金屬閘次微米MOS電晶體。

雖然已揭露一較佳實施例及其變化，但是可了解的是在不違反後附申請專利範圍定義的本發明範圍下仍可作進一步變化及修正。



四、中文發明摘要 (發明之名稱：金屬閘次微米金屬氧化膜半導體電晶體及其製造方法)

在摻雜之單晶矽底材上形成一金屬氧化膜半導體(MOS)電晶體以形成第一型傳導層，並包含：在該底材上形成一活化區；位於該活化區之源極區及汲極區，摻雜以形成第二型傳導縫道；一金屬閘區，位於該源極區與該汲極區間之該活化區，其中該金屬閘具有小於一微米之寬度；位於該閘極區上之閘極氧化區；位於結構上之氧化區；及一源電極，一閘電極，與一汲電極，各接至其個自區域，且各由一接觸金屬與一電極金屬之合併形成。另一實施例包含一對MOS電晶體，其具有其閘電極間之連接，及一電晶體之汲電極與另一電晶體之汲電極。

英文發明摘要 (發明之名稱：METAL GATE SUB-MICRON MOS TRANSISTOR AND METHOD OF MAKING SAME)

A MOS transistor is formed on a single crystal silicon substrate doped to form a conductive layer of a first type, and includes: an active region formed on said substrate; a source region and a drain region located in said active region, doped to form conductive channels of a second type; a metal gate region located in said active region between said source region and said drain region, wherein said metal gate has a width of less than one micron; a gate oxide region located over said

四、中文發明摘要 (發明之名稱：金屬閘次微米金屬氧化膜半導體電晶體及其製造方法)

英文發明摘要 (發明之名稱：METAL GATE SUB-MICRON MOS TRANSISTOR AND METHOD OF MAKING SAME)

gate region; an oxide region located over the structure; and a source electrode, a gate electrode and a drain electrode, each connected to their respective regions, and each formed of a combination of a contact metal and an electrode metal. An alternate embodiment includes a pair of MOS transistors which have an interconnect between their gate electrodes and the drain electrode of one transistor and the drain electrode of the other transistor.

六、申請專利範圍

1. 一種MOS電晶體，包含：

一單晶矽底材，摻雜以形成一第一型傳導層；
在該底材上形成一活化區；
位於該活化區之源極區及汲極區，摻雜以形成第二型傳導縫道；
一金屬閘區，位於該源極區與該汲極區間之該活化區，其中該金屬閘具有小於一微米之寬度；
位於該閘極區上之閘極氧化區；
位於結構上之氧化區；以及
一源電極，一閘電極，與一汲電極，各接至其個自區域，且各由一接觸金屬與一電極金屬之合併形成。

2. 如申請專利範圍第1項之MOS電晶體，其中該第一型之傳導層係一 p^- 層。

3. 如申請專利範圍第2項之MOS電晶體，其中藉由單一硼離子植入在能量約30 keV至80 keV之間，及劑量約 $1.0 \times 10^{12} \text{ cm}^{-2}$ 至 $1.0 \times 10^{14} \text{ cm}^{-2}$ 之間，並作熱擴散以形成該 p^- 層。

4. 如申請專利範圍第2項之MOS電晶體，其中藉由多重硼離子植入及熱擴散而形成該 p^- 層。

5. 如申請專利範圍第1項之MOS電晶體，其中該第二型之傳導層係一 n^+ 層。

6. 如申請專利範圍第4項之MOS電晶體，其中藉由砷離子植入在能量不高於約80 keV，劑量在 $1.0 \times 10^{15} \text{ cm}^{-2}$ 與 $5.0 \times 10^{15} \text{ cm}^{-2}$ 之間以形成該 n^+ 層。

六、申請專利範圍

7. 如申請專利範圍第1項之MOS電晶體，其中從TiN，Ta，Ta₂N₃，TaSiN₃，W，WN，WSiN₃，及Re組成之群中選出該接觸金屬。

8. 如申請專利範圍第1項之MOS電晶體，其中從Cu，Al及耐火金屬組成之金屬群中選出該電極金屬。

9. 如申請專利範圍第1項之MOS電晶體，其中在該閘電極與該氧化層之間包含一矽化層。

10. 如申請專利範圍第1項之MOS電晶體，其中相鄰該第一MOS電晶體而形成一第二MOS電晶體，而其中連接兩個電晶體之閘電極，而且其中該第一MOS電晶體之汲電極連接至該第二MOS電晶體之汲電極。

11. 如申請專利範圍第10項之MOS電晶體，其中該第二MOS電晶體形成在 n^+ 井上。

12. 一種在單晶矽底材上形成一MOS電晶體之方法，包含：

在底材中形成一矽元件區域；

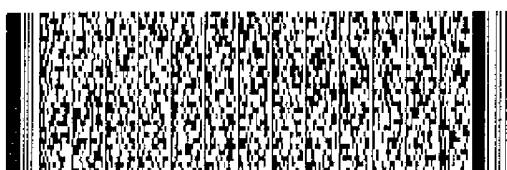
在矽元件區域中植入第一型摻雜雜質以形成一第一型傳導縫道作為一閘極區使用；

在元件區域之各側上形成一絕緣區域邊界；

沈積一氧化矽層在底材上之絕緣區域邊界內部；

在氧化矽層上沈積一聚矽層，厚度在約10 nm至50 nm範圍中；

在聚矽層上沈積一氮化矽層，厚度在約300 nm至700 nm；



六、申請專利範圍

蝕刻氮化矽層，聚矽層及氧化矽層，俾在閘極區上形成一堆疊層，包含：一氮化矽栓柱，聚矽區，及氧化矽；

在底材，絕緣區邊界及堆疊層上沈積一氧化矽層，厚度在約50 nm至200 nm之間；

蝕刻氧化矽以形成堆疊層側壁周圍之間隔物；

在該底材中植入第二型離子以形成一第二型傳導層作為一源極區及一汲極區使用；

沈積一氧化矽層，厚度在約1.5至2.0之間，而堆疊層在絕緣區邊界上，第二型傳導層及堆疊層；

將結構平面化至堆疊層之頂層；

用以一源電極及一汲電極之電極接收結構；

選擇性蝕刻結構以去除氮化矽栓柱，藉以形成一閘電極之電極接收結構；

沈積一接觸金屬層；

沈積一電極金屬層；

形成一金屬閘元件，具有小於一微米之大小；

平面蝕刻結構；以及

在500°C至900°C間之溫度範圍中將結構回火半小時。

13. 如申請專利範圍第12項之方法，其中該形成第一傳導層，包含硼離子植入在約30 keV至50 keV間之能量位準範圍，及約 $1.0 \times 10^{12} \text{ cm}^{-2}$ 至 $5.0 \times 10^{14} \text{ cm}^{-2}$ 間之劑量範圍，以形成一p⁻井。

六、申請專利範圍

14. 如申請專利範圍第12項之方法，其中該形成第二傳導層，包含砷離子植入在約10 keV至80 keV間之能量位準範圍，及約 $1.0 \times 10^{15} \text{ cm}^{-2}$ 至 $5.0 \times 10^{15} \text{ cm}^{-2}$ 間之劑量範圍，以形成 $-n^+$ 層。

15. 如申請專利範圍第12項之方法，其中該沈積一接觸金屬層，包含沈積一金屬層，其從TiN, Ta, TaN, TaSiN, W, WN, WSiN, 及Re組成之群中選出。

16. 如申請專利範圍第12項之方法，其中該沈積一電極金屬層包含沈積一金屬層，其從Cu, Al及耐火金屬組成之金屬群中選出。

17. 如申請專利範圍第12項之方法，其中更包含在相鄰該第一活化區域之該底材中形成一第三型傳導層，並於其上形成一第二MOS電晶體。

18. 如申請專利範圍第17項之方法，其中包含連接兩個MOS之間電極，及以該第二MOS電晶體之汲電極連接該第一MOS電晶體之汲電極。

圖式

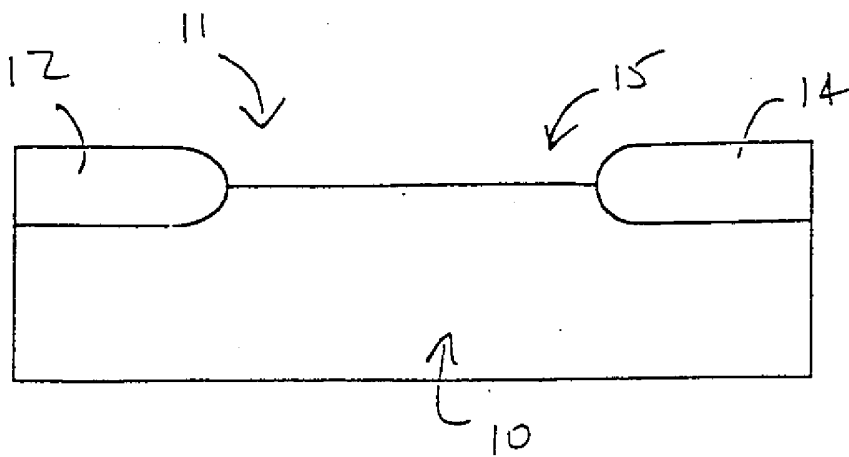


圖 1

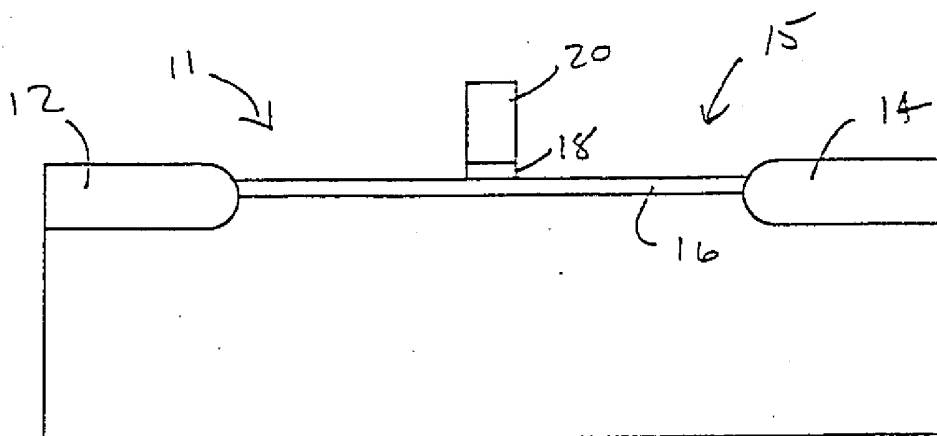


圖 2

圖式

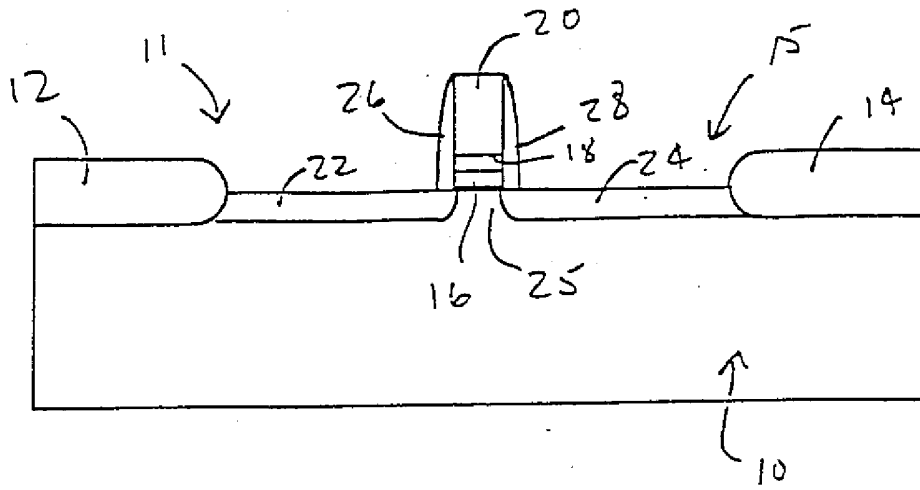


圖 3

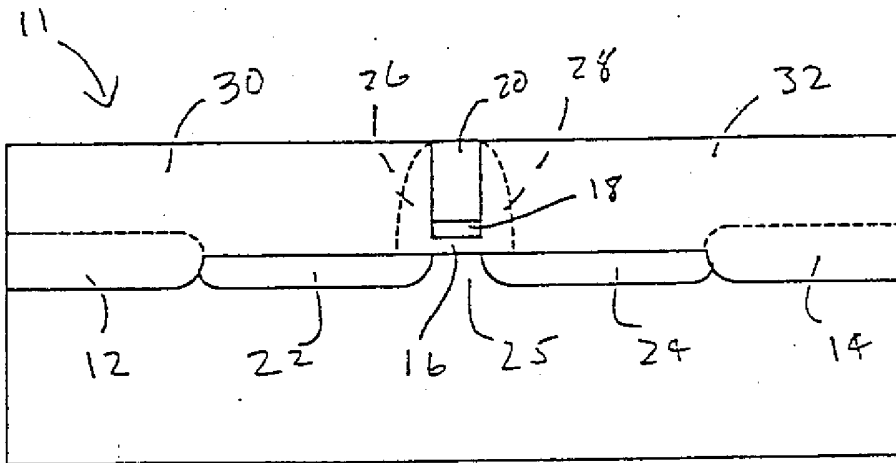


圖 4

圖式

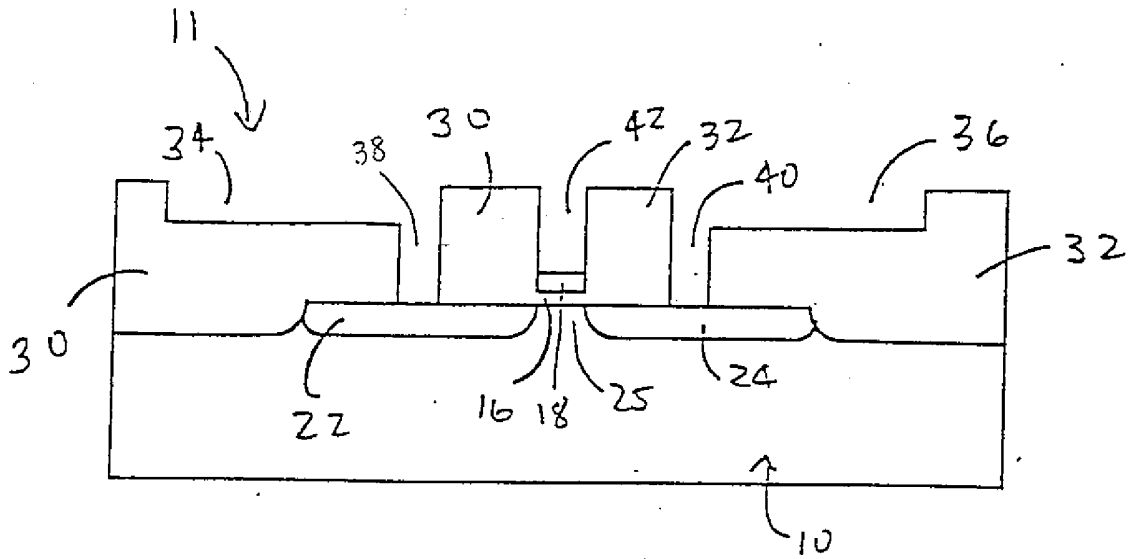


圖 5

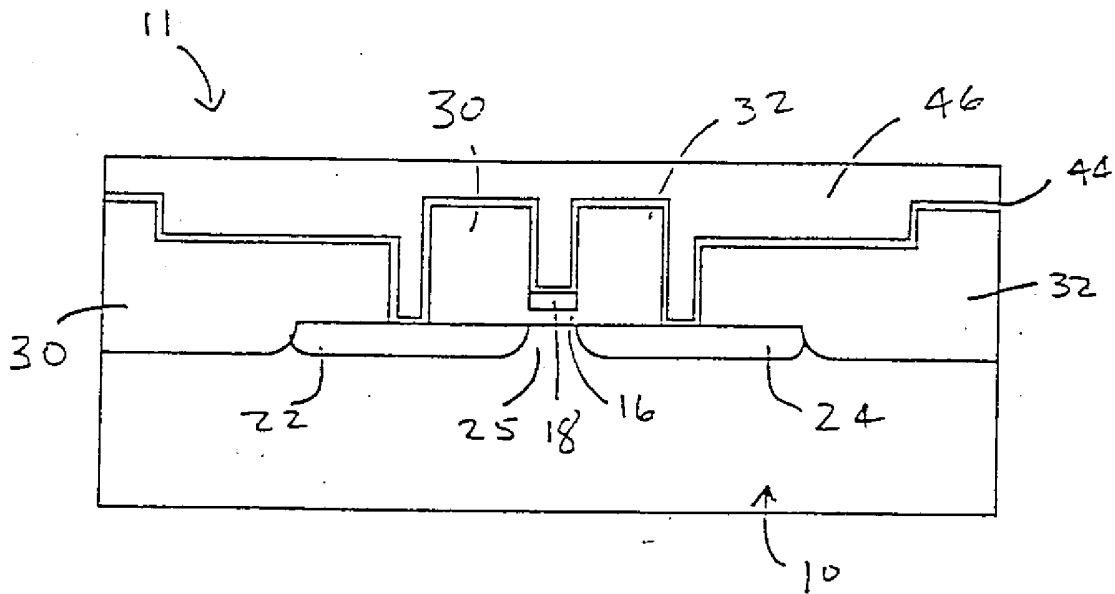


圖 6

圖式

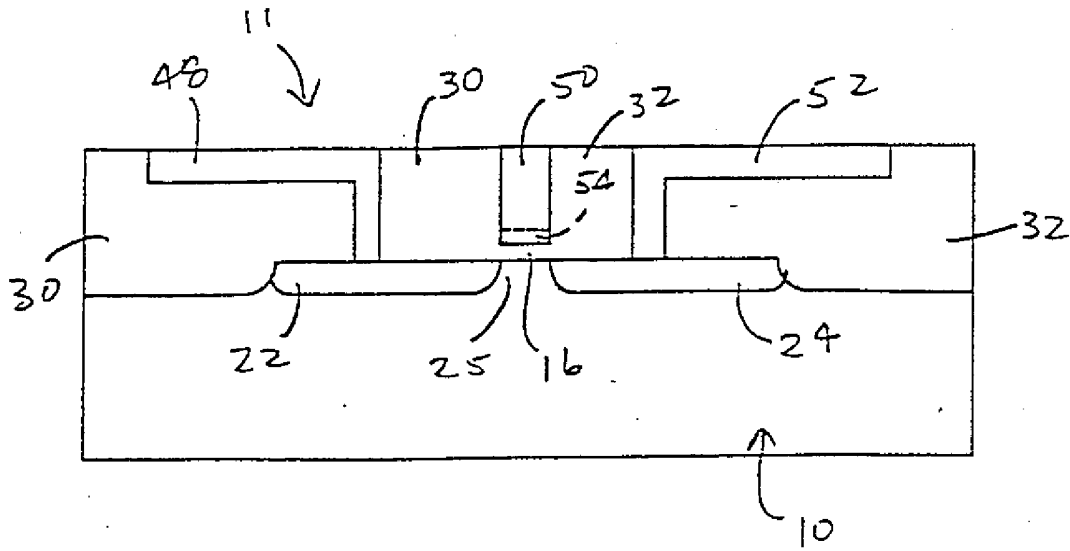


圖 7

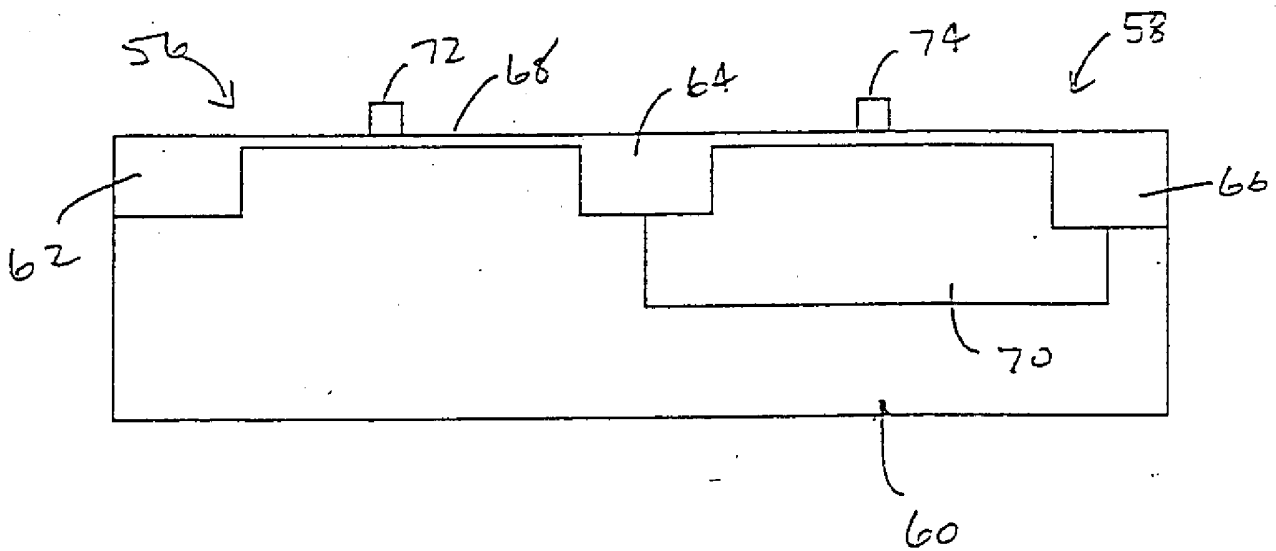


圖 8

圖式

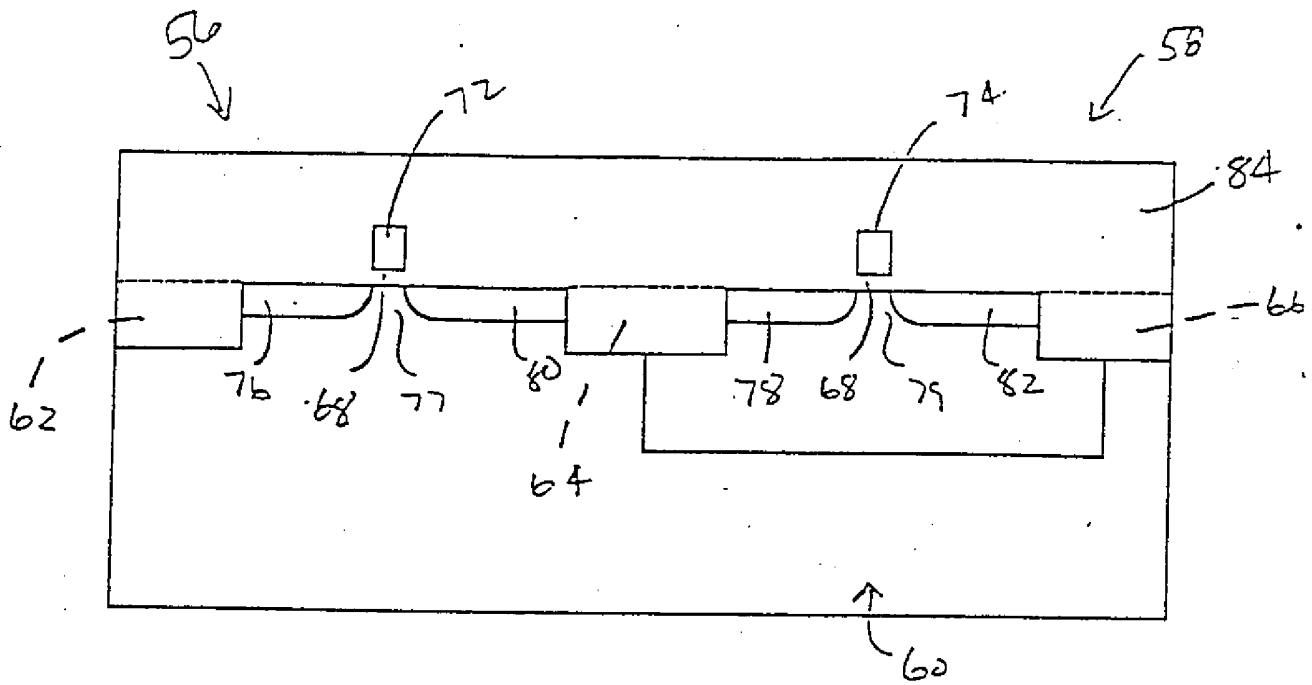


圖 9

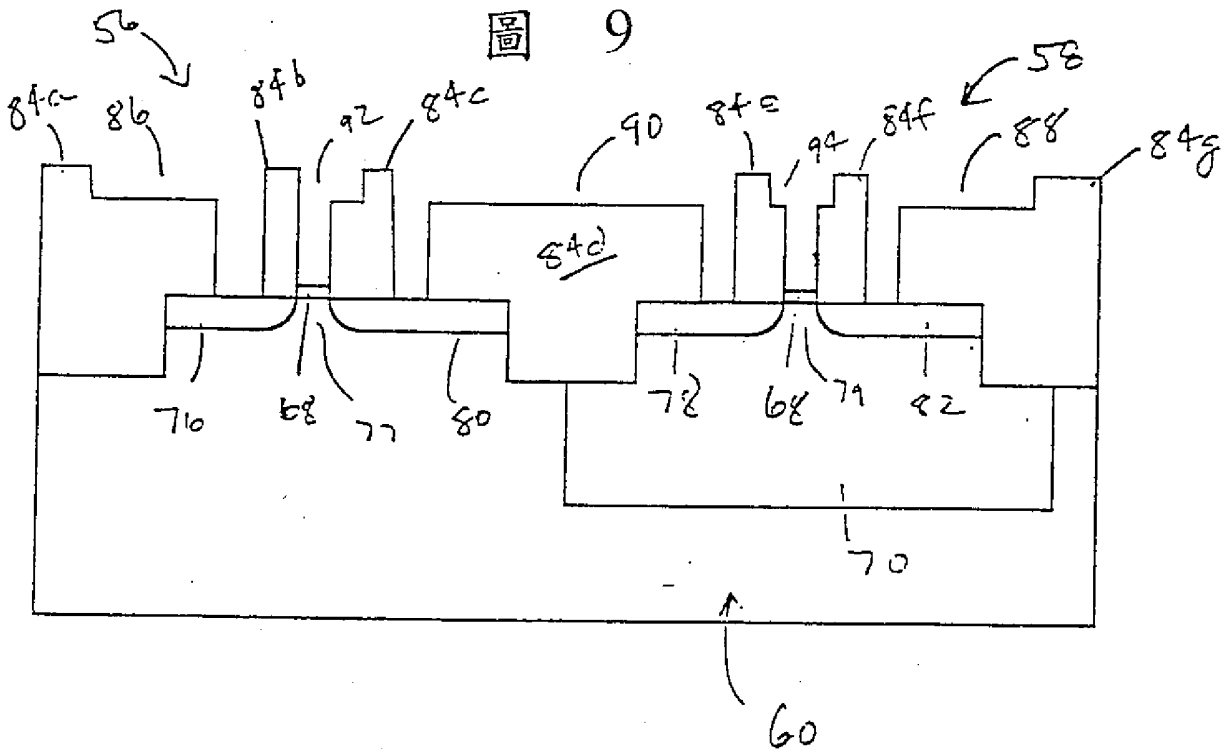


圖 10

