

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ <i>H01L 21/78 (2006.01)</i>	(45) 공고일자 2006년01월12일 (11) 등록번호 10-0541539 (24) 등록일자 2005년12월30일
---	--

(21) 출원번호	10-1999-7008112	(65) 공개번호	10-2000-0076026
(22) 출원일자	1999년08월23일	(43) 공개일자	2000년12월26일
번역문 제출일자	1999년08월23일		
(86) 국제출원번호	PCT/IB1998/001532	(87) 국제공개번호	WO 1999/34432
국제출원일자	1998년10월05일	국제공개일자	1999년07월08일

(81) 지정국

국내특허 : 일본, 대한민국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 08/996,672 1997년12월23일 미국(US)

(73) 특허권자 코닌클리ске 필립스 일렉트로닉스 엔.브이.
 네덜란드 엔엘-5621 베에이 아인드호펜 그로네보르세베그 1

(72) 발명자 레타빅테오도르제이
 네덜란드엔엘-5656에이에이아인드호펜홀스트란6

 징레네퍼
 네덜란드엔엘-5656에이에이아인드호펜홀스트란6

(74) 대리인 김창세
 장성구

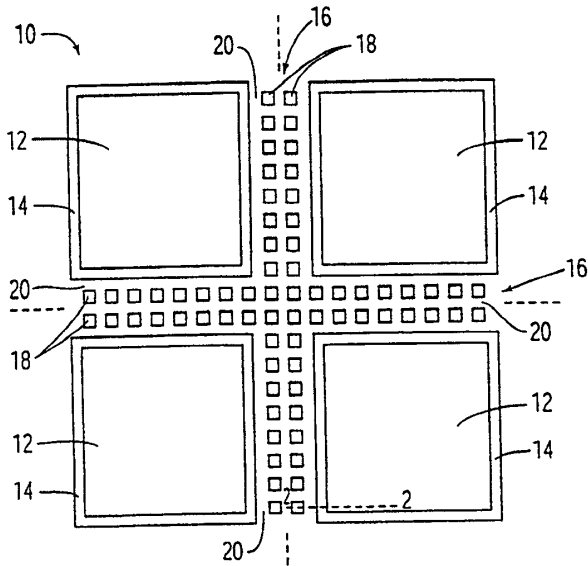
심사관 : 김주식

(54) 게터링 기법 제공 방법

요약

다수의 실리콘 온 인슐레이터(SOI) 집적 회로를 포함하는 실리콘 온 인슐레이터(silicon-on-insulator: SOI) 웨이퍼로부터 개별 SOI 집적 회로를 제조하는 데 게터링(gettering) 기법을 제공하는 방법은 개별 SOI 집적 회로를 얻기 위해 SOI 웨이퍼가 다이싱될 때 따르는 스크라이브 라인 내에 게터링 재료를 제공하는 단계를 포함한다. 그리고 나서, SOI 웨이퍼는 스크라이브 라인을 따라 다이싱되고, 개별 집적 회로의 다이싱된 에지 상의 게터링 재료의 일부는 남긴다. 이 방법은 SOI 기술에 있어서 집적 회로의 활성 영역 안으로 확산이 일어나기 전에 확산 불순물이 트랩될 수 있는, 단순하고도 효과적인 게터링 방법을 제공한다.

대표도



명세서

배경기술

본 발명은 실리콘 온 인슐레이터(semiconductor on insulator: SOI) 기술 분야에 관한 것으로, 보다 구체적으로 SOI 집적 회로를 제조하는 데 있어서 게터링 기법(gettering scheme)을 제공하는 방법에 관한 것이다.

불순물 또는 오염물이 집적 회로의 활성 영역에 도달하는 것을 방지하는 특별한 기법으로 사용되는 게터링은 통상적인 벌크 실리콘 기술을 사용하여 제조되는 통상적인 반도체 디바이스에서 잘 알려진 기법이다. 벌크 실리콘 게터링에 사용하기에 적합한 대표적인 두 가지의 기법은 기판 웨이퍼의 뒷면에 직접 접촉하는 폴리실리콘을 사용하는 것과, 인 도핑된 콘택 층을 사용하여 확산된 불순물 또는 오염물의 상측면 게터링을 달성하는 것이다.

그러나, SOI 기술에서 폴리실리콘을 기판 웨이퍼의 뒷면에 직접 접촉하여 사용하는 것은 효과적인 게터링 기법이 아니며, 그 이유는 매립 산화물 층이 확산 장벽으로 작용하게 되어, 오염물이 SOI 막 내에 트랩되기(trap) 때문이다. 인 도핑된 콘택 층에 의한 상측면 게터링의 사용은 SOI 기술에서 효과적인 기법이 아닌데, 그 이유는 제조 공정의 다음 단계에서 필연적으로 적용됨으로 인해 공정의 이전 단계 동안의 오염을 방지할 수 없다는 사실과, 회로의 상부 표면만 보호할 수 있고, 특히 최종적으로 용기에 수용할 때에 다이면과 뒷면으로부터 오염물이 접근하는 것을 차단하지 못하기 때문이다. 산화물 층이 몇몇 오염물에 대해서는 급속 확산 경로를 제공하기 때문에 SOI 회로의 다이면은 오염물에 특히 민감하다.

SOI 웨이퍼로부터 SOI 칩을 제조하는 데 있어서, 최종 공정 단계 중의 하나는 웨이퍼를 개별 다이로 다이싱(dicing)하며, 각각의 개별 다이가 패키징(packaging)되고 적절한 커넥션(connection)이 제공되어, 완성된 집적 회로를 형성하는 것이다. 다이싱 단계를 수행하기 위하여, 웨이퍼는 일반적으로 다이싱 레일(dicing rail), 소우 라인(saw lane) 또는 스크라이브 라인(scribe lane)이라 불리는 웨이퍼의 부분을 따라 소잉(sawing)함으로써 분할된다. 그러나, 종래 기술에서 SOI 웨이퍼 상에서 다이싱 단계가 수행되는 경우, SOI 층과 그의 하부 매립 산화물 층 사이의 계면은 패시베이션되지 않은 상태로 남게 되어, 절단, 패키징 및/또는 에이징(aging)에 의한 오염물 또는 불순물의 확산이 쉽게 일어나게 된다. 특별 관심 사항은 활성 SOI 층과 그의 하부 매립 산화물 사이의 계면인데, 그 이유는 몇몇 급속화 이온 불순물 종류가 그 계면을 따라 쉽게 확산되기 때문이다.

따라서, 다수의 개별 SOI 집적 회로를 포함하는 SOI 웨이퍼로부터 이러한 회로의 제조하는 데 있어서 간단하고 효과적인 게터링 기법을 제공하는 방법을 갖는 것이 바람직하다.

발명의 요약

본 발명의 목적은 SOI 웨이퍼로부터 개별 SOI 집적 회로를 제조하는 데 있어서 간단하고 효과적인 게터링 방법을 제공하는 것이다.

본 발명의 다른 목적은 통상적인 공정 기술에서 이용되는 기법을 사용함으로써 비용을 절감시킬 수 있는 게터링 방법을 제공하는 것이다.

본 발명에 따르면, 이들 목적은 개별 SOI 집적 회로를 얻기 위하여 게터링 재료가 스크라이브 레인을 따라 다이싱될 SOI 웨이퍼의 상기 스크라이브 레인 내에 제공되고, SOI 웨이퍼가 상기 스크라이브 레인을 따라 다이싱되어, 상기 개별 집적 회로의 다이싱된 에지 상의 상기 게터링 재료의 일부는 남기는 식의 방법에 의하여 달성된다.

본 발명의 바람직한 실시예에서, 스크라이브 레인을 따라 SOI 웨이퍼를 다이싱하기 이전에, 게터링 재료는 SOI 웨이퍼의 실리콘의 적어도 일부분을 산화시킴으로써 스크라이브 레인 내에 형성된다.

본 발명의 다른 바람직한 실시예에서, 스크라이브 레인 내의 SOI 웨이퍼의 실리콘의 일부분이 산화되어, 산화된 실리콘의 영역들에 의하여 분리되는 매몰된(sunken) 실리콘 메사(silicon mesa)의 패턴이 형성된다. (산화물에 대한) 이들 매몰된 메사는 도핑되지 않은 실리콘 또는 도핑된 실리콘으로 형성될 수도 있고, 상이한 종류의 불순물들을 보다 효율적으로 게터링하기 위하여 상이한 도전 유형의 영역들을 또한 포함할 수도 있다.

본 발명의 다른 바람직한 실시예에서, 적어도 몇몇 매몰된 메사는 전위의 소스에 접속되는 도전성 영역을 형성할 수 있다.

본 발명의 상기 특징 및 다른 특징은 이하에서 기술할 실시예로부터 명확해지고 이하에서 기술할 실시예를 참조하여 설명할 것이다.

도면의 간단한 설명

본 발명은 첨부한 도면을 따라 설명되는 이하의 상세한 설명을 참조하여 보다 완전하게 이해될 수 있다.

도 1은 다이싱 이전의 SOI 웨이퍼의 일부분의 개략 평면도,

도 2는 선 2-2에 따라 절단된 도 1에 도시한 디바이스의 일부분의 개략 단면도,

도 3은 도 2에 도시한 디바이스 구조의 일부분의 또 다른 실시예의 개략 단면도,

도 4는 도 1에 도시한 디바이스의 일부분의 또 다른 실시예의 부분적인 확대 평면도.

도면에서, 동일한 도전 유형을 갖는 반도체 영역은 전반적으로 동일한 방향으로 해칭하여 도시하였으며, 도면을 축척대로 도시하지 않았다는 것을 이해해야 한다.

실시예

본 발명의 방법을 설명하기 위하여, SOI 웨이퍼(10)의 일부분을 도 1에 간단한 형태로 도시한다. SOI 웨이퍼는 다수의 집적 회로(12)를 포함하며, 비록 도면에 4 개를 도시하지만 실제 웨이퍼는 보다 많은 수의 집적 회로를 포함할 수 있다는 것을 알아야만 한다. 각각의 집적 회로는 완성된 집적 회로 내의 접지 또는 몇몇 다른 고정된 전위에 연결될 수 있는 전위 기준 레인(14)에 의하여 둘러싸여 있을 수 있다. 전술한 바와 같이, 웨이퍼를 개별 집적 회로로 분리하기 위하여, 스크라이브 레인(16)을 따라 전형적으로 소잉함으로써 웨이퍼를 다이싱한다.

오염물 또는 불순물이 스크라이브 레인의 에지를 따라 IC 내로 그리고 SOI 층과 매립된 산화물 층 사이의 계면으로 확산되는 것을 방지하기 위하여, 본 발명의 방법은 스크라이브 레인(16) 내에 게터링 재료를 제공하며, 스크라이브 레인을 따라 SOI 웨이퍼를 다이싱하되, 개별 집적 회로의 다이싱된 에지 상의 게터링 재료는 남긴다.

도 1에 도시한 실시예에서, 산화된 실리콘 영역(20)에 의하여 분리된 다수의 메사(18)를 제공하여 게터링을 달성한다. 표준 LOCOS 공정 기법과 같은 기법으로 스크라이브 레인 내의 실리콘 재료를 선택적으로 산화시킴으로써, 산화된 실리콘 영역(20)에 의하여 분리된 매몰된 메사(18)의 격자 또는 패턴을 형성한다. 당업자에게 잘 알려진 바와 같이, 산화 공정은 실리콘의 산화로 인한 부피 팽창에 의한 변형(strain field) 및 특성적 열팽창과 관련된 변형이 또한 생성된다. 이들 변형은

SOI 재료와 산화된 실리콘 영역(20) 사이의 계면을 따라서 가장 강력하며, 본 발명은 이러한 변형이 이동성 불순물 및 오염물에 대하여 매우 효과적인 트랩(trap)으로 작용할 수 있다는 원리를 이용하여, 스크라이브 레인 절단 영역(scribe lane cut area)에서 확산될 수 있는 오염물 및 불순물에 대한 효과적인 게터링 사이트(gettering site)를 제공할 수 있다.

도 1은 예시의 목적으로 본 발명의 방법을 개략적으로 도시하고 있지만, 본 발명의 방법은 도시한 실시예 또는 구성에만 국한되지 않는다는 것을 이해해야만 한다. 따라서, 메사의 수, 형상, 위치, 스크라이브 레인의 폭, 메사 사이의 간격과 같은 것은 특정 설계 요구 조건에 따라 변경될 수 있다.

예시한 특정 예에서, 스크라이브 레인(16)은 폭이 약 60-160 마이크론이거나, 전형적인 소잉날(saw blade) 폭의 약 2배일 수 있다. 메사 사이에 20-40 마이크론 정도의 중심 대 중심 피치를 갖는 매몰된 메사(18)의 대표적인 크기는 약 10 마이크론 제곱이다. 전위 기준 레인(14)은 약 20 마이크론의 폭을 갖고 본 발명에 따라 스크라이브 레인(16) 내에 도시한 것과 동일한 방식으로 메사(18)가 제공될 수도 있지만, 개별 메사는 분명하고 간단하게 하기 위하여 전위 기준 레인 내에 도시하지 않았다.

도 1의 선 2-2에 따른 개략 단면도를 도 2에 도시한다. 이 도면은, 절연층(22) 상에 있으며, 산화된 실리콘 영역(20)에 의하여 다른 메사로부터 분리된 매몰된 메사(18)를 간단한 형태로 도시하고 있다. 또한 도 2에는 전위 기준 레인(14)의 일부가 도시되어 있는 데, 본 발명의 실시예에 따라서, 이는 분리된 다수의 매몰된 메사로서 형성되며 전기적 콘택트(14)가 제공된다. 도 2에서 알 수 있는 바와 같이, 산화된 실리콘 영역(20)은 산화 공정으로 인한 실리콘의 부피 팽창으로 인해 메사(18)보다 높다.

매몰된 메사(18)가 다양한 재료 또는 재료의 조합으로 형성될 수 있다는 것은 본 발명의 범주 내에 속한다. 따라서, 메사(18)는 도핑되지 않은 실리콘, 도핑된 실리콘 또는 폴리실리콘으로 형성될 수도 있다. 또한, 각각의 매몰된 메사(18)는 도 3에 영역(26, 28)으로 도시한 바와 같은 적어도 하나의 n 형 실리콘 영역 및 적어도 하나의 p 형 실리콘 영역으로 형성될 수도 있으며, 영역(26, 28)은 이들 교차점에서 p-n 접합(30)을 형성한다. 도 3의 구성이 도 2의 구성보다 복잡하지만, 이는 상이한 오염물이 n 형 이거나 또는 p 형 반도체 재료로 우선적으로 분리된다는 점에 있어서 향상된 게터링의 추가적 이점을 제공한다. 각 메사는 체커판(checkerboard) 형상으로 두 개의 n 형 실리콘 및 두 개의 p 형 실리콘 영역을 갖도록 형성되는 것이 가능하며, 이러한 경우, 매몰된 메사(18)의 도 2 및 3의 단면 방향에 수직한 방향의 단면(즉, 도 1에 수직한 방향으로)은 도 3에서 영역(26, 28)과 유사한 두 개의 영역을 또한 도시할 것이다.

필드에 의해 이동하는 종류의 오염물의 이동을 방지해서 집적 회로의 활성 영역에 영향을 미치지 않도록 하기 위하여, 본 발명에 따라 스크라이브 레인(16) 내의 실리콘 재료의 일부 또는 전체를 전위의 소스에 연결함으로써 게터링 성능을 더욱 향상시킬 수 있다. 이러한 전위의 소스를 실리콘 영역에 제공하기 위한 전기적 접속은 도 2에서의 전위 기준 레인(14)으로의 전기적 콘택트(24)에 의하여 상징적으로 도시된다.

전술한 바와 같이, 스크라이브 레인(16) 내의 실리콘 재료를 전위의 소스에 접속시키는 것을 보다 효율적이고 효과적으로 접속시키기 위하여, 도 4의 확대 평면도에 부분적으로 도시된 바와 같은 본 발명의 또 다른 실시예를 채용할 수도 있다. 도 4는 도 1에 도시한 SOI 웨이퍼(10)의 하부 중심부에 대응하는 SOI 웨이퍼의 일부분을 도시한다. 도 4에 도시한 실시예에서, 두 개의 집적 회로(12)의 부분은 도 1에서와 같이 전위 기준 레인(14)에 의하여 둘러싸여져 있다. 또한 도 1에 도시한 바와 같이, 집적 회로(12)는 다수의 메사(18)를 갖는 스크라이브 레인(16)에 의하여 분리된다. 그러나, 이 실시예에서, 메사(18)는 연속하는 산화된 실리콘 영역(20)이 아닌 환형(annular) 영역에 의하여 분리된다. 산화된 실리콘 영역(20)은 실리콘의 실질적으로 연속되는 도전성 영역(32)에 의하여 둘러싸여져 있으며, 그에 따라 스크라이브 레인을 따라 실질적으로 연속적인 도전성 경로가 제공되며, 상기 스크라이브 레인에는 도 2의 전기적 콘택트(24)와 같은 전기적 커넥션이 제공되어, 전위의 소스가 도전성 영역(32)에 인가됨으로써 게터링 성능을 개선하고 있다.

도전성 영역(32)으로부터 도전성 전위 기준 레인(14)을 전기적으로 격리시키기 위하여, 산화된 실리콘의 환형 링(34)이 전위 기준 레인(14)과 도전성 영역(32) 사이에 형성될 수도 있다. 메사(18)가 일반적으로 정사각형 또는 직사각형 모양이지만, 위에서 보았을 때 매몰된 도전성 영역(32)은 일반적으로 길다란 메사이거나 수직 또는 수평 방향으로 연장된 트랙의 형태일 수도 있다.

이러한 방식으로, 본 발명은 이러한 다수의 회로를 포함하는 SOI 웨이퍼로부터 개별 SOI 집적 회로를 제조하는 데에 간단하고 효율적인 게터링 기법을 제공한다.

본 발명을 몇몇 바람직한 실시예를 참조하여 구체적으로 도시하고 기술하였지만, 당업자라면 본 발명의 사상 또는 범주 내에서 형식과 세부 사항에서 다양한 변경이 이루어질 수 있다는 것을 이해할 수 있다. 따라서, 예를 들면, 주입 또는 확산에 의하여 매몰된 메사 내의 도핑된 영역을 형성할 수도 있고, LOCOS 기법 또는 다른 적합한 산화 공정에 의하여 산화된 실리콘의 영역을 형성할 수도 있다.

(57) 청구의 범위

청구항 1.

다수의 실리콘 온 인슐레이터(silicon on insulator: SOI) 집적 회로를 포함하는 SOI 웨이퍼(10)로부터 개별 SOI 집적 회로(12)를 제조하는 데 게터링(gettering) 기법을 제공하는 방법에 있어서,

개별 SOI 집적 회로(12)를 얻기 위해 SOI 웨이퍼가 다이싱될 때 따르는 스크라이브 라인(16) 내에 게터링 재료를 제공하는 단계와,

상기 스크라이브 라인(16)을 따라 상기 SOI 웨이퍼를 다이싱하는 단계 - 상기 개별 집적 회로(12)의 다이싱된 에지 상에 상기 게터링 재료의 일부를 남김 - 를 포함하는

게터링 기법 제공 방법.

청구항 2.

제 1 항에 있어서,

상기 스크라이브 라인을 따라 상기 SOI 웨이퍼를 다이싱하기 이전에, 상기 스크라이브 라인(16) 내의 상기 SOI 웨이퍼의 상기 실리콘의 일부분을 산화시켜서 상기 게터링 재료를 형성하는 단계를 포함하는

게터링 기법 제공 방법.

청구항 3.

제 2 항에 있어서,

상기 SOI 웨이퍼의 상기 실리콘의 일부분이 산화되어, 매몰된(sunken) 메사(18)의 패턴을 형성하되, 상기 매몰된 메사는 산화된 실리콘 영역(20)에 의하여 분리되는

게터링 기법 제공 방법.

청구항 4.

제 3 항에 있어서,

상기 매몰된 메사는 도핑되지 않은 실리콘으로 형성된

게터링 기법 제공 방법.

청구항 5.

제 3 항에 있어서,

상기 매몰된 메사는 도핑된 실리콘으로 형성된

게터링 기법 제공 방법.

청구항 6.

제 3 항에 있어서,

상기 매몰된 메사는 폴리실리콘으로 형성된

게터링 기법 제공 방법.

청구항 7.

제 3 항에 있어서,

상기 매몰된 메사 중 선택된 적어도 하나는 전위의 소스(a source of potential)에 접속될 수 있는 도전성 영역(32)을 형성하는

게터링 기법 제공 방법.

청구항 8.

제 3 항에 있어서,

각각의 집적 회로는 그 주변에 전위 기준 레인(14)을 포함하고 상기 매몰된 메사(18)의 패턴으로부터 절연되며, 전기적 콘택트(24)가 상기 전위 기준 레인에 제공되는

게터링 기법 제공 방법.

청구항 9.

제 3 항에 있어서,

상기 매몰된 메사는 각각 적어도 하나의 n 형 실리콘 영역 및 적어도 하나의 p 형 실리콘 영역(26, 28)으로 형성되며, 상기 영역들은 상기 매몰된 메사(18) 내에서 적어도 하나의 p-n 접합(30)을 형성하는

게터링 기법 제공 방법.

청구항 10.

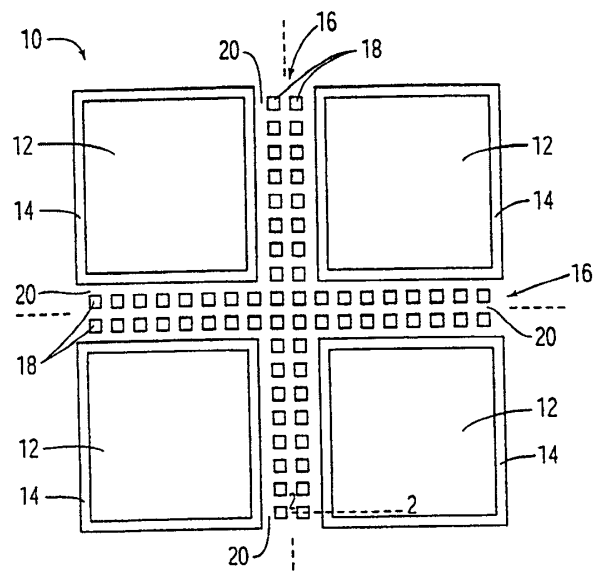
제 9 항에 있어서,

상기 각각의 매몰된 메사는 체커판(checkerboard) 형상으로, 두 개의 n 형 실리콘 영역 및 두 개의 p 형 실리콘 영역(26, 28)으로 형성되는

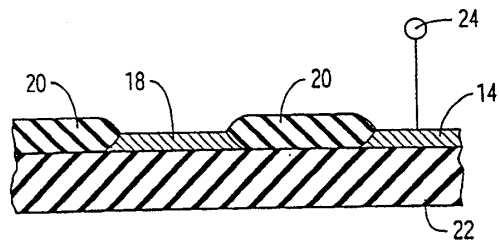
게터링 기법 제공 방법.

도면

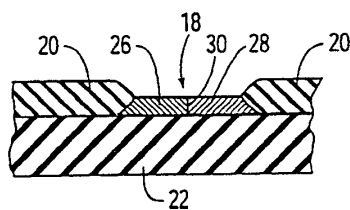
도면1



도면2



도면3



도면4

