(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 1 月 5 日 (05.01.2012)

PCT

(10) 国際公開番号
WO 2012/002151 A1

(51) 国際特許分類：
G02F 1/133 (2006.01) G02F 1/1368 (2006.01)

(21) 国際出願番号： PCT/JP2011/063678

(22) 国際出願日： 2011 年 6 月 15 日 (15.06.2011)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2010-147646 2010 年 6 月 29 日 (29.06.2010) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (Sharp Kabushiki Kaisha) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町22番22号 Osaka (JP).

( ) 発明者;および
( ) 発明者/出願人 (米国についてのみ): 鎌田 豪 (KAMADA Tsuyoshi) [JP/―]. 大橋 誠二 (OHHASHI Seiji) [JP/―].

(74) 代理人: 船山 武, 外 (FUNAYAMA Takeshi et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

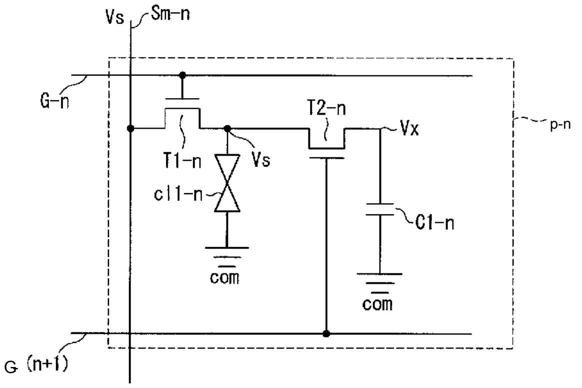
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類：
– 国際調査報告 (条約第21条(3))

(54) Title: LIQUID CRYSTAL DEVICE

(54) 発明の名称：液晶装置

[図3]



(57) Abstract: Disclosed is a liquid crystal device that corrects unevenness in bngntness caused by unevenness in liquid crystal cell thickness. A control unit (21) of the liquid crystal device writes an electric potential to a sub-pixel electrode that configures a liquid crystal capacitance (cll-n) of a pixel, Thereafter, the control unit (21) controls a switching element (T2-n) that is connected to a first self-compensation capacitance (Cl-n), and causes the charge of the liquid crystal capacitance (cll-n) to fluctuate by the first self-compensation capacitance (Cl-n). The present disclosure may be employed in both vertical alignment (VA) format and in-plane switcmng (IPS) format liquid-crystal devices in normally black mode, for example.

(57) 要約：

[続葉有]

WO 2012/002151 A1

本発明の液晶装置は、液晶のセル厚のムラによる輝度ムラを補正することを課題とする。 本発明の液晶装置の制御部（２１）は、画素の液晶容量（ｃｌ1－ｎ）を構成するサブ画素電極に電位を書き込む。その後、制御部（２１）は、第１の自己補償容量（Ｃ１—ｎ）に接続されたスイッチング素子（Ｔ２－ｎ）を制御し、液晶容量（ｃｌ1－ｎ）の電荷を第１の自己補償容量（Ｃ１—ｎ）により変動させる。 本発明は、例えば、ノーマリーブラックモードのＶＡ（Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）方式およびＩＰＳ（Ｉｎ—Ｐｌａｎｅ Ｓｗｉｔｃｈｉｎｇ）方式の液晶装置に用いられる。

明 細 書

発明の名称 :液晶装置

技術分野

[0001] 本発明は、液晶装置に関する。

本願は、２０１０年6月２９日に、日本に出願された特願２０１０_１４７６４６号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 液晶装置のパネルに用いられているガラス基板は、フロート法、フユージョン法などで製造されている。引き下げ法の一種であるフユージョン法によつて製造されたガラス基板は、フロート法のように製造時に物理的な接触による表面へのダメージがない。したがって、フユージョン法によって製造されたガラス基板は、表面精度が高い反面、フロート法に比べ製造コストが高い。フロート法によって製造されたガラス基板は、溶融した金属錫上に溶けたガラスを流して、溶融錫面を利用して連続的に形成された平面ガラスである。フロート法によって製造されたガラス基板は、フユージョン法より製造コストが安いが、図２５のような微細なうねりによる厚みムラが表面にできる。図２５は、液晶装置における液晶パネルの断面図である。図２５のように、液晶パネルは、対向するガラス基板９０１とガラス基板９０２との間の液晶層９１１に、セル厚を均一に保つため、スペーサ９２１を有する。例えば3μm~５μm程度の高さのスペーサ９２１が数十um〜数百um間隔で複数配置されている。ガラス基板９０１とガラス基板９０２の表面にムラがあるため、セル厚ｄに、例えば最小でｄ２＝０．０５μｍから最大でｄ１＝０．２μｍ程度のムラ (変動)が発生する。

[0003] また、ガラス基板９０１とガラス基板９０２の表面精度を研磨により高くしても、液晶装置組み立て後、液晶装置を立てたときの重量の影響により液晶が液晶装置の下部に集まる重力ムラ、液晶装置の組み立て時における局所的な加圧により、スペーサ９２１のいくつかが潰れてセル厚ムラなどが生じ

る。

[0004] 図２６は、ＶＡ（Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）方式の液晶装置をノーマリーブラックモードで駆動する場合の液晶９１１に電圧が印加されていない状態（暗い表示状態）を説明する図である。図２７は、ＶＡ方式の液晶装置をノーマリーブラックモードで駆動する場合の液晶９１１に電圧が印加されている状態（明るい表示状態）を説明する図である。図２６と図２７のように、ＶＡ方式の液晶装置をノーマリーブラックモードで駆動する場合、対向するガラス基板９０１とガラス基板９０２との間の液晶層９１１の透過率は、Ｉ/Ｉ。で表される。また、ＩとＩ。との関係は、次式い）のように表される。

[0005] [数1]

$$I = I_{\circ} \sin^2(2 め) \sin^2(\frac{\Delta n \cdot d \cdot \pi}{\lambda}) \quad \cdots (1)$$

[0006] 式（1）において、Ｉは入射光の放射発散度である。Ｉ。は液晶を通過した光の放射発散度である。Δηは複屈折（屈折率異方性とも言う）率である（液晶の場合、例えば０．０８）。ｄはセル厚である。スは透過する光の波長である。φは液晶９１１の倒れ角度である。

ＶＡ方式の液晶装置において、構造的にφは４５度に設定されているので、ｓｉｎ^2（２０）＝１である。このため、式（1）は、次式（2）のように表される。

[0007] [数2]

$$I = I_{\circ} \sin^2(\frac{\Delta n \cdot d \cdot \pi}{\lambda}) \quad \cdots は)$$

[0008] 式（2）のように、セル厚ｄが増加すると入射光の放射発散度Ｉが増加する。したがって、透過率1/1。が増加し、すなわち輝度が増加する。このため、ノーマリーブラックモードの場合、セル厚ｄにムラが生じると、図２８のように液晶への印加電圧が同じでも、セル厚の違いにより液晶の透過率が

異なる。図２８は、セル厚の違いによる印加電圧対透過率の特性を説明する図である。図２８のように、セル厚が厚くなると複屈折位相差Δｎ・ｄ（リタデーション）が増加し、光透過率が増加するため輝度が増加する関係にあるので表示に影響する。

[0009] このようなセル厚ムラによる表示状態を液晶装置毎に実測し、実測したデータを液晶装置のメモリに記憶させ、記憶されている実測データに基づき駆動時に補正することでムラを補正する手法が提案されている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0010] 特許文献1：特開平９－３１８９２９号公報

発明の概要

発明が解決しようとする課題

[0011] しかしながら、特許文献１の従来技術では、補正データを格納する大容量メモリや大規模補正回路が必要でコストアップになる。さらに特許文献１の従来技術では、ムラ補正用のデータを作成するために液晶装置１台毎に表示状態を実測する必要があり、データ作成工程が必要である。また、精度の良いムラ補正のためには空間と階調に対して３次元方向の精細な実測データを大量に取得して補正用データを生成する必要がある。このため、コストや生産性に対して大きな負担となる。

[0012] 本発明の一態様は、セル厚ムラによる輝度ムラを補正する液晶装置を提供することを課題とする。

課題を解決するための手段

[0013] 上記目的を達成するため、本発明の一態様に係る液晶装置は、非線形素子および画素電極を有する第１の画素が形成された第１の基板と、前記第１の基板と対向する第２の基板と、前記第１の基板と第２の基板の間に液晶層とを有し、前記液晶層の厚さに基づき、前記画素電極の電位を変動させる機構

を前記第1の基板に備える。

[0014] また、本発明の一態様に係る液晶装置において、前記機構部は、前記液晶層の厚さが減少したときは前記画素電極の電位を昇圧し、前記液晶層の厚さが増加したときは前記画素電極の電位を降圧するようにしてもよい。

[0015] また、本発明の一態様に係る液晶装置において、前記液晶装置は、ノーマリーブラックモードの液晶装置であって、表示信号を供給する表示信号線と、共通電極とをさらに備え、前記第1の画素は、液晶容量を有し、前記画素電極の電位が変動させる機構は、前記液晶容量に前記表示信号線から電位を印加して書き込んだ後の、前記液晶容量に接続されている前記画素電極と前記共通電極との第1の電位差を、前記表示信号線と前記共通電極との第2の電位差より小さくし、前記第1の電位差に対する前記第2の電位差の差分の変動の極性が前記液晶容量の液晶層の厚みの変動の極性と逆であるように変動させるようにしてもよい。

[0016] また、本発明の一態様に係る液晶装置において、前記第1の画素は、複数のサブ画素を備え、前記複数のサブ画素のうち少なくとも一つのサブ画素が、 第1のゲート、ソース及びドレイン電極を有する第1のスイッチング素子と、 第2のゲート、ソース及びドレイン電極を有する第2のスィッチング素子と、第1の走査線と第2の走査線と、第1の容量とを備え、前記液晶容量の一方は、前記第2のドレイン電極と前記第1のドレイン電極に接続され、前記液晶容量の他方は前記共通電極に接続され、前記第2のソース電極は前記表示信号線に接続され、前記第2のゲート電極は、前記第1の走査線に接続され、前記第1のソース電極は前記第1の容量の一端に接続され、前記第1の容量の他端は補助容量電極に接続され、前記第1のゲート電極は前記第2の走査線に接続され、前記画素電極の電位を変動させる前記機構は、前記第1の走査線を選択した後、前記第2の走査線を選択することで前記画素電極の電位を変動させるようにしてもよい。

[0017] また、本発明の一態様に係る液晶装置において、前記複数のサブ画素はそれぞれ、少なくとも一つの他のサブ画素と容量結合となっているようにして

もよい。

[0018] また、本発明の一態様に係る液晶装置において、第2及び第3の画素をさらに有し、第2の画素は、第2の容量を有し、第3の画素は、第3の容量を有し、第2、及び第3の画素はＲＧＢそれぞれの画素に対応し、前記第１、第2および第3の容量は、それぞれ容量が異なるようにしてもよい。

発明の効果

[0019] 本発明の一態様によれば、液晶装置が表示を行った場合に、セル厚ムラによる輝度ムラを補正することが可能になる。

図面の簡単な説明

[0020] [図1] 本発明の実施形態に係る液晶装置の概略構成を示す斜視図である。

[図2] 本発明の実施形態を適用した液晶装置の一例の構成図である。

[図3] 第１実施形態に係る液晶装置におけるｎ番目の画素選択時の等価回路のＬフレーム時の状態を説明する図である。

[図4] 同実施形態に係る液晶装置におけるｎ番目の画素選択時の等価回路のＬ＋１フレーム時の状態を説明する図である。

[図5] 同実施形態に係る液晶装置のタイミングチャートである。

[図6] 同実施形態に係る第１ガラス基板3上のレイアゥトの例を説明する図である。

[図7] 従来技術によるＶＡモードにおいてｄ＝３．２ｍｍを輝度変動の基準にした場合のセル厚の変動による輝度変動の一例を説明する図である。

[図8] 第１実施形態に係るＶＡモードにおいてｄ＝３．２ｍｍを輝度変動の基準にした場合のセル厚の変動による輝度変動の一例を説明する図である。

[図9] 第2実施形態に係る2つのサブ画素を備える液晶装置におけるｎ番目の画素選択時の等価回路の一例である。

[図10] 同実施形態に係る図9の等価回路を簡略化して表現した図である。

[図11] 同実施形態に係る2つのサブ画素を備える液晶装置のタイミングチャ－トである。

[図12] 同実施形態に係る第１ガラス基板3上のレイアゥトの例を説明する図

である。

[図13] 第3実施形態に係る2つのサブ画素を備える液晶装置におけるn番目の画素選択時の等価回路の一例である。

[図14] 同実施形態に係る図１３の等価回路を簡略化して表現した図である。

[図15] 同実施形態に係る2つのサブ画素を備える液晶装置のタイミングチャートである。

[図16] 同実施形態に係る第１ガラス基板3上のレイアウトの例を説明する図である。

[図17] 第4実施形態に係る3つのサブ画素を備える液晶装置におけるn番目の画素選択時の等価回路の一例である。

[図18] 同実施形態に係る図１７の等価回路を簡略化して表現した図である。

[図19] 同実施形態に係る3つのサブ画素を備える液晶装置のタイミングチャートである。

[図20] 第5実施形態に係る3つのサブ画素を備える液晶装置におけるn番目の画素選択時の等価回路の一例である。

[図21] 同実施形態に係る図２０の等価回路を簡略化して表現した図である。

[図22] 第6実施形態に係る4つのサブ画素を備える液晶装置におけるn番目の画素選択時の等価回路の一例である。

[図23] 同実施形態に係る図２１の等価回路を簡略化して表現した図である。

[図24] 同実施形態に係る4つのサブ画素を備える液晶装置のタイミングチャートである。

[図25] 従来技術に係る液晶装置における液晶パネルの断面図である。

[図26] 従来技術に係るＶＡ方式の液晶装置をノーマリーブラックモードで駆動する場合の液晶９１１に電圧が印加されていない状態(暗い表示状態）を説明する図である。

[図27] 従来技術に係るＶＡ方式の液晶装置をノーマリーブラックモードで駆動する場合の液晶９１１に電圧が印加されている状態(明るい表示状態）を説明する図である。

[図28] 従来技術に係るセル厚の違いによる印加電圧対透過率の特性を説明する図である。

発明を実施するための形態

[0021] 以下、図１〜図２４を用いて本発明の実施形態について詳細に説明する。なお、本発明は斯かる実施形態に限定されず、その技術思想の範囲内で種々の変更が可能である。

[0022] 図１は、本実施形態における液晶装置の概略構成を示す斜視図である。図１のように、液晶装置は、バックライト1と、第１偏光板２と、第１ガラス基板３と、ＴＦＴ（薄膜トランジスタ）アレイ４と、液晶５と、共通電極（対向電極）６と、カラーフィルタ７と、第２ガラス基板８と、第２偏光板９とを備えている。

バックライト1は、第１ガラス基板３の下から光を照射する。第１偏光板２は、第１ガラス基板３に入出力される光を偏光によりコントロールする。第１ガラス基板３の上には、スイッチング素子や画素電極等が形成されているＴＦＴアレイ４が配置されている。第１の基板は、第１ガラス基板３とＴＦＴアレイ４を備えている。ＴＦＴアレイ４の画素電極と共通電極６との間には、液晶５が封入されている。カラーフィルタ７は、共通電極６の上に配置され、ＲＧＢについてそれぞれのフィルターをかけて、制御された各画素に相当する液晶の光反射率または光透過率に基づく光をＲＧＢ各色として液晶装置上で表示する。第２ガラス基板８は、カラーフィルタ７の上に配置され、第２ガラス基板８の上には、第１偏光板２とクロスニコル（直交ニコル）に配置された第２偏光板９が配置されている。第２の基板は、共通電極６と第２ガラス基板８を備えている。

[0023] 図２は、本発明の実施形態を適用した液晶装置の一例の構成図である。図２のように、液晶装置は、制御部２１と画素部２２とを備えている。さらに、画素部２２は、表示信号線（データバスライン）１１—1〜１１_ｍをm!本、走査線（ゲートバスライン）１２_1〜１２_ｎをｎ本、画素をｎＸｍ個（ρ（1，1）〜Ｐ（1，m），ρ（2，1）〜ρ（2，m）・・-ρ（

ｎ，1）～ｐ（ｎ，m））を備えている。例えば、Ｆｕｌｌ—ＨＤの解像度の液晶装置の場合、データバスラインは、m＝１９２０Ｘ３（3はＲＧＢ分）＝５７６０本、ゲートバスラインは、ｎ＝１０８０本である。制御部２１は、表示信号線１１＿1～１１＿mおよび走査線１２＿1～１２＿ｎを介して、画素Ｐ（１，1）〜ｐ（１，m），ｐ（２，1）〜ｐ（２，m）・・・ｐ（ｎ，1）～ｐ（ｎ，m）に接続されている。

[0024] ［第１実施形態］

第１実施形態について、図３〜図８を用いて説明する。

図3は、本実施形態における液晶装置におけるｎ番目の画素選択時の等価回路のＬフレーム時の状態を説明する図である。図4は、本実施形態における液晶装置におけるｎ番目の画素選択時の等価回路のＬ＋１フレーム時の状態を説明する図である。なお、図３〜図８は、１つの画素ｐ＿ｎの構成および動作を表している。

[0025] 画素ｐ＿ｎの構成を、図3を用いて説明する。スイッチング素子Ｔ１＿ｎのゲート電極は、走査線Ｇ＿ηに接続されている。スイッチング素子Ｔ１—η（第２のスイッチング素子）のソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ１＿ｎのドレイン電極は、画素電極を介して容量成分を有する液晶容量ｃｌ１＿ｎの一方とスイッチング素子Ｔ２＿ｎのドレイン電極に接続されている。液晶容量ｃｌ１＿ｎの他方は、共通電極６を介して接地（「ｃｏｍ」と言うことがある。）されている。すなわち、液晶容量ｃｌ１＿ｎは、共通電極６と画素電極との間に挟持されている。

また、スイッチング素子Ｔ２＿ｎ（第１のスイッチング素子）のソース電極は、第１の自己補償容量Ｃ１-η（第１の容量）の一方の端子に接続されている。第１の自己補償容量Ｃ１＿ηの他方の端子は接地されている。さらに、スイッチング素子Ｔ２＿ηのゲート電極は、走査線Ｇ＿（η＋１）に接続されている。すなわち、第１実施形態においては、画素ρ＿ηの容量は、液晶容量ｃｌ１＿ηと第１の自己補償容量Ｃ１＿ηとにより形成されている。なお、スイッチング素子は、例えば、ＴＦＴ（ｔｈｉｎ ｆｉｌｍ ｔｒ

ａｎｓｉｓｔｏｒ ;薄膜 トランジスタ）である。また、本実施形態において、画素電極の電位を変動させる機構は、スイッチング素子Ｔ２＿ｎ（第１のスイッチング素子）と第１の自己補償容量Ｃ１＿η（第１の容量）により構成されている。なお、スイッチング素子Ｔ２＿ηのゲー ト電極に接続される走査線は、走査線Ｇ-（η＋１）でなくともよい。スィッチング素子Ｔ２＿ηのゲー ト電極に接続される走査線は、画素ρ＿ηより後段の走査線、例えばＧ＿（η＋２）やＧ＿（ｎ＋３）などでもよい。

[0026] 次に、Ｌフレーム時のｎ画素選択時の動作を、図３と図５を用いて説明する。図５は、本実施形態における液晶装置のタイミングチヤー トである。

制御部２１は、表示信号線Ｓｍ＿ｎの信号を—Ｖｓに制御することで、画素ｐ＿ｎのスィツチング素子Ｔ１＿ｎのソース電極に表示信号線Ｓｍ＿ｎから—Ｖｓを供給する (図５、時刻ｔＯａ）。

次に、制御部２１は、走査線Ｇ＿ｎの信号を時刻ｔ１ａ~ｔ２ａの期間（１画素分の書き換え期間）、Ｈレベル (高電位レベル。「Ｖｈｉｇｈ」と言うことがある。）に制御することで、スイッチング素子Ｔ１＿ｎをオン状態にし、液晶容量ｃＩ１＿ｎに表示信号線Ｓｍ＿ｎから電位—Ｖｓを供給する。このため、液晶容量ｃＩ１＿ｎには、図３と図５のように、電位＿Ｖｓが発生する。なお、走査線Ｇ＿ｎの出力がＨレベルになる期間は、例えば、ＦｕＩＩ-ＨＤ対応の液晶装置においては、1/（６０ｘ１０８０）（秒）に相当する。なお、ゼ口階調から最大階調を表示した場合の表示信号線Ｓｍ＿ｎの信号レンジは、＋Ｖｓ〜－Ｖｓであり、例えば、正極性側の電位＋５Ｖ~＋１Ｖ、負極性側の電位＿５Ｖ〜－１Ｖである。この信号レベルは、用いる液晶容量の特性に合わせるようにしてもよい。

[0027] 時刻ｔ１ａ~ｔ２ａの期間、制御部２１は、走査線Ｇ-（ｎ＋１）をＬレベル (低電位レベル。「ＶＩｏｗ」と言うことがある。）に制御することで、スイッチング素子Ｔ２＿ｎをオフ状態にする。このため、第１の自己補償容量Ｃ１＿ηには、スイッチング素子Ｔ２＿ηが直前のフレームでオン状態であった時の電位$Ｖ_X$が保持されている。

[0028] 次に、Lフレーム時のn+1画素選択時の動作を説明する。

制御部21は、走査線G_nをLレベルに制御することで、スイッチング素子T1_nをオフ状態にする（図5、時刻t2a）。次に、表示信号線Sm_nの電位+Vsを供給する（図5、時刻t3a）。次に、走査線G_(n+1)をHレベルに制御することで、スイッチング素子T2_nをオン状態にする（図5、時刻t4a）。画素p_nの液晶容量cl1_nに接続されているスィッチング素子T2_nがオン状態のため、液晶容量cl1_nに保持されている電荷が、スィツチング素子T2_nのソース電極に接続されている第1の自己補償容量C1-nに移動する。

そして、時刻t5a以降、制御部21は、スィッチング素子T1_n~T2_nをオフ状態に制御することで、画素p_nの液晶容量cl1_nには、時刻t5a時点の電位が次のL+1フレームまで保持される。

[0029] セル厚をd、液晶容量cl1_nの容量をC_{LC}、第1の自己補償容量C1_nの容量をC_{down}とすると、液晶容量cl1_nの電位V_{p_n}は、次式(3)のように近似できる。

[0030] [数3]

$$V_{p-n} \approx \frac{C_{LC}}{C_{down\,n} + C_{LC}} V_s = \frac{1}{1 + \frac{C_{down}}{C_{LC}}} V_s = \frac{1}{1 + C_{down} \frac{d}{\varepsilon S_{p-n}}} V_s \quad \cdots (3)$$

[0031] なお、式(3)において、εは誘電率、Sp_ηは画素電極の面積である。液晶にかかる電圧は液晶容量cl1_ηと第1の自己補償容量C1_ηとの比に依存する。液晶のセル厚dが増加すると液晶容量cl1_nが減少し、自己補償容量C1_nに対して小さくなるため電圧が低下する。ノーマリーブラックモードでは電圧低下は輝度低下となる。従来技術の手法では、セル厚dが増加すると輝度が増加する。この輝度増加分と電圧低下による輝度減少分のバランスをとるような容量を第1の自己補償容量C1_nとして設定することで、セル厚d増加による輝度ムラを補償することができる。

また、液晶のセル厚dが減少すると液晶容量cl1_nが増加し、自己

補償容量Ｃ１＿ｎに対して大きくなるため電圧が増加する。ノーマリーブラックモードでは電圧増加は輝度増加となる。従来技術の手法では、セル厚ｄが減少すると輝度が減少する。この輝度減少分と電圧増加による輝度増加分のバランスをとるような容量を第１の自己補償容量Ｃ１＿ｎとして設定することで、セル厚ｄの減少による輝度ムラを補償することができる。

[0032] この点を詳細に説明する。図５の一番下に示す画素ｐ＿ｎの波形図からも判明するように、Ｌフレームの動作時、制御部２１は、表示信号線Ｓｍ＿ｎに電位—Ｖｓを供給する（図５、時刻ｔＯａ）。次に、制御部２１は走査線ＧｎをＨレベルに制御してスイッチング素子Ｔ１－ｎをオンに制御し、時刻ｔ１ａ～ｔ２ａの期間、電位＿Ｖｓを液晶容量Ｃｌ１－ｎに書き込む。時刻ｔ２ａ以降、スィッチング素子Ｔ１＿ｎをオフ状態にし、次にスィッチング素子Ｔ２＿ｎをオン状態にすることで、画素ｐ＿ｎの液晶容量ｃｌ＿ｎの電位がΔＶｐｘ（＝Ｖｓ（１－（ｃｌ１－ｎ）／（（ｃ１－ｎ）＋（ｃｌ１－ｎ））だけ上がり、＿Ｖｓから＿Ｖｓ＋Δｐｘに変化する。

すなわち、本実施形態における液晶装置は、セル厚ｄの増加による光透過率の増加分を、第１の自己補償容量Ｃ１＿ｎにより逆の極性の光透過率になるような電位差Δｖρ_xを発生させることで、液晶のセル厚の厚みムラを自己補正している。ここで、「セル厚ｄの増加」とは、ある基準の厚さよりもセル厚ｄが大きいことを意味する。また「セル厚ｄの減少」とは、ある基準の厚さよりもセル厚ｄが小さいことを意味する。

つまり、液晶装置において、異なる位置に形成された画素毎にセルの厚さが異なる場合であっても、輝度ムラの発生を抑えることができる。

[0033] また、Ｌ＋１フレームの動作時、制御部２１は、表示信号線Ｓｍ＿ｎに、Ｌフレームと逆の極性である電位＋Ｖｓを供給する（図５、時刻ｔＯｂ）。このため、画素ｐ＿ｎの液晶容量ｃｌ１＿ｎには、Ｌフレーム時とは逆の電位＋Ｖｓが発生する。すなわち、Ｌ＋１フレーム時においても、制御部２１は、時刻ｔ１ｂ～ｔ２ｂの期間、スイッチング素子Ｔ１＿ηをオン状態に制御することで、電位＋Ｖｓを液晶容量ｃｌ１＿ｎに書き込む。次に、制御部

２１は、時刻ｔ２ｂ以降、スィツチング素子Ｔ１－ηをオフ状態にし、次に、表示信号線Ｓｍ＿ηに電位—Ｖｓを供給する（図５、時刻ｔ３ｂ）。次に、制御部２１は、スイッチング素子Ｔ２＿ｎをオン状態にすることで、画素Ｐ－ｎの液晶容量ｃｌ１＿ｎの電位が第１の自己補償容量Ｃ１－ｎに基づき△Ｖｐｘだけ下がり、＋Ｖｓから＋Ｖｓ＿ΔｖｐX に変化する。なお、１フレームは、例えば、６０Ｈζ駆動の液晶装置であれば、１/６０秒である。

[0034] 図６は、本実施形態における第１ガラス基板３上のレイアゥトの例を説明する図である。図６のように、画素ρ＿ηについて、第１ガラス基板３上には、走査線Ｇ—ｎ～Ｇ—（ｎ＋１）と、スイッチング素子Ｔ１—ｎ～Ｔ２—ｎと、ｃｏｍ配線と、画素電極１０１と、第１の自己補償容量Ｃ１－ｎとが形成されている。図６において、画素電極１０１には、スイッチング素子Ｔ１＿ｎのドレイン電極とスィッチング素子Ｔ２＿ｎのドレイン電極とが接続されている。スイッチング素子Ｔ１＿ηのゲート電極は走査線Ｇ＿ηに接続されている。スイッチング素子Ｔ２＿ηのゲート電極は走査線Ｇ＿（ｎ＋１）に接続されている。スイッチング素子Ｔ２＿ｎのソース電極には第１の自己補償容量Ｃ１＿ｎの一方が接続されている。第１の自己補償容量Ｃ１－ｎの他方はｃｏｍ配線に接続され接地されているように形成されている。

[0035] 図７は、従来技術によるＶＡモードにおいてセル厚ｄ＝３．２ｍｍを基準にした場合、セル厚が変動したときの輝度変動の一例を説明する図である。縦軸はｄ＝３．２ｍｍに対する各セル厚の輝度の比である。横軸は階調０～２５６階調の例を示している。また、図８は、本実施形態による液晶装置におけるＶＡモードにおいてｄ＝３．２ｍｍを基準にした場合、セル厚が変動したときの輝度変動の一例を説明する図である。なお、ｄ＝３．２ｍｍのとき、表示信号線Ｓｍ＿ｎの電位に対して画素電極の電位が０．９４倍になるように各自己補償容量を設計した場合の例である。図７において、従来技術による液晶装置では、例えば、セル厚ｄ＝３．２ｍｍに対して０．２ｍｍ厚いｄ＝３．４ｍｍの場合、点線５１のように、階調０～１０程度で急激に輝度変動値がプラス側に増加している。すなわち、輝度変動値が増加し、階調

１０〜階調２５６にかけて輝度変動率が０に向かってゆるやかに減少していく。また、セル厚ｄ＝３．２ｍｍに対して０．２ｍｍ薄いｄ＝３．Ｏｍｍの場合、点線５２のように、階調０〜階調１０程度で急激に輝度変動値がマイナス側に増加している。すなわち、輝度変動値が減少し、階調１０〜階調２５６にかけて輝度変動率が０に向かってがゆるやかに変化する。

一方、本実施形態によれば、図８のように、例えば、セル厚ｄ＝３．２ｍｍに対して０．２ｍｍ厚いｄ＝３．４ｍｍの場合、点線６１のように、輝度変動値が大きく輝度ムラが目立ちやすい低階調〜中階調において、図７と比較して減少している。すなわちセル厚の厚みムラによる輝度ムラが低減されている。同様に、セル厚ｄ＝３．２ｍｍに対して０．２ｍｍ薄いｄ＝３．０ｍｍの場合においても、点線６２のように、輝度変動値が大きく輝度ムラが目立ちやすい低階調〜中階調において、図７と比較して減少している。すなわちセル厚の厚みムラによる輝度ムラが低減されている。

以上のように、異なる位置に形成された画素がそれぞれ異なる厚さを有する場合においても、輝度ムラが低減される。

[0036] 以上のように、制御部２１は、画素の液晶容量ｃｌ１＿ｎを構成するサブ画素電極に電位を書き込む。その後、制御部２１は、第１の自己補償容量Ｃ１＿ｎに接続されたスイッチング素子Ｔ２＿ｎを制御し、液晶容量ｃｌ１-ｎの電荷を第１の自己補償容量Ｃ１＿ｎにより変動させる。これにより、液晶のセル厚による輝度ムラを減少することができる。

また、本実施形態による方法は、例えば、ノーマリーブラックモードを採用するＶＡ（Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）方式およびＩＰＳ（Ｉｎ—Ｐｌａｎｅ Ｓｗｉｔｃｈｉｎｇ）方式の液晶装置において効果的である。

[0037] ［第２実施形態］

第２実施形態について、図９〜図１２を用いて説明する。図９は、本実施形態における液晶容量のマトリックス構成を説明する図である。図９のように、複数の画素がマトリクス状に配置され、各画素は２つのサブ画素（「ｓ

ｕｂ ｐíｘｅｌ」と言うことがある。）を備える。例えば画素ｐ（１，１）は、サブ画素ｓｐ（１，１，１）及びサブ画素ｓｐ（２，１，１）を備えている。

[0038] 図１０は、本実施形態における液晶装置におけるｎ番目の画素選択時の等価回路の一例である。図１０のように、本実施形態における液晶装置は、画素ｐ＿ｎは、２つのサブ画素ｓｐ２１＿ｎ及びｓｐ２２＿ｎを備える。そして、サブ画素ｓｐ２１＿ｎ及びｓｐ２２＿ｎは、列方向に隣接して配置されている。

各サブ画素は、液晶容量と、画素電極上のスイッチング素子と、画素電極に対向する共通電極の部分とにより構成されている。液晶容量は、１つの画素電極と対向する共通電極の間に挟まれた液晶材料を有する。液晶容量は、電気的等価回路としては電気容量として表現される。

[0039] 画素ｐ＿ｎの構成を、図１０を用いて説明する。サブ画素ｓｐ２１＿ｎ（第２のスィッチング素子）のスィツチング素子Ｔ２１－ｎのゲー卜電極は、走査線Ｇ＿ｎに接続されている。スィツチング素子Ｔ２１－ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ２１＿ｎのドレイン電極は、画素電極を介して容量成分を有する液晶容量ｃｌ２１－ｎの一方とスイッチング素子Ｔ２２＿ｎ（第１のスイッチング素子）のソース電極に接続されている。液晶容量ｃｌ２１＿ｎの他方の端子は、共通電極６を介して接地されている。すなわち、液晶容量ｃｌ２１＿ｎは、共通電極６と画素電極との間に挟持されている。また、スイッチング素子Ｔ２２＿ｎのドレイン電極は、第１の自己補償容量Ｃ２１＿ｎ（第１の容量）の一方の端子に接続されている。第１の自己補償容量Ｃ２１＿ｎの他方の端子は接地されている。さらに、スイッチング素子Ｔ２２＿ｎのゲー卜電極は、走査線Ｇ－（ｎ＋１）に接続されている。

サプ画素ｓｐ２２－ｎのスィツチング素子Ｔ２３－ｎ（第２のスィッチング素子）のゲ―卜電極は、走査線Ｇ＿ｎに接続されている。スイッチング素子Ｔ２３＿ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スィ

ツチング素子Ｔ２３＿ηのドレイン電極は、画素電極を介して容量成分を有する液晶容量ｃｌ２２＿门の＿方とスイッチング素子丁２４＿门(第１のスイッチング素子）のソース電極に接続されている。液晶容量ｃｌ２２＿ηの他方の端子は、共通電極６を介して接地されている。すなわち、液晶容量ｃｌ２２＿ηは、共通電極６と画素電極との間に挟持されている。また、スィッチング素子Ｔ２４＿ηのドレイン電極は、第２の自己補償容量Ｃ２２＿η（第１の容量）の一方の端子に接続されている。第２の自己補償容量Ｃ２２＿ηの他方の端子は接地されている。さらに、スイッチング素子Ｔ２４＿ηのゲート電極は、走査線Ｇ＿（ｎ＋１）に接続されている。また、本実施形態において、画素電極の電位を変動させる機構は、スイッチング素子Ｔ２２－ｎ（第１のスイッチング素子）と第１の自己補償容量Ｃ２１＿ｎ（第１の容量）により構成されている。また、画素電極の電位を変動させる機構は、スイッチング素子Ｔ２４—ｎ（第１のスイッチング素子）と第２の自己補償容量Ｃ２２＿ｎ（第１の容量）により構成されている。なお、スイッチング素子Ｔ２２－ｎのゲート電極とスィツチング素子Ｔ２４－ｎのゲート電極に接続される走査線は、走査線Ｇ－（ｎ＋１）でなくともよく、画素ｐ＿ｎより後段の走査線、例えばＧ＿（ｎ＋２）やＧ＿（ｎ＋３）などでもよい。

[0040] 次に、Ｌフレーム時のｎ画素選択時の動作を、図１０と図１１を用いて説明する。図１１は、本実施形態における液晶装置のタイミングチヤートである。

制御部２１は、表示信号線Ｓｍ＿ｎの信号を＿Ｖｓに制御することで、各サブ画素ｓｐ２１－ｎ～ｓｐ２２—ｎのスィツチング素子Ｔ２１＿ｎとスィツチング素子Ｔ２３－ｎの各ソース電極に表示信号線Ｓｍ＿ｎから＿Ｖｓを供給する。(図１１、時刻ｔＯａ）。

次に、制御部２1は、走査線Ｇ＿ｎの信号を時刻ｔ１ａ～ｔ２ａの期間（１画素分の書き換え期間）、Ｈレベルに制御することで、スイッチング素子Ｔ２１＿ｎ、Ｔ２３－ηをオン状態にし、液晶容量ｃｌ２１＿ηと液晶容量ｃｌ２２＿ηとに表示信号線Ｓｍ＿ηから電位＿Ｖｓを供給する。このため

、液晶容量ｃｌ２１－ｎを構成する画素電極と液晶容量ｃｌ２２－ｎを構成する画素電極とには、電位—Ｖｓが発生する。なお、走査線Ｇ＿ｎの出力がＨレベルになる期間は、例えば、Ｆｕｌｌ＿ＨＤ対応の液晶装置においては、１/（６０ｘ１０８０）（秒）に相当する。なお、ゼロ階調から最大階調を表示した場合の表示信号線Ｓｍ＿ｎの信号レンジは、＋Ｖｓ〜−Ｖｓであり、例えば、正極性側の電位＋５Ｖ〜＋１Ｖ、負極性側の電位—５Ｖ〜−１Ｖである。この信号レベルは、用いる液晶容量の特性に合わせるようにしてもよい。

[0041] 時刻ｔ１ａ~ｔ２ａの期間、制御部２１は、走査線Ｇ-（ｎ＋１）をＬレベルに制御することで、スィツチング素子Ｔ２２＿ｎとスィツチング素子Ｔ２４—ｎとをオフ状態にする。このため、第１の自己補償容量Ｃ２１＿ｎと第２の自己補償容量Ｃ２２＿ｎとには、スィツチング素子Ｔ２２-ｎとスィツチング素子Ｔ２４-ｎとが直前のフレームでオン状態であった時の電位V_xが保持されている。

[0042] 次に、Ｌフレーム時のｎ＋１画素選択時の動作を説明する。

制御部２１は、走査線Ｇ＿ｎをＬレベルに制御することで、スイッチング素子Ｔ２１＿ｎとスィツチング素子Ｔ２３-ｎとをオフ状態にする(図１１、時刻ｔ２ａ)。次に、表示信号線Ｓｍ＿ｎの電位＋Ｖｓを供給する(図１１、時刻ｔ３ａ)。次に、走査線Ｇ＿（ｎ＋１）をＨレベルに制御することで、スィッチング素子Ｔ２２＿ｎとスィッチング素子Ｔ２４＿ηをオン状態にする(図１１、時刻ｔ４ａ)。サブ画素ｓｐ２１-ｎの液晶容量ｃｌ２１-ｎに接続されているスィッチング素子Ｔ２２＿ｎがオン状態のため、液晶容量ｃｌ２１＿ｎに保持されている電荷が、スイッチング素子Ｔ２２＿ｎのソース電極に接続されている第１の自己補償容量Ｃ２１-ｎに移動する。このため、液晶容量ｃｌ２１-ｎの電位は、第１の自己補償容量Ｃ２１＿ｎに基づきΔνρχ（１）だけ上がり、＿Ｖｓから＿Ｖｓ＋ΔＶρ_x（１）に変化する。

また、サプ画素ｓρ２２＿ηの液晶容量ｃｌ２２-ηに接続されているス

イツチング素子T24_nがオン状態のため、液晶容量cl22_nに保持されている電荷が、スィツチング素子T24-nのソース電極に接続されている第2の自己補償容量C22_nに移動する。このため、液晶容量cl22-nを構成する画素電極の電位は、第2の自己補償容量C22-nに基づきAVpx(2)だけ上がり、—Vsから—Vs+Δνρx(2)に変化する。

そして、時刻t5a以降、制御部21は、スィッチング素子T21_n~T24_nをオフ状態に制御することで、各サブ画素sp21-n~sp22-nの各液晶容量cl21-n~cl22_nには、時刻t5a時点の電位が次のL+1フレームまで保持される。

[0043] また、L+1フレームの動作時、制御部21は、表示信号線Sm_nに、Lフレームと逆の極性である電位+Vsを供給する(図11、時刻tOb)。L+1フレーム時においても、制御部21は、時刻t1b~t2bの期間、スィッチング素子T21_nとスィッチング素子T23_nとをオン状態に制御する。このため、各サブ画素sp21-n~sp22-nの各液晶容量cl21~cl22_nを構成する画素電極には、Lフレーム時とは逆の電位+Vsが発生する。

次に、制御部21は、時刻t2b以降、スィツチング素子T21_nとスィツチング素子T23_nとをオフ状態にし、次に、表示信号線Sm_nに電位_Vsを供給する(図11、時刻t3b)。次に、制御部21は、時刻t3b~t4bの期間、スイッチング素子T22_ηをオン状態にすることで、サブ画素sρ21-ηの液晶容量cl21-ηを構成する画素電極の電位が第1の自己補償容量C21_ηに基づきΔνρx(1)だけ下がり、+V5から+ソ5_ムソロ乂(1)に変化する。また、制御部21は、時刻t3b~t4bの期間、スイッチング素子T24_nをオン状態にすることで、サプ画素sp22_nの液晶容量cl22-nを構成する画素電極の電位が第2の自己補償容量C22_nに基づきΔνpx(2)だけ下がり、+Vsから+Vs_AVpx(2)に変化する。なお、1フレームは、例えば、6

０Ｈｚ駆動の液晶装置であれば、1/ ６０秒である。

[0044] 図１２は、本実施形態における第１ガラス基板３上のレイァゥ卜の例を説明する図である。図１２のように、画素ｐ＿ｎについて、第１ガラス基板３上には、走査線Ｇ—ｎ~ Ｇ—（ｎ＋１）と、スイッチング素子Ｔ２１—ｎ~ Ｔ２４＿ｎと、ｃｏｍ配線と、画素電極２０１と２０２と、第１の自己補償容量Ｃ２１＿ｎと第２の自己補償容量Ｃ２２—ｎとが形成されている。図１２において、画素電極２０１には、スイッチング素子Ｔ２１—ｎのドレイン電極とスィツチング素子Ｔ２２＿ｎのドレイン電極とが接続されている。スイッチング素子Ｔ２１＿ｎのゲー卜電極は走査線Ｇ＿ｎに接続されている。スイッチング素子Ｔ２２＿ｎのゲー卜電極は走査線Ｇ＿（ｎ＋１）に接続されている。スィツチング素子Ｔ２２-ｎのソース電極には第１の自己補償容量Ｃ２１＿ｎの一方が接続されている。第１の自己補償容量Ｃ２１＿ｎの他方はｃｏｍ配線に接続されるように形成されている。また、画素電極２０２には、スィッチング素子Ｔ２３＿ｎのドレイン電極とスィッチング素子Ｔ２４＿ηのドレイン電極とが接続されている。スィツチング素子Ｔ２３＿ηのゲー卜電極は走査線Ｇ＿ｎａに接続されている。スイッチング素子Ｔ２４—ｎのゲー卜電極は走査線Ｇ＿（ｎ＋１）に接続されている。スイッチング素子Ｔ２４＿ｎのソース電極には第２の自己補償容量Ｃ２２＿ｎの一方が接続されている。第２の自己補償容量Ｃ２２＿ｎの他方はｃｏｍ配線に接続されるように形成されている。
なお、走査線Ｇ＿ｎと走査線Ｇ＿ｎａとには同一の信号が同一のタイミングで印加される。

[0045] 以上のように、制御部２１は、サブ画素ｓｐ２１-ｎの液晶容量ｃｌ２１-ｎに電位を書き込む。その後、制御部２１は、第１の自己補償容量Ｃ１-ｎに接続されたスイッチング素子Ｔ２２＿ｎを制御し、液晶容量ｃ１２１-ｎの電荷が第１の自己補償容量Ｃ２１-ｎとの間で再配置を構成する画素電極させることで、液晶容量ｃｌ２１＿ｎにかかる電位差が減少する。この電位差の減少の大きさが液晶のセル厚変動による透過率の変化を抑えることに

なる。つまり、この電位差の減少の大きさが、液晶セル厚が各液晶セルによつて異なることにより、透過率が変化することを抑える。これにより、液晶のセル厚による輝度ムラを減少することができる。さらに、制御部２１は、サブ画素ｓｐ２２＿ｎの液晶素子ｃｌ２２－ｎに電位を書き込む。その後、制御部２１は、第２の自己補償容量Ｃ２２—ｎに接続されたスイッチング素子Ｔ２４—ｎを制御し、液晶容量ｃｌ２２＿ｎの電荷が第２の自己補償容量Ｃ２２＿ｎとの間で再配置させることで、液晶容量ｃｌ２２＿ｎにかかる電位差が減少する。この電位差の減少の大きさが液晶のセル厚変動による透過率の変化を抑えることになる。つまり、この電位差の減少の大きさが、液晶セル厚が各液晶セルによって異なることにより、透過率が変化することを抑える。これにより、液晶のセル厚による輝度ムラを減少することができる。

また、本実施形態によれば、サブ画素ｓｐ（１，１，１）の第１の自己補償容量Ｃ２１—ｎにより、第１実施形態と同様に、輝度変動値が大きく輝度ムラが目立ちやすい低階調〜中階調のセル厚による輝度ムラを改善する。サブ画素ｓｐ（２，１，１）の第２の自己補償容量Ｃ２２＿ｎにより、他の階調領域のセル厚による輝度ムラを改善する効果がある。

低〜中階調領域はサブ画素ｓｐ２１＿ｎ、中〜高階調はサブ画素ｓｐ２２－ｎの補償機能が動作することで、第一の実施形態よりも広い階調範囲で補償が有効となる。

また、本実施形態による方法は、例えば、ノーマリーブラックモードを採用するＶＡ方式やＩＰＳ方式の液晶装置において効果的である。

[0046] [第３実施形態]

第３実施形態について、図１３〜図１６を用いて説明する。

図１３は、本実施形態における２つのサブ画素を備える液晶装置におけるｎ番目の画素選択時の等価回路の一例である。なお、図１３〜図１４は、１つの画素ｐ＿ｎの構成を表している。

[0047] 図１３のように、本実施形態における液晶装置は、画素ｐ＿ｎは、２つのサブ画素ｓｐ３１－ｎ～ｓｐ３２－ｎを備える。そして、サブ画素ｓｐ３１

－ｎ～ｓｐ３２＿ｎは、列方向に隣接して配置されている。

図１４は、図１３の等価回路を簡略化して表現した図である。符号３０１～３０２を付した画素電極は、各サブ画素ｓｐ３１－ｎ～ｓｐ３２－ｎの各画素電極である。図１４のように、サブ画素Ａ（ｓｐ３１－ｎ）の画素電極３０１は、スィツチング素子Ｔ３１＿ｎのドレイン電極と第１の自己補償容量Ｃ３１＿ｎの一方が接続されている。サブ画素Ｂ（ｓｐ３２－ｎ）の画素電極３０２は、スィツチング素子Ｔ３２＿ｎのドレイン電極と第１の自己補償容量Ｃ３１＿ｎの他方が接続されている。スイッチング素子Ｔ３３＿ｎのソース電極は、第２の自己補償容量Ｃ３２＿ｎの一方の端子に接続されている。

[0048] まず、サブ画素ｓｐ３１＿ｎの構成を、図１３と図１４を用いて説明する。スイッチング素子Ｔ３１＿ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スイッチング素子Ｔ３１＿ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ３１＿ｎのドレイン電極は、画素電極３０１を介して容量成分を有する液晶容量ｃｌ３１＿ｎの一方に接続され且つ第１の自己補償容量Ｃ３１＿ｎ（第２の容量）の一方の端子に接続されている。液晶容量ｃｌ３１＿ｎの他方の端子は、共通電極６を介して接地されている。すなわち、液晶容量ｃｌ３１＿ｎは、共通電極６と画素電極３０１との間に挟持されている。

次に、サブ画素ｓｐ３２＿ｎの構成を説明する。スイッチング素子Ｔ３２－ｎ（第２のスイッチング素子）のゲート電極は、走査線Ｇ＿ｎに接続されている。スイッチング素子Ｔ３２＿ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ３２＿ｎのドレイン電極は、画素電極３０２を介して容量成分を有する液晶容量ｃｌ３２＿ｎの一方に接続され且つ第１の自己補償容量Ｃ３１＿ｎの他方の端子に接続され且つスィッチング素子Ｔ３３＿ｎ（第１のスイッチング素子）のドレイン電極に接続されている。液晶容量ｃｌ３２＿ηの他方の端子は、共通電極６を介して接地されている。

また、スイッチング素子Ｔ３３＿ｎのソース電極は、第２の自己補償容量Ｃ３２－ｎ（第１の容量）の一方の端子に接続されている。第２の自己補償容量Ｃ３２＿ｎの他方の端子は、コモン配線Ｃｓ＿（ｎ＋１）(補助容量電極）に接続されている。スイッチング素子Ｔ３３＿ｎのゲート電極は、走査線Ｇ＿（ｎ＋１）に接続されている。なお、コモン配線Ｃｓ＿（ｎ＋１）は、一定の電位に固定されていることが望ましくＣｓ＿ｎ、あるいはその他のコモン配線と共通でも構わない。また、画素電極の電位が変動する機構は、スイッチング素子Ｔ３３＿ｎ（第１のスイッチング素子）と第２の自己補償容量Ｃ３２＿ｎ（第１の容量）および第１の自己補償容量Ｃ３１＿ｎ（第２の容量）とで構成されている。なお、スイッチング素子Ｔ３３＿ｎのゲート電極に接続される走査線は、走査線Ｇ－（ｎ＋１）でなくともよく、画素ｐ１ｘ　ｎより後段の走査線、例えばＧ＿（ｎ＋２）やＧ＿（ｎ＋３）などでもよい。

[0049] 次に、Ｌフレーム時のｎ画素選択時の動作を、図１３と図１５を用いて説明する。図１５は、本実施形態における２つのサブ画素を備える液晶装置のタイミングチャートである。

制御部２１は、表示信号線Ｓｍ＿ｎの信号をＶｓに制御することで、各サブ画素ｓｐ３１＿ｎ～ｓｐ３２＿ｎの各スイッチング素子Ｔ３１～ｎ～Ｔ３２＿ｎの各ソース電極に表示信号線Ｓｍ＿ｎからＶｓを供給する。(図１５、時刻ｔ０ａ）。

次に、制御部２1は、走査線Ｇ＿ｎの信号を時刻ｔ０ａ～ｔ1ａの期間（１画素分の書き換え期間）、Ｈレベル(高電位レベル。「Ｖｈｉｇｈ」と言うことがある。）に制御することで、スイッチング素子Ｔ３１＿ｎ～Ｔ３２－ηをオン状態にし、液晶容量ｃｌ３１＿ｎ～ｃｌ３２＿ｎに表示信号線Ｓｍ＿ｎから電位Ｖｓを供給する。このため、液晶容量ｃｌ３1－ｎ～ｃｌ３２＿ｎには、図１５のように、電位Ｖｓが発生する。なお、走査線Ｇ＿ｎの出力がＨレベルになる期間は、液晶装置で用いる走査線３の総数に応じて設定され、例えば、Ｆｕｌｌ＿ＨＤ対応の液晶装置においては、1/（６０Ｘ

１０８０）（秒）に相当する。なお、ゼロ階調から最大階調を表示した場合の表示信号線Ｓｍ＿ｎの信号レンジは、＋Ｖｓ〜−Ｖｓであり、例えば、正極性側の電位＋５Ｖ〜＋１Ｖ、負極性側の電位—５Ｖ〜−１Ｖである。この信号レベルは、用いる液晶容量の特性に合わせるようにしてもよい。

[0050] 時刻ｔ０ａ〜ｔ１ａの期間、制御部２１は、走査線Ｇ-（ｎ＋１）をＬレベルに制御することで、スイッチング素子Ｔ３３＿ｎをオフ状態にする。このため、第２の自己補償容量Ｃ３２＿ｎには、スイッチング素子Ｔ３３＿ｎが直前のフレームでオン状態であった時の電位V_xが保持されている。

[0051] 次に、ｔ１ａ〜ｔ２ａの期間について、すなわち、Ｌフレーム時のｎ＋１画素選択時の動作を説明する。

制御部２１は、走査線Ｇ＿ｎをＬレベルに制御することで、スイッチング素子Ｔ３１-ｎ〜Ｔ３２-ηをオフ状態にする。制御部２１は、走査線Ｇ—（ｎ＋１）をＨレベルに制御することで、スイッチング素子Ｔ３３＿ｎをオン状態にする。サブ画素ｓｐ３２＿ｎの液晶容量ｃｌ３２＿ｎに接続されているスィッチング素子３３＿ｎがオン状態のため、液晶容量ｃｌ３２＿ｎに保持されている電荷が、スィツチング素子Ｔ３３＿ｎのソース電極に接続されている第２の自己補償容量Ｃ３２＿ｎに移動する。この結果、液晶容量ｃｌ３２＿ｎの電位は、第２の自己補償容量Ｃ３２＿ｎに基づき$\Delta v p_{x (1)}$だけ下がり、Ｖｓか\らＶｓ—ΔＶゃx（１）に変化する。

[0052] 液晶容量ｃｌ３１-ｎを構成する画素電極３０１と液晶容量ｃｌ３２-ｎを構成する画素電極３０２は、第１の自己補償容量Ｃ３１＿ｎによって容量結合された状態となっている。従ってサブ画素ｓｐ３２-ｎの液晶容量ｃｌ３２-ｎを構成する画素電極３０２の電位が下がった結果、その電位変動は液晶容量ｃ１３１-ｎを構成する画素電極３０１にも起きる。このため、液晶容量ｃｌ３１＿ｎの電位は、$\Delta \nu \rho \chi$（２）だけ下がり、Ｖｓか\らＶｓ—$\Delta V p_x$（２）に変化する。電位差$\Delta \nu \rho \chi$（２）と$\Delta \nu \rho \chi$（１）の関係は、液晶容量ｃｌ３１＿η、液晶容量ｃｌ３２＿η、第１の自己補償容量Ｃ３１ーηおよび第２の自己補償容量Ｃ３２-ηのバランスによって定まる。

なお、例えば、Δｖρχ（1）の方がΔｖρχ（2）より大きい関係になるように、各容量を設定する。

時刻ｔ２ａ以降、制御部２１は、スィッチング素子Ｔ３１—１〜スィッチング素子Ｔ３３-ｎをオフ状態に制御することで、各サブ画素ｓｐ３１-ｎ〜ｓｐ３２-ｎの各液晶容量ｃｌ３１-ｎ〜ｃｌ３２—ｎには、時刻ｔ２ａ時点の電位が次のフレームまで保持される。

[0053] この結果、図１３と図１５のように、ｔ２ａ以降、各サブ画素の液晶容量の電位の大きさは、サブ画素ｓｐ３１-ｎの液晶容量ｃｌ３１-ｎを構成する画素電極３０１の電位がサプ画素ｓｐ３２_ｎの液晶容量ｃｌ３２_ｎを構成する画素電極３０２の電位より大きい。

このため、各サブ画素の各液晶容量の電位差に応じて、各サブ画素の各液晶容量の光透過率または光反射率が異なる。画素全体としては両サプ画素の階調輝度特性の合成と見なすことが出来るため、低〜中階調領域はサブ画素ｓｐ３１_ｎが、中〜高階調領域はサブ画素ｓｐ３２_ｎの特性が支配的となる。そして、各サブ画素は、セル厚変動に対して自己補償がかかるように画素電位が変動する。よって、低〜中階調領域はサブ画素ｓｐ３１_ｎ、中〜高階調領域はサブ画素ｓｐ３２_ｎの補償機能が動作することで、第１実施形態よりも広い階調範囲で補償が有効となる。

[0054] また、Ｌ＋１フレーム時の動作は、制御部２１は、表示信号線Ｓｍ_ｎにＬフレーム時とは逆極性の電位、すなわち—Ｖｓを供給する。このため、各サブ画素ｓｐ３１-ｎ〜ｓｐ３２-ｎには、Ｌフレーム時とは逆の電位が発生する。また、Ｌ＋１フレーム時においても、制御部２１は、時刻ｔＯｂ〜ｔ１ｂの期間、スィッチング素子Ｔ３１_ｎ〜Ｔ３２_ｎがオン状態に制御することで、電位—Ｖｓを書き込む。次に、制御部２１は、時刻で1ｂ以降、スイッチング素子Ｔ３１-ｎ〜Ｔ３２_ηをオフ状態にし、時刻ｔ１ｂ〜ｔ２ｂの期間、スイッチング素子Ｔ３３_ｎをオン状態にすることで、Ｌフレーム時と同様に各サプ画素間に電位差を生じさせ階調表現を実現する。なお、１フレームは、例えば、６０Ｈｚ駆動の液晶装置であれば、1/６０秒

である。

[0055] 図１６は、本実施形態における第１ガラス基板３上のレイアウトの例を説明する図である。図１６のように、画素ｐ＿ｎについて、第１ガラス基板３上には、走査線Ｇ—ｎ～Ｇ—（ｎ＋１）と、スイッチング素子Ｔ３１—ｎ～Ｔ３３＿ｎと、ｃｏｍ配線と、画素電極３０１～３０２と、第１の自己補償容量Ｃ３１－ｎと第２の自己補償容量Ｃ３２－ｎとが形成されている。図１６において、画素電極３０１には、スイッチング素子Ｔ３１—ｎのドレイン電極が接続されている。画素電極３０１と画素電極３０２との間に、第１の自己補償容量Ｃ３１＿ｎが形成されている。さらに、画素電極３０２には、スィッチング素子Ｔ３２＿ｎのドレイン電極とスィッチング素子Ｔ３４＿ηのドレイン電極とが接続されている。スィツチング素子Ｔ３４－ηのゲート電極は走査線Ｇ＿（ｎ＋１）に接続されている。スイッチング素子Ｔ３４—ｎのソース電極には第２の自己補償容量Ｃ３２－ｎの一方が接続されている。第２の自己補償容量Ｃ３２＿ｎの他方はｃｏｍ配線に接続されるように形成されている。さらに、スイッチング素子Ｔ３１＿ｎのゲート電極とスイツチング素子Ｔ３２－ｎのゲート電極は、共通の走査線Ｇ＿ｎに接続されるように形成されている。

[0056] また、図１４および図１６において、各サブ画素ｓｐ３１＿ｎ～ｓｐ３２＿ｎの画素電極３０１～３０２の面積は、例えば、全て同じでもよく、あるいは、画素電極３０１の面積 :画素電極３０２の面積＝１ :2でもよい。走査線Ｇ＿（ｎ＋１）に接続されているスイッチング素子Ｔ３３＿ｎをオン状態に制御することで、サブ画素ｓｐ３２＿ｎの液晶容量ｃｌ３２＿ｎを構成する画素電極３０２に書き込んだ電位をＶｓからＶｓ＿Δｖｐｘ（１）に下げ、さらに、容量結合により液晶容量ｃｌ３１＿ηを構成する画素電極３０１＿ηの電位をＶｓからＶｓ＿ΔＶρｘ（２）に下げている。このため、スイツチング素子Ｔ３３＿ηが接続されている液晶容量ｃｌ３２＿ηが大きいほど液晶容量ｃｌ３１＿ηを下げることが容易であり、視角特性上、高階調で機能する画素の面積が大きい方が望ましい。

[0057] 以上のように、制御部２１は、各サブ画素の各液晶容量ｃｌ３１－ｎ～ｃｌ３２＿ｎに電位を書き込んだ後、第２の自己補償容量Ｃ３２＿ｎに接続されたスイッチング素子Ｔ３３＿ｎを制御する。これにより、液晶容量ｃｌ３２＿ｎの電位を変動させ、さらに、液晶容量ｃｌ３１＿ｎと液晶容量ｃｌ３２＿ｎの間に接続された第１の自己補償容量Ｃ３１＿ｎを用いて液晶容量ｃｌ３１＿ｎの電位を変動させる。液晶のセル厚による輝度ムラを減少させつつ、１画素を２つのサブ画素に分割して２階調表現を行う。

[0058] また、本実施形態では、全てのサブ画素ｓｐ３１＿ｎ～ｓｐ３２＿ｎの液晶容量ｃｌ３１－ｎ～ｃｌ３２＿ｎが、各スイッチング素子Ｔ３１＿ｎ～Ｔ３２＿ｎを介して表示信号線Ｓｍ＿ｎに接続される構成としている。複数のサブ画素ごとに結合容量を接続して１つのスイツチング素子で制御する手法と比べて、各液晶容量ｃｌ３１－ｎ～ｃｌ３２＿ｎがフローティングされていないため焼き付きが発生しない効果がある。

[0059] また、第２実施形態では、サブ画素ｓｐ３１－ｎにもサブ画素ｓｐ３２－ｎと同じように電位を変化させるためのスイツチング素子と自己補償容量を備える。本実施形態によれば、サブ画素ｓｐ３１＿ｎの画素電極３０１とサブ画素ｓｐ３２＿ｎの画素電極３０２との間に第１の自己補償容量を形成するだけなので、スイッチング素子を４つ設ける図１２の第２実施形態と比較して、構造を簡単にできるので開口率の低下を抑える効果もある。

[0060] [第４実施形態]

第４実施形態について、図１７～図１９を用いて説明する。

図１７は、本実施形態における３つのサブ画素を備える液晶装置におけるｎ番目の画素選択時の等価回路の一例である。なお、図１７～図１８は、１つの画素ｐ＿ｎの構成を表している。図１８は、図１７の等価回路を簡略化して表現した図である。符号４０１～４０３を付した画素電極は、各サブ画素ｓｐ４１－ｎ～ｓｐ４３－ｎの各画素電極である。

[0061] 図１７と図１８のように、サブ画素ｓｐ４１－ｎのスイツチング素子Ｔ４１＿ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スイッチング素子

Ｔ４１＿ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ４１＿ｎのドレイン電極は、画素電極４０１を介して容量成分を有する液晶容量ｃｌ４１＿ｎの一方と第１の自己補償容量ｃ４１＿ｎの一方の端子に接続されている。液晶容量ｃｌ４１＿ｎの他方の端子は、共通電極６を介して接地されている。すなわち、液晶容量ｃｌ４１＿ｎは、共通電極６と画素電極４０１との間に挟持されている。

次に、サブ画素ｓｐ４２＿ｎの構成を説明する。スイッチング素子Ｔ４２＿ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スイッチング素子Ｔ４２＿ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スィッチング素子Ｔ４２＿ｎのドレイン電極は、画素電極４０２を介して容量成分を有する液晶容量ｃｌ４２＿ｎの一方と第１の自己補償容量Ｃ４１＿ｎの他方の端子に接続され且つ第２の自己補償容量Ｃ４２＿ｎの一方の端子に接続されている。液晶容量ｃｌ４２＿ｎの他方の端子は、共通電極６を介して接地されている。

次に、サブ画素ｓｐ４３＿ｎの構成を説明する。スイッチング素子Ｔ４３＿ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スイッチング素子Ｔ４３＿ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スィッチング素子Ｔ４３＿ｎのドレイン電極は、画素電極４０３を介して容量成分を有する液晶容量ｃｌ４３＿门の＿方と第２の自己補償容量〇４２＿门の他方の端子とスィッチング素子Ｔ４４＿ｎのドレイン電極に接続されている。液晶容量ｃｌ４３＿ｎの他方の端子は、共通電極６を介して接地されている。

また、スイッチング素子Ｔ４４＿ｎのソース電極は、第３の自己補償容量Ｃ４３＿ｎの一方の端子に接続されている。第３の自己補償容量Ｃ４３－ｎの他方の端子は、コモン配線Ｃｓ－（ｎ＋１）（補助容量電極）に接続されている。スイッチング素子Ｔ４４＿ｎのゲート電極は、走査線Ｇ＿（ｎ＋１）に接続されている。また、画素電極の電位が変動する機構は、スィッチング素子Ｔ４４＿ｎ（第１のスイッチング素子）と第３の自己補償容量Ｃ４３－η（第１の容量）、第２の自己補償容量Ｃ４２＿η（第２の容量）および

第１の自己補償容量Ｃ４１_ｎ（第２の容量）で構成されている。なお、スイッチング素子Ｔ４４_ｎのゲート電極に接続される走査線は、走査線Ｇ-（ｎ＋１）でなくともよく、画素ｐ_ｎより後段の走査線、例えばＧ_（ｎ＋２）やＧ_（ｎ＋３）などでもよい。

[0062] 次に、Ｌフレーム時のｎ画素選択時の動作を、図１７と図１９を用いて説明する。図１９は、本実施形態における３つのサブ画素を備える液晶装置のタイミングチャートである。

制御部２１は、表示信号線Ｓｍ_ｎの信号をＶｓに制御することで、各サブ画素ｓｐ４１-ｎ～ｓｐ４３-ｎの各スイッチング素子Ｔ４１～ｎ～Ｔ４３_ηの各ソース電極に表示信号線Ｓｍ_ηからＶｓを供給する。（図１９、時刻ｔ０ａ）。

次に、制御部２１は、走査線Ｇ_ｎの信号を時刻ｔ０ａ～ｔ１ａの期間（１画素分の書き換え期間）、Ｈレベルに制御することで、スイッチング素子Ｔ４１-ｎ～Ｔ４３-ｎをオン状態にし、液晶容量ｃｌ４１-ｎ～ｃｌ４３-ｎに表示信号線Ｓｍ_ｎから電位Ｖｓを供給する。このため、液晶容量ｃｌ４１-ｎ～ｃｌ４３-ｎには、図１８と図１９のように、電位Ｖｓが発生する。なお、走査線Ｇ_ｎの出力がＨレベルになる期間は、例えば、Ｆｕｌｌ-ＨＤ対応の液晶装置においては、１/（６０ｘ１０８０）（秒）に相当する。なお、ゼロ階調から最大階調を表示した場合の表示信号線Ｓｍ_ｎの信号レンジは、＋Ｖｓ～－Ｖｓであり、例えば、正極性側の電位＋５Ｖ～＋１Ｖ、負極性側の電位_５Ｖ～－１Ｖである。この信号レベルは、用いる液晶容量の特性に合わせるようにしてもよい。

[0063] 時刻ｔ０ａ～ｔ１ａの期間、制御部２１は、走査線Ｇ-（ｎ＋１）をＬレベルに制御することで、スイッチング素子Ｔ４４_ｎをオフ状態にする。このため、第３の自己補償容量Ｃ４３_ｎには、スイッチング素子Ｔ４４_ｎが直前のフレームでオン状態であった時の電位V_Xが保持されている。

[0064] 次に、ｔ１ａ～ｔ２ａの期間について、すなわち、Ｌフレーム時のｎ＋１画素選択時の動作を説明する。

制御部２１は、走査線Ｇ＿ｎをＬレベルに制御することで、スイッチング素子Ｔ４１＿ｎ～Ｔ４３＿ｎをオフ状態にし、走査線Ｇ＿（ｎ＋１）をＨレベルに制御することで、スイッチング素子Ｔ４４＿ｎをオン状態にする。サブ画素ｓｐ４３－ｎの液晶容量ｃｌ４３－ｎに接続されているスィツチング素子Ｔ４４＿ｎがオン状態のため、液晶容量ｃｌ４３＿ｎに保持されている電荷が、スイッチング素子Ｔ４４＿ｎのソース電極に接続されている第３の自己補償容量Ｃ４３＿ｎに移動する。この結果、液晶容量ｃｌ４３＿ｎの電位は、第３の自己補償容量Ｃ４３＿ｎに基づきΔｖｐｘ（１）だけ下がり、ＶｓからＶｓ—Δｖρχ（１）に変化する。

[0065] 液晶容量ｃｌ４１－ｎを構成する画素電極４０１と液晶容量ｃｌ４２－ｎを構成する画素電極４０２は、第１の自己補償容量Ｃ４１－ｎによって容量結合された状態となっている。また、液晶容量ｃｌ４２＿ｎを構成する画素電極４０２と液晶容量ｃｌ４３＿ｎを構成する画素電極４０３は、第２の自己補償容量Ｃ４２＿ｎによって容量結合された状態となっている。従ってサブ画素ｓｐ４３＿ｎの液晶容量ｃｌ４３＿ｎを構成する画素電極４０３の電位が下がった結果、その電位変動は液晶容量ｃｌ４２＿ｎを構成する画素電極４０２にも起きる。このため、液晶容量ｃｌ４２—ｎの電位は、Δｖρχ（２）だけ下がり、ＶｓカヽらＶｓ—ΔＶゃｘ（２）に変化する。さらに、サブ画素ｓｐ４２－ｎの液晶容量ｃｌ４２－ｎを構成する画素電極４０２の電位が下がった結果、その電位変動は液晶容量ｃｌ４１＿ｎを構成する画素電極４０１にも起きる。このため、液晶容量ｃ１４１－ｎの電位は、Δｖｐｘ（３）だけ下がり、\ｓカヽら\ｓ—ΔＶゃｘ（３）に変化する。Δｖρχ（３）とΑＶｐｘ（２）とΑＶｐｘ（１）の関係は、液晶容量ｃｌ４１＿ｎ、液晶容量ｃｌ４２＿ｎ、液晶容量ｃｌ４３＿ｎ、第１の自己補償容量Ｃ４１＿ｎ、第２の自己補償容量Ｃ４２＿ｎおよび第３の自己補償容量Ｃ４３＿ｎのバランスによって定まる。なお、例えば、Δｖρχ（１）の電位の方がΔＶρｘ（２）の電位より大きい関係になり且つΔｖρｘ（２）の電位の方がΔＶρｘ（３）の電位より大きい関係になるように、各容量を設定する。

[0066] 時刻ｔ２ａ以降、制御部２１は、スイッチング素子Ｔ４１—１〜スイッチング素子Ｔ４４＿ｎをオフ状態に制御することで、各サブ画素ｓｐ４１-ｎ～ｓｐ４３-ｎの各液晶容量ｃｌ４１—ｎ～ｃｌ４３—ｎには、時刻ｔ２ａ時点の電位が次のフレームまで保持される。

[0067] この結果、図１７と図１９のように、ｔ２ａ以降、各サブ画素の液晶容量の電位の大きさは、以下のようになる。サブ画素ｓｐ４１＿ｎの液晶容量ｃｌ４１-ｎを構成する画素電極４０１の電位がサブ画素ｓｐ４２＿ｎの液晶容量ｃｌ４２＿ｎを構成する画素電極４０２の電位より大きい。サブ画素ｓｐ４２-ｎの液晶容量ｃｌ４２＿ｎを構成する画素電極４０２の電位がサブ画素ｓｐ４３＿ｎの液晶容量ｃｌ４３＿ｎを構成する画素電極４０３の電位より大きい。

このため、各サブ画素の各液晶容量の電位差に応じて、各サブ画素の各液晶容量の光透過率または光反射率が異なる。画素全体としては３つのサブ画素の階調輝度特性の合成と見なすことが出来る。したがって、低階調領域はサブ画素ｓｐ４１-ｎの特性が支配的となる。中階調領域はサブ画素ｓｐ４２-ｎの特性が支配的となる。高階調領域はサブ画素ｓｐ４３＿ｎの特性が支配的となる。そして、各サブ画素は、セル厚変動に対して自己補償がかかるように画素電位が変動することから、低階調領域はサブ画素ｓｐ４１＿ｎ、中階調領域はサブ画素ｓｐ４２＿ｎ、高階調領域はサブ画素ｓｐ４３＿ｎの補償機能が動作する。これにより、第１実施形態および第２実施形態よりも広い階調範囲で補償が有効となる。

[0068] また、Ｌ＋１フレーム時の動作は、図１９において時刻ｔ０ｂ以降であり、制御部２１は、表示信号線Ｓｍ＿ｎにＬフレーム時とは逆極性の電位、すなわち＿Ｖｓを供給する。

このため、各サブ画素ｓｐ４１＿ｎ～ｓｐ４３＿ｎには、Ｌフレーム時とは逆の電位が発生する。また、Ｌ＋１フレーム時においても、制御部２１は、時刻ｔ０ｂ～ｔ１ｂの期間、スイッチング素子Ｔ４１＿ｎ～Ｔ４３＿ｎがオン状態に制御することで、電位—Ｖｓを書き込む。次に、制御部２１は、時

刻ｔ １ｂ以降、スイッチング素子Ｔ４１＿η～Ｔ４３＿ηをオフ状態にし、時刻ｔ １ｂ～ｔ ２ｂの期間、スイッチング素子Ｔ４４＿ｎをオン状態にすることで、Ｌフレーム時と同様に各サブ画素間に電位差を生じさせ階調表現を実現する。なお、１フレームは、例えば、６０Ｈｚ駆動の液晶装置であれば、1/ ６０秒である。

[0069] また、図１８において、各サブ画素ｓｐ４１-ｎ～ｓｐ４３-ｎの画素電極４０１～４０３の面積は、例えば、全て同じでもよい。あるいは、画素電極４０１の面積 :画素電極４０２の面積 :画素電極４０３の面積＝１：１.５ :2 でもよい。走査線Ｇ＿（ｎ＋１）に接続されているスイッチング素子Ｔ４４-ｎをオン状態に制御することで、サブ画素ｓｐ４３＿ｎの液晶容量ｃｌ４３＿ｎを構成する画素電極４０３に書き込んだ電位をＶｓからＶｓ＿ΔｖｐＸ（１）に下げ、さらに、容量結合により液晶容量ｃＩ４２＿ηを構成する画素４０２の電位をＶｓからＶｓ＿ΔｖρＸ（２）に下げている。さらに、容量結合により液晶容量ｃｌ４１＿ηを構成する画素４０１の電位をＶｓからＶｓ—ΔＶｐｘ（３）に下げている。このため、スイッチング素子Ｔ４４-ηが接続されている液晶容量ｃｌ４３＿ηが大きいほど液晶容量ｃｌ４２-ｎと液晶容量ｃ １４１-ｎとを下げることが容易であり、視角特性上、高階調で機能する画素の面積が大きい方が望ましい。

[0070] 以上のように、制御部２１は、各サブ画素の各液晶容量ｃｌ４１-ｎ～ｃｌ４３＿ｎに電位を書き込む。その後、第3 の自己補償容量Ｃ４３＿ｎに接続されたスイッチング素子Ｔ４４＿ｎを制御することで、液晶容量ｃｌ４３-ηの電位を変動させ、さらに、液晶容量ｃｌ４２-ηと液晶容量ｃｌ４３＿ｎの間に接続された第2 の自己補償容量Ｃ４２＿ｎを用いて液晶容量ｃｌ４２-ｎの電位を変動させ、さらに、液晶容量ｃｌ４１-ｎと液晶容量ｃｌ４２＿ｎの間に接続された第１の自己補償容量Ｃ４１＿ｎを用いて液晶容量ｃｌ４１＿ｎの電位を変動させる。これにより、液晶のセル厚による輝度ムラを減少させつつ、１画素を3 つのサブ画素に分割して3 階調表現を行える。そして、サブ画素ｓｐ４１＿ｎの液晶容量ｃｌ４１＿ｎとサブ画素ｓｐ４

２＿ｎの液晶容量ｃｌ４２＿ｎとの間の第１の自己補償容量Ｃ４１＿ｎと、サブ画素ｓｐ４２－ｎの液晶容量ｃｌ４２＿ｎとサブ画素ｓｐ４３－ｎの液晶容量ｃｌ４３＿ｎとの間の第１の自己補償容量Ｃ４１＿ｎは、単純な容量結合のため制御用のスィツチング素子等を形成する必要がないので、構造を簡単にできるので開口率が低下しない効果がある。

[0071] また、本実施形態では、全てのサブ画素ｓｐ４１＿ｎ～ｓｐ４３＿ｎの液晶容量ｃｌ４１＿ｎ～ｃｌ４３＿ｎが、各スィッチング素子Ｔ４１＿ｎ～Ｔ４３＿ｎを介して表示信号線Ｓｍ＿ｎに接続される構成としている。複数のサブ画素ごとに結合容量を接続して１つのスィツチング素子で制御する手法と比べて、各液晶容量ｃｌ４１－ｎ～ｃｌ４３＿ｎがフローティングされていないため焼き付きが発生しない効果がある。

[0072] また、本実施形態によれば、サブ画素ｓｐ４１＿ｎ～ｓｐ４２＿ｎにもサブ画素ｓｐ４３＿ｎと同じように電位を変化させるためのスィツチング素子と自己補償容量を備える構成する手法と比べて、サブ画素ｓｐ４２＿ｎの画素電極４０２とサブ画素ｓｐ４３－ｎの画素電極４０３との間に第２の自己補償容量Ｃ４２－ｎを形成するだけなので、構造を簡単にでき開口率の低下を抑える効果もある。

[0073] ［第５実施形態］

第５の実施形態は、１画素を３つのサブ画素に分割した液晶装置の他の実施形態である。第５の実施形態は、図２０～図２１を用いて説明する。図２０は、本実施形態における１画素を３つのサブ画素に分割した液晶装置の等価回路の一例である。図２１は、図２０の等価回路を簡略化して表現した図である。符号５０１～５０３を付した画素電極は、各サブ画素ｓｐ５１＿ｎ～ｓｐ５３－ｎの各画素電極である。

[0074] 図２０と図２１のように、サブ画素ｓｐ５１＿ｎのスイッチング素子Ｔ５１＿ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スイッチング素子Ｔ５１＿ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイツチング素子Ｔ５１＿ｎのドレイン電極は、画素電極５０１を介して液晶容量

ｃｌ５１－ｎの一方と第１の自己補償容量Ｃ５１－ｎの一方の端子に接続されている。液晶容量ｃｌ５１＿ｎの他方の端子は、共通電極６を介して接地されている。

サブ画素ｓｐ５３－ｎのスィツチング素子Ｔ５３－ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スィツチング素子Ｔ５３－ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ５３＿ｎのドレイン電極は、画素電極５０３を介して液晶容量ｃｌ５３＿ｎの＿方と第１の自己補償容量Ｃ５１＿ｎの他方の端子と第２の自己補償容量Ｃ５２—ｎの—方とスィッチング素子Ｔ５４＿ｎのドレイン電極に接続されている。液晶容量ｃｌ５３＿ｎの他方の端子は、共通電極６を介して接地されている。スィツチング素子丁５４－ｎのソース電極は、第３の自己補償容量Ｃ５３－ｎの一方の端子に接続されている。第３の自己補償容量Ｃ５３＿ｎの他方の端子は、コモン配線Ｃｓ＿（ｎ＋１）（補助容量電極）に接続されている。スイッチング素子Ｔ５４＿ｎのゲート電極は、走査線Ｇ＿（ｎ＋１）に接続されている。

サブ画素ｓｐ５２－ｎのスィツチング素子Ｔ５２－ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スィツチング素子Ｔ５２－ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ５２＿ｎのドレイン電極は、画素電極５０２を介して液晶容量ｃｌ５２＿ｎの一方と第２の自己補償容量Ｃ５２＿ｎの他方の端子に接続されている。液晶容量ｃｌ５２＿ｎの他方の端子は、共通電極６を介して接地されている。また、画素電極の電位が変動する機構は、スイッチング素子Ｔ５４＿ｎ（第１のスィッチング素子）と第３の自己補償容量Ｃ５３＿ｎ（第１の容量）、第２の自己補償容量Ｃ５２＿ｎ（第２の容量）および第１の自己補償容量Ｃ５１＿ｎ（第２の容量）で構成されている。なお、スイッチング素子Ｔ５４＿ｎのゲート電極に接続される走査線は、走査線Ｇ－（ｎ＋１）でなくともよく、画素ｐ＿ｎより後段の走査線、例えばＧ＿（ｎ＋２）やＧ＿（ｎ＋３）などでもよい。

[0075] 次に、Ｌフレーム時のｎ画素選択時の動作を、図２０と図１９を用いて説明する。制御部２１は、表示信号線Ｓｍ＿ｎの信号をＶｓに制御する（図１９、時刻ｔ０ａ）。次に、制御部２１は、走査線Ｇ＿ｎの信号を時刻ｔ０ａ～ｔ１ａの期間（１画素分の書き換え期間）、Ｈレベル（Ｖｈｉｇｈ）に制御することで、スイッチング素子Ｔ５１＿ｎ～Ｔ５３＿ｎをオン状態にし、各サブ画素ｓｐ５１－ｎ～ｓｐ５３－ｎに電位Ｖｓを書き込む。また、時刻ｔ０ａ～ｔ１ａの期間、制御部２１は、走査線Ｇ－（ｎ＋１）をＬレベルに制御することで、スィツチング素子Ｔ５４－ｎをオフ状態にする。

[0076] 次に、ｔ１ａ～ｔ２ａの期間について、すなわち、Ｌフレーム時のｎ＋１画素選択時の動作を説明する。

制御部２１は、走査線Ｇ＿ｎをＬレベルに制御することで、スイッチング素子Ｔ１５１＿ｎ～Ｔ５３＿ｎをオフ状態にする。また制御部２１は、走査線Ｇ＿（ｎ＋１）をＨレベルに制御することで、スイッチング素子Ｔ５４—ｎをオン状態にする。サブ画素ｓｐ５３＿ｎの液晶容量ｃｌ５３－ｎに接続されているスィッチング素子Ｔ５４＿ｎがオン状態のため、液晶容量ｃｌ５３－ｎに保持されている電荷が、スィツチング素子Ｔ５４－ｎのソース電極に接続されている第３の自己補償容量Ｃ５３＿ｎに移動する。この結果、液晶容量ｃｌ５３＿ｎの電位は、第３の自己補償容量Ｃ５３＿ｎに基づきΑＶρｘ（１）だけ下がり、ＶｓかいらＶｓ—ΔＶやｘ（１）に変化する。

[0077] 液晶容量ｃｌ５１－ｎを構成する画素電極５０１と液晶容量ｃ１５３－ｎを構成する画素電極５０３は、第１の自己補償容量Ｃ５１－ｎによって容量結合された状態となっている。また、液晶容量ｃｌ５２＿ｎを構成する画素電極５０２と液晶容量ｃｌ５３－ｎを構成する画素電極５０３は、第２の自己補償容量Ｃ５２＿ｎによって容量結合された状態となっている。従ってサブ画素ｓｐ５３＿ｎの液晶容量ｃｌ５３－ｎを構成する画素電極５０３の電位が下がった結果、その電位変動は液晶容量ｃｌ５１＿ｎを構成する画素電極５０１と液晶容量ｃｌ５２＿ｎを構成する画素電極５０２とにも起きる。このため、液晶容量ｃｌ５２＿ｎの電位は、Δνρχ（２）だけ下がり、Ｖ

ｓからＶｓ—Δｖｐχ（２）に変化する。さらに、液晶容量ｃｌ５１＿ｎの電位は、Δｖｐχ（３）だけ下がり、ＶｓからＶｓ—ΔＶやｘ（３）に変化する。Δｖｐχ（３）とΔｖｐχ（２）とΔｖｐχ（１）の関係は、液晶容量ｃｌ５１＿η、液晶容量ｃｌ５２＿η、液晶容量ｃｌ５３＿ｎ、第１の自己補償容量Ｃ５１＿ｎ、第2 の自己補償容量Ｃ５２—ｎおよび第3 の自己補償容量Ｃ５３＿ｎのバランスによって定まる。なお、例えば、Δｖｐχ（１）の電位の方がΔｖｐχ（２）の電位より大きい関係になり且つΔｖｐｘ（２）の電位の方がΔｖｐχ（３）の電位より大きい関係になるように、各容量を設定する。

[0078] この結果、図１９と図２０のように、時刻ｔ２ａ以降、各サブ画素の液晶容量の電位の大きさは、以下のようになる。サブ画素ｓｐ５１＿ｎの液晶容量ｃｌ５１－ｎを構成する画素電極５０１の電位がサブ画素ｓｐ５２＿ｎの液晶容量ｃｌ５２－ｎを構成する画素電極５０２の電位より大きい。サブ画素ｓｐ５２＿ｎの液晶容量ｃｌ５２－ｎを構成する画素電極５０２の電位がサブ画素ｓｐ５３＿ｎの液晶容量ｃｌ５３－ｎを構成する画素電極５０３の電位より大きい。

このため、各サブ画素の電位差に応じて各サブ画素の各液晶容量の光透過率または光反射率が異なる。画素全体としては3 つのサブ画素の階調輝度特性の合成と見なすことが出来る。よって、低階調領域はサブ画素ｓｐ５１－ｎの特性が支配的となる。中階調領域はサブ画素ｓｐ５２＿ｎの特性が支配的となる。高階調領域はサブ画素ｓｐ５３－ｎの特性が支配的となる。そして、各サブ画素は、セル厚変動に対して自己補償がかかるように画素電位が変動する。低階調領域はサブ画素ｓｐ５１＿ｎ、中階調領域はサブ画素ｓｐ５２＿ｎ、高階調領域はサブ画素ｓｐ５３＿ｎの補償機能が動作することで、第１実施形態および第2 実施形態よりも広い階調範囲で補償が有効となる。

[0079] また、図２１において、各サブ画素ｓｐ５１－ｎ～ｓｐ５３－ｎの画素電極５０１～５０３の面積は、例えば、全て同じでもよい。あるいは、第4 実

施形態と同様に、画素電極５０３の面積を他の画素電極５０１～５０２より大きくするようにしてもよい。

[0080] 以上のように、制御部２１は、各サブ画素の各液晶容量ｃｌ５1－ｎ～ｃｌ５３＿ｎに電位を書き込む。その後、第３の自己補償容量Ｃ５３＿ｎに接続されたスイッチング素子Ｔ５４＿ｎを制御することで、液晶容量ｃｌ５３－ｎの電位を変動させ、さらに、液晶容量ｃｌ５1－ｎと液晶容量ｃ５２－ｎの間に接続された第１の自己補償容量Ｃ５1＿ｎを用いて電位を変動させ、液晶容量ｃｌ５３－ｎと液晶容量ｃ５1＿ｎの間に接続された第２の自己補償容量Ｃ５２－ｎを用いて電位を変動させ、液晶のセル厚による輝度ムラを減少させせつつ、１画素を3つのサブ画素に分割して階調表現を行う。このため、サブ画素ｓｐ５１＿ｎの液晶容量ｃｌ５１＿ｎとサブ画素ｓｐ５２＿ｎの液晶容量ｃｌ５２－ｎとの間の第１の自己補償容量Ｃ５１＿ｎは、単純な容量結合のため制御用のスィツチング素子等を形成する必要がない。また、サブ画素ｓｐ５３－ｎの液晶容量ｃｌ５３－ｎとサブ画素ｓｐ５１＿ｎの液晶容量ｃｌ５１＿ｎとの間の第２の自己補償容量Ｃ５２＿ｎは、単純な容量結合のため制御用のスィツチング素子等を形成する必要がないので、構造を簡単にできるので開口率が低下しない効果がある。

[0081] また、本実施形態では、第２実施形態と同様に、全てのサブ画素ｓｐ５１－ｎ～ｓｐ５３－ｎの液晶容量ｃｌ５1－ｎ～ｃｌ５３＿ｎが、各スィッチング素子Ｔ５1－ｎ～Ｔ５３＿ηを介して表示信号線Ｓｍ＿ηに接続する構成としている。各液晶容量ｃｌ５1－ｎ～ｃｌ５３－ｎがフローティングされていないため焼き付きが発生しない効果がある。

[0082] [第６実施形態]

第６の実施形態は、１画素を4つのサブ画素に分割した液晶装置である。第６の実施形態は、図２２～図２４を用いて説明する。図２３は、本実施形態における１画素を4つのサブ画素に分割した液晶装置の等価回路の一例である。図２４は、図２３の等価回路を簡略化して表現した図である。図２３において、符号６０１～６０４を付した画素電極は、各サブ画素ｓｐ６１＿

n～ｓｐ６４－ｎの各画素電極である。

[0083] 図２３と図２４のように、サブ画素ｓｐ６１＿ｎのスイッチング素子Ｔ６１＿ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スイッチング素子Ｔ６１＿ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ６１＿ｎのドレイン電極は、画素電極６０１を介して液晶容量ｃｌ６１－ｎの一方と第１の自己補償容量Ｃ６１－ｎの一方の端子に接続されている。液晶容量ｃｌ６１＿ｎの他方の端子は、共通電極６を介して接地されている。

サブ画素ｓｐ６２－ｎのスィツチング素子Ｔ６２－ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スィツチング素子Ｔ６２－ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ６２＿ｎのドレイン電極は、画素電極６０２を介して液晶容量ｃｌ６２＿ｎの＿方と第１の自己補償容量Ｃ６１＿ｎの他方の端子と第２の自己補償容量Ｃ６２―ｎの他方の端子に接続されている。液晶容量ｃｌ６２＿ｎの他方の端子は、共通電極６を介して接地されている。

サブ画素ｓｐ６３－ｎのスィツチング素子Ｔ６３－ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スィツチング素子Ｔ６３－ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ６３＿ｎのドレイン電極は、画素電極６０３を介して液晶容量ｃｌ６３＿ｎの一方と第２の自己補償容量Ｃ６２＿ｎの他方の端子と第３の自己補償容量Ｃ６３＿ｎの―方の端子に接続されている。液晶容量ｃｌ６３＿ｎの他方の端子は、共通電極６を介して接地されている。

サブ画素ｓｐ６４－ｎのスィツチング素子Ｔ６４－ｎのゲート電極は、走査線Ｇ＿ｎに接続されている。スィツチング素子Ｔ６４－ｎのソース電極は、表示信号線Ｓｍ＿ｎに接続されている。スイッチング素子Ｔ６４＿ｎのドレイン電極は、画素電極６０４を介して液晶容量ｃｌ６４＿ｎの一方と第３の自己補償容量Ｃ６３＿ｎの他方の端子とスィツチング素子Ｔ６５＿ｎのドレイン電極に接続されている。液晶容量ｃｌ６４＿ｎの他方の端子は、共通

電極６を介して接地されている。

スィツチング素子Ｔ６５－ｎのソース電極は、第４の自己補償容量Ｃ６４＿ｎの一方の端子に接続されている。第４の自己補償容量Ｃ６４—ｎの他方の端子は、コモン配線Ｃｓ－（ｎ＋１）（補助容量電極）に接続されている。スイッチング素子Ｔ６５＿ｎのゲー卜電極は、走査線Ｇ＿（ｎ＋１）に接続されている。また、画素電極の電位が変動する機構は、スイッチング素子Ｔ６５－ｎ（第１のスイッチング素子）と第４の自己補償容量Ｃ６４—ｎ（第１の容量）、第３の自己補償容量Ｃ６３＿ｎ（第２の容量）、第２の自己補償容量Ｃ６２＿ｎ（第２の容量）および第１の自己補償容量Ｃ６１＿ｎ（第２の容量）で構成されている。なお、スイッチング素子Ｔ６５＿ｎのゲー卜電極に接続される走査線は、走査線Ｇ＿（ｎ＋１）でなくともよく、画素Ｐ＿ｎより後段の走査線、例えばＧ＿（ｎ＋２）やＧ＿（ｎ＋３）などでもよい。

[0084] 次に、Ｌフレーム時のｎ画素選択時の動作を、図２２と図２４を用いて説明する。図２４は、本実施形態における４つのサブ画素を備える液晶装置のタイミングチヤー卜である。

制御部２１は、表示信号線Ｓｍ＿ｎの信号をＶｓに制御する（図２４、時刻ｔ０ａ）。

次に、制御部２１は、走査線Ｇ－ｎの信号を時刻ｔ０ａ～ｔ１ａの期間（1画素分の書き換え期間）、Ｈレベル（Ｖｈｉｇｈ）に制御することで、スィッチング素子Ｔ６１－ｎ～Ｔ６４－ｎをオン状態にし、各サブ画素ｓｐ６１＿ｎ～ｓｐ６４－ｎに電位Ｖｓを書き込む。また、時刻ｔ０ａ～ｔ１ａの期間、制御部２１は、走査線Ｇ＿（ｎ＋１）をＬレベルに制御することで、スィツチング素子丁６５－ｎをオフ状態にする。

[0085] 次に、ｔ１ａ～ｔ２ａの期間について、すなわち、Ｌフレーム時のｎ＋１画素選択時の動作を説明する。

制御部２１は、走査線Ｇ＿ｎをＬレベルに制御することで、スイッチング素子Ｔ６１＿ｎ～Ｔ６４＿ｎをオフ状態にする。走査線Ｇ＿（η＋１）をH

レベルに制御することで、スイッチング素子Ｔ６５－ｎをオン状態にする。サブ画素ｓｐ６４＿ｎの液晶容量ｃｌ６４＿ｎに接続されているスイッチング素子Ｔ６５－ｎがオン状態のため、液晶容量ｃｌ６４－ｎに保持されている電荷が、スイッチング素子Ｔ６５－ｎのソース電極に接続されている第４の自己補償容量Ｃ６４—ｎに移動する。この結果、液晶容量ｃｌ６４—ｎの電位は、第４の自己補償容量Ｃ６４＿ｎに基づきΔｖｐｘ（１）だけ下がり、ＶｓからＶｓ—Δｖρχ（１）に変化する。

[0086] 液晶容量ｃｌ６１－ｎを構成する画素電極６０１と液晶容量ｃｌ６２－ｎを構成する画素電極６０２は、第１の自己補償容量Ｃ６１－ｎによって容量結合された状態となっている。また、液晶容量ｃｌ６２＿ｎを構成する画素電極６０２と液晶容量ｃｌ６３＿ｎを構成する画素電極６０３は、第２の自己補償容量Ｃ６２＿ｎによって容量結合された状態となっている。さらに、液晶容量ｃｌ６３＿ｎを構成する画素電極６０３と液晶容量ｃｌ６４＿ｎを構成する画素電極６０４は、第３の自己補償容量Ｃ６３＿ｎによって容量結合された状態となっている。従ってサブ画素ｓｐ６４＿ｎの液晶容量ｃｌ６４－ｎを構成する画素電極６０４の電位が下がった結果、その電位変動は液晶容量ｃｌ６３＿ｎを構成する画素電極６０３にも起きる。このため、液晶容量ｃｌ６３＿ｎの電位は、Δｖρχ（２）だけ下がり、ＶｓからＶｓ—ΔＶｐｘ（２）に変化する。さらに、サブ画素ｓｐ６３＿ｎの液晶容量ｃｌ６３－ｎを構成する画素電極６０３の電位が下がった結果、その電位変動は液晶容量ｃｌ６２＿ｎを構成する画素電極６０２にも起きる。このため、液晶容量ｃｌ６２＿ｎの電位は、Δｖρχ（３）だけ下がり、ＶｓからＶｓ—ΔＶｐｘ（３）に変化する。さらに、サブ画素ｓｐ６２＿ｎの液晶容量ｃｌ６２－ｎを構成する画素電極６０２の電位が下がった結果、その電位変動は液晶容量ｃｌ６１＿ｎを構成する画素電極６０１にも起きる。このため、液晶容量ｃｌ６１＿ｎの電位は、Δｖρχ（４）だけ下がり、ＶｓからＶｓ—ΔＶｐｘ（４）に変化する。

ΔＶｐｘ（４）とΔｖρχ（３）とΔｖρχ（２）とΔｖρχ（１）の関

係は、液晶容量ｃｌ６１＿ｎ、液晶容量ｃｌ６２＿ｎ、液晶容量ｃｌ６３-ｎ、液晶容量ｃｌ６４＿ｎ、第１の自己補償容量Ｃ６１＿ｎ、第２の自己補償容量Ｃ６２＿ｎ、第３の自己補償容量Ｃ６３-ｎおよび第4の自己補償容量Ｃ６４—ｎのバランスによって定まる。なお、例えば、Δνρχ（1）の電位の方がΔνρχ（2）の電位より大きい関係になり且つΔνρχ（3）の電位の方がΔνρχ（2）の電位より大きい関係になり且つΔνρχ（4）の電位の方がΔνρχ（3）の電位より大きい関係になるように、各容量を設定する。

[0087] この結果、図２２と図２４のように、時刻ｔ２ａ以降、各サブ画素の液晶容量の電位の大きさは、以下のようになる。サブ画素ｓｐ６１＿ｎの液晶容量ｃｌ６１-ｎを構成する画素電極６０１の電位がサブ画素ｓｐ６２＿ｎの液晶容量ｃｌ６２＿ｎを構成する画素電極６０２の電位より大きい。サブ画素ｓｐ６２＿ｎの液晶容量ｃｌ６２-ｎを構成する画素電極６０２の電位がサブ画素ｓｐ６３-ｎの液晶容量ｃｌ６３-ｎを構成する画素電極６０３の電位より大きい。サブ画素ｓｐ６３＿ｎの液晶容量ｃｌ６３＿ｎを構成する画素電極６０３の電位がサブ画素ｓｐ６４＿ｎの液晶容量ｃｌ６４-ｎを構成する画素電極６０４の電位より大きい。

[0088] この結果、各サブ画素の電位差に応じて各サブ画素の各液晶容量の光透過率または光反射率が異なる。画素全体としては4つのサブ画素の階調輝度特性の合成と見なすことが出来る。したがって、第１階調領域はサブ画素ｓｐ６１-ｎの特性が支配的となる。第２階調領域はサブ画素ｓｐ６２＿ｎの特性が支配的となる。第３階調領域はサブ画素ｓｐ６３＿ｎの特性が支配的となる。第4階調領域はサブ画素ｓｐ６４＿ｎの特性が支配的となる。そして、各サブ画素は、セル厚変動に対して自己補償がかかるように画素電位が変動する。第１階調領域はサブ画素ｓｐ６１＿ｎ、第２階調領域はサブ画素ｓｐ６２＿ｎ、第３階調領域はサブ画素ｓｐ６３＿ｎが、第4階調領域はサブ画素ｓｐ６４＿ｎの補償機能が動作することで、第１実施形態︿第５実施形態よりも広い階調範囲で補償が有効となる。

[0089] また、図２２において、各サブ画素ｓｐ６１_ｎ～ｓｐ６４_ｎの画素電極６０１～６０４の面積は、例えば、全て同じでもよく、あるいは、画素電極６０４の面積を他の画素電極６０１～６０３より大きくするようにしてもよい。

[0090] 以上のように、制御部２１は、各サブ画素の各液晶容量ｃｌ６１－ｎ～ｃｌ６４—ｎに電位を書き込む。その後、第４の自己補償容量Ｃ６４—ｎに接続されたスイッチング素子Ｔ６５_ｎを制御することで、液晶容量ｃｌ６４_ｎの電位を変動させ、さらに、液晶容量ｃｌ６４_ｎと液晶容量ｃｌ６３－ｎの間に接続された第３の自己補償容量Ｃ６３－ｎを用いて電位を変動させ、液晶容量ｃｌ６３_ｎと液晶容量ｃｌ６２_ｎの間に接続された第２の自己補償容量Ｃ６２—ｎを用いて電位を変動させ、さらに、液晶容量ｃｌ６２_ｎと液晶容量ｃｌ６１_ｎの間に接続された第１の自己補償容量Ｃ６１－ｎを用いて電位を変動させ、液晶のセル厚による輝度ムラを減少させつつ、１画素を４つのサブ画素に分割して４階調表現を行う。このため、サブ画素ｓｐ６１_ｎの液晶容量ｃｌ６１_ｎとサブ画素ｓｐ６２_ｎの液晶容量ｃｌ６２－ｎとの間の第１の自己補償容量Ｃ６１_ｎは、単純な容量結合のため制御用のスィツチング素子等を形成する必要がない。サブ画素ｓｐ６２－ｎの液晶容量ｃｌ６２_ｎとサブ画素ｓｐ６３_ｎの液晶容量ｃｌ６３_ｎとの間の第２の自己補償容量Ｃ６２_ｎは、単純な容量結合のため制御用のスィツチング素子等を形成する必要がない。サブ画素ｓｐ６３－ｎの液晶容量ｃｌ６３_ｎとサブ画素ｓｐ６４_ｎの液晶容量ｃｌ６４_ｎとの間の第３の自己補償容量Ｃ６３_ｎは、単純な容量結合のため制御用のスィツチング素子等を形成する必要がない。よって、構造を簡単にできるので開口率が低下しない効果がある。

[0091] また、本実施形態では、全てのサブ画素ｓｐ６１_ｎ～ｓｐ６４_ｎの液晶容量ｃｌ６１－ｎ～ｃｌ６４_ｎが、各スィッチング素子Ｔ６１_ｎ～Ｔ６４－ｎを介して表示信号線Ｓｍ_ｎに接続する構成としている。各液晶容量ｃｌ６１－ｎ～ｃｌ６４—ｎがフローティングされていないため焼き付き

が発生しない効果がある。

[0092] なお、本実施形態で説明した各画素が、ＲＧＢそれぞれの画素に対応する場合、当該画素の容量は、ＲＧＢ毎に容量が異なるようにしてもよい。

[0093] なお、実施形態の図２の制御部２１の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより各部の処理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、ＯＳや周辺機器等のハードウェアを含むものとする。

また、「コンピュータシステム」は、WWW システムを利用している場合であれば、ホームページ提供環境（あるいは表示環境）も含むものとする。

また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ＲＯＭ、ＣＤ—ＲＯＭ等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムを送信する場合の通信線のように、短時間の間、動的にプログラムを保持するもの、その場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリのように、一定時間プログラムを保持しているものも含むものとする。また上記プログラムは、前述した機能の一部を実現するためのものであっても良く、さらに前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるものであっても良い。

産業上の利用可能性

[0094] セル厚ムラによる輝度ムラを補正する液層装置を提供することができる。

符号の説明

[0095] １・・'バックライト、２・・・第１偏光板、３・・・第１ガラス基板、４・・・ＴＦＴ（薄膜トランジスタ）アレイ、５・・'液晶（液晶層）、６・・・共通電極（対向電極）、７・・・カラーフィルタ、８・・・第２ガラス

基板、9・・・第2偏光板、11_1~11_m、Sm-n・・・表示信号線、12_1~12_n、G_n、G-(n+1)、G-na・・・走査線、21・・・制御部、22・・・画素部、T1_n、T21-η~T24-η、T31_η~T33_η、T41_η~T44_η、T51-η~T54_η、T61-η~T64-η-・・スイッチング素子、cl1_η、cl21—n~cl22—n、cl31—n~cl32—n、cl41—n~cl43—n、cl51—n~cl53—n、cl61—n~cl64—n・・・液晶容量、C1—n、C21—n~C22—n、C31-n~C32_n、C41_n~C44_n、C51_n~C54_n、C61-n~C64-n・・・自己補償容量、Cs_n~Cs_(n+1)・・・コモン配線(補助容量電極)、101、201~202、301~302、401〜403、501〜503、601〜604-・・画素電極p—n、p(1,1)~p(n,m)・・・画素、sp(1,1,1)~sp(2,3,4)・・・サブ画素

請求の範囲

[請求項1] 非線形素子および画素電極を有する第1の画素が形成された第1の基板と、

前記第1の基板と対向する第2の基板と、

前記第1の基板と第2の基板の間の液晶層とを有し、

前記液晶層の厚さに基づき、前記画素電極の電位を変動させる機構を前記第1の基板に備える液晶装置。

[請求項2] 前記機構は、前記液晶層の厚さが減少したときは前記画素電極の電位を昇圧し、前記液晶層の厚さが増加したときは前記画素電極の電位を降圧する請求項1に記載の液晶装置。

[請求項3] 前記液晶装置は、ノーマリーブラックモードの液晶装置であつて、

表示信号を供給する表示信号線と、

共通電極と、

をさらに備え、

前記第1の画素は、液晶容量を有し、

前記画素電極の電位を変動させる前記機構は、前記液晶容量に前記表示信号線から電位を印加して書き込んだ後の、前記液晶容量に接続されている前記画素電極と前記共通電極との第1の電位差を、前記表示信号線と前記共通電極との第2の電位差より小さくし、前記第1の電位差に対する前記第2の電位差の差分の変動の極性が前記液晶容量の液晶層の厚みの変動の極性と逆であるように変動させる請求項1に記載の液晶装置。

[請求項4] 前記第1の画素は、複数のサブ画素を備え、前記複数のサブ画素のうち少なくとも一つのサブ画素が、

第1のゲート、ソース及びドレイン電極を有する第1のスイッチング素子と、

第2のゲート、ソース及びドレイン電極を有する第2のスイッチング素子と、

第１の走査線と第２の走査線と、

第１の容量と、

を備え、

前記液晶容量の一方は、前記第２のドレイン電極と前記第１のドレイン電極に接続され、前記液晶容量の他方は前記共通電極に接続され、前記第２のソース電極は前記表示信号線に接続され、前記第２のゲート電極は、前記第１の走査線に接続され、前記第１のソース電極は前記第１の容量の一端に接続され、前記第１の容量の他端は補助容量電極に接続され、前記第１のゲート電極は前記第２の走査線に接続され、

前記画素電極の電位を変動させる前記機構は、前記第１の走査線を選択した後、前記第２の走査線を選択することで前記画素電極の電位を変動させる請求項１に記載の液晶装置。

[請求項5] 前記複数のサブ画素はそれぞれ、少なくとも一つの他のサブ画素と容量結合となっている請求項４に記載の液晶装置。

[請求項6] 第２及び第３の画素をさらに有し、

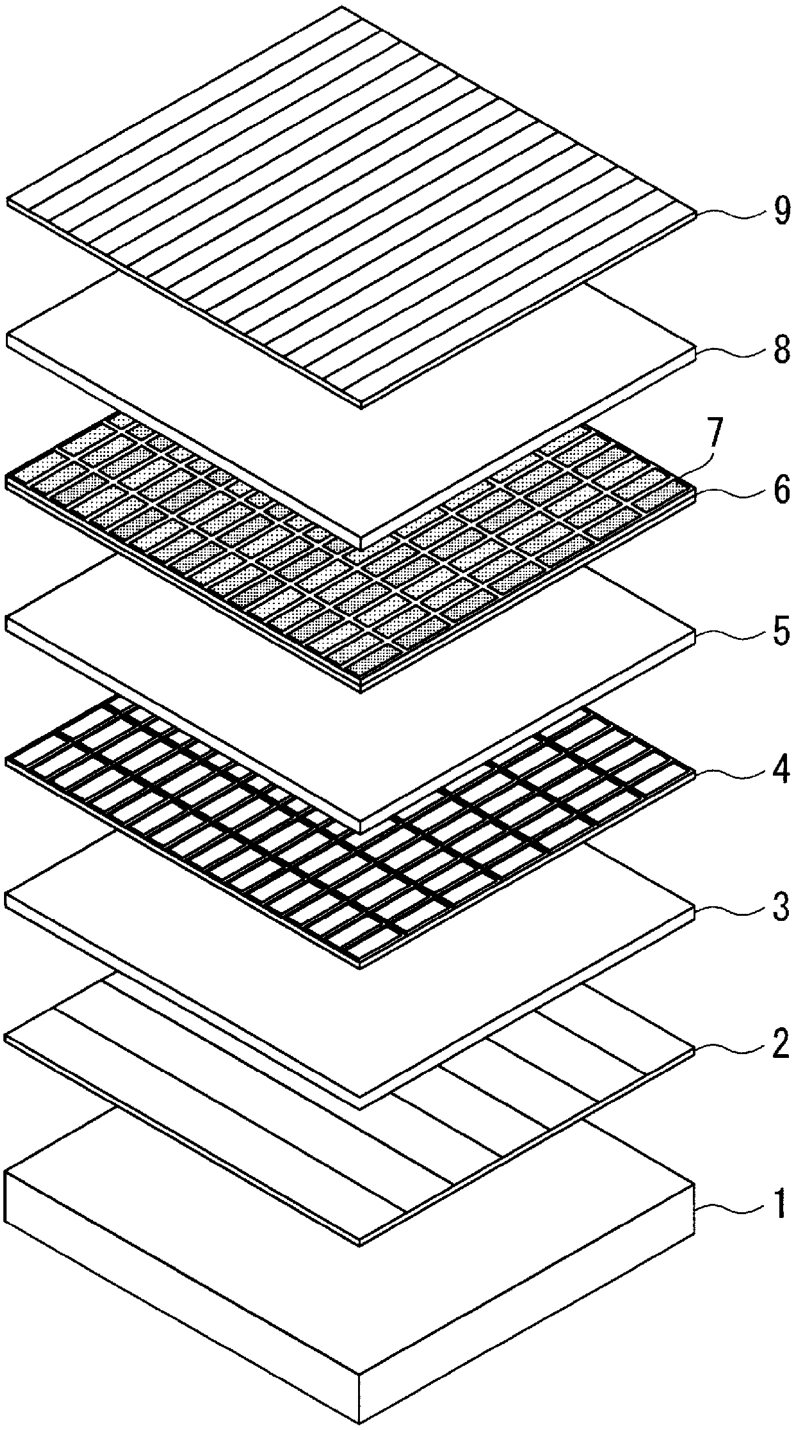
第２の画素は、第２の容量を有し、

第３の画素は、第３の容量を有し、

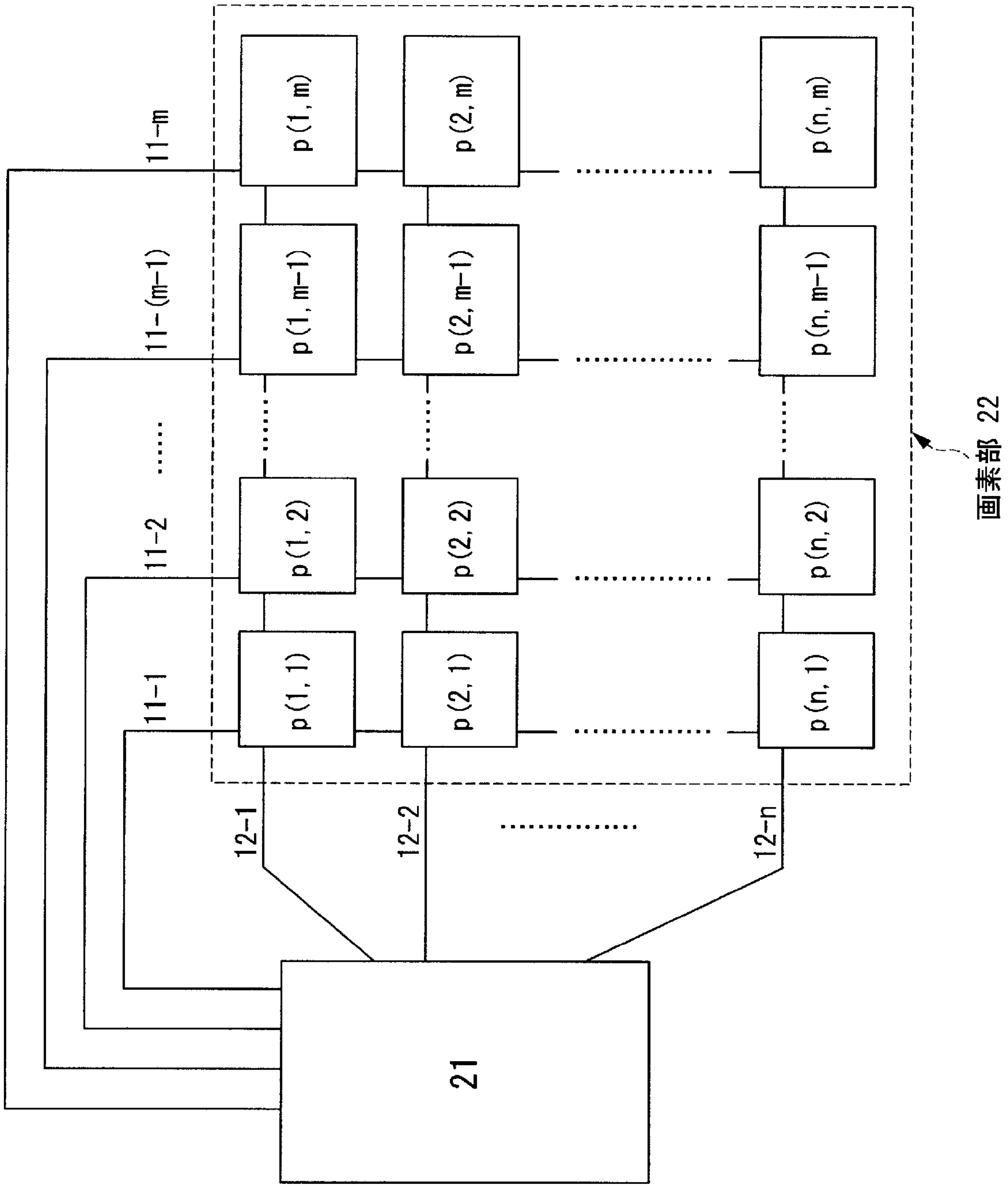
第１、第２、及び第３の画素はＲＧＢそれぞれの画素に対応し、

前記第１、第２および第３の容量は、それぞれ容量が異なる請求項４に記載の液晶装置。

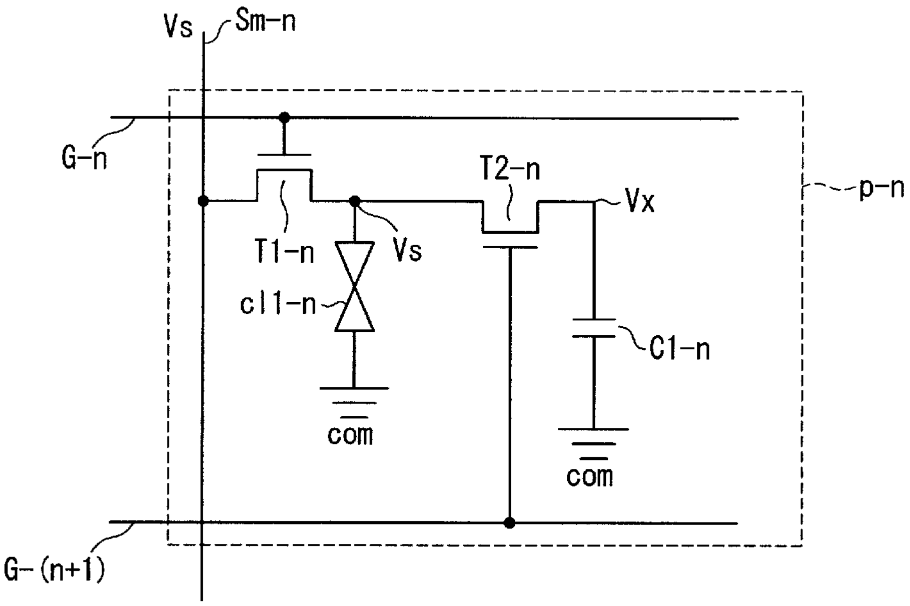
［図1］



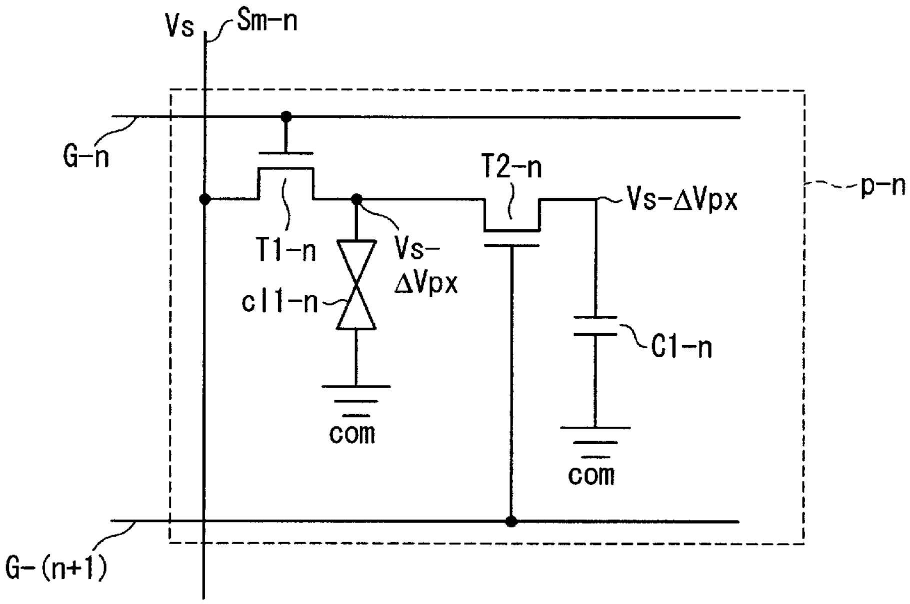
[図2]


11-m
11-(m-1)
11-2
11-1
p(1, m)
p(2, m)
p(n, m)
p(1, m-1)
p(2, m-1)
p(n, m-1)
p(1, 2)
p(2, 2)
p(n, 2)
p(1, 1)
p(2, 1)
p(n, 1)
画素部 22
12-1
12-2
12-n
21

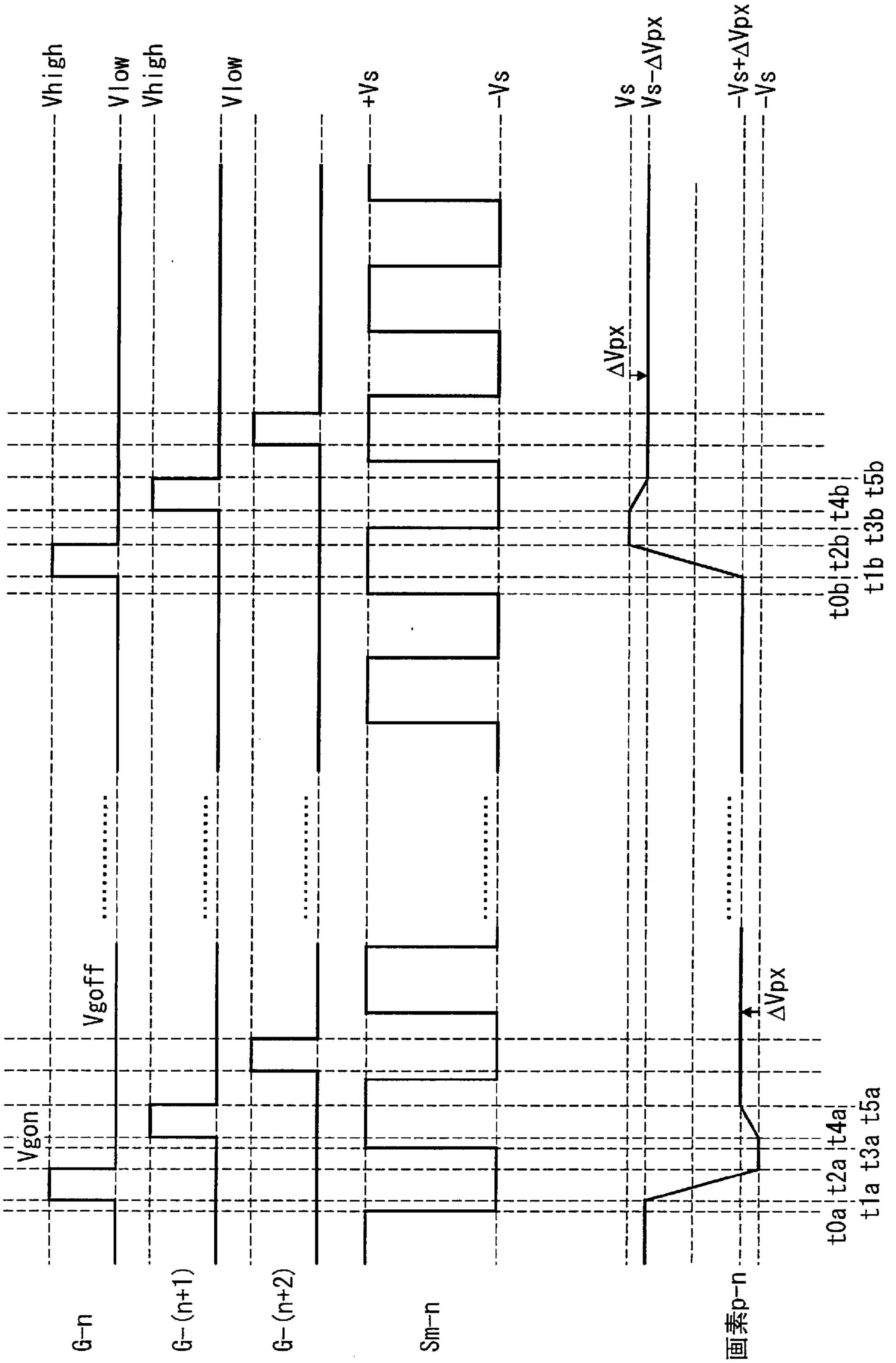
[図3]


Vs
Sm-n
G-n
T2-n
Vx
p-n
T1-n
Vs
cl1-n
C1-n
com
com
G-(n+1)

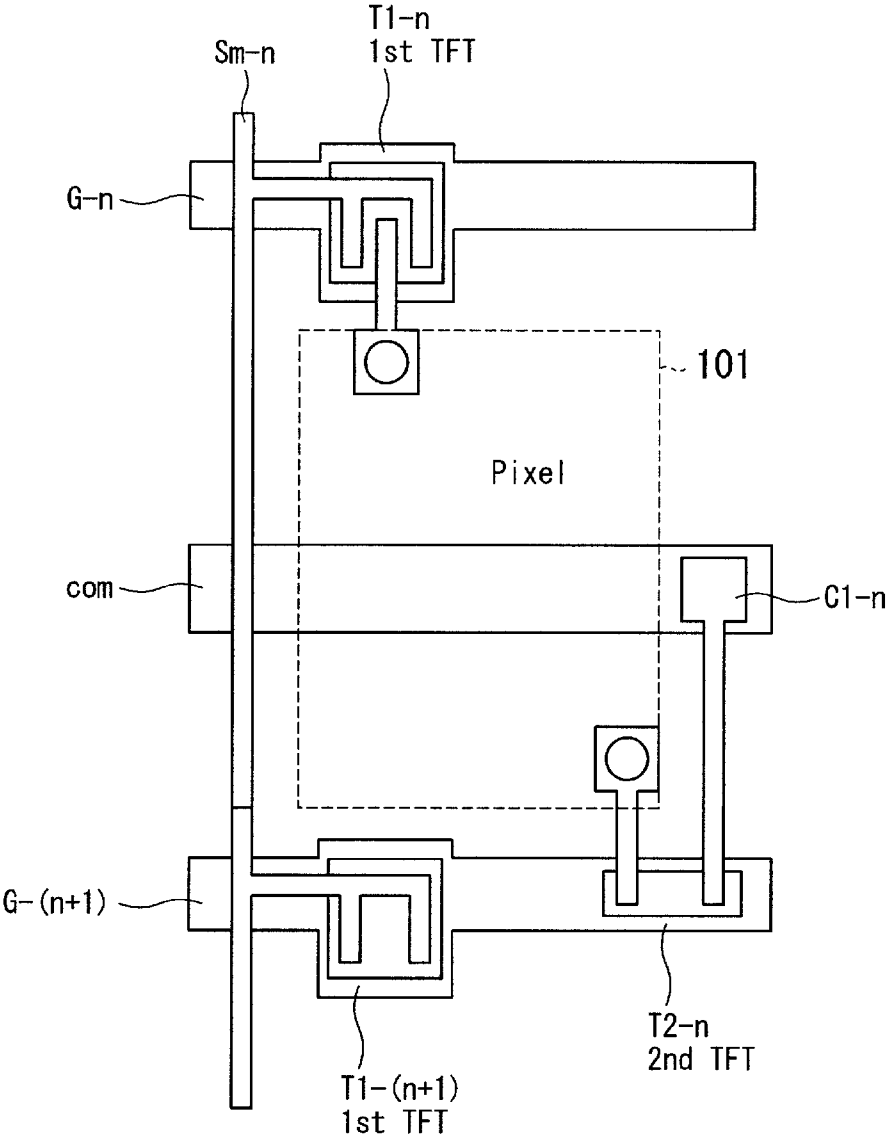
[図4]


Vs
Sm-n
G-n
T2-n
Vs-ΔVpx
p-n
T1-n
Vs-
ΔVpx
cl1-n
C1-n
com
com
G-(n+1)

[図5]

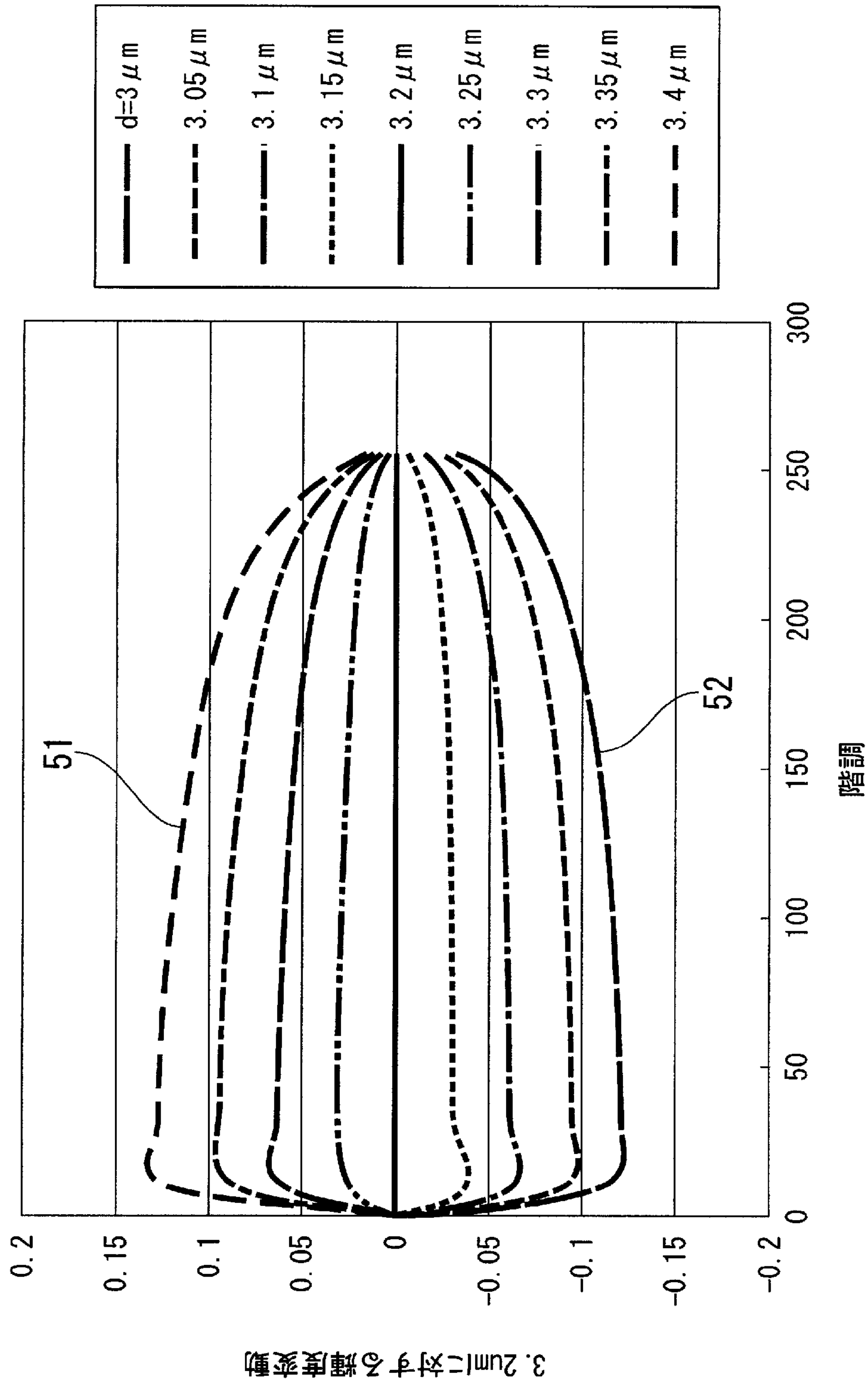

G-n
G-(n+1)
G-(n+2)
Sm-n
画素p-n
Vhigh
Vlow
Vhigh
Vlow
+Vs
-Vs
Vs
Vs-ΔVpx
-Vs+ΔVpx
-Vs
Vgon
Vgoff
ΔVpx
ΔVpx
t0a t2a t4a
t1a t3a t5a
t0b t2b t4b
t1b t3b t5b

[図6]



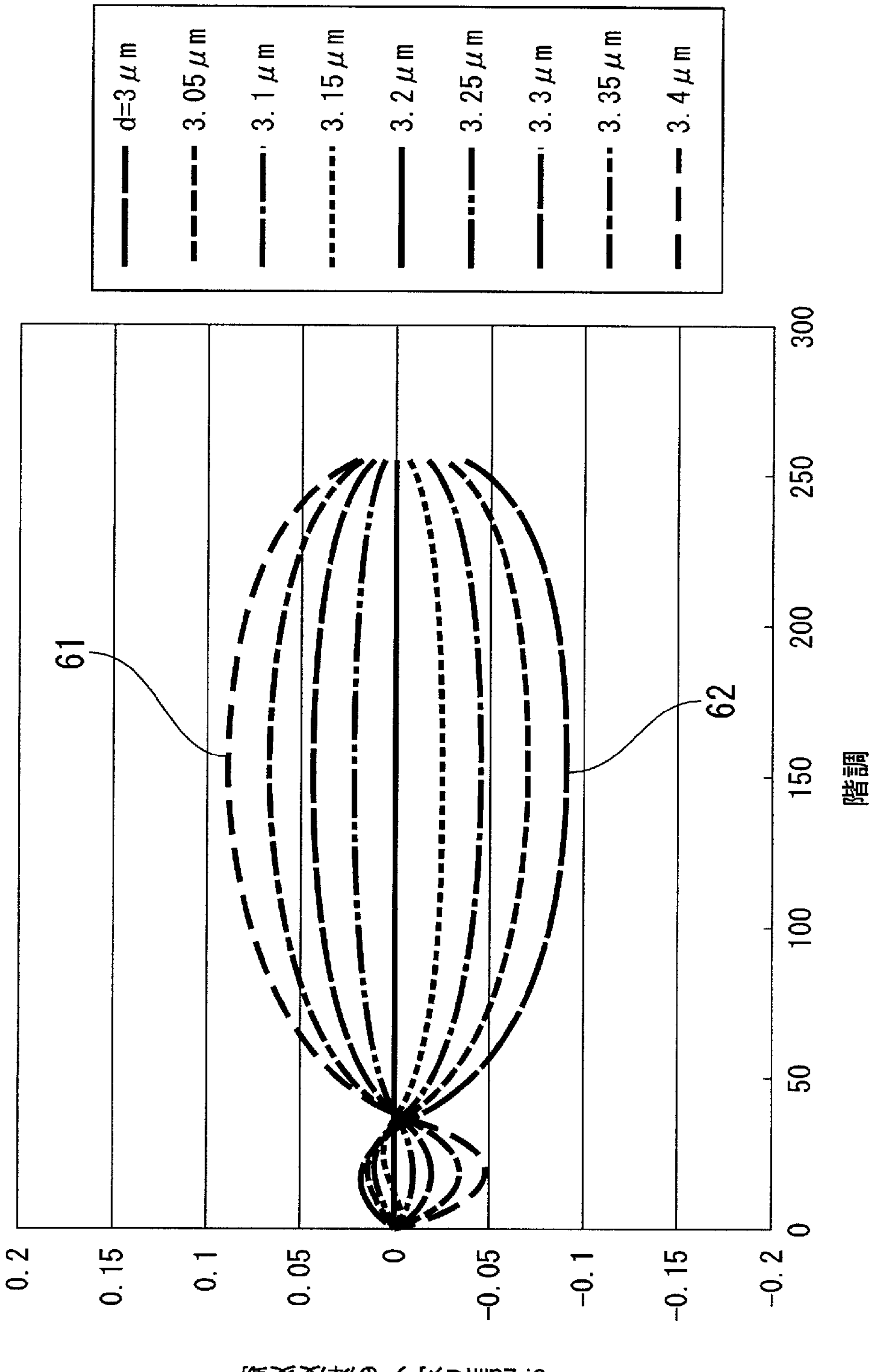
T1-n
1st TFT
Sm-n
G-n
101
Pixel
com
C1-n
G-(n+1)
T2-n
2nd TFT
T1-(n+1)
1st TFT

[図7]

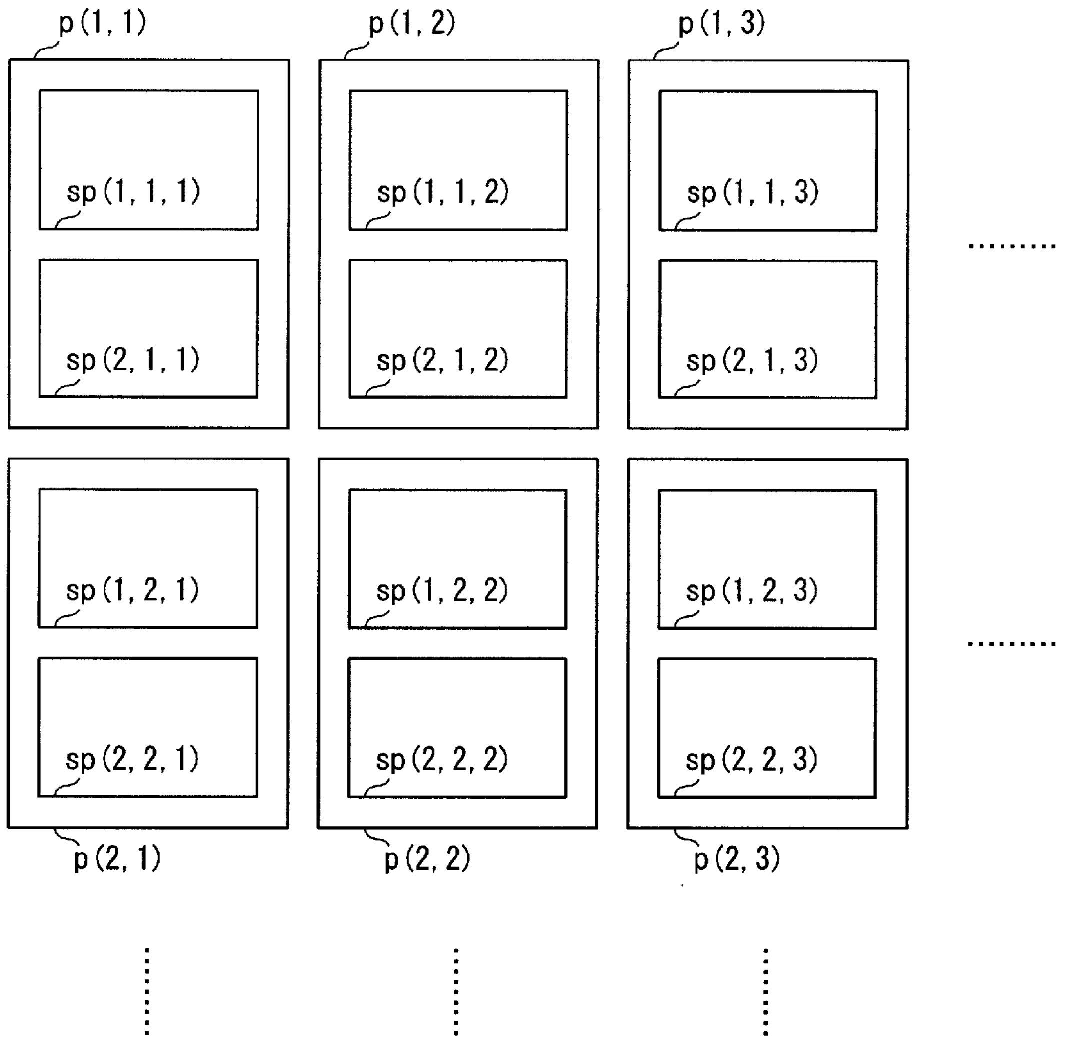


d=3μm
3.05μm
3.1μm
3.15μm
3.2μm
3.25μm
3.3μm
3.35μm
3.4μm
51
52
0
50
100
150
200
250
300
階調
0.2
0.15
0.1
0.05
0
-0.05
-0.1
-0.15
-0.2
3.2umに対する輝度変動

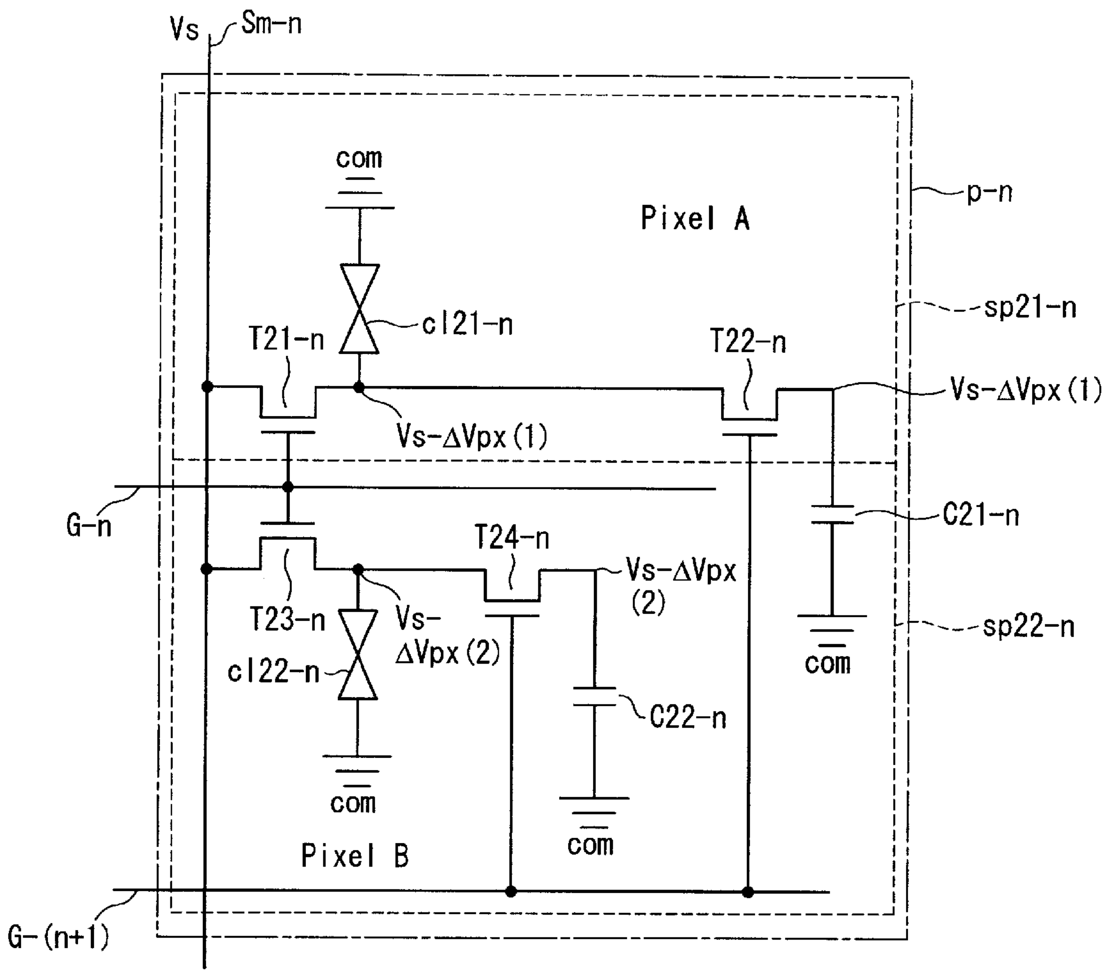
[図8]


d=3μm
3. 05μm
3. 1μm
3. 15μm
3. 2μm
3. 25μm
3. 3μm
3. 35μm
3. 4μm
61
62
0
50
100
150
200
250
300
階調
0. 2
0. 15
0. 1
0. 05
0
-0. 05
-0. 1
-0. 15
-0. 2
3. 2umに対する輝度変動

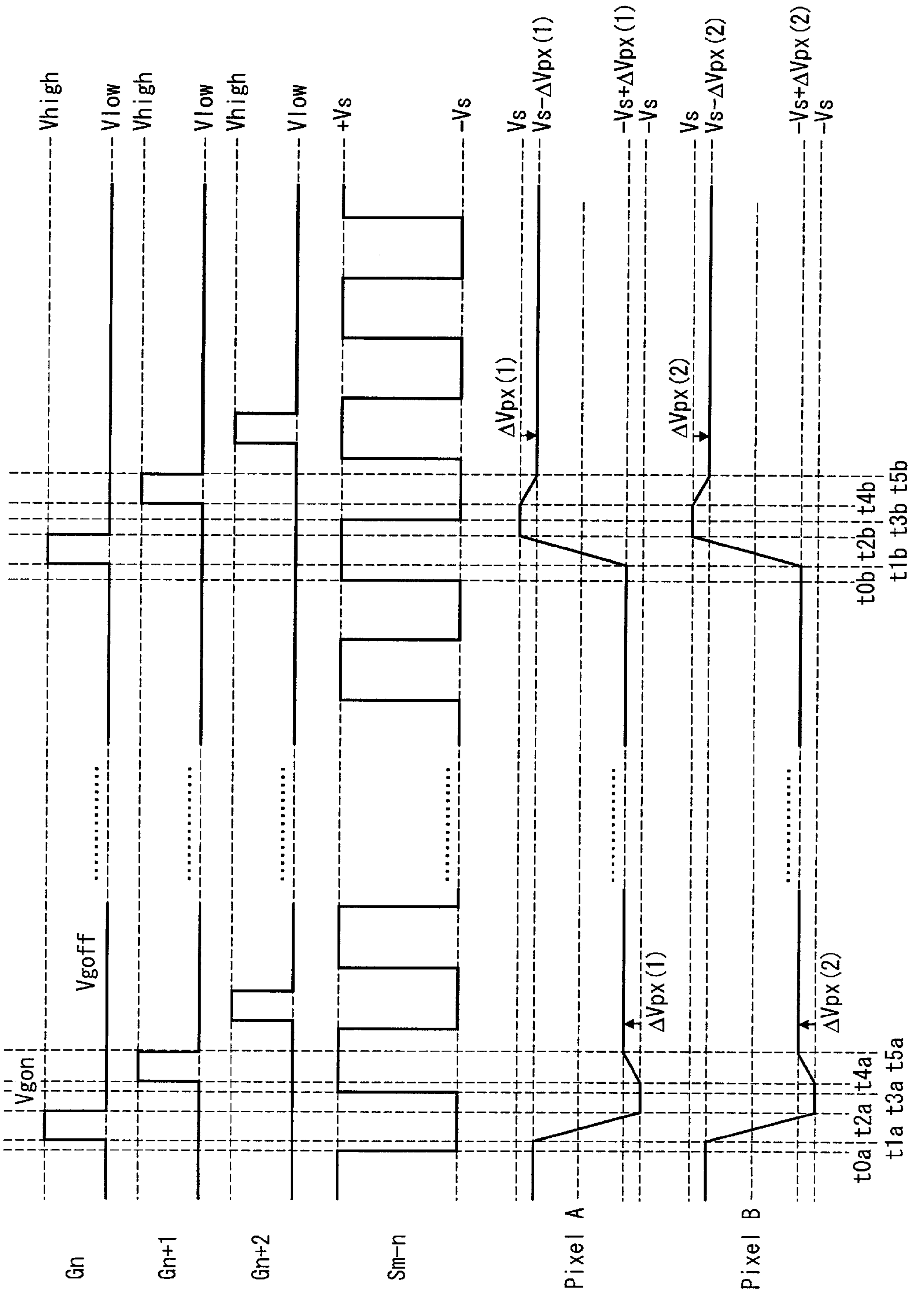
[図9]


p(1, 1)
p(1, 2)
p(1, 3)
sp(1, 1, 1)
sp(1, 1, 2)
sp(1, 1, 3)
sp(2, 1, 1)
sp(2, 1, 2)
sp(2, 1, 3)
sp(1, 2, 1)
sp(1, 2, 2)
sp(1, 2, 3)
sp(2, 2, 1)
sp(2, 2, 2)
sp(2, 2, 3)
p(2, 1)
p(2, 2)
p(2, 3)

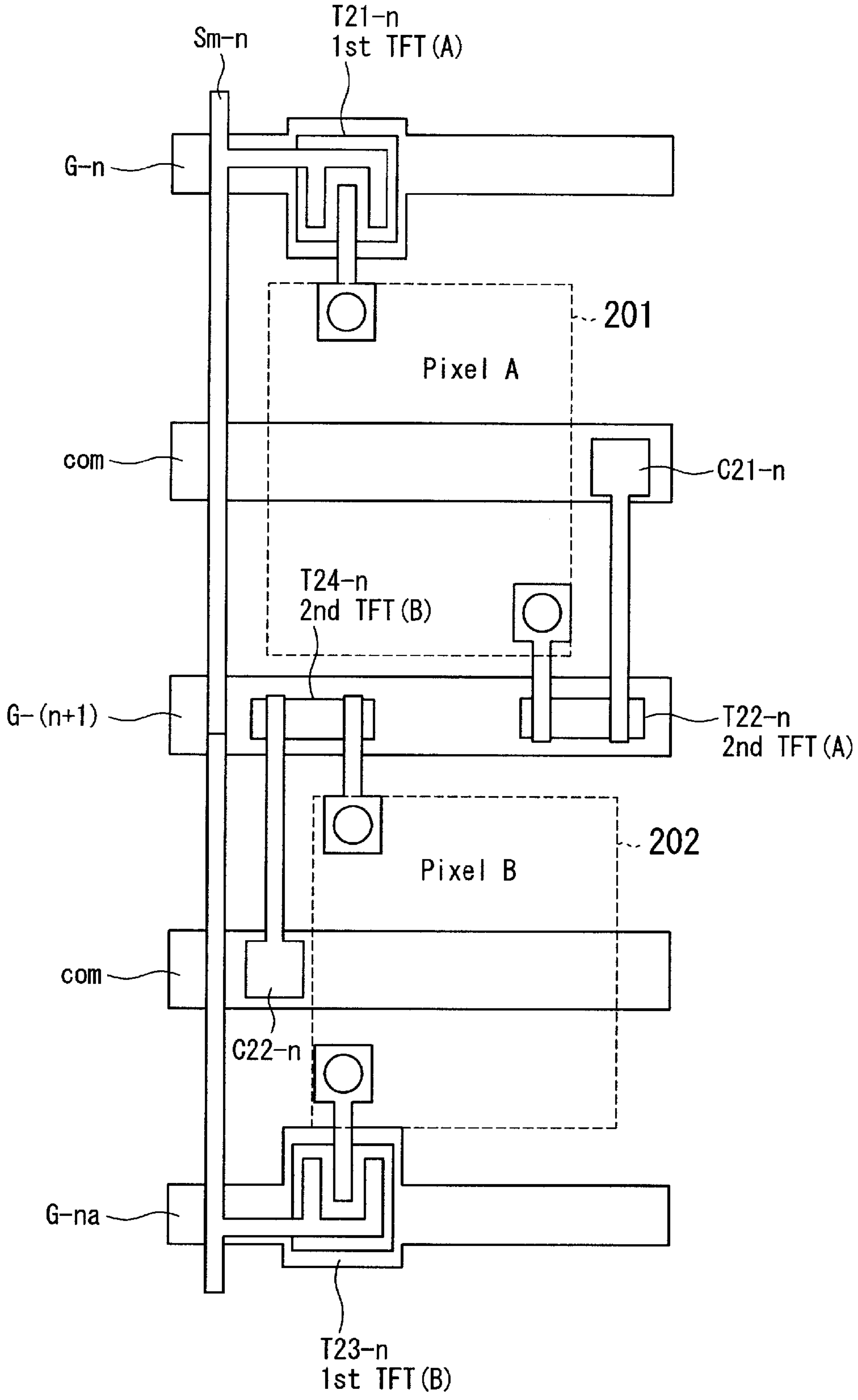
[図10]


Vs
Sm-n
com
Pixel A
p-n
sp21-n
cl21-n
T21-n
T22-n
Vs-ΔVpx(1)
Vs-ΔVpx(1)
G-n
C21-n
T24-n
Vs-ΔVpx
(2)
T23-n
Vs-
ΔVpx(2)
sp22-n
cl22-n
com
C22-n
com
com
Pixel B
G-(n+1)

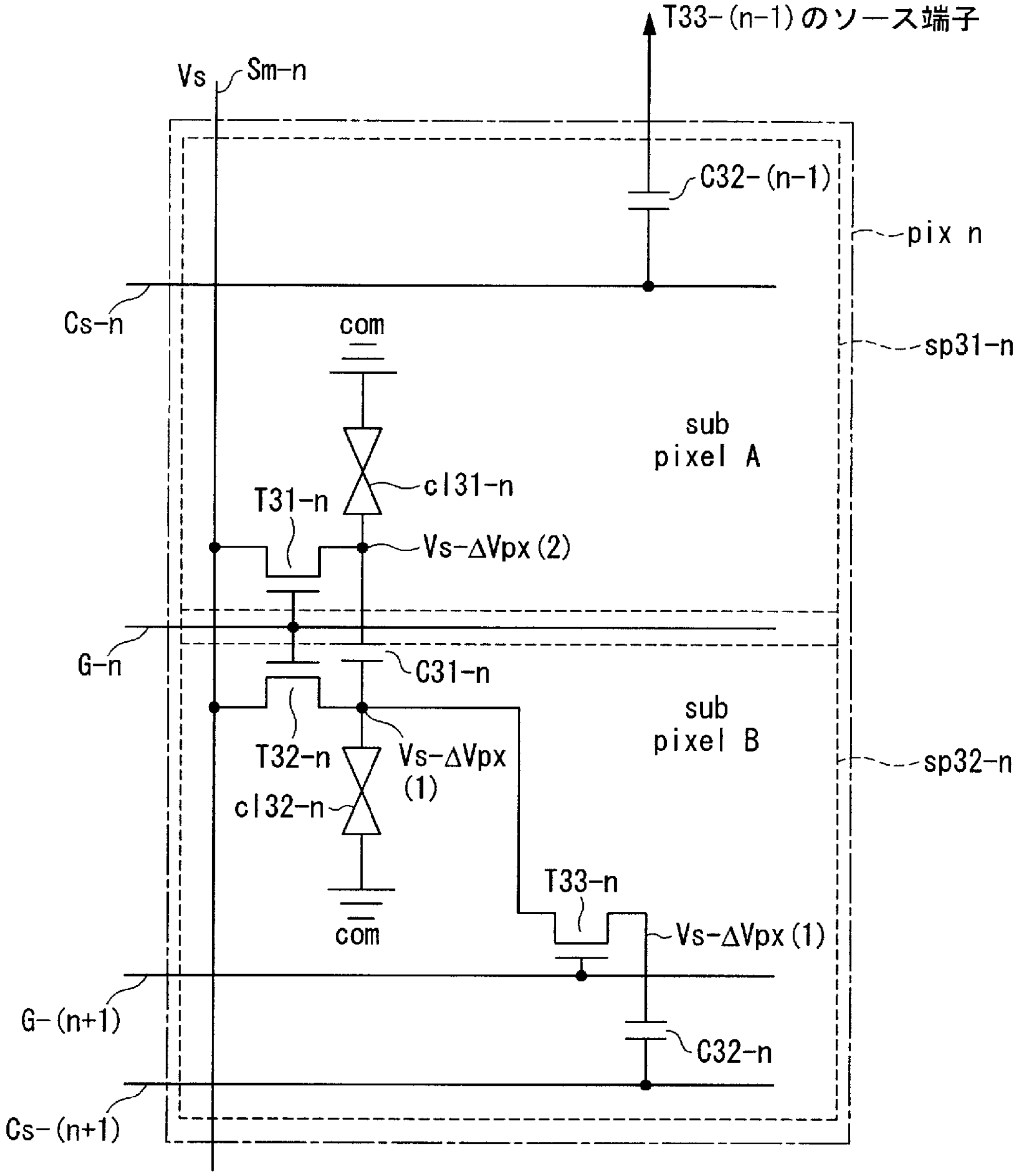
[図11]


Gn
Gn+1
Gn+2
Sm-n
Pixel A
Pixel B
Vhigh
Vlow
Vhigh
Vlow
Vhigh
Vlow
+Vs
-Vs
Vs
Vs-ΔVpx(1)
-Vs+ΔVpx(1)
-Vs
Vs
Vs-ΔVpx(2)
-Vs+ΔVpx(2)
-Vs
Vgon
Vgoff
ΔVpx(1)
ΔVpx(2)
ΔVpx(1)
ΔVpx(2)
t0a t1a t2a t3a t4a t5a
t0b t1b t2b t3b t4b t5b

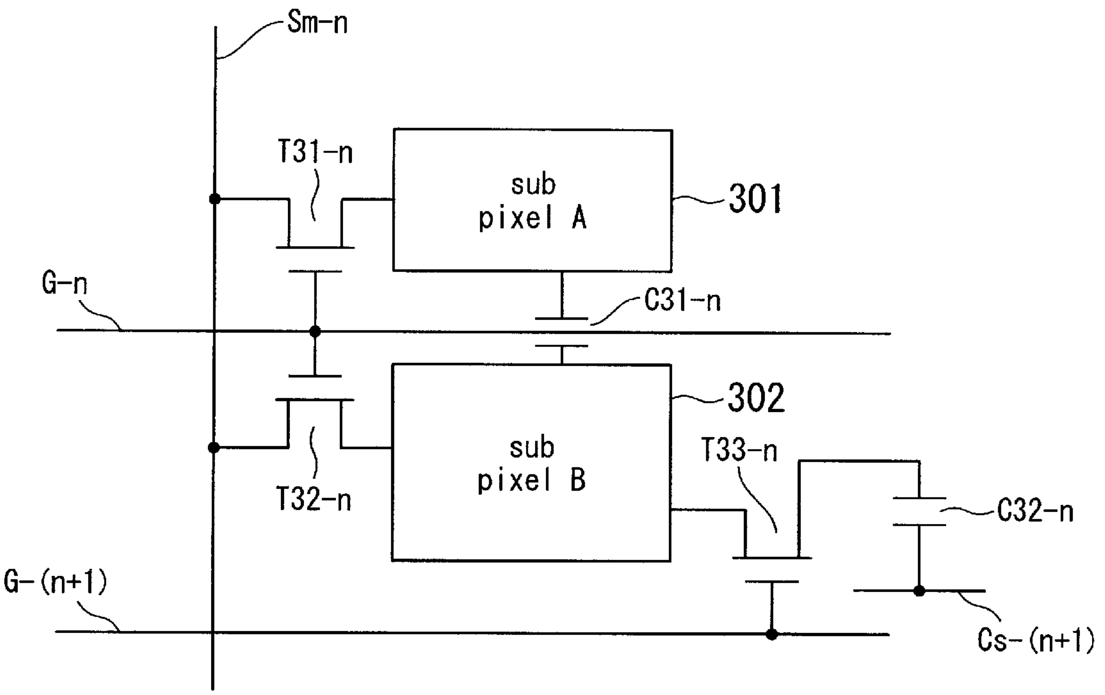
[図12]


T21-n
1st TFT(A)
Sm-n
G-n
201
Pixel A
com
C21-n
T24-n
2nd TFT(B)
G-(n+1)
T22-n
2nd TFT(A)
202
Pixel B
com
C22-n
G-na
T23-n
1st TFT(B)

[図13]

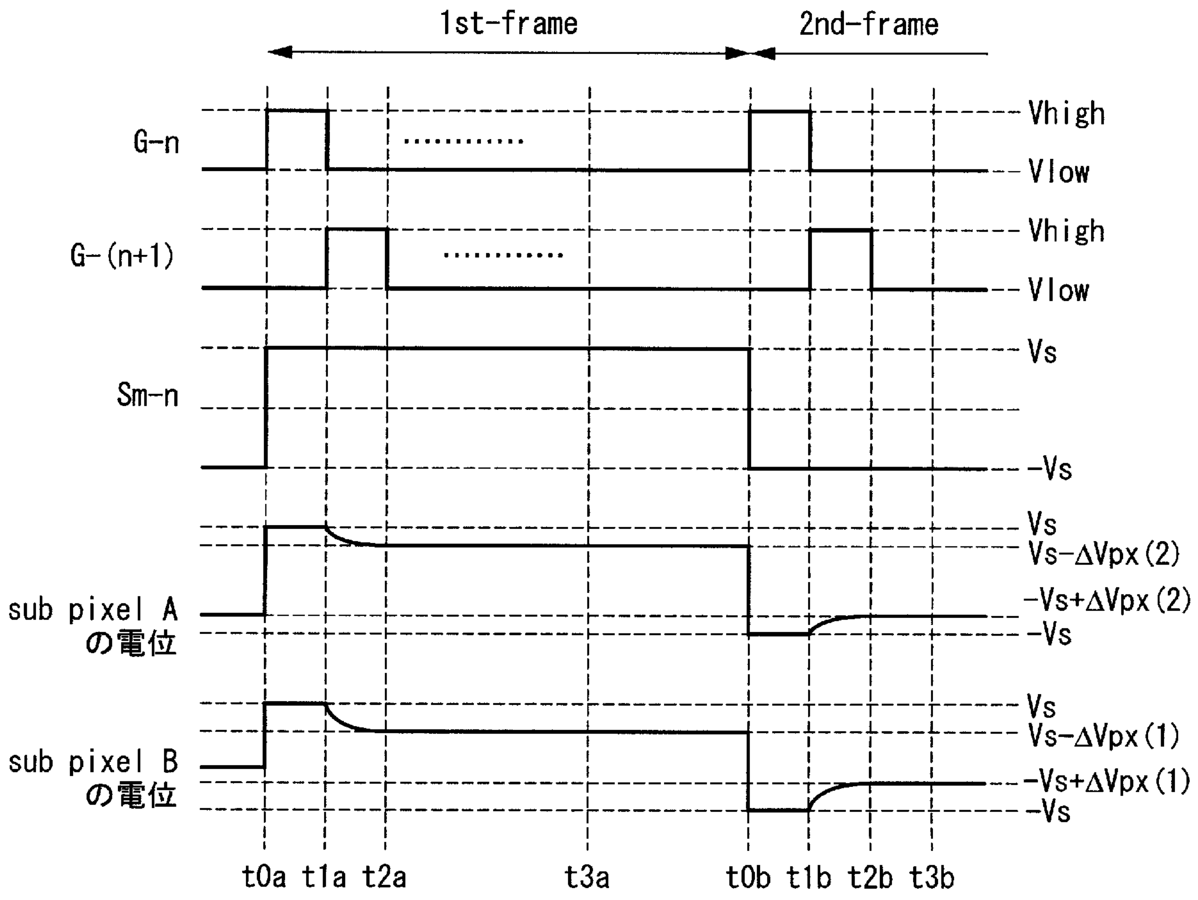

T33-(n-1)のソース端子
Vs
Sm-n
C32-(n-1)
pix n
Cs-n
sp31-n
com
sub
pixel A
cl31-n
T31-n
Vs-ΔVpx(2)
G-n
C31-n
sub
pixel B
T32-n
Vs-ΔVpx
(1)
sp32-n
cl32-n
T33-n
com
Vs-ΔVpx(1)
G-(n+1)
C32-n
Cs-(n+1)

[図14]



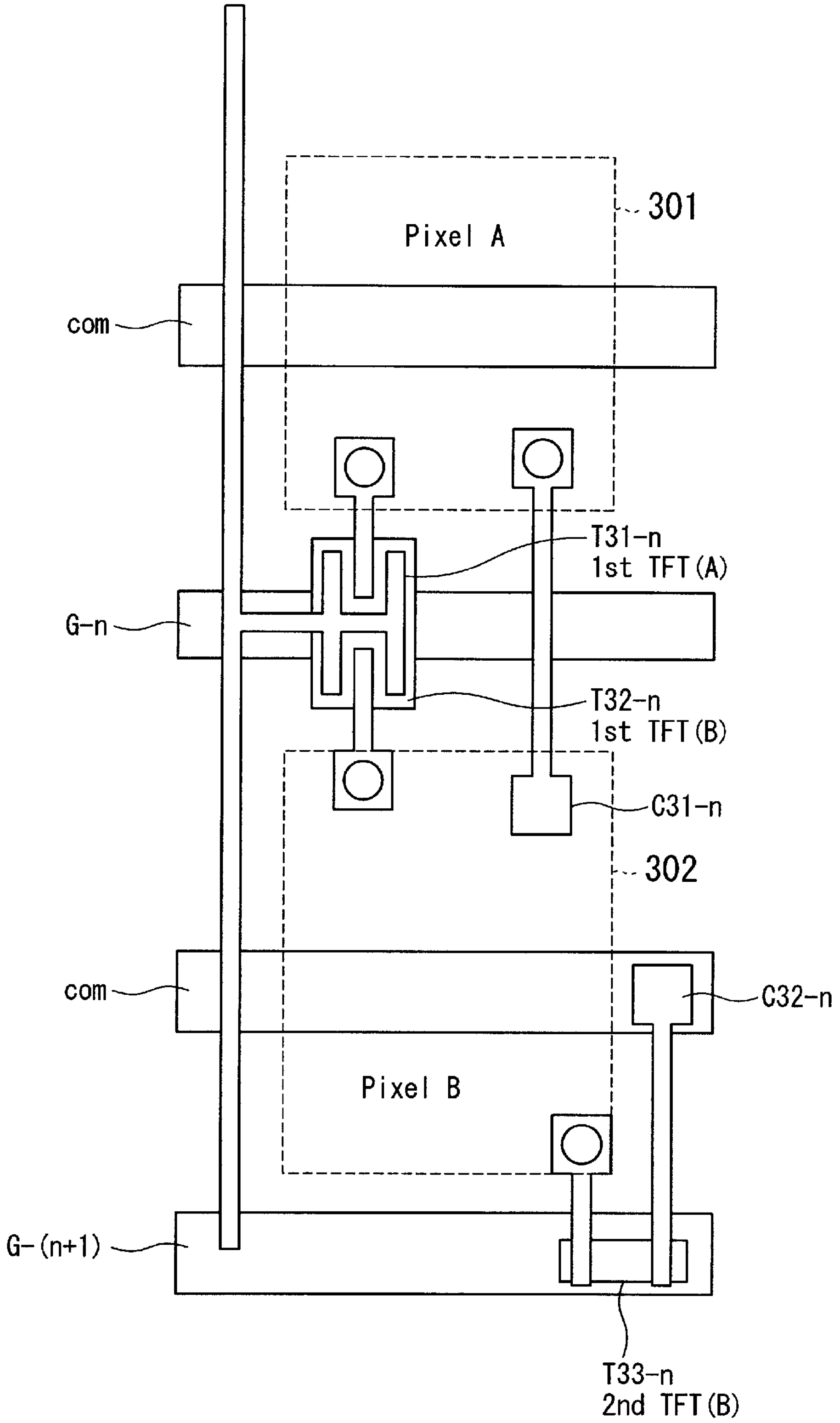
Sm-n
T31-n
sub
pixel A
301
G-n
C31-n
302
sub
pixel B
T33-n
C32-n
T32-n
G-(n+1)
Cs-(n+1)

[図15]

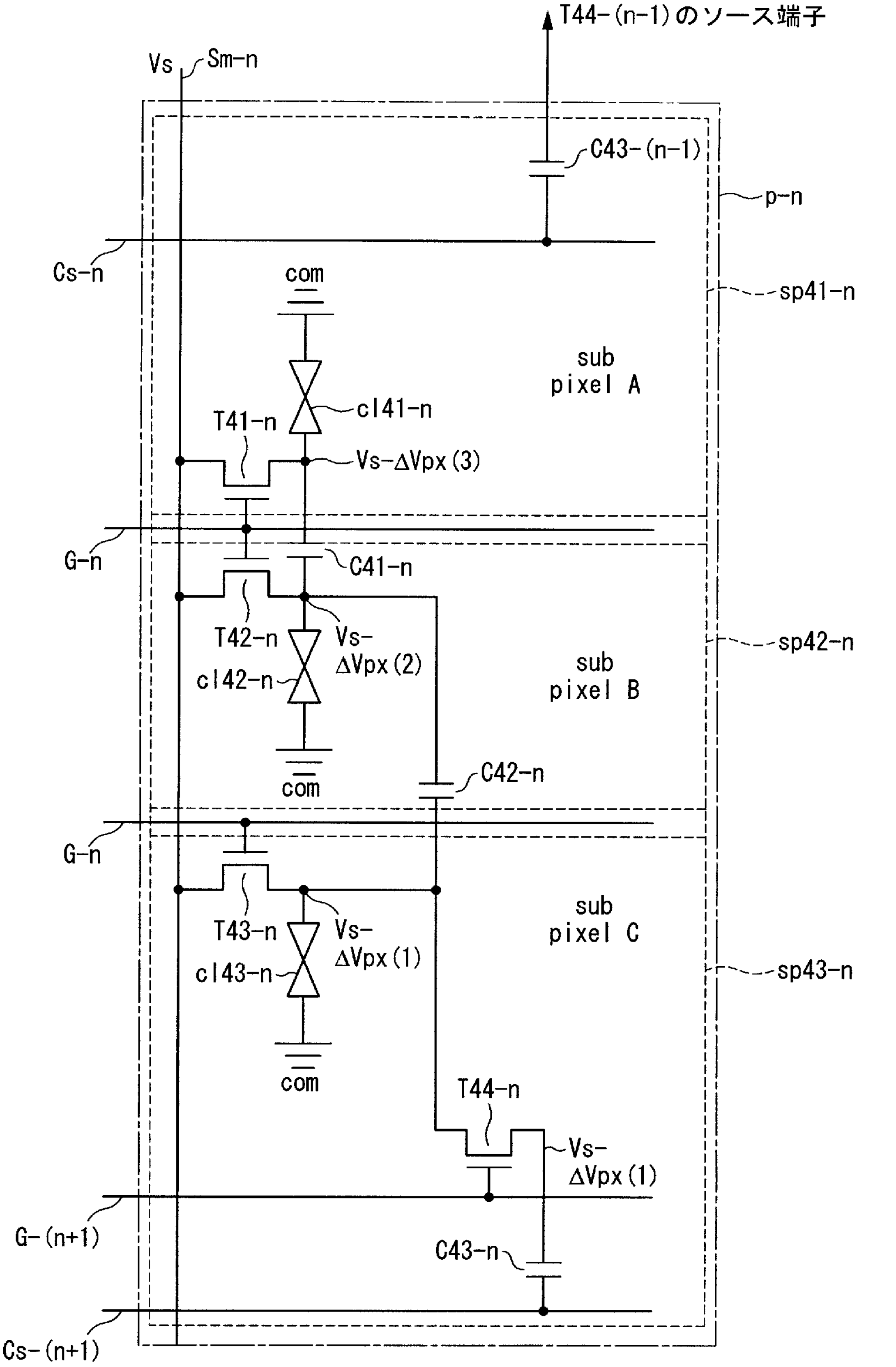


1st-frame
2nd-frame
G-n
Vhigh
Vlow
G-(n+1)
Vhigh
Vlow
Sm-n
Vs
-Vs
Vs
Vs-ΔVpx(2)
sub pixel A
の電位
-Vs+ΔVpx(2)
-Vs
Vs
Vs-ΔVpx(1)
sub pixel B
の電位
-Vs+ΔVpx(1)
-Vs
t0a t1a t2a t3a t0b t1b t2b t3b

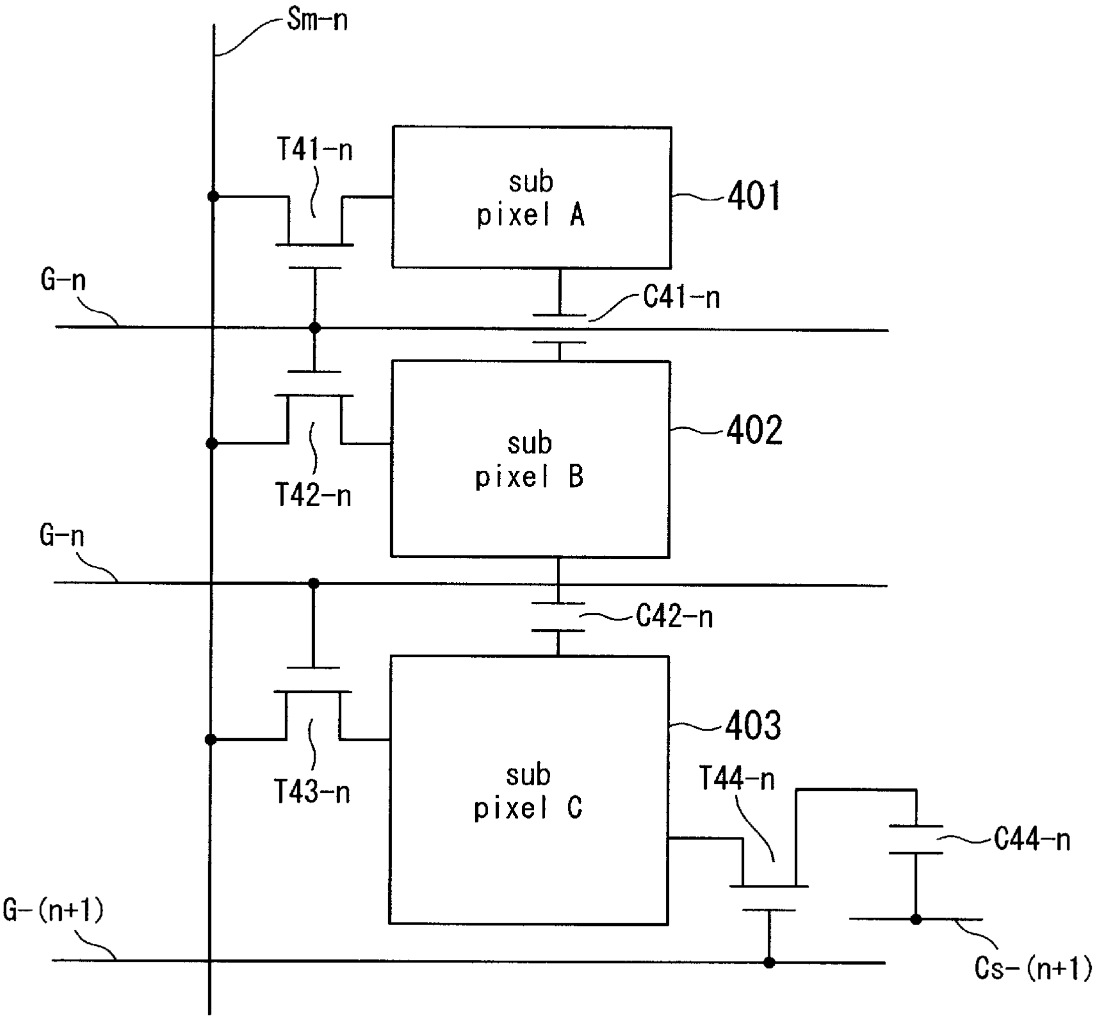
[図16]


301
Pixel A
com
T31-n
1st TFT(A)
G-n
T32-n
1st TFT(B)
C31-n
302
com
C32-n
Pixel B
G-(n+1)
T33-n
2nd TFT(B)

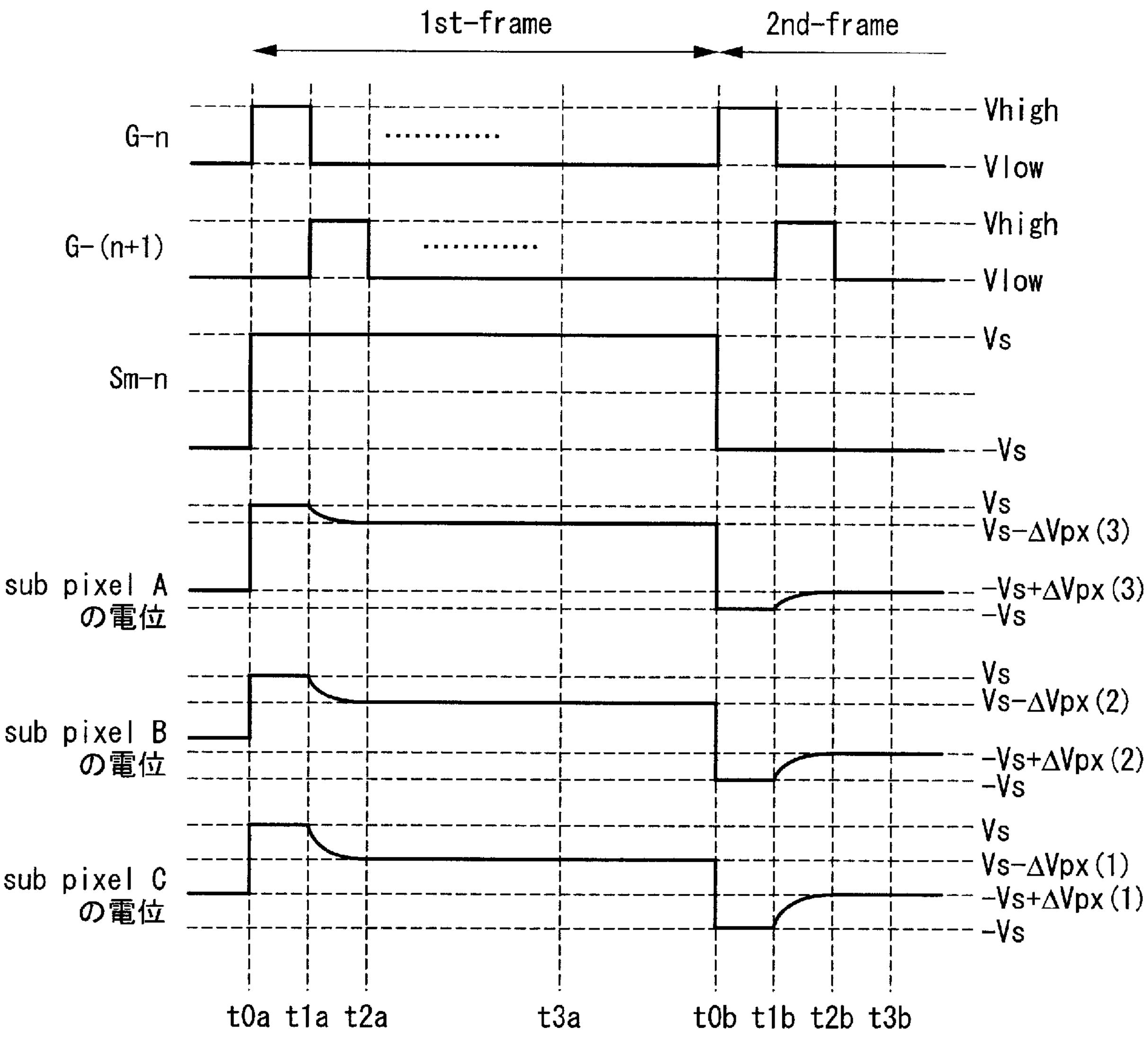
[図17]


T44-(n-1)のソース端子
Vs
Sm-n
C43-(n-1)
p-n
Cs-n
com
sp41-n
sub
pixel A
cl41-n
T41-n
Vs-ΔVpx(3)
G-n
C41-n
T42-n
Vs-
ΔVpx(2)
sp42-n
cl42-n
sub
pixel B
com
C42-n
G-n
T43-n
Vs-
ΔVpx(1)
sub
pixel C
cl43-n
sp43-n
com
T44-n
Vs-
ΔVpx(1)
G-(n+1)
C43-n
Cs-(n+1)

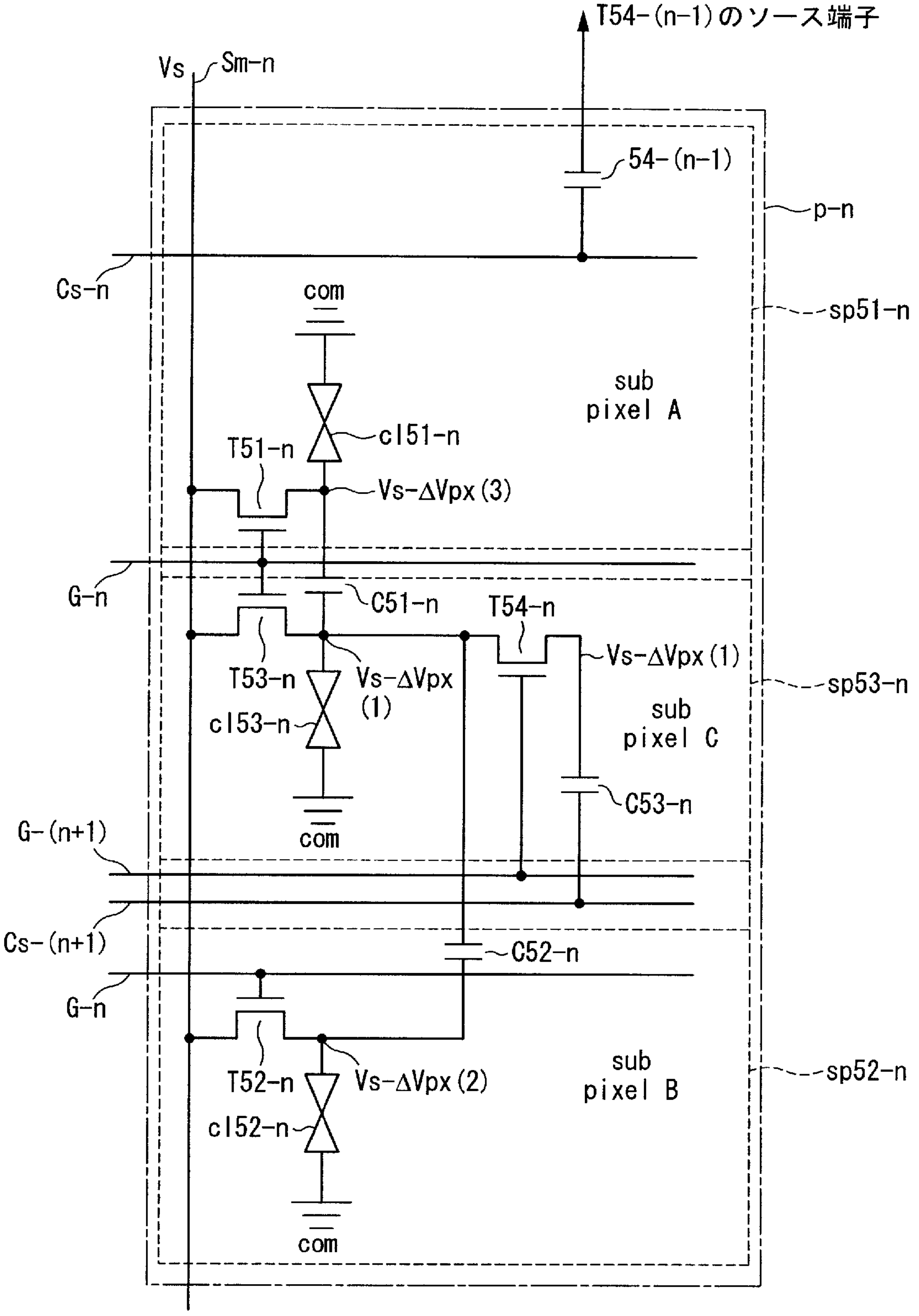
[図18]


Sm-n
T41-n
sub
pixel A
401
G-n
C41-n
sub
pixel B
402
T42-n
G-n
C42-n
403
T43-n
sub
pixel C
T44-n
C44-n
G-(n+1)
Cs-(n+1)

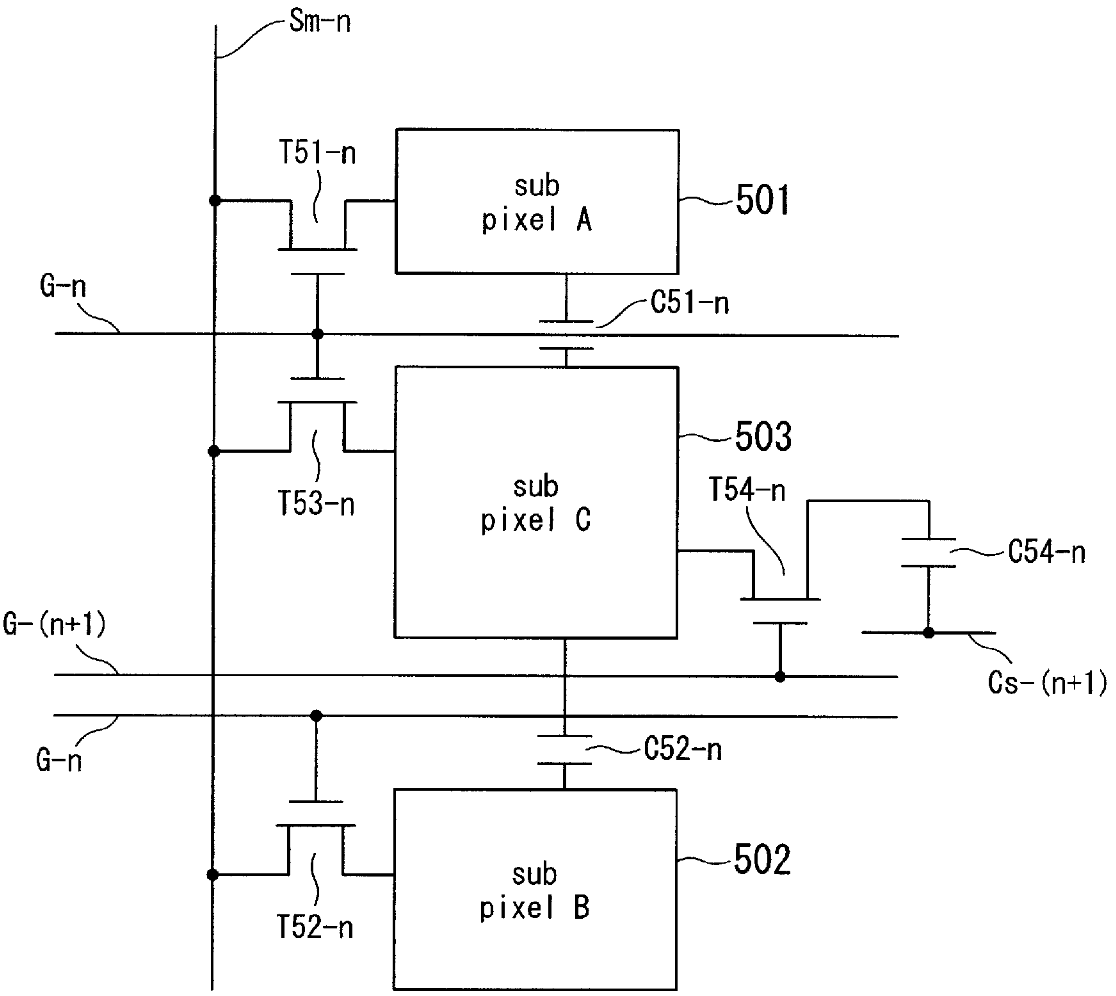
[図19]


1st-frame
2nd-frame
G-n
G-(n+1)
Sm-n
sub pixel A
の電位
sub pixel B
の電位
sub pixel C
の電位
Vhigh
Vlow
Vhigh
Vlow
Vs
-Vs
Vs
Vs-ΔVpx(3)
-Vs+ΔVpx(3)
-Vs
Vs
Vs-ΔVpx(2)
-Vs+ΔVpx(2)
-Vs
Vs
Vs-ΔVpx(1)
-Vs+ΔVpx(1)
-Vs
t0a t1a t2a t3a t0b t1b t2b t3b

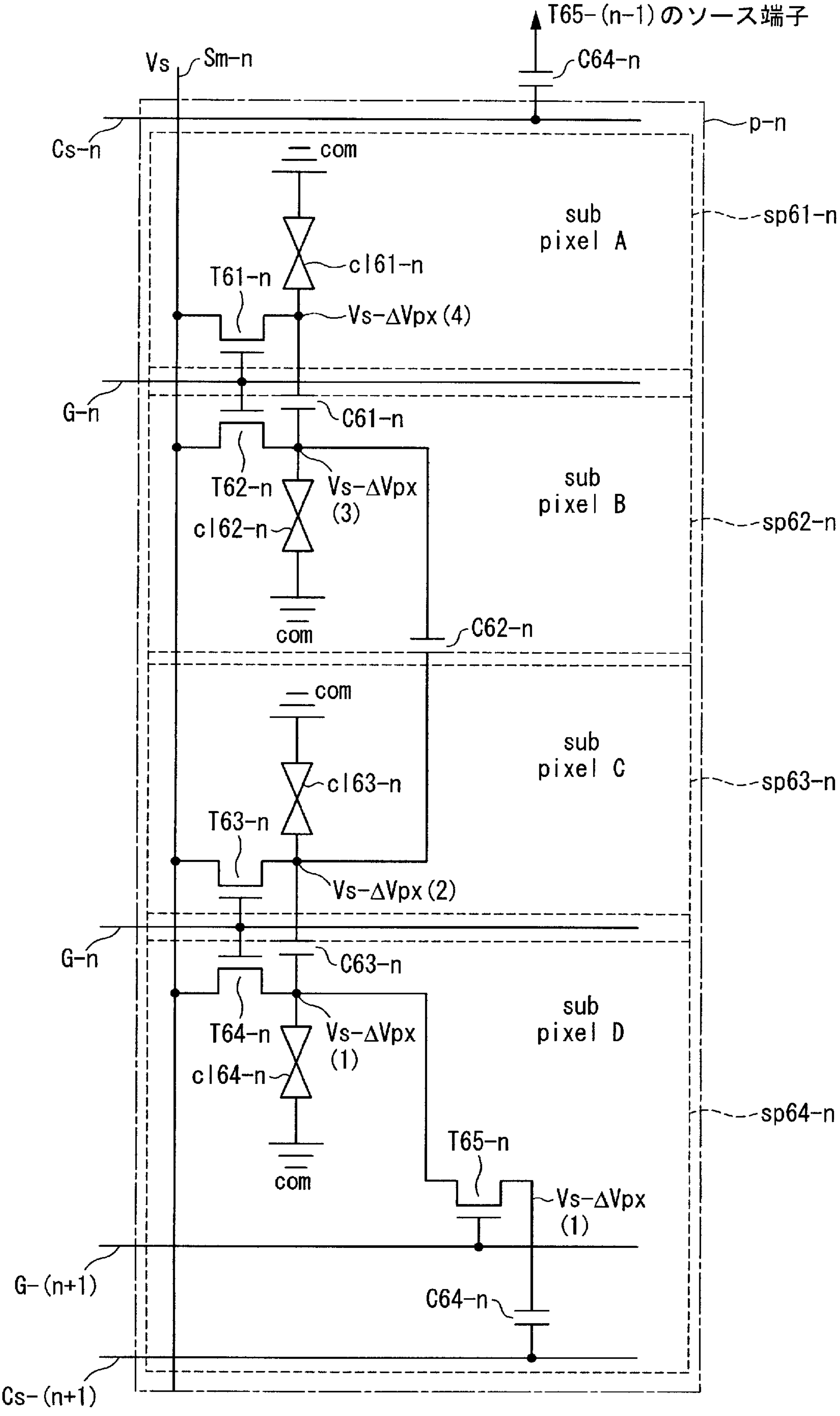
[図20]


T54-(n-1)のソース端子
Vs
Sm-n
54-(n-1)
p-n
Cs-n
com
sp51-n
sub
pixel A
T51-n
cl51-n
Vs-ΔVpx(3)
G-n
C51-n
T54-n
Vs-ΔVpx(1)
sp53-n
T53-n
Vs-ΔVpx
(1)
cl53-n
sub
pixel C
C53-n
com
G-(n+1)
Cs-(n+1)
C52-n
G-n
T52-n
Vs-ΔVpx(2)
sub
pixel B
sp52-n
cl52-n
com

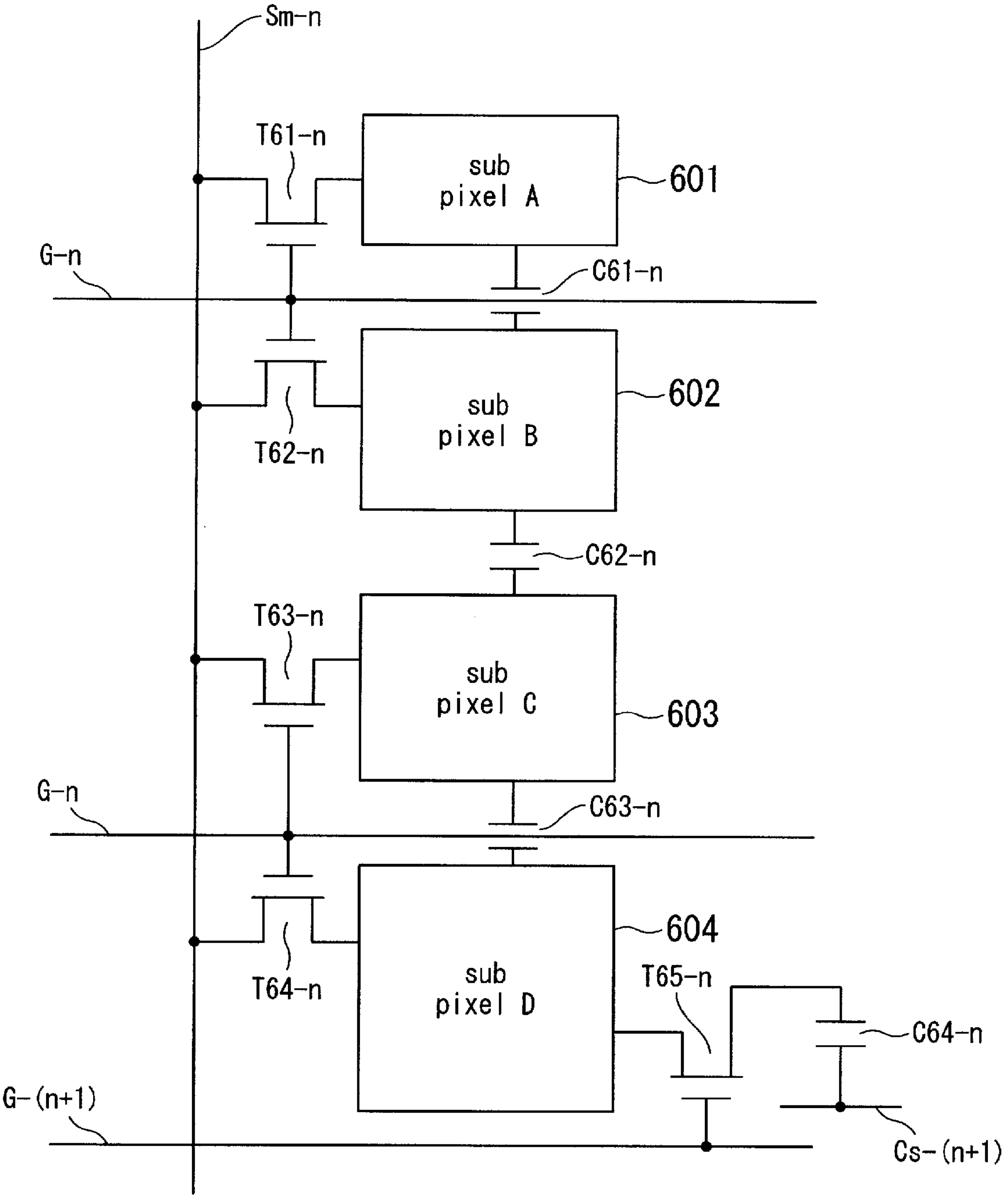
[図21]


Sm-n
T51-n
sub
pixel A
501
G-n
C51-n
503
T53-n
sub
pixel C
T54-n
C54-n
G-(n+1)
Cs-(n+1)
G-n
C52-n
502
sub
pixel B
T52-n

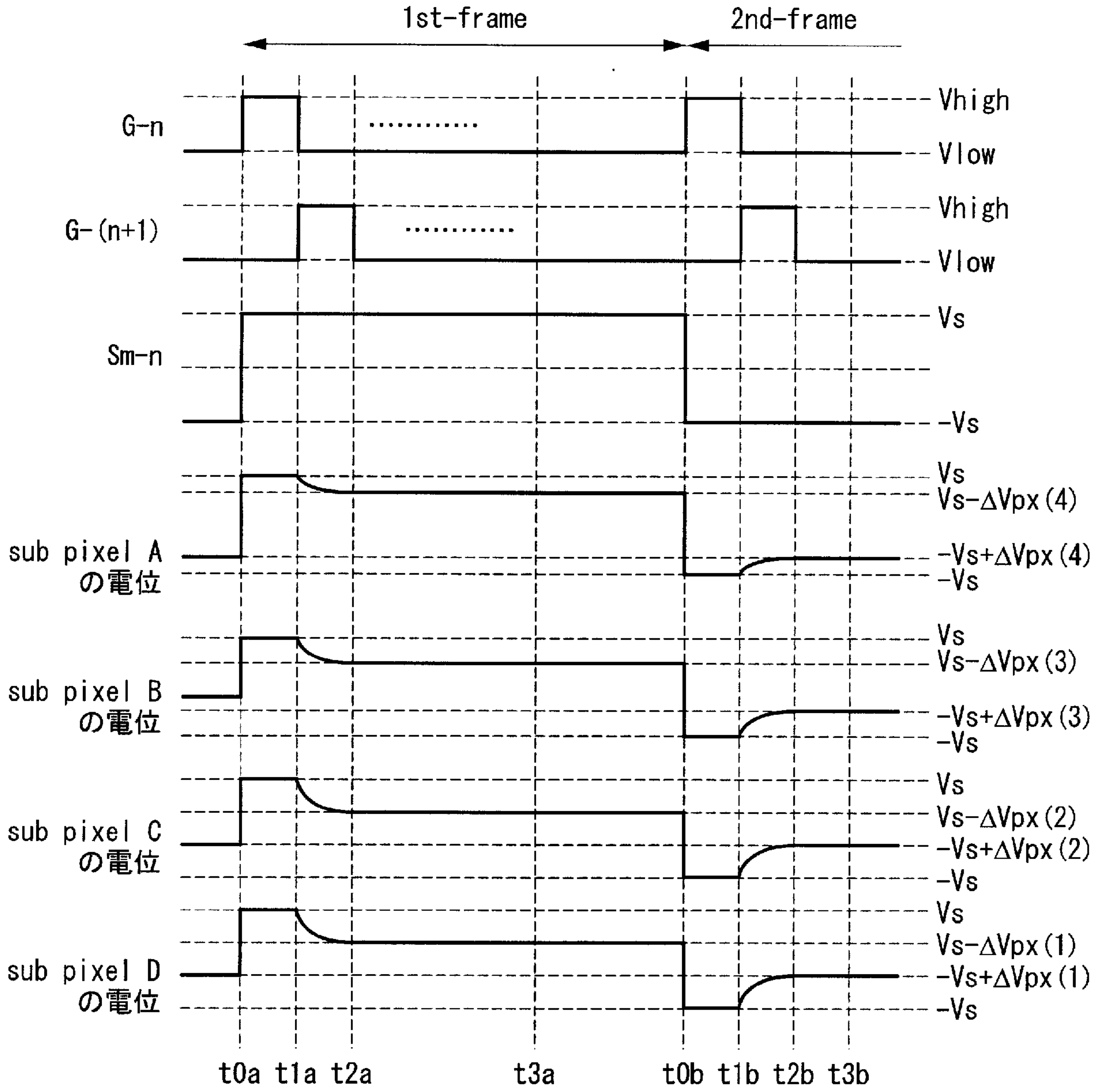
[図22]


T65-(n-1)のソース端子
Vs
Sm-n
C64-n
p-n
Cs-n
com
sub
pixel A
sp61-n
cl61-n
T61-n
Vs-ΔVpx(4)
G-n
C61-n
T62-n
Vs-ΔVpx
(3)
sub
pixel B
cl62-n
sp62-n
com
C62-n
com
sub
pixel C
cl63-n
sp63-n
T63-n
Vs-ΔVpx(2)
G-n
C63-n
sub
pixel D
T64-n
Vs-ΔVpx
(1)
cl64-n
sp64-n
T65-n
com
Vs-ΔVpx
(1)
G-(n+1)
C64-n
Cs-(n+1)

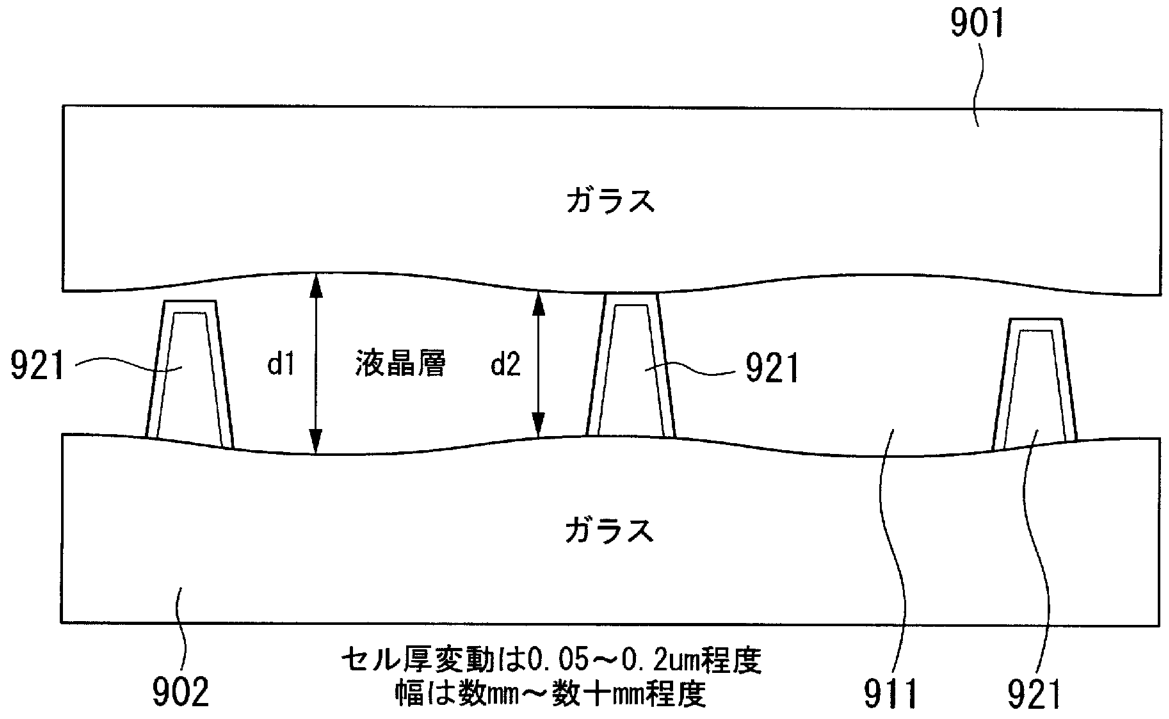
[図23]


Sm-n
T61-n
sub
pixel A
601
G-n
C61-n
sub
pixel B
602
T62-n
C62-n
T63-n
sub
pixel C
603
G-n
C63-n
604
sub
pixel D
T64-n
T65-n
C64-n
G-(n+1)
Cs-(n+1)

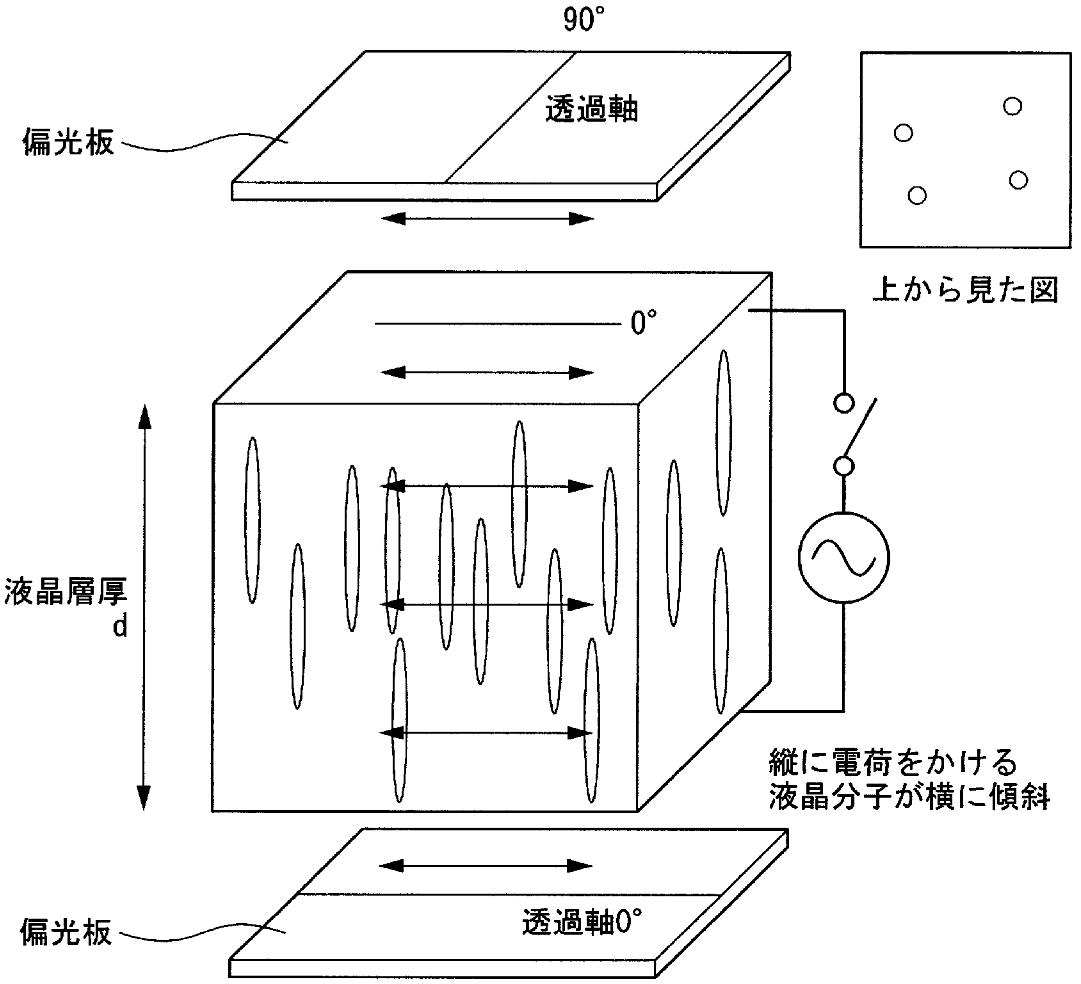
[図24]


1st-frame
2nd-frame
G-n
Vhigh
Vlow
G-(n+1)
Vhigh
Vlow
Sm-n
Vs
-Vs
sub pixel A
の電位
Vs
Vs-ΔVpx(4)
-Vs+ΔVpx(4)
-Vs
sub pixel B
の電位
Vs
Vs-ΔVpx(3)
-Vs+ΔVpx(3)
-Vs
sub pixel C
の電位
Vs
Vs-ΔVpx(2)
-Vs+ΔVpx(2)
-Vs
sub pixel D
の電位
Vs
Vs-ΔVpx(1)
-Vs+ΔVpx(1)
-Vs
t0a t1a t2a t3a t0b t1b t2b t3b

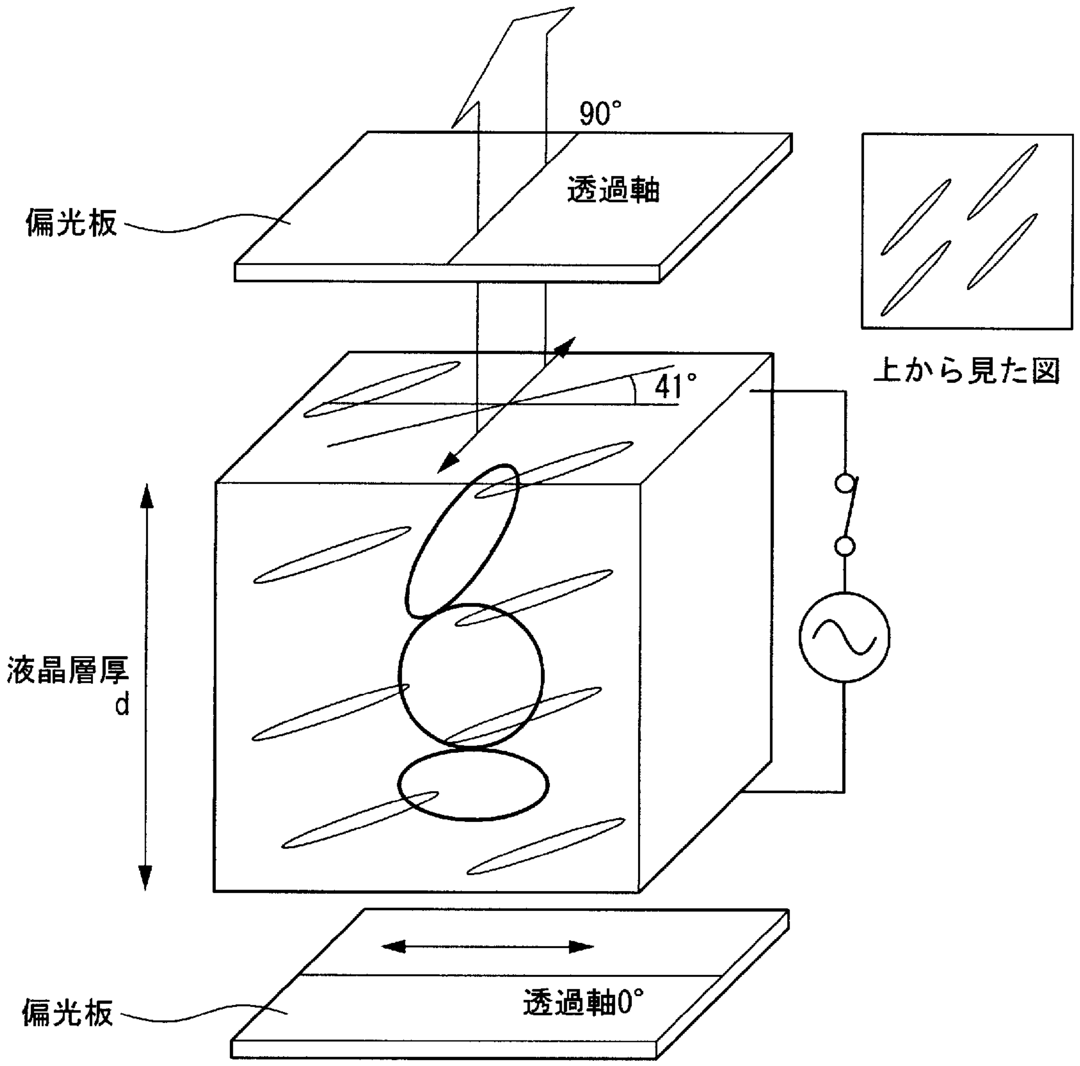
[図25]


901
ガラス
921
d1
液晶層
d2
921
ガラス
902
セル厚変動は0. 05～0. 2um程度
幅は数mm～数十mm程度
911
921

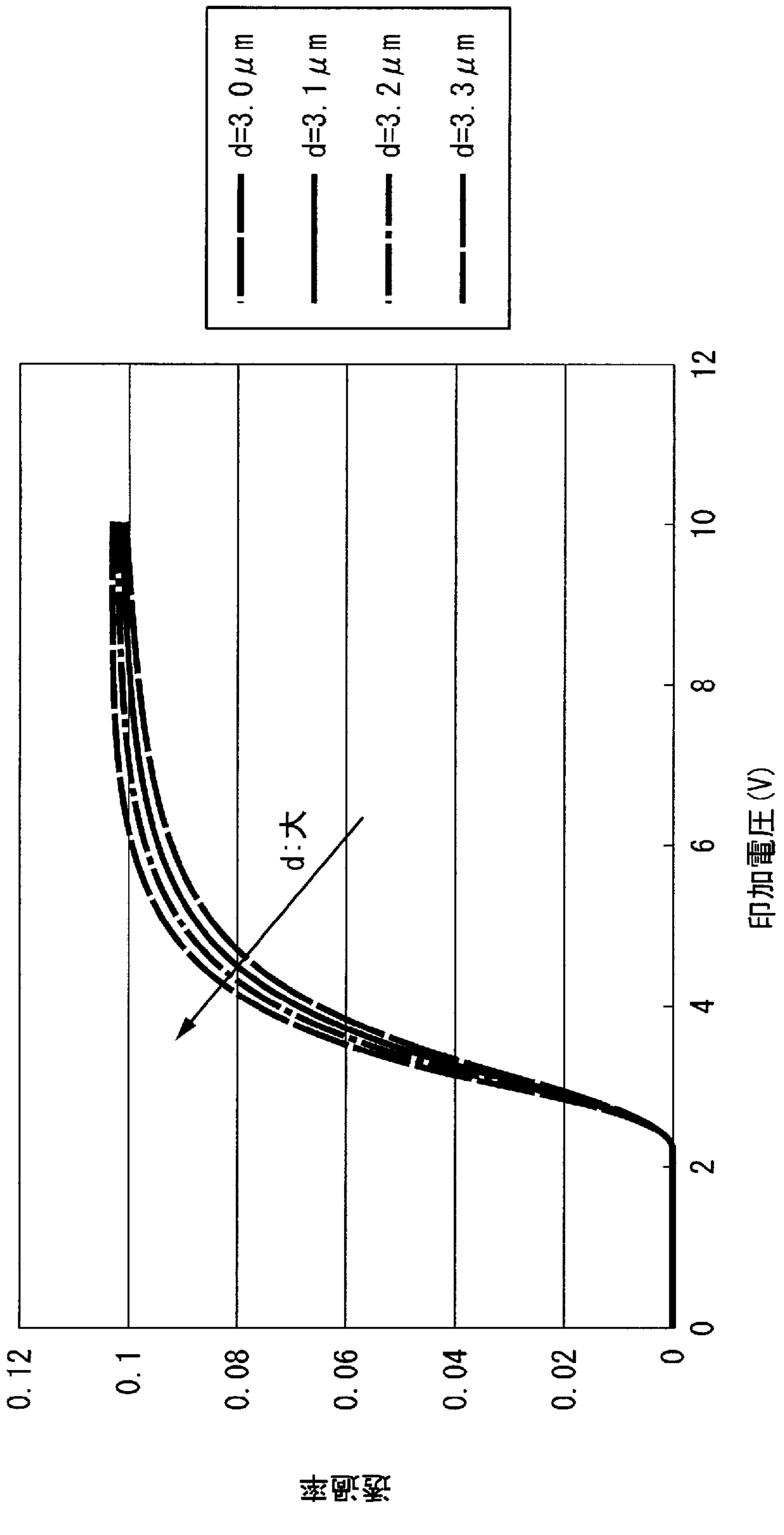
[図26]


90°
透過軸
偏光板
上から見た図
0°
液晶層厚
d
縦に電荷をかける
液晶分子が横に傾斜
偏光板
透過軸0°

[図27]



[図28]



d=3.0μm
d=3.1μm
d=3.2μm
d=3.3μm
d:大
印加電圧(V)
透過率
0
2
4
6
8
10
12
0
0.02
0.04
0.06
0.08
0.1
0.12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/063678

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/133(2006.01)i, G02F1/1368(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
G02F1/133, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-65076 A (Sony Corp.), 15 March 2007 (15.03.2007), entire text; all drawings (Family: none)	1-6
A	JP 2006-227453 A (Seiko Instruments Inc.), 31 August 2006 (31.08.2006), entire text; all drawings (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.   ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibnion or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying tiie invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 August, 2011 (03.08.11)	16 August, 2011 (16.08.11)

Name and mailing address of the ISA/	Authorized officer
Japanese Patent Office	
Facsimile No.	Telephone No.

国際調査報告	国際出願番号 PCT／JP2011/063678

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G02F1/133 (2006.01) i, G02F1/1368 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G02F1/133, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922—1996年
日本国公開実用新案公報	1971—2011年
日本国実用新案登録公報	1996—2011年
日本国登録実用新案公報	1994—2011年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2007-65076 A（ソニー株式会社） 2007.03.15，全文，全図 （ファミリーなし）	1-6
A	JP 2006-227453 A（セイコーインスツル株式会社） 2006.08.31，全文，全図 （ファミリーなし）	1-6

☐ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
03.08.2011	16.08.2011

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）
日本国特許庁（ISA／JP） 郵便番号100—8915 東京都千代田区霞が関三丁目4番3号	2L 3014 藤田 都志行 電話番号 03—3581—1101 内線 3255