

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6764681号
(P6764681)

(45) 発行日 令和2年10月7日 (2020.10.7)

(24) 登録日 令和2年9月16日 (2020.9.16)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 J
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 7 A
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 6 M
HO 1 L 27/108 (2006.01)	HO 1 L 27/108 3 2 1
HO 1 L 27/115 (2017.01)	HO 1 L 27/115

請求項の数 2 (全 80 頁) 最終頁に続く

(21) 出願番号	特願2016-94586 (P2016-94586)	(73) 特許権者	000153878
(22) 出願日	平成28年5月10日 (2016.5.10)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2016-213468 (P2016-213468A)		神奈川県厚木市長谷398番地
(43) 公開日	平成28年12月15日 (2016.12.15)	(72) 発明者	遠藤 佑太
審査請求日	令和1年5月10日 (2019.5.10)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2015-96317 (P2015-96317)		半導体エネルギー研究所内
(32) 優先日	平成27年5月11日 (2015.5.11)		
(33) 優先権主張国・地域又は機関	日本国 (JP)	審査官	高橋 優斗

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に半導体および第1の導電体を形成し、

前記第1の導電体上に、第1の方向の断面視において前記半導体及び前記第1の導電体よりも幅の小さい犠牲層を形成し、

前記半導体、前記第1の導電体、および前記犠牲層を覆って第1の絶縁体を形成し、

前記第1の絶縁体を形成した後、機械的・化学的研磨法を用いて前記第1の絶縁体の一部を除去することで、前記犠牲層の上面を露出し、

前記犠牲層を除去することにより、前記第1の絶縁体に、前記第1の導電体の一部を露出する開口部を形成し、

前記第1の導電体の前記一部を除去することにより、第1の電極および第2の電極を形成し、

前記第1の絶縁体および前記開口部を覆って、第2の絶縁体を形成し、

前記第2の絶縁体上に第2の導電体を形成し、

前記第1の絶縁体の上面が露出するように、前記第2の導電体の一部および前記第2の絶縁体の一部を除去することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項1において、ウェットエッチング法を用いて、前記犠牲層を除去することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、トランジスタおよび半導体装置、ならびにそれらの製造方法に関する。または、本発明は、例えば、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサ、撮像装置、電子機器に関する。または、酸化物、表示装置、液晶表示装置、発光装置、記憶装置、プロセッサ、撮像装置、電子機器の製造方法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置、プロセッサ、撮像装置、電子機器の駆動方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

10

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

絶縁表面を有する基板上の半導体を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体としてシリコンが知られている。

20

【0005】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路を一体形成した高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

30

【0006】

近年では、酸化物半導体（代表的にはIn-Ga-Zn酸化物）を用いたトランジスタの開発が活発化している。

【0007】

酸化物半導体の歴史は古く、1988年には、結晶In-Ga-Zn酸化物を半導体素子へ利用することが開示されている（特許文献1参照。）。また、1995年には、酸化物半導体を用いたトランジスタが発明されており、その電気特性が開示されている（特許文献2参照。）。

【0008】

また、非晶質酸化物半導体を用いたトランジスタが開示されている（特許文献3参照。）。酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタの半導体に用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路を一体形成した高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

40

【0009】

近年の研究開発の結果、結晶性を有する酸化物半導体を用いると、非晶質酸化物半導体を用いた場合と比較して、トランジスタの信頼性が向上することが明らかとなってきた（非特許文献1）。

【0010】

50

また、酸化物半導体からなる活性層で井戸型ポテンシャルを構成することにより、高い電界効果移動度を有するトランジスタが得られることが開示されている（特許文献４参照）。また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献５参照）。

【先行技術文献】

【特許文献】

【００１１】

【特許文献１】特開昭６３－２３９１１７

10

【特許文献２】特表平１１－５０５３７７

【特許文献３】特許５２１５５８９号

【特許文献４】特開２０１２－５９８６０号公報

【特許文献５】特開２０１２－２５７１８７号公報

【非特許文献】

【００１２】

【非特許文献１】Shunpei Yamazaki, Jun Koyama, Yoshitaka Yamamoto and Kenji Okamoto, "Research, Development, and Application of Crystalline Oxide Semiconductor" SID 2012 DIGEST pp183 - 186

20

【発明の概要】

【発明が解決しようとする課題】

【００１３】

しかし、半導体装置の高集積化に伴ってトランジスタを微細化していくと、作製工程が複雑化することで歩留まりが低下する場合がある。また、半導体装置内の各トランジスタの電気特性のばらつきも大きくなってしまふ。

【００１４】

そこで、開示する発明の一態様は、微細化が可能なトランジスタを提供することを課題の一とする。または、寄生容量が小さいトランジスタを提供することを課題の一とする。または、動作周波数が高いトランジスタを提供することを課題の一とする。または、安定した電気特性を有するトランジスタを提供することを課題の一とする。または、開示する発明の一態様は、チャネル長の大きさを制御しやすいトランジスタを提供することを課題の一とする。または、開示する発明の一態様は、オン電流の大きいトランジスタを提供することを課題の一とする。

30

【００１５】

また、該トランジスタを含む半導体装置においても、高集積化、高性能化、高信頼性化、及び高生産性化を達成することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

40

【課題を解決するための手段】

【００１６】

本発明の一態様は、半導体および第１の導電体を、基板上に形成し、第１の導電体上に犠牲層を形成し、半導体、第１の導電体、および犠牲層を覆って第１の絶縁体を形成した後、機械的研磨法を用いて、犠牲層の上面を露出し、犠牲層を除去することにより、第１の絶縁体に、第１の導電体の一部を露出する開口部を形成し、第１の導電体の一部を除去することにより、第１の電極、および第２の電極を形成し、第１の絶縁体、および開

50

口部を覆って、第2の絶縁体を形成し、第2の絶縁体上に第2の導電体を形成し、第2の導電体の一部を除去する半導体装置の製造方法である。

【0017】

上記構成において、機械的化学的研磨法を用いて、第2の導電体の一部を除去する。

【0018】

本発明の一態様は、半導体を基板上に形成し、半導体上に犠牲層を形成し、半導体の一部に不純物を添加することにより、低抵抗領域を形成し、半導体、および犠牲層を覆って第1の絶縁体を形成した後、機械的化学的研磨法を用いて、犠牲層の上面を露出し、犠牲層を除去することにより、第1の絶縁体に、半導体の一部を露出する開口部を形成し、第1の絶縁体、および開口部を覆って、第2の絶縁体を形成し、第2の絶縁体上に導電体を形成し、導電体の一部を除去する半導体装置の製造方法である。

10

【0019】

上記構成において、機械的化学的研磨法を用いて、導電体の一部を除去する。

【0020】

上記構成において、ウェットエッチング法を用いて、犠牲層を除去する。

【0021】

上記構成において、第1の絶縁体は酸素を含むことが好ましい。

【0022】

上記構成の半導体装置を有する電子機器の作製方法である。

【発明の効果】

20

【0023】

本発明を用いることで、微細な構造であってもトランジスタ間の特性のばらつきが少ないトランジスタを提供することができる。または、寄生容量が小さいトランジスタを提供することができる。または、動作周波数が高いトランジスタを提供することができる。または、安定した電気特性を有するトランジスタを提供することができる。さらに、開示する発明の一態様は、オン電流の大きいトランジスタを提供することができる。

【0024】

本発明を用いることで、大量生産の観点からも、歩留まりを向上させることができる。また、トランジスタの構成において、チャンネル長の大きさを容易に制御することができる。

【0025】

30

さらに、酸素を含む絶縁体に酸化物半導体のチャンネルとなる領域が接する構造とすることにより、酸化物半導体に酸素を供給することができる。供給された酸素が酸化物半導体中の酸素欠損を補償することにより、酸化物半導体をもちいたトランジスタの信頼性を高めることができる。

【0026】

上記の構成により、微細な構造であっても、高く安定した電気特性を有するトランジスタを提供することができる。また、大量生産における歩留まりが向上し、生産コストを削減することができる。

【0027】

また、該トランジスタを含む半導体装置においても、高性能化、高信頼性化、及び高生産性化を達成することができる。または、新規な半導体装置などを提供することが出来る。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

40

【図面の簡単な説明】

【0028】

【図1】半導体装置の作製方法における一形態を示す断面図。

【図2】半導体装置の作製方法における一形態を示す断面図。

【図3】半導体装置の作製方法における一形態を示す断面図。

50

- 【図 4】半導体装置の作製方法における一形態を示す断面図。
- 【図 5】半導体装置の一形態を示す断面図及び上面図。
- 【図 6】半導体装置の作製方法における一形態を示す断面図。
- 【図 7】半導体装置の作製方法における一形態を示す断面図。
- 【図 8】半導体装置の作製方法における一形態を示す断面図。
- 【図 9】半導体装置の作製方法における一形態を示す断面図。
- 【図 10】半導体装置の一形態を示す断面図及び上面図。
- 【図 11】半導体装置の作製方法における一形態を示す断面図。
- 【図 12】半導体装置の作製方法における一形態を示す断面図。
- 【図 13】半導体装置の作製方法における一形態を示す断面図。 10
- 【図 14】半導体装置の作製方法における一形態を示す断面図。
- 【図 15】半導体装置の一形態を示す断面図及び上面図。
- 【図 16】半導体装置の作製方法における一形態を示す断面図。
- 【図 17】半導体装置の作製方法における一形態を示す断面図。
- 【図 18】半導体装置の作製方法における一形態を示す断面図。
- 【図 19】半導体装置の作製方法における一形態を示す断面図。
- 【図 20】半導体装置の一形態を示す断面図及び上面図。
- 【図 21】半導体装置の作製方法における一形態を示す断面図。
- 【図 22】半導体装置の作製方法における一形態を示す断面図。
- 【図 23】半導体装置の作製方法における一形態を示す断面図。 20
- 【図 24】半導体装置の作製方法における一形態を示す断面図。
- 【図 25】半導体装置の一形態を示す断面図及び上面図。
- 【図 26】本発明の一態様に係る酸化物半導体の原子数比を説明する図。
- 【図 27】C A A C - O S および単結晶酸化物半導体の X R D による構造解析を説明する図、ならびに C A A C - O S の制限視野電子回折パターンを示す図。
- 【図 28】C A A C - O S の断面 T E M 像、ならびに平面 T E M 像およびその画像解析像。
- 【図 29】n c - O S の電子回折パターンを示す図、および n c - O S の断面 T E M 像。
- 【図 30】a - l i k e O S の断面 T E M 像。
- 【図 31】I n - G a - Z n 酸化物の電子照射による結晶部の変化を示す図。 30
- 【図 32】本発明の一態様に係る半導体装置を示す回路図。
- 【図 33】本発明の一態様に係る半導体装置を示す断面図。
- 【図 34】本発明の一態様に係る半導体装置を示す断面図。
- 【図 35】本発明の一態様に係る半導体装置を示す断面図。
- 【図 36】本発明の一態様に係る記憶装置を示す回路図。
- 【図 37】本発明の一態様に係る半導体装置を示す断面図。
- 【図 38】本発明の一態様に係る半導体装置を示す断面図。
- 【図 39】本発明の一態様に係る半導体装置を示す断面図。
- 【図 40】本発明の一態様に係る半導体装置を示す回路図。
- 【図 41】本発明の一態様に係る半導体装置を示す断面図。 40
- 【図 42】本発明の一態様に係る半導体装置を示す回路図。
- 【図 43】本発明の一態様に係る半導体装置を示す上面図。
- 【図 44】本発明の一態様に係る半導体装置を示すブロック図。
- 【図 45】本発明の一態様に係る半導体装置を示す断面図。
- 【図 46】本発明の一態様に係る半導体装置を示す断面図。
- 【図 47】本発明の一態様に係る半導体装置を示す斜視図および断面図。
- 【図 48】本発明の一態様に係る半導体装置を示すブロック図。
- 【図 49】本発明の一態様に係る半導体装置を示す回路図。
- 【図 50】本発明の一態様に係る半導体装置を示す回路図、上面図および断面図。
- 【図 51】本発明の一態様に係る半導体装置を示す回路図および断面図。 50

【図５２】本発明の一態様に係る電子機器を示す斜視図。

【発明を実施するための形態】

【００２９】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【００３０】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【００３１】

また、本明細書などにおいて、第１、第２等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第１の」を「第２の」又は「第３の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【００３２】

また、本明細書などにおいて、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【００３３】

また、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有する場合がある。

【００３４】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネル領域を有しており、ドレインとチャネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャネル領域とは、電流が主として流れる領域をいう。

【００３５】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

【００３６】

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは酸素が５５原子％以上６５原子％以下、窒素が１原子％以上２０原子％以下、シリコンが２５原子％以上３５原子％以下、水素が０．１原子％以上１０原子％以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは窒素が５５原子％以上６５原子％以下、酸素が１原子％以上２０原子％以下、シリコンが２５原

10

20

30

40

50

子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

【0037】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0038】

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0039】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0040】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電体、層、など）であるとする。

【0041】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

【0042】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

【0043】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとY

10

20

30

40

50

とが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

【0044】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に関示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に関示されているものとする。

10

【0045】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

【0046】

20

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

30

【0047】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣

40

50

的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

10

【0048】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電体、層、など）であるとする。

【0049】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電体が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電体が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

20

【0050】

（実施の形態1）

<半導体装置の構成例1>

本実施の形態では、半導体装置の作製方法の一例について、図1乃至図5を用いて説明する。

【0051】

以下に、半導体装置の作製方法の一例を図1乃至5を参照して説明する。

【0052】

はじめに、基板101を準備する。基板101として使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが好ましい。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム、ガリウムヒ素、インジウムヒ素、インジウムガリウムヒ素からなる化合物半導体基板、SOI（Silicon On Insulator）基板、GOI（Germanium on Insulator）基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板として用いてもよい。

30

【0053】

また、基板として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上にトランジスタを直接作製してもよいし、他の作製基板にトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体を含むトランジスタとの間に剥離層を設けるとよい。

40

【0054】

次に、図1（A）および（B）に示すように、絶縁体110、絶縁体120、酸化物半導体130A、酸化物半導体130B、導電体140Aを形成する。

【0055】

まず、基板101上に、絶縁体110および絶縁体120を形成する。なお、本実施の形態において、絶縁体110および絶縁体120からなる2層構造としたが、積層構造とす

50

る必要はなく、少なくとも絶縁体 1 1 0 または絶縁体 1 2 0 のどちらか一方が形成されていればよい。また、3 層以上の積層構造としてもよい。絶縁体 1 1 0 および絶縁体 1 2 0 は、例えば酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、窒化アルミニウム膜、酸化ハフニウム膜、酸化窒化ハフニウム膜、酸化ジルコニウム膜、酸化窒化ジルコニウム膜、酸化イットリウム膜、酸化窒化イットリウム膜、酸化ガリウム膜、酸化窒化ガリウム膜、酸化タンタル膜、酸化窒化タンタル膜などを用いればよい。

【0056】

基板 1 0 1 がガスを放出することや、不純物の拡散源となる場合がある。また、基板 1 0 1 上に水素や水などの不純物を含む半導体素子などが設けられる場合がある。その場合、絶縁体 1 1 0 または絶縁体 1 2 0 が、それらをバリアする性質を有することが好ましい。

10

【0057】

酸化物半導体 1 3 0 A や酸化物半導体 1 3 0 B などの酸化物半導体は、水素や水などの不純物に起因して欠陥準位を形成する場合がある。したがって、絶縁体 1 1 0 または絶縁体 1 2 0 が、水素透過性の低い（水素をバリアする性質の）絶縁体であることが好ましい場合がある。

【0058】

水素は、原子半径などが小さいため絶縁体中を拡散しやすい（拡散係数が大きい）。例えば、密度の低い絶縁体は、水素透過性が高くなる。言い換えれば、密度の高い絶縁体は水素透過性が低くなる。密度の低い絶縁体は、絶縁体全体の密度が低い必要はなく、部分的に密度が低い場合も含む。これは、密度の低い領域が水素の経路となるためである。水素を透過しうる密度は一意には定まらないが、代表的には 2.6 g/cm^3 未満などが挙げられる。密度の低い絶縁体としては、例えば、酸化シリコンおよび酸化窒化シリコンなどの無機絶縁体、ならびにポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートおよびアクリルなどの有機絶縁体などがある。密度の高い絶縁体としては、例えば、酸化マグネシウム、酸化アルミニウム、酸化ゲルマニウム、酸化ガリウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどがある。なお、密度の低い絶縁体および密度の高い絶縁体は、上述の絶縁体に限定されない。例えば、これらの絶縁体に、ホウ素、窒素、フッ素、ネオン、リン、塩素またはアルゴンから選ばれた一種以上の元素が含まれていてもよい。

20

30

【0059】

また、結晶粒界を有する絶縁体は、水素透過性が高い場合がある。言い換えれば、結晶粒界を有さない（または結晶粒界が少ない）絶縁体は水素を透過させにくい。例えば、非多結晶絶縁体（非晶質絶縁体など）は、多結晶絶縁体と比べて水素透過性が低くなる。

【0060】

また、水素との結合エネルギーが高い絶縁体は、水素透過性が低い場合がある。例えば、水素と結合して水素化合物を作る絶縁体が、装置の作製工程または装置の動作における温度で水素を脱離しない程度の結合エネルギーを有すれば、水素透過性の低い絶縁体といえる。例えば、 200 以上 1000 以下、 300 以上 1000 以下、または 400 以上 1000 以下で水素化合物を作る絶縁体は、水素透過性が低い場合がある。また、例えば、水素の脱離温度が、 200 以上 1000 以下、 300 以上 1000 以下、または 400 以上 1000 以下である水素化合物を作る絶縁体は、水素透過性が低い場合がある。一方、水素の脱離温度が、 20 以上 400 以下、 20 以上 300 以下、または 20 以上 200 以下である水素化合物を作る絶縁体は、水素透過性が高い場合がある。また、容易に脱離する水素、および遊離した水素を過剰水素と呼ぶ場合がある。

40

【0061】

また、酸化物半導体を有するトランジスタは、酸化物半導体中の酸素欠損が電気特性を劣化させる要因となる場合がある。したがって、絶縁体 1 1 0 または / および絶縁体 1 2 0

50

が過剰酸素を有する絶縁体であることが好ましい。なお、過剰酸素とは、絶縁体中などに存在し、かつ絶縁体などと結合していない（遊離した）酸素、または絶縁体などとの結合エネルギーの低い酸素をいう。

【0062】

過剰酸素を有する絶縁体は、昇温脱離ガス分光法分析（TDS分析）にて、 100 以上 700 以下または 100 以上 500 以下の表面温度の範囲で 1×10^{18} atoms / cm³ 以上、 1×10^{19} atoms / cm³ 以上または 1×10^{20} atoms / cm³ 以上の酸素（酸素原子数換算）を放出することもある。

【0063】

TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

10

【0064】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0065】

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量（ N_{O_2} ）は、下に示す式で求めることができる。ここで、TDS分析で得られる質量電荷比32で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH の質量電荷比は32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比

20

【0066】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times$$

【0067】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として一定量の水素原子を含むシリコン基板を用いて測定する。

30

【0068】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述のは酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0069】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0070】

40

または、加熱処理によって酸素を放出する絶縁体は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 5×10^{17} spins / cm³ 以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、電子スピン共鳴法（ESR: Electron Spin Resonance）にて、g値が2.01近傍に非対称の信号を有することもある。

【0071】

なお、水素透過性の低い絶縁体は、酸素透過性の低い絶縁体である場合も多い。したがって、絶縁体110として水素透過性の低い絶縁体を用い、絶縁体120として過剰酸素を有する絶縁体を用いることが好ましい。以上に示したように、絶縁体110および絶縁体120の積層構造を有することで、酸化物半導体を有するトランジスタの電気特性を向上

50

させることができる。

【0072】

絶縁体110および絶縁体120は、例えば、スパッタリング法、化学気相堆積(CVD: Chemical Vapor Deposition)法(熱CVD法、有機金属CVD(MOCVD: Metal Organic Chemical Vapor Deposition)法、プラズマ励起CVD(PECVD: Plasma Enhanced Chemical Vapor Deposition)法等を含む)、分子エビタキシー(MBE: Molecular Beam Epitaxy)法、原子層堆積(ALD: Atomic Layer Deposition)法またはパルスレーザ堆積(PLD: Pulsed Laser Deposition)法などを用いて形成することができる。特に、当該絶縁体をCVD法、好ましくはALD法等によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい。また、TEOS(Tetra-Ethyl-Ortho-Silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化シリコン膜を用いることもできる。

10

【0073】

次に、酸素イオンを添加することにより、絶縁体110または/および絶縁体120に過剰酸素を含ませてもよい。酸素イオンの添加は、例えば、イオン注入法により、加速電圧を2kV以上50kV以下とし、ドーズ量を $5 \times 10^{14} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下として行えばよい。

20

【0074】

続いて、酸化物半導体130Aおよび酸化物半導体130Bを形成する。酸化物半導体130Aおよび酸化物半導体130Bの成膜方法は、スパッタリング法、塗布法、MBE法、CVD法、PLD法、ALD法等を適宜用いることができる。

【0075】

なお、酸素イオンを添加することにより、酸化物半導体130Aまたは/および酸化物半導体130Bに過剰酸素を含ませてもよい。酸素イオンの添加は、例えば、イオン注入法により、加速電圧を2kV以上50kV以下とし、ドーズ量を $5 \times 10^{14} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下として行えばよい。酸化物半導体130Aまたは/および酸化物半導体130Bに過剰酸素を含ませることによって、酸化物半導体130Aまたは/および酸化物半導体130Bの酸素欠損を低減することができる。

30

【0076】

例えば、酸化物半導体を、スパッタリング法を用いて成膜する場合、具体的には、基板温度を100 以上500 以下、好ましくは150 以上450 以下とし、成膜ガス中の酸素割合を2体積%以上、好ましくは5体積%以上、さらに好ましくは10体積%以上として成膜することができる。

【0077】

また、適用可能な酸化物半導体としては、少なくともインジウム(In)または亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザとして、それらに加えてガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、ジルコニウム(Zr)、チタン(Ti)、スカンジウム(Sc)、イットリウム(Y)、ランタノイド(例えば、セリウム(Ce)、ネオジム(Nd)、ガドリニウム(Gd))から選ばれた一種、または複数種が含まれていることが好ましい。

40

【0078】

ここで、酸化物半導体が、インジウム、元素M及び亜鉛を有する場合を考える。ここで、元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウ

50

ム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。酸化物半導体が有するインジウム、元素M及び亜鉛の原子数の比、 $x : y : z$ の好ましい範囲について、図26(A)および図26(B)を用いて説明する。

【0079】

図26(A)および図26(B)は、酸化物半導体が有するインジウム、元素M及び亜鉛の原子数の比の範囲について示している。ここで図26(A)および図26(B)では、元素MがGaの例を示している。なお、酸素の原子数比については図26(A)および図26(B)には記載しない。

【0080】

例えば、インジウム、元素M及び亜鉛を有する酸化物では、 $\text{InM}_3(\text{ZnO})_m$ (m は自然数)で表されるホモロガス相(ホモロガスシリーズ)が存在することが知られている。ここで、例として元素MがGaである場合を考える。図26に太い直線で示した領域は、例えば In_2O_3 、 Ga_2O_3 、及び ZnO の粉末を混合し、1350℃で焼成した場合に、単一相の固溶域をとり得ることが知られている組成である。また、図26に四角のシンボルで示す座標は、スピネル型の結晶構造が混在しやすいことが知られている組成である。

【0081】

例えば、スピネル型の結晶構造を有する化合物として、 ZnGa_2O_4 などの ZnM_2O_4 で表される化合物が知られている。また、図26(A)および図26(B)に示すように ZnGa_2O_4 の近傍の組成、つまり x 、 y 及び z が $(x : y : z) = (0 : 2 : 1)$ に近い値を有する場合には、スピネル型の結晶構造が形成されやすい。また、元素MをInが置換する場合もある。よって、 $x : y : z = a : 1 - a : 2$ (a は0以上1以下)に近い値を有する場合も、スピネル型の結晶構造が形成されやすい。

【0082】

ここで、酸化物半導体はCAAC-OS膜であることが好ましい。また、CAAC-OS膜は、特にスピネル型の結晶構造が含まれないことが好ましい。また、キャリア移動度を高めるためにはInの含有率を高めることが好ましい。インジウム、元素M及び亜鉛を有する酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を多くすることにより、より多くのs軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較してキャリア移動度が高くなる。そのため、酸化物半導体にインジウムの含有率が多い酸化物を用いることで、キャリア移動度を高めることができる。

【0083】

よって、酸化物半導体の有するインジウム、元素M及び亜鉛の原子数の比、 $x : y : z$ は、例えば図26(B)に示す領域11の範囲であることが好ましい。ここで、領域11は、第1の座標K($x : y : z = 8 : 14 : 7$)と、第2の座標L($x : y : z = 2 : 5 : 7$)と、第3の座標M($x : y : z = 51 : 149 : 300$)と、第4の座標N($x : y : z = 46 : 288 : 833$)と、第5の座標O($x : y : z = 0 : 2 : 11$)と、第6の座標P($x : y : z = 0 : 0 : 1$)と、第7の座標Q($x : y : z = 1 : 0 : 0$)とを、順番に線で結んだ範囲内の原子数の比を有する領域である。なお、領域11には、直線上の座標も含む。

【0084】

$x : y : z$ を図26(B)に示す領域11とすることにより、ナノビーム解析においてスピネル型の結晶構造が観測される割合をなくすることができる、または極めて低くすることができる。よって、優れたCAAC-OS膜を得ることができる。また、CAAC構造とスピネル型の結晶構造の境界におけるキャリア散乱等を減少させることができるため、酸化物半導体をトランジスタに用いた場合に、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0085】

10

20

30

40

50

また、酸化物半導体をスパッタリング法で成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される場合がある。特に、亜鉛は、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40 atomic %以上90 atomic %程度以下となる場合がある。ここで、用いるターゲットは多結晶であることが好ましい。

【0086】

また、本実施の形態において、酸化物半導体130A、および酸化物半導体130Bの2層構造としたが、単一層であってもよい。また、n層(nは3以上)からなる積層構造によって形成されていてもよい。

【0087】

例えば、不純物を低減した第1の半導体上に、第2の半導体を形成することで、第2の半導体は、第1の半導体よりもさらに不純物が少なく形成され、かつ、下層からの不純物の拡散を防止ことができる。また、後の工程で、酸化物半導体上にさらに積層を行う場合、第2の半導体上に第3の半導体を薄く形成しておくことで、酸化物半導体の上層から、第2の半導体への不純物拡散も抑制することができる。不純物が低減された第2の半導体をチャネル領域となるようにトランジスタを形成することで、信頼性の高い半導体装置を提供することができる。

【0088】

また、酸化物半導体の厚さは、例えば1nm以上500nm以下、好ましくは1nm以上、300nm以下とするとよい。

【0089】

酸化物半導体130A、および酸化物半導体130Bを成膜後、熱処理を行うことが好ましい。熱処理は、250以上650以下、好ましくは300以上500以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、又は減圧雰囲気で行えばよい。また、熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。ここでの加熱処理によって、酸化物半導体130A、および酸化物半導体130Bから水素や水などの不純物を除去することができる。また、この加熱処理により絶縁体120から酸化物半導体130A、および酸化物半導体130Bに酸素を供給することができる。この際、絶縁体120が過剰酸素を含んでいると酸化物半導体に効率よく酸素を供給することができるので好適である。

【0090】

続いて、酸化物半導体130B上に導電体140Aを形成する。なお、ここでは単層構造を示しているが、導電体140Aは、2層以上の積層構造としてもよい。

【0091】

導電体140Aには、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、導電体140Aとしてリン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイド膜を用いてもよい。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。例えば、チタン膜5nmと窒化チタン膜10nm、タングステン膜100nmの積層とすることができる。

【0092】

導電体140Aは、スパッタリング法、蒸着法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)などにより成膜することができる。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい。

10

20

30

40

50

【0093】

続いて、図1(C)および図1(D)に示すように、導電体140A上にリソグラフィ法等を用いてレジストマスク135を形成し、酸化物半導体130A、酸化物半導体130B、および当該導電体140Aの不要な部分を除去する。その後、レジストマスク135を除去することにより、図1(E)および図1(F)に示す、島状の酸化物半導体130a、酸化物半導体130b、および導電体140を形成することができる。

【0094】

ここで、被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、リソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、リソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて、被加工膜をエッチングしてもよい。また、被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

【0095】

レジストマスクの形成に用いる光は、例えばi線(波長365nm)、g線(波長436nm)、h線(波長405nm)、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光には、極端紫外光(EUV: Extreme Ultra-violet)、またはX線もしくは電子ビームなどの電磁波を用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【0096】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピコート法などにより、その下層の段差を被覆して表面を平坦化するように形成することができ、当該有機樹脂膜の上層に設けられるレジストマスクの厚さのばらつきを低減できる。また、特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばBARC(Bottom Anti-Reflection Coating)膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

【0097】

次に、図2(C)および図2(D)に示すように、犠牲層190を形成する。まず、図1(G)および図1(H)に示すように、犠牲層190となる膜190Aを成膜した後、上記と同様の方法により、レジストマスク195を形成し、膜190Aの不要な部分を除去することで、図2(A)および図2(B)に示すように、犠牲層190Bを形成する。続いて、犠牲層190Bにウェットエッチングを行い、犠牲層190Bを一回り小さくすることで、犠牲層190を形成する。エッチングには、犠牲層190の材料として多結晶シリコンを使用している場合には、2乃至40重量%、好ましくは、20乃至25重量%のTMAH(水酸化テトラメチルアンモニウム)を用いればよい。当該ウェットエッチングを行うことで、トランジスタのさらなる微細化を行うことができる。

【0098】

なお、犠牲層190Bを経て犠牲層190を形成する必要はなく、犠牲層190Bを犠牲層190とし、次工程へと進んでもよい。その場合、レジストマスク195を後退させながらエッチング処理を行うことで、レジストマスク195よりも小さなパターンで犠牲層190を形成することができる。なお、犠牲層190の形状は、後に形成する導電体160の形状に影響を及ぼすため、側面が被形成面に略垂直な形状とすることが好ましい。

【0099】

膜190Aは、導電体140などとエッチングレートが異なる膜であればよい。よって、膜190Aが、導電体であっても、半導体であっても、絶縁体であってもよい。また、膜190Aが、有機物であっても、無機物であってもよい。膜190Aとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む絶縁体、半導体または導電体を用いればよい。エッチングの選択性が取りやすいため、シリコン膜、クロム膜、モリブデン膜、タングステン膜、酸化亜鉛膜または酸化モリブデン膜を用いることが好ましい。なお、膜190Aが導電体140と同じ導電体であってもよい。その場合、膜190Aを、導電体140よりもエッチングの速度が高くなるように成膜すればよい。

10

【0100】

また、膜190Aは積層構造としてもよい。例えば、異なるエッチング特性を有する第1の犠牲層となる第1の膜、第2の犠牲層となる第2の膜が順に積層された構造としてもよい。その場合、第2の犠牲層となる第2の膜をエッチングした後で、第2の犠牲層を用いて第1の犠牲層となる第1の膜をエッチングすればよい。よって、第1の犠牲層となる第1の膜が導電体140などとエッチングレートが異なる膜であればよい。即ち、第2の犠牲層となる第2の膜が導電体140などとエッチングレートに近い膜であってもよい。第1の犠牲層は、設計した犠牲層190全体の厚さよりも薄くなるため、エッチングの進行具合による形状のばらつきを小さくすることができる。また、第2の犠牲層の上面から見た形状を犠牲層190Bのようにした後、第1の犠牲層で導電体140などを保護した状態で第2の犠牲層をウェットエッチングなどによって縮小させ、犠牲層190を形成することもできる。

20

【0101】

続いて、図2(E)および図2(F)に示すように、導電体140、および犠牲層190上に、絶縁体180Aを形成する。絶縁体180Aは、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体である。ただし、絶縁体180Aが、主成分として酸素含まない絶縁体であってもよい。例えば、窒化シリコン膜などを用いてもよい。

30

【0102】

なお、絶縁体180Aは、過剰酸素を含む絶縁体であることが好ましい。過剰酸素を含む絶縁体を形成する方法としては、CVD法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。また、酸化シリコン膜や酸化窒化シリコン膜を形成した後、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

【0103】

続いて、図3(A)および図3(B)に示すように、機械的化学的研磨法(CMP: Chemical Mechanical Polishing)処理などにより、図中矢印で示すように、犠牲層190が露出するまで、絶縁体180Aの一部を除去し、絶縁体180を形成する。この際、犠牲層190をストッパー層として使用することもでき、犠牲層190が薄くなる場合がある。なお、当該CMP処理は、絶縁体180Aの表面の二乗平均平方根(RMS)粗さが1nm以下(好ましくは0.5nm以下)となる条件で行う。このような条件でCMP処理を行うことにより、後に配線等が形成される表面の平坦性を向上することができる。

40

【0104】

ここで、CMP処理とは、被加工物の表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー(研磨剤)を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

50

【0105】

なお、CMP処理は、1回のみ行ってもよいし、複数行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁体180の平坦性をさらに向上させることができる。

【0106】

次に、犠牲層190を選択的にエッチングして、図3(C)および図3(D)に示すように、開口部を形成する。なお、犠牲層190を除去する工程は、ウェットエッチング法を用いることが好ましい。エッチングには、犠牲層190の材料として多結晶シリコンを使用している場合には、2乃至40重量%、好ましくは、20乃至25重量%のTMAH(水酸化テトラメチルアンモニウム)を用いればよい。

10

【0107】

エッチング深さが深くなると、マスクの真下にも腐食が進むアンダーカットが生じる場合がある。一方、本工程においては、絶縁体180に埋め込まれた状態である犠牲層190を除去することにより、絶縁体180と犠牲層190とでエッチングレートが異なれば、エッチング深さが深くとも、アンダーカットが生じることなく、高アスペクト比が保たれた精度の高い微細加工が可能となる。

【0108】

また、ウェットエッチング法は、ドライエッチング法と比較して、エッチングの選択性が採りやすい。また、プラズマを用いないため、エッチングによる損傷が少ないという利点がある。また、一度に大量の基板に処理を行うことができるため、生産性の向上を図ることができる。さらに、ウェットエッチング法は、ドライエッチング法と比較して、一般的に装置や薬品の価格が安く、生産コストの削減を図ることができる。

20

【0109】

続いて、図3(E)および図3(F)に示すように、絶縁体180をマスクとして、導電体140の一部を除去することで導電体140a、および導電体140bを形成すると同時に、開口部を形成する。

【0110】

次に、図4(A)および図4(B)に示すように、酸化物半導体130C、絶縁体150A、および導電体160Aを成膜する。

30

【0111】

酸化物半導体130Cは、酸化物半導体130A、および酸化物半導体130Bと同様に形成することができる。なお、トランジスタのオン電流を高くするためには、酸化物半導体130Cの厚さは小さいほど好ましい。例えば、20nm未満、好ましくは10nm以下、さらに好ましくは5nm以下の領域を有する酸化物半導体130Cとすればよい。一方、酸化物半導体130Cは、チャネルの形成される酸化物半導体130bへ、隣接する絶縁体を構成する酸素以外の元素(水素、シリコンなど)が入り込まないようにブロックする機能を有する。そのため、酸化物半導体130Cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する酸化物半導体130Cとすればよい。また、酸化物半導体130Cは、基板101、または基板101と酸化物半導体130bとの間に介在する絶縁体などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

40

【0112】

また、絶縁体150Aの膜厚は、例えば1nm以上20nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、絶縁体150Aは、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。また、MOCVD法を用いてもよい。例えば、MOCVD法を用いて成膜した酸化ガリウム膜を、絶縁体150Aとして用いることができる。

50

【0113】

絶縁体150Aの材料としては、酸化シリコン膜、酸化ガリウム膜、酸化ガリウム亜鉛膜、酸化亜鉛膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。絶縁体150Aは、酸化物半導体130Cと接する部分において酸素を含むことが好ましい。特に、絶縁体150Aは、膜中（バルク中）に少なくとも化学量論的組成を超える量の酸素（過剰酸素）が存在することが好ましく、本実施の形態では、絶縁体150AとしてCVD法で形成する酸化窒化シリコン膜を用いる。過剰酸素を含む酸化窒化シリコン膜を絶縁体150Aとして用いると、酸化物半導体130Cを介して、酸化物半導体130bに酸素を供給することができ、特性を良好にすることができる。さらに、絶縁体150Aは、後の工程で絶縁体150に加工されることから、作製するトランジスタのサイズなどを考慮して形成することが好ましい。

10

【0114】

さらに、絶縁体150Aの材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、ハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））、酸化ランタンなどのhigh-k材料を用いることもできる。なお、絶縁体150Aは、単層構造としてもよいし、積層構造としてもよい。

【0115】

また、導電体160Aは、スパッタリング法、蒸着法、CVD法などを用いて形成する。なお、導電体160Aは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、導電体160Aとしてリン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコン酸化物を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。例えば、チタン膜5nmと窒化チタン膜10nm、タングステン膜100nmの積層とすることができる。

20

30

【0116】

続いて、CMP処理などにより、絶縁体180が露出するまで、導電体160A、絶縁体150A、酸化物半導体130Cの一部を除去し、酸化物半導体130c、絶縁体150、導電体160を形成する（図4（C）および図4（D））。この際、絶縁体180をストッパー層として使用することもでき、絶縁体180の厚さが減少する場合がある。

【0117】

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、研磨表面の平坦性をさらに向上させることができる。

40

【0118】

以上の工程により、図5に示すトランジスタ100を作製することができる。図5（A）に、トランジスタ100の上面図の一例を示す。なお、図5（B）および図5（C）は、図5（A）に示す一点鎖線X1-X2、及びY1-Y2に対応する断面図である。なお、トランジスタ100は、図5に示すように導電体165を有していてもよい。導電体165を設けるには、基板101上に導電体165を形成したのち、絶縁体110を成膜する。続いて、CMP処理などにより、導電体165が露出するまで、絶縁体110の一部を除去することで形成することができる。CMP処理を行うことで、導電体165による段差が小さくなるため、トランジスタ100の形状不良が低減され、信頼性を高めることが

50

できる。

【0119】

トランジスタ100において、酸化物半導体130は酸化物半導体130a、酸化物半導体130b、酸化物半導体130cを有する。なお、酸化物半導体130bは、チャネル形成領域としての機能を有する。また、導電体140aおよび導電体140bは、ソース電極およびドレイン電極としての機能を有する。また、絶縁体150は、ゲート絶縁体としての機能を有する。導電体160は、第1のゲート電極としての機能を有する。導電体165は第2のゲート電極としての機能を有する。

【0120】

本実施の形態により、微細な構造を有するトランジスタ100を作製することができる。トランジスタ100は、導電体140aおよび導電体140bと、導電体160と、がほとんど重ならない構造を有するため、導電体160と、導電体140aおよび導電体140bとの間に生じる寄生容量を小さくすることができる。即ち、トランジスタ100は動作周波数が高い。また、犠牲層190を用いて形成した開口部に、ゲート絶縁体としての機能を有する絶縁体150、及びゲート電極としての機能を有する導電体160を作りこむことで、同一工程で作製するトランジスタ間のチャネル長のばらつきを抑えることができる。

10

【0121】

また、形成される導電体160の幅を、犠牲層190よりも細くすることができる。よって、同じ幅のゲート電極を直接リソグラフィ法によって形成する場合よりも、ゲート電極を安定に形成することができる。例えば、ゲート電極の幅が狭すぎるとゲート電極を形成した際に倒壊してしまう場合があるが、本発明の一態様に係るトランジスタはゲート電極が倒壊しにくい。同様に、ゲート電極として機能する導電体160の厚さを厚くすることができる。具体的には、導電体160の厚さを、導電体160の幅の2倍以上、好ましくは3倍以上、さらに好ましくは4倍以上とすることができる。導電体160を厚くすることで、導電体160の抵抗を低くすることができるため、トランジスタの動作速度を高くすることができる。

20

【0122】

以上より、微細な構造であっても、安定した電気特性を有し、動作速度の高いトランジスタを提供することができる。また、該トランジスタを用いることで、トランジスタ間のばらつきが小さく、集積度の高い半導体装置を提供することができる。

30

【0123】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0124】

(実施の形態2)

<半導体装置の変形例1>

本実施の形態では、トランジスタ100の変形例について、図6乃至図10を用いて説明する。以下に、半導体装置の作製方法の一例を図6乃至9を参照して説明する。なお、実施の形態1に示すトランジスタ100と同符号を付記した構成要素は、実施の形態1に示すトランジスタを参照することができる。

40

【0125】

はじめに、図6(A)および図6(B)に示すように、基板101上に、絶縁体110、絶縁体120、酸化物半導体130A、酸化物半導体130B、酸化物半導体130C、および導電体140Aを形成する。

【0126】

続いて、図6(C)および図6(D)に示すように、導電体140A上にリソグラフィ法等を用いてレジストマスク135を形成し、酸化物半導体130A、酸化物半導体130B、酸化物半導体130C、および当該導電体140Aの不要な部分を除去する。その後、レジストマスク135を除去することにより、図6(E)および図6(F)に示す、島

50

状の酸化物半導体 130a、酸化物半導体 130b、酸化物半導体 130c、および導電体 140を形成することができる。

【0127】

次に、図7(C)および図7(D)に示すように、犠牲層 190を形成する。まず、図7(A)および図7(B)に示すように、犠牲層 190となる膜 190Aを成膜した後、上記と同様の方法により、レジストマスク 195を形成し、膜 190Aの不要な部分を除去することで犠牲層 190を形成する。なお、犠牲層 190の形状は、後に形成する導電体 160の形状に影響を及ぼすため、側面が被形成面に略垂直な形状とすることが好ましい。

【0128】

続いて、図7(E)および図7(F)に示すように、導電体 140、および犠牲層 190上に、絶縁体 180Aを形成する。続いて、図8(A)および図8(B)に示すように、機械的研磨法処理などにより、犠牲層 190が露出するまで、絶縁体 180Aの一部を除去し、絶縁体 180を形成する。なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レート的一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁体 180の平坦性をさらに向上させることができる。

【0129】

次に、犠牲層 190を選択的にエッチングして、図8(C)および図8(D)に示すように、開口部を形成する。なお、犠牲層 190を除去する工程は、ウェットエッチング法を用いることが好ましい。

【0130】

続いて、図8(E)および図8(F)に示すように、絶縁体 180をマスクとして、導電体 140の一部を除去することで導電体 140a、および導電体 140bを形成すると同時に、開口部を形成する。本実施の形態におけるトランジスタの構造は、導電体 140と酸化物半導体 130bとの間に、酸化物半導体 130cが介在している。当該構造により、導電体 140を除去する工程で、酸化物半導体 130cにより、酸化物半導体 130bを保護することができる。なお、酸化物半導体 130bはチャネル形成領域としての機能を有する。従って、チャネル形成領域の表面が保護されることで、信頼性の高いトランジスタを得ることができる。

【0131】

次に、図9(A)および図9(B)に示すように、絶縁体 150A、および導電体 160Aを成膜する。

【0132】

続いて、CMP処理などにより、絶縁体 180が露出するまで、導電体 160A、および絶縁体 150Aの一部を除去し、絶縁体 150、導電体 160を形成する(図9(C)および図9(D))。この際、絶縁体 180をストッパー層として使用することもでき、絶縁体 180の厚さが減少する場合がある。

【0133】

以上の工程により、図10に示すトランジスタ 100を作製することができる。図10(A)は、トランジスタ 100の上面図の一例を示す。なお、図10(B)および図10(C)は、図10(A)に示す一点鎖線X1-X2、及びY1-Y2に対応する断面図である。なお、トランジスタ 100は、図10に示すように導電体 165を有していてもよい。

【0134】

トランジスタ 100において、酸化物半導体 130bは、チャネル形成領域としての機能を有する。また、導電体 140aおよび導電体 140bは、ソース電極およびドレイン電極としての機能を有する。また、絶縁体 150は、ゲート絶縁体としての機能を有する。導電体 160は、第1のゲート電極としての機能を有する。導電体 165は第2のゲート

10

20

30

40

50

電極としての機能を有する。

【0135】

本実施の形態により、微細な構造を有するトランジスタ100を作製することができる。トランジスタ100は、導電体140aおよび導電体140bと、導電体160と、がほとんど重ならない構造を有するため、導電体160と、導電体140aおよび導電体140bとの間に生じる寄生容量を小さくすることができる。即ち、トランジスタ100は動作周波数が高い。また、犠牲層190を用いて形成した開口部に、ゲート絶縁体としての機能を有する絶縁体150、及びゲート電極としての機能を有する導電体160を作りこむことで、同一工程で作製するトランジスタ間のチャンネル長のばらつきを抑えることができる。

10

【0136】

また、形成される導電体160の幅を、犠牲層190よりも細くすることができる。よって、同じ幅のゲート電極を直接リソグラフィ法によって形成する場合よりも、ゲート電極を安定に形成することができる。例えば、ゲート電極の幅が狭すぎるとゲート電極を形成した際に倒壊してしまう場合があるが、本発明の一態様に係るトランジスタはゲート電極が倒壊しにくい。同様に、ゲート電極として機能する導電体160の厚さを厚くすることができる。具体的には、導電体160の厚さを、導電体160の幅の2倍以上、好ましくは3倍以上、さらに好ましくは4倍以上とすることができる。導電体160を厚くすることで、導電体160の抵抗を低くすることができるため、トランジスタの動作速度を高くすることができる。

20

【0137】

また、本実施の形態は、酸化物半導体130cを絶縁体180の開口部に形成しないため、犠牲層190を用いて形成した開口部が、さらに微細化されたとしても、絶縁体150および導電体160を埋め込む領域を確保することができる。

【0138】

以上より、微細な構造であっても、安定した電気特性を有し、動作速度の高いトランジスタを提供することができる。また、該トランジスタを用いることで、トランジスタ間のばらつきが小さく、集積度の高い半導体装置を提供することができる。

【0139】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

30

【0140】

(実施の形態3)

<半導体装置の変形例2>

本実施の形態では、トランジスタ100の変形例について、図11乃至図15を用いて説明する。以下に、半導体装置の作製方法の一例を図11乃至図15を参照して説明する。なお、実施の形態1に示すトランジスタ100と、同様の機能を有する構成は実施の形態1に示すトランジスタ100と同符号を付記し、実施の形態1に示すトランジスタを参照することができる。

【0141】

はじめに、図11(A)および図11(B)に示すように、基板101上に、絶縁体110、絶縁体120、酸化物半導体130A、および酸化物半導体130Bを形成する。

【0142】

続いて、図11(C)および図11(D)に示すように、酸化物半導体130B上にリソグラフィ法等を用いてレジストマスク135を形成し、酸化物半導体130A、および酸化物半導体130Bの不要な部分を除去する。その後、レジストマスク135を除去することにより、図11(E)および図11(F)に示す、島状の酸化物半導体130a、および酸化物半導体130bを形成することができる。

40

【0143】

次に、図11(G)および図11(H)に示すように、酸化物半導体130Cを成膜し、

50

酸化物半導体 130C 上に導電体 140A を成膜した後、導電体 140A 上にリソグラフィ法等を用いてレジストマスク 145 を形成する。続いて、図 12 (A) および図 12 (B) に示すように、酸化物半導体 130C、および導電体 140A の不要部分を除去し、酸化物半導体 130c、および導電体 140 を形成する。

【0144】

次に、図 12 (E) および図 12 (F) に示すように、犠牲層 190 を形成する。まず、図 12 (C) および図 12 (D) に示すように、犠牲層 190 となる膜 190A を成膜した後、上記と同様の方法により、レジストマスク 195 を形成し、膜 190A の不要部分を除去することで犠牲層 190 を形成する。なお、犠牲層 190 の形状は、後に形成する導電体 160 の形状に影響を及ぼすため、側面が被形成面に略垂直な形状とすることが好ましい。

10

【0145】

続いて、図 13 (A) および図 13 (B) に示すように、導電体 140、および犠牲層 190 上に、絶縁体 180A を形成する。続いて、図 13 (C) および図 13 (D) に示すように、機械的・化学的研磨法処理などにより、犠牲層 190 が露出するまで、絶縁体 180A の一部を除去し、絶縁体 180 を形成する。なお、CMP 処理は、1 回のみ行ってもよいし、複数回行ってもよい。複数回に分けて CMP 処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁体 180 の平坦性をさらに向上させることができる。

20

【0146】

次に、犠牲層 190 を選択的にエッチングして、図 13 (E) および図 13 (F) に示すように、開口部を形成する。なお、犠牲層 190 を除去する工程は、ウェットエッチング法を用いることが好ましい。

【0147】

本実施の形態におけるトランジスタの構造は、酸化物半導体 130b におけるチャネルが形成される領域が、酸化物半導体 130a、および酸化物半導体 130c によって、被覆されている。当該構造により、犠牲層 190 を除去する工程で、酸化物半導体 130c により、酸化物半導体 130b を保護することができる。

【0148】

30

続いて、図 14 (A) および図 14 (B) に示すように、絶縁体 180 をマスクとして、導電体 140 の一部を除去することで導電体 140a、および導電体 140b を形成すると同時に、開口部を形成する。本実施の形態におけるトランジスタの構造は、導電体 140 と酸化物半導体 130b との間に、酸化物半導体 130c が介在している。当該構造により、導電体 140 を除去する工程で、酸化物半導体 130c により、酸化物半導体 130b を保護することができる。

【0149】

次に、図 14 (C) および図 14 (D) に示すように、絶縁体 150A、および導電体 160A を成膜する。

【0150】

40

続いて、CMP 処理などにより、絶縁体 180 が露出するまで、導電体 160A、および絶縁体 150A の一部を除去し、絶縁体 150、導電体 160 を形成する (図 14 (E) および図 14 (F))。この際、絶縁体 180 をストッパー層として使用することもでき、絶縁体 180 の厚さが減少する場合がある。

【0151】

以上の工程により、図 15 に示すトランジスタ 100 を作製することができる。図 15 (A) は、トランジスタ 100 の上面図の一例を示す。なお、図 15 (B) および図 15 (C) は、図 15 (A) に示す一点鎖線 X1 - X2、及び Y1 - Y2 に対応する断面図である。なお、トランジスタ 100 は、図 15 に示すように導電体 165 を有していてもよい。

50

【0152】

トランジスタ100において、酸化物半導体130bは、チャネル形成領域としての機能を有する。また、導電体140aおよび導電体140bは、ソース電極およびドレイン電極としての機能を有する。また、絶縁体150は、ゲート絶縁体としての機能を有する。導電体160は、第1のゲート電極としての機能を有する。導電体165は第2のゲート電極としての機能を有する。

【0153】

本実施の形態により、微細な構造を有するトランジスタ100を作製することができる。トランジスタ100は、導電体140aおよび導電体140bと、導電体160と、がほとんど重ならない構造を有するため、導電体160と、導電体140aおよび導電体140bとの間に生じる寄生容量を小さくすることができる。即ち、トランジスタ100は動作周波数が高い。また、犠牲層190を用いて形成した開口部に、ゲート絶縁体としての機能を有する絶縁体150、及びゲート電極としての機能を有する導電体160を作りこむことで、同一工程で作製するトランジスタ間のチャネル長のばらつきを抑えることができる。

10

【0154】

また、形成される導電体160の幅を、犠牲層190よりも細くすることができる。よって、同じ幅のゲート電極を直接リソグラフィ法によって形成する場合よりも、ゲート電極を安定に形成することができる。例えば、ゲート電極の幅が狭すぎるとゲート電極を形成した際に倒壊してしまう場合があるが、本発明の一態様に係るトランジスタはゲート電極が倒壊しにくい。同様に、ゲート電極として機能する導電体160の厚さを厚くすることができる。具体的には、導電体160の厚さを、導電体160の幅の2倍以上、好ましくは3倍以上、さらに好ましくは4倍以上とすることができる。導電体160を厚くすることで、導電体160の抵抗を低くすることができるため、トランジスタの動作速度を高くすることができる。

20

【0155】

また、本実施の形態は、酸化物半導体130cを開口部に形成しないため、犠牲層190を用いて形成した開口部が、さらに微細化されたとしても、絶縁体150および導電体160を埋め込む領域を確保することができる。

【0156】

以上より、微細な構造であっても、安定した電気特性を有し、動作速度の高いトランジスタを提供することができる。また、該トランジスタを用いることで、トランジスタ間のばらつきが小さく、集積度の高い半導体装置を提供することができる。

30

【0157】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0158】

(実施の形態4)

<半導体装置の変形例3>

本実施の形態では、トランジスタ100の変形例について、図16乃至図20を用いて説明する。以下に、半導体装置の作製方法の一例を図16乃至図20を参照して説明する。なお、実施の形態1に示すトランジスタ100と、同様の機能を有する構成は実施の形態1に示すトランジスタ100と同符号を付記し、実施の形態1に示すトランジスタを参照することができる。

40

【0159】

はじめに、図16(A)および図16(B)に示すように、基板101上に、絶縁体110、絶縁体120、酸化物半導体130A、および酸化物半導体130Bを形成する。

【0160】

続いて、図16(C)および図16(D)に示すように、酸化物半導体130B上にリソグラフィ法等を用いてレジストマスク135を形成し、酸化物半導体130A、および酸

50

化物半導体 130B の不要な部分を除去する。その後、レジストマスク 135 を除去することにより、図 16 (E) および図 16 (F) に示す、島状の酸化物半導体 130a、および酸化物半導体 130b を形成することができる。

【0161】

次に、図 17 (A) および図 17 (B) に示すように、犠牲層 190 を形成する。まず、図 16 (G) および図 16 (H) に示すように、犠牲層 190 となる膜 190A を成膜した後、上記と同様の方法により、レジストマスク 195 を形成し、膜 190A の不要な部分を除去することで犠牲層 190 を形成する。なお、犠牲層 190 の形状は、後に形成する導電体 160 の形状に影響を及ぼすため、側面が被形成面に略垂直な形状とすることが好ましい。

10

【0162】

続いて、図 17 (C) および図 17 (D) に示すように、ソース領域およびドレイン領域となる領域 131a、および領域 131b を形成する。例えば、犠牲層 190 をマスクとして、酸化物半導体 130b に対し、ホウ素、リン、アルゴンなどの不純物を添加することで、酸化物半導体 130b は、低抵抗化し、領域 131a、および領域 131b を形成することができる。また、不純物を添加する際に、酸化物半導体 130b において、犠牲層 190 と重なる領域にも不純物が添加されるように調整することで、トランジスタのオン特性を向上させることができる。なお、この際に、酸化物半導体 130a にも低抵抗領域が形成されていてもかまわない。

【0163】

20

また、領域 131a、および領域 131b と接する窒化珪素膜などの水素を含む膜から水素を酸化物半導体 130b の一部に拡散させることで、さらに低抵抗化を図ることができる。なお、後に形成する絶縁体 180A に、窒化珪素膜などの水素を含む膜を用いることで、酸化物半導体 130b の一部（この場合、少なくとも、領域 131a、および領域 131b）と窒化珪素膜などの水素を含む膜とが接する構造としてもよい。また、窒化珪素膜などの水素を含む膜を形成した後、絶縁体 180A を形成してもよい。なお、上記不純物を添加する構成、または水素を含む膜を形成する構成の一方により、領域 131a、および領域 131b を形成することができる。

【0164】

また、例えば、酸化物半導体 130b および犠牲層 190 に接して、金属層を形成した後、当該金属層を除去することでも領域 131a、および領域 131b を形成することができる。金属層と接する領域に酸素欠損が形成され、酸化物半導体中に含まれる水素が該酸素欠損に入ることにより、該領域は n 型化される。n 型化された領域は、ソース領域またはドレイン領域として機能し、酸化物半導体とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げることができる。よって、n 型化された領域が形成されることで、トランジスタ 100 の移動度及びオン電流を高めることができ、それにより、トランジスタ 100 を用いた半導体装置の高速動作を実現することができる。

30

【0165】

なお、金属層による酸素の引き抜きは、金属層をスパッタリング法などにより形成する際に起こりうるが、さらに、酸素を引き抜きたい場合は、金属層を形成した後に加熱処理を行ってもよい。なお、n 型化される領域は、酸素と結合し易い導電性材料を金属層に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W などが挙げられる。

40

【0166】

また、金属層を除去した後、領域 131a、および領域 131b と接する窒化珪素膜などの水素を含む膜を形成し、水素を酸化物半導体 130b の一部に拡散させてもよい。

【0167】

続いて、図 17 (E) および図 17 (F) に示すように、酸化物半導体 130b、および犠牲層 190 上に、絶縁体 180A を形成する。続いて、図 18 (A) および図 18 (B) に示すように、機械的・化学的研磨法処理などにより、犠牲層 190 が露出するまで、絶

50

縁体 180A の一部を除去し、絶縁体 180 を形成する。なお、CMP 処理は、1 回のみ行ってもよいし、複数回行ってもよい。複数回に分けて CMP 処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁体 180 の平坦性をさらに向上させることができる。

【0168】

次に、犠牲層 190 を選択的にエッチングして、図 18 (C) および図 18 (D) に示すように、開口部を形成する。なお、犠牲層 190 を除去する工程は、ウェットエッチング法を用いることが好ましい。

【0169】

次に、図 18 (E) および図 18 (F) に示すように、酸化物半導体 130C、絶縁体 150A、および導電体 160A を成膜する。

【0170】

続いて、CMP 処理などにより、絶縁体 180 が露出するまで、酸化物半導体 130C、導電体 160A、および絶縁体 150A の一部を除去し、酸化物半導体 130c、絶縁体 150、および導電体 160 を形成する (図 19 (A) および図 19 (B))。この際、絶縁体 180 をストッパー層として使用することもでき、絶縁体 180 の厚さが減少する場合がある。

【0171】

以上の工程により、図 20 に示すトランジスタ 100 を作製することができる。図 20 (A) は、トランジスタ 100 の上面図の一例を示す。なお、図 20 (B) および図 20 (C) は、図 20 (A) に示す一点鎖線 X1 - X2、及び Y1 - Y2 に対応する断面図である。なお、トランジスタ 100 は、図 20 に示すように導電体 165 を有していてもよい。

【0172】

トランジスタ 100 において、酸化物半導体 130b は、チャネル形成領域としての機能を有する。また、領域 131a および領域 131b は、ソース領域およびドレイン領域としての機能を有する。また、絶縁体 150 は、ゲート絶縁体としての機能を有する。導電体 160 は、第 1 のゲート電極としての機能を有する。導電体 165 は第 2 のゲート電極としての機能を有する。

【0173】

本実施の形態により、微細な構造を有するトランジスタ 100 を作製することができる。トランジスタ 100 は、領域 131a および領域 131b と、導電体 160 と、がほとんど重ならない構造を有するため、導電体 160 と、領域 131a および領域 131b との間に生じる寄生容量を小さくすることができる。即ち、トランジスタ 100 は動作周波数が高い。また、犠牲層 190 を用いて形成した開口部に、ゲート絶縁体としての機能を有する絶縁体 150、及びゲート電極としての機能を有する導電体 160 を作りこむことで、同一工程で作製するトランジスタ間のチャネル長のばらつきを抑えることができる。

【0174】

また、形成される導電体 160 の幅を、犠牲層 190 よりも細くすることができる。よって、同じ幅のゲート電極を直接リソグラフィ法によって形成する場合よりも、ゲート電極を安定に形成することができる。例えば、ゲート電極の幅が狭すぎるとゲート電極を形成した際に倒壊してしまう場合があるが、本発明の一態様に係るトランジスタはゲート電極が倒壊しにくい。同様に、ゲート電極として機能する導電体 160 の厚さを厚くすることができる。具体的には、導電体 160 の厚さを、導電体 160 の幅の 2 倍以上、好ましくは 3 倍以上、さらに好ましくは 4 倍以上とすることができる。導電体 160 を厚くすることで、導電体 160 の抵抗を低くすることができるため、トランジスタの動作速度を高くすることができる。

【0175】

以上より、微細な構造であっても、安定した電気特性を有し、動作速度の高いトランジス

10

20

30

40

50

タを提供することができる。また、該トランジスタを用いることで、トランジスタ間のばらつきが小さく、集積度の高い半導体装置を提供することができる。

【0176】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0177】

(実施の形態5)

<半導体装置の変形例4>

本実施の形態では、トランジスタ100の変形例について、図21乃至図25を用いて説明する。以下に、半導体装置の作製方法の一例を図21乃至図25を参照して説明する。10
なお、実施の形態1に示すトランジスタ100と、同様の機能を有する構成は実施の形態1に示すトランジスタ100と同符号を付記し、実施の形態1に示すトランジスタを参照することができる。

【0178】

はじめに、図21(A)および図21(B)に示すように、基板101上に、絶縁体110、絶縁体120、酸化物半導体130A、および酸化物半導体130Bを形成する。

【0179】

続いて、図21(C)および図21(D)に示すように、酸化物半導体130B上にリソグラフィ法等を用いてレジストマスク135を形成し、酸化物半導体130A、および酸化物半導体130Bの不要な部分を除去する。その後、レジストマスク135を除去することにより、図21(E)および図21(F)に示す、島状の酸化物半導体130a、および酸化物半導体130bを形成することができる。20

【0180】

次に、図21(G)および図21(H)に示すように、島状の酸化物半導体130a、および酸化物半導体130b上に、酸化物半導体130Cを形成する。続いて、図22(A)および図22(B)に示すように、犠牲層190となる膜190Aを成膜する。その後、上記と同様の方法により、レジストマスク195を形成し、膜190A、酸化物半導体130Cの不要な部分を除去することで犠牲層190、および酸化物半導体130cを形成する(図22(C)および図22(D))。なお、犠牲層190の形状は、後に形成する導電体160の形状に影響を及ぼすため、側面が被形成面に略垂直な形状とすることが30
好ましい。

【0181】

続いて、図22(E)および図22(F)に示すように、ソース領域およびドレイン領域となる領域131a、および領域131bを、上記と同様に形成する。

【0182】

続いて、図23(A)および図23(B)に示すように、酸化物半導体130b、および犠牲層190上に、絶縁体180Aを形成する。続いて、図23(C)および図23(D)に示すように、機械的・化学的研磨法処理などにより、犠牲層190が露出するまで、絶縁体180Aの一部を除去し、絶縁体180を形成する。なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁体180の平坦性をさらに向上させることができる。40

【0183】

次に、犠牲層190を選択的にエッチングして、図23(E)および図23(F)に示すように、開口部を形成する。なお、犠牲層190を除去する工程は、ウェットエッチング法を用いることが好ましい。

【0184】

本実施の形態におけるトランジスタの構造は、酸化物半導体130bにおけるチャネルが形成される領域が、酸化物半導体130a、および酸化物半導体130cによって、被覆50

されている。当該構造により、犠牲層 190 を除去する工程で、酸化物半導体 130c により、酸化物半導体 130b を保護することができる。

【0185】

次に、図 24 (A) および図 24 (B) に示すように、絶縁体 150A、および導電体 160A を成膜する。

【0186】

続いて、CMP 処理などにより、絶縁体 180 が露出するまで、導電体 160A、絶縁体 150A の一部を除去し、絶縁体 150、導電体 160 を形成する (図 24 (C) および図 24 (D))。この際、絶縁体 180 をストッパー層として使用することもでき、絶縁体 180 の厚さが減少する場合がある。

10

【0187】

以上の工程により、図 25 に示すトランジスタ 100 を作製することができる。図 25 (A) は、トランジスタ 100 の上面図の一例を示す。なお、図 25 (B) および図 25 (C) は、図 25 (A) に示す一点鎖線 X1 - X2、及び Y1 - Y2 に対応する断面図である。なお、トランジスタ 100 は、図 25 に示すように導電体 165 を有していてもよい。

【0188】

トランジスタ 100 において、酸化物半導体 130b は、チャネル形成領域としての機能を有する。また、領域 131a および領域 131b は、ソース電極およびドレイン電極としての機能を有する。また、絶縁体 150 は、ゲート絶縁体としての機能を有する。導電体 160 は、第 1 のゲート電極としての機能を有する。導電体 165 は第 2 のゲート電極としての機能を有する。

20

【0189】

本実施の形態により、微細な構造を有するトランジスタ 100 を作製することができる。トランジスタ 100 は、領域 131a および領域 131b と、導電体 160 と、がほとんど重ならない構造を有するため、導電体 160 と、領域 131a および領域 131b との間に生じる寄生容量を小さくすることができる。即ち、トランジスタ 100 は動作周波数が高い。また、犠牲層 190 を用いて形成した開口部に、ゲート絶縁体としての機能を有する絶縁体 150、及びゲート電極としての機能を有する導電体 160 を作りこむことで、同一工程で作製するトランジスタ間のチャネル長のばらつきを抑えることができる。

30

【0190】

また、形成される導電体 160 の幅を、犠牲層 190 よりも細くすることができる。よって、同じ幅のゲート電極を直接リソグラフィ法によって形成する場合よりも、ゲート電極を安定に形成することができる。例えば、ゲート電極の幅が狭すぎるとゲート電極を形成した際に倒壊してしまう場合があるが、本発明の一態様に係るトランジスタはゲート電極が倒壊しにくい。同様に、ゲート電極として機能する導電体 160 の厚さを厚くすることができる。具体的には、導電体 160 の厚さを、導電体 160 の幅の 2 倍以上、好ましくは 3 倍以上、さらに好ましくは 4 倍以上とすることができる。導電体 160 を厚くすることで、導電体 160 の抵抗を低くすることができるため、トランジスタの動作速度を高くすることができる。

40

【0191】

また、本実施の形態は、酸化物半導体 130c を開口部に形成しないため、犠牲層 190 を用いて形成した開口部が、さらに微細化されたとしても、絶縁体 150 および導電体 160 を埋め込む領域を確保することができる。

【0192】

以上より、微細な構造であっても、安定した電気特性を有し、動作速度の高いトランジスタを提供することができる。また、該トランジスタを用いることで、トランジスタ間のばらつきが小さく、集積度の高い半導体装置を提供することができる。

【0193】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適

50

宜組み合わせ用いることができる。

【0194】

(実施の形態6)

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【0195】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS(c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS:amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

10

【0196】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

【0197】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

20

【0198】

即ち、安定な酸化物半導体を完全な非晶質(completely amorphous)酸化物半導体とは呼べない。また、等方的でない(例えば、微小な領域において周期構造を有する)酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆(ポイドともいう。)を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

【0199】

<CAAC-OS>

30

まずは、CAAC-OSについて説明する。

【0200】

CAAC-OSは、c軸配向した複数の結晶部(ペレットともいう。)を有する酸化物半導体の一種である。

【0201】

CAAC-OSをX線回折(XRD:X-Ray Diffraction)によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図27(A)に示すように回折角(2θ)が31°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面(被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

40

【0202】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を

50

行っても、図27(B)に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56°近傍に固定してスキャンした場合、図27(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

【0203】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図27(D)に示すような回折パターン(制限視野電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図27(E)に示す。図27(E)より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図27(E)における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図27(E)における第2リングは(110)面などに起因すると考えられる。

【0204】

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0205】

図28(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0206】

図28(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-OSを、CAN(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの膜の被形成面または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0207】

また、図28(B)および図28(C)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図28(D)および図28(E)は、それぞれ図28(B)および図28(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図28(B)を高速フーリエ変換(FFT: Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT: 30

10

20

30

40

50

Inverse Fast Fourier Transform) 処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

【0208】

図28(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0209】

図28(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示し、格子配列の向きを破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形が形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0210】

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAAcrystral(c-axis-aligned a-b-plane-anchored crystal)を有する酸化物半導体と称することもできる。

【0211】

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

【0212】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0213】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0214】

不純物および酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体である。具体的には、 8×10^{11} 個/cm³未満、好ましくは 1×10^{11} / cm³未満、さらに好ましくは 1×10^{10} 個/cm³未満であり、 1×10^{-9} 個/cm³以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0215】

<nc-OS>

次に、nc-OSについて説明する。

【0216】

nc - OS を XRD によって解析した場合について説明する。例えば、nc - OS に対し、out - of - plane 法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc - OS の結晶は配向性を有さない。

【0217】

また、例えば、InGaZnO₄ の結晶を有する nc - OS を薄片化し、厚さが 34 nm の領域に対し、被形成面に平行にプローブ径が 50 nm の電子線を入射させると、図 29 (A) に示すようなリング状の回折パターン (ナノビーム電子回折パターン) が観測される。また、同じ試料にプローブ径が 1 nm の電子線を入射させたときの回折パターン (ナノビーム電子回折パターン) を図 29 (B) に示す。図 29 (B) より、リング状の領域内に複数のスポットが観測される。したがって、nc - OS は、プローブ径が 50 nm の電子線を入射させることでは秩序性が確認されないが、プローブ径が 1 nm の電子線を入射させることでは秩序性が確認される。

10

【0218】

また、厚さが 10 nm 未満の領域に対し、プローブ径が 1 nm の電子線を入射させると、図 29 (C) に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが 10 nm 未満の範囲において、nc - OS が秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0219】

図 29 (D) に、被形成面と略平行な方向から観察した nc - OS の断面の Cs 補正高分解能 TEM 像を示す。nc - OS は、高分解能 TEM 像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc - OS に含まれる結晶部は、1 nm 以上 10 nm 以下の大きさであり、特に 1 nm 以上 3 nm 以下の大きさであることが多い。なお、結晶部の大きさが 10 nm より大きく 100 nm 以下である酸化物半導体を微結晶酸化物半導体 (microcrystalline oxide semiconductor) と呼ぶことがある。nc - OS は、例えば、高分解能 TEM 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC - OS におけるペレットと起源を同じくする可能性がある。そのため、以下では nc - OS の結晶部をペレットと呼ぶ場合がある。

20

【0220】

このように、nc - OS は、微小な領域 (例えば、1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域) において原子配列に周期性を有する。また、nc - OS は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc - OS は、分析方法によっては、a - like OS や非晶質酸化物半導体と区別が付かない場合がある。

30

【0221】

なお、ペレット (ナノ結晶) 間で結晶方位が規則性を有さないことから、nc - OS を、RANC (Random Aligned nanocrystals) を有する酸化物半導体、または NANC (Non - Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

40

【0222】

nc - OS は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc - OS は、a - like OS や非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc - OS は、異なるペレット間で結晶方位に規則性が見られない。そのため、nc - OS は、CAAC - OS と比べて欠陥準位密度が高くなる。

【0223】

< a - like OS >

a - like OS は、nc - OS と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0224】

50

図30に、a-like OSの高分解能断面TEM像を示す。ここで、図30(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図30(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図30(A)および図30(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

【0225】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

10

【0226】

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0227】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0228】

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、以下では、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、InGaZnO₄の結晶部と見なした。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

20

【0229】

図31は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図31より、a-like OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図31より、TEMによる観察初期においては1.2 nm程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては1.9 nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図31より、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.3 nm程度および1.8 nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300 kV、電流密度を $6.7 \times 10^5 \text{ e}^-/(\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を230 nmとした。

30

【0230】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られない。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

40

【0231】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

50

【0232】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 である。よって、例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体において、 $a\text{-like OS}$ の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満である。また、例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体において、 $nc\text{-OS}$ の密度および CAAC-OS の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満である。

【0233】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

10

【0234】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、 $a\text{-like OS}$ 、 $nc\text{-OS}$ 、 CAAC-OS のうち、二種以上を有する積層膜であってもよい。

【0235】

(実施の形態7)

20

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

【0236】

<CMOSインバータ>

図32(A)に示す回路図は、 p チャネル型のトランジスタ2200と n チャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。

【0237】

<半導体装置の構造1>

図33は、図32(A)に対応する半導体装置の断面図である。図33に示す半導体装置は、トランジスタ2200と、トランジスタ2100と、を有する。また、トランジスタ2100は、トランジスタ2200の上方に配置する。なお、トランジスタ2100として、上述の実施の形態において記載したトランジスタを用いることができる。よって、トランジスタ2100については、適宜上述したトランジスタについての記載を参酌することができる。

30

【0238】

図33に示すトランジスタ2200は、半導体基板450を用いたトランジスタである。トランジスタ2200は、半導体基板450中の領域472aと、半導体基板450中の領域472bと、絶縁体462と、導電体454と、を有する。

【0239】

40

トランジスタ2200において、領域472aおよび領域472bは、ソース領域およびドレイン領域としての機能を有する。また、絶縁体462は、ゲート絶縁体としての機能を有する。また、導電体454は、ゲート電極としての機能を有する。したがって、導電体454に印加する電位によって、チャネル形成領域の抵抗を制御することができる。即ち、導電体454に印加する電位によって、領域472aと領域472bとの間の導通・非導通を制御することができる。

【0240】

半導体基板450としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの半導体基板などを用いればよい。好ましくは、半導体基板450と

50

して単結晶シリコン基板を用いる。

【0241】

半導体基板450は、n型の導電性を付与する不純物を有する半導体基板を用いる。ただし、半導体基板450として、p型の導電性を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ2200となる領域には、n型の導電性を付与する不純物を有するウェルを配置すればよい。または、半導体基板450がi型であっても構わない。

【0242】

半導体基板450の上面は、(110)面を有することが好ましい。こうすることで、トランジスタ2200のオン特性を向上させることができる。

10

【0243】

領域472aおよび領域472bは、p型の導電性を付与する不純物を有する領域である。このようにして、トランジスタ2200はpチャネル型トランジスタを構成する。

【0244】

なお、トランジスタ2200は、領域460などによって隣接するトランジスタと分離される。領域460は、絶縁性を有する領域である。

【0245】

図33に示す半導体装置は、絶縁体464と、絶縁体466と、絶縁体468と、導電体480aと、導電体480bと、導電体480cと、導電体478aと、導電体478bと、導電体478cと、導電体476aと、導電体476bと、導電体474aと、導電体474bと、導電体474cと、導電体496aと、導電体496bと、導電体496cと、導電体496dと、導電体498aと、導電体498bと、導電体498cと、絶縁体489と、絶縁体490と、絶縁体492と、絶縁体493と、絶縁体494と、絶縁体495と、を有する。

20

【0246】

絶縁体464は、トランジスタ2200上に配置する。また、絶縁体466は、絶縁体464上に配置する。また、絶縁体468は、絶縁体466上に配置する。また、絶縁体489は、絶縁体468上に配置する。また、トランジスタ2100は、絶縁体489上に配置する。また、絶縁体493は、トランジスタ2100上に配置する。また、絶縁体494は、絶縁体493上に配置する。

30

【0247】

絶縁体464は、領域472aに達する開口部と、領域472bに達する開口部と、導電体454に達する開口部と、を有する。また、開口部には、それぞれ導電体480a、導電体480bまたは導電体480cが埋め込まれている。

【0248】

また、絶縁体466は、導電体480aに達する開口部と、導電体480bに達する開口部と、導電体480cに達する開口部と、を有する。また、開口部には、それぞれ導電体478a、導電体478bまたは導電体478cが埋め込まれている。

【0249】

また、絶縁体468は、導電体478bに達する開口部と、導電体478cに達する開口部と、を有する。また、開口部には、それぞれ導電体476aまたは導電体476bが埋め込まれている。

40

【0250】

また、絶縁体489は、トランジスタ2100のチャネル形成領域と重なる開口部と、導電体476aに達する開口部と、導電体476bに達する開口部と、を有する。また、開口部には、それぞれ導電体474a、導電体474bまたは導電体474cが埋め込まれている。

【0251】

導電体474aは、トランジスタ2100のゲート電極としての機能を有しても構わない。または、例えば、導電体474aに一定の電位を印加することで、トランジスタ210

50

0のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体474aとトランジスタ2100のゲート電極としての機能を有する導電体504とを電氣的に接続しても構わない。こうすることで、トランジスタ2100のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ2100の飽和領域における電気特性を安定にすることができる。なお、導電体474aは上記実施の形態の導電体165に相当するため、詳細については導電体165の記載を参酌することができる。

【0252】

また、絶縁体490は、導電体474bに達する開口部を有する。なお、絶縁体490は上記実施の形態の絶縁体120に相当するため、詳細については絶縁体120の記載を参酌することができる。

10

【0253】

また、絶縁体495は、トランジスタ2100のソースまたはドレインの一方である導電体507bを通して、導電体474bに達する開口部と、トランジスタ2100のソースまたはドレインの他方である導電体507aに達する開口部と、トランジスタ2100のゲート電極である導電体504に達する開口部と、導電体474cに達する開口部と、を有する。なお、絶縁体495は上記実施の形態の絶縁体180に相当するため、詳細については絶縁体180の記載を参酌することができる。

【0254】

また、絶縁体493は、トランジスタ2100のソースまたはドレインの一方である導電体507bを通して、導電体474bに達する開口部と、トランジスタ2100のソースまたはドレインの他方である導電体507aに達する開口部と、トランジスタ2100のゲート電極である導電体504に達する開口部と、導電体474cに達する開口部と、を有する。また、開口部には、それぞれ導電体496a、導電体496b、導電体496cまたは導電体496dが埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ2100などの構成要素のいずれかが有する開口部を介する場合がある。

20

【0255】

また、絶縁体494は、導電体496aに達する開口部と、導電体496bおよび導電体496dに達する開口部と、導電体496cに達する開口部と、を有する。また、開口部には、それぞれ導電体498a、導電体498bまたは導電体498cが埋め込まれている。

30

【0256】

絶縁体464、絶縁体466、絶縁体468、絶縁体489、絶縁体493および絶縁体494としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【0257】

絶縁体464、絶縁体466、絶縁体468、絶縁体489、絶縁体493または絶縁体494の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ2100の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ2100の電気特性を安定にすることができる。

40

【0258】

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【0259】

導電体480a、導電体480b、導電体480c、導電体478a、導電体478b、

50

導電体 478c、導電体 476a、導電体 476b、導電体 474a、導電体 474b、導電体 474c、導電体 496a、導電体 496b、導電体 496c、導電体 496d、導電体 498a、導電体 498b および導電体 498c としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0260】

なお、図 34 に示す半導体装置は、図 33 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。よって、図 34 に示す半導体装置については、図 33 に示した半導体装置の記載を参酌する。具体的には、図 34 に示す半導体装置は、トランジスタ 2200 が Fin 型である場合を示している。トランジスタ 2200 を Fin 型とすることにより、実効上のチャネル幅が増大することによりトランジスタ 2200 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 2200 のオフ特性を向上させることができる。

【0261】

また、図 35 に示す半導体装置は、図 33 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。よって、図 35 に示す半導体装置については、図 33 に示した半導体装置の記載を参酌する。具体的には、図 35 に示す半導体装置は、トランジスタ 2200 が SOI 基板である半導体基板 450 に設けられた場合を示している。図 35 には、絶縁体 452 によって領域 456 が半導体基板 450 と分離されている構造を示す。半導体基板 450 として SOI 基板を用いることによって、パンチスルー現象などを抑制することができるためトランジスタ 2200 のオフ特性を向上させることができる。なお、絶縁体 452 は、半導体基板 450 を絶縁体化させることによって形成することができる。例えば、絶縁体 452 としては、酸化シリコンを用いることができる。

【0262】

図 33 乃至図 35 に示した半導体装置は、半導体基板を用いて p チャネル型トランジスタを作製し、その上方に n チャネル型トランジスタを作製するため、素子の占有面積を縮小することができる。即ち、半導体装置の集積度を高くすることができる。また、n チャネル型トランジスタと、p チャネル型トランジスタとを同一の半導体基板を用いて作製した場合と比べて、工程を簡略化することができるため、半導体装置の生産性を高くすることができる。また、半導体装置の歩留まりを高くすることができる。また、p チャネル型トランジスタは、LDD (Lightly Doped Drain) 領域、シャロートレンチ構造、歪み設計などの複雑な工程を省略できる場合がある。そのため、n チャネル型トランジスタを、半導体基板を用いて作製する場合と比べて、生産性および歩留まりを高くすることができる場合がある。

【0263】

< CMOS アナログスイッチ >

また図 32 (B) に示す回路図は、トランジスタ 2100 とトランジスタ 2200 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆる CMOS アナログスイッチとして機能させることができる。

【0264】

< 記憶装置 1 >

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置 (記憶装置) の一例を図 36 に示す。

【0265】

図 36 (A) に示す半導体装置は、第 1 の半導体を用いたトランジスタ 3200 と第 2 の

10

20

30

40

50

半導体を用いたトランジスタ 3300、および容量素子 3400 を有している。なお、トランジスタ 3300 としては、上述のトランジスタ 2100 と同様のトランジスタを用いることができる。

【0266】

トランジスタ 3300 は、オフ電流の小さいトランジスタが好ましい。トランジスタ 3300 は、例えば、酸化物半導体を用いたトランジスタを用いることができる。トランジスタ 3300 のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

10

【0267】

図 36 (A) において、第 1 の配線 3001 はトランジスタ 3200 のソースと電氣的に接続され、第 2 の配線 3002 はトランジスタ 3200 のドレインと電氣的に接続される。また、第 3 の配線 3003 はトランジスタ 3300 のソース、ドレインの一方と電氣的に接続され、第 4 の配線 3004 はトランジスタ 3300 のゲートと電氣的に接続されている。そして、トランジスタ 3200 のゲート、およびトランジスタ 3300 のソース、ドレインの他方は、容量素子 3400 の電極の一方と電氣的に接続され、第 5 の配線 3005 は容量素子 3400 の電極の他方と電氣的に接続されている。

【0268】

図 36 (A) に示す半導体装置は、トランジスタ 3200 のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

20

【0269】

情報の書き込みおよび保持について説明する。まず、第 4 の配線 3004 の電位を、トランジスタ 3300 が導通状態となる電位にして、トランジスタ 3300 を導通状態とする。これにより、第 3 の配線 3003 の電位が、トランジスタ 3200 のゲート、および容量素子 3400 の電極の一方と電氣的に接続するノード FG に与えられる。即ち、トランジスタ 3200 のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下 Low レベル電荷、High レベル電荷という。）のどちらかが与えられるものとする。その後、第 4 の配線 3004 の電位を、トランジスタ 3300 が非導通状態となる電位にして、トランジスタ 3300 を非導通状態とすることにより、ノード FG に電荷が保持される（保持）。

30

【0270】

トランジスタ 3300 のオフ電流が小さいため、ノード FG の電荷は長期間にわたって保持される。

【0271】

次に情報の読み出しについて説明する。第 1 の配線 3001 に所定の電位（定電位）を与えた状態で、第 5 の配線 3005 に適切な電位（読み出し電位）を与えると、第 2 の配線 3002 は、ノード FG に保持された電荷量に応じた電位をとる。これは、トランジスタ 3200 を n チャネル型とすると、トランジスタ 3200 のゲートに High レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ 3200 のゲートに Low レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ 3200 を「導通状態」とするために必要な第 5 の配線 3005 の電位をいうものとする。したがって、第 5 の配線 3005 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノード FG に与えられた電荷を判別できる。例えば、書き込みにおいて、ノード FG に High レベル電荷が与えられていた場合には、第 5 の配線 3005 の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ 3200 は「導通状態」となる。一方、ノード FG に Low レベル電荷が与えられていた場合には、第 5 の配線 3005 の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ 3200 は「非導通状態」のままである。このため

40

50

、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

【0272】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。または、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。

10

【0273】

なお、上記においては、2種類の電荷をノードFGに保持する例について示したが、本発明に係る半導体装置はこれに限られるものではない。例えば、半導体装置のノードFGに3種類以上の電荷を保持できる構成としてもよい。このような構成とすることにより、当該半導体装置を多値化して記憶容量の増大を図ることができる。

【0274】

<記憶装置の構造1>

図37は、図36(A)に対応する半導体装置の断面図である。図37に示す半導体装置は、トランジスタ3200と、トランジスタ3300と、容量素子3400と、を有する。また、トランジスタ3300および容量素子3400は、トランジスタ3200の上方に配置する。なお、トランジスタ3300としては、上述したトランジスタ2100についての記載を参照する。また、トランジスタ3200としては、図33に示したトランジスタ2200についての記載を参照する。なお、図33では、トランジスタ2200がpチャネル型トランジスタである場合について説明したが、トランジスタ3200がnチャネル型トランジスタであっても構わない。

20

【0275】

図37に示すトランジスタ2200は、半導体基板450を用いたトランジスタである。トランジスタ2200は、半導体基板450中の領域472aと、半導体基板450中の領域472bと、絶縁体462と、導電体454と、を有する。

30

【0276】

図37に示す半導体装置は、絶縁体464と、絶縁体466と、絶縁体468と、導電体480aと、導電体480bと、導電体480cと、導電体478aと、導電体478bと、導電体478cと、導電体476aと、導電体476bと、導電体474aと、導電体474bと、導電体474cと、導電体496aと、導電体496bと、導電体496cと、導電体496dと、導電体498aと、導電体498bと、導電体498cと、絶縁体489と、絶縁体490と、絶縁体492と、絶縁体493と、絶縁体494と、絶縁体495と、を有する。

【0277】

絶縁体464は、トランジスタ3200上に配置する。また、絶縁体466は、絶縁体464上に配置する。また、絶縁体468は、絶縁体466上に配置する。また、絶縁体489は、絶縁体468上に配置する。また、トランジスタ2100は、絶縁体489上に配置する。また、絶縁体493は、トランジスタ2100上に配置する。また、絶縁体494は、絶縁体493上に配置する。

40

【0278】

絶縁体464は、領域472aに達する開口部と、領域472bに達する開口部と、導電体454に達する開口部と、を有する。また、開口部には、それぞれ導電体480a、導電体480bまたは導電体480cが埋め込まれている。

【0279】

また、絶縁体466は、導電体480aに達する開口部と、導電体480bに達する開口

50

部と、導電体 4 8 0 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 8 a、導電体 4 7 8 b または導電体 4 7 8 c が埋め込まれている。

【0280】

また、絶縁体 4 6 8 は、導電体 4 7 8 b に達する開口部と、導電体 4 7 8 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 6 a または導電体 4 7 6 b が埋め込まれている。

【0281】

また、絶縁体 4 8 9 は、トランジスタ 3 3 0 0 のチャネル形成領域と重なる開口部と、導電体 4 7 6 a に達する開口部と、導電体 4 7 6 b に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 4 a、導電体 4 7 4 b または導電体 4 7 4 c が埋め込まれている。

10

【0282】

導電体 4 7 4 a は、トランジスタ 3 3 0 0 のボトムゲート電極としての機能を有しても構わない。または、例えば、導電体 4 7 4 a に一定の電位を印加することで、トランジスタ 3 3 0 0 のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体 4 7 4 a とトランジスタ 3 3 0 0 のトップゲート電極である導電体 5 0 4 とを電氣的に接続しても構わない。こうすることで、トランジスタ 3 3 0 0 のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ 3 3 0 0 の飽和領域における電気特性を安定にすることができる。

【0283】

20

また、絶縁体 4 9 0 は、導電体 4 7 4 b に達する開口部と、導電体 4 7 4 c に達する開口部と、を有する。

【0284】

また、絶縁体 4 9 5 は、トランジスタ 3 3 0 0 のソースまたはドレインの一方である導電体 5 0 7 b を通って、導電体 4 7 4 b に達する開口部と、トランジスタ 3 3 0 0 のソースまたはドレインの他方である導電体 5 0 7 a を通って、導電体 4 7 4 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 9 6 a、導電体 4 9 6 c が埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ 3 3 0 0 などの構成要素のいずれかが有する開口部を介する場合がある。

【0285】

30

また、絶縁体 4 9 3 は、容量素子 3 4 0 0 の電極の一方である導電体 5 1 4 に達する開口部と、トランジスタ 3 3 0 0 のソースまたはドレインの他方である導電体 5 0 7 b と接続する導電体 4 9 6 c と接する導電体に達する開口部と、トランジスタ 3 3 0 0 のゲートに達する開口部と、を有する。また、開口部には、それぞれ導電体 4 9 6 e、導電体 4 9 6 d、および導電体 4 9 6 b が埋め込まれている。

【0286】

また、絶縁体 4 9 4 は、導電体 4 9 6 b に達する開口部と、導電体 4 9 6 d に達する開口部と、導電体 4 9 6 e に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 9 8 a、導電体 4 9 8 b または導電体 4 9 8 c が埋め込まれている。

【0287】

40

絶縁体 4 6 4、絶縁体 4 6 6、絶縁体 4 6 8、絶縁体 4 8 9、絶縁体 4 9 3 または絶縁体 4 9 4 の一以上は、水素などの不純物および酸素をブロックする機能を有することが好ましい。トランジスタ 3 3 0 0 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ 3 3 0 0 の電気特性を安定にすることができる。

【0288】

トランジスタ 3 2 0 0 のソースまたはドレインは、導電体 4 8 0 b と、導電体 4 7 8 b と、導電体 4 7 6 a と、導電体 4 7 4 b と、導電体 4 9 6 c と、を介してトランジスタ 3 3 0 0 のソースまたはドレインの一方である導電体 5 0 7 b と電氣的に接続する。また、トランジスタ 3 2 0 0 のゲート電極である導電体 4 5 4 は、導電体 4 8 0 c と、導電体 4 7

50

8 c と、導電体 4 7 6 b と、導電体 4 7 4 c と、導電体 4 9 6 d と、を介してトランジスタ 3 3 0 0 のソースまたはドレインの他方である導電体 5 0 7 a と電氣的に接続する。

【0289】

容量素子 3 4 0 0 は、導電体 5 1 5 と、導電体 5 1 4 と、絶縁体 5 1 1、を有する。

【0290】

そのほかの構造については、適宜図 3 3 などについての記載を参酌することができる。

【0291】

なお、図 3 8 に示す半導体装置は、図 3 7 に示した半導体装置のトランジスタ 3 2 0 0 の構造が異なるのみである。よって、図 3 8 に示す半導体装置については、図 3 7 に示した半導体装置の記載を参酌する。具体的には、図 3 8 に示す半導体装置は、トランジスタ 3 2 0 0 が F i n 型である場合を示している。F i n 型であるトランジスタ 3 2 0 0 については、図 3 4 に示したトランジスタ 2 2 0 0 の記載を参照する。なお、図 3 4 では、トランジスタ 2 2 0 0 が p チャネル型トランジスタである場合について説明したが、トランジスタ 3 2 0 0 が n チャネル型トランジスタであっても構わない。

【0292】

また、図 3 9 に示す半導体装置は、図 3 7 に示した半導体装置のトランジスタ 3 2 0 0 の構造が異なるのみである。よって、図 3 9 に示す半導体装置については、図 3 7 に示した半導体装置の記載を参酌する。具体的には、図 3 9 に示す半導体装置は、トランジスタ 3 2 0 0 が S O I 基板である半導体基板 4 5 0 に設けられた場合を示している。S O I 基板である半導体基板 4 5 0 に設けられたトランジスタ 3 2 0 0 については、図 3 5 に示したトランジスタ 2 2 0 0 の記載を参照する。なお、図 3 5 では、トランジスタ 2 2 0 0 が p チャネル型トランジスタである場合について説明したが、トランジスタ 3 2 0 0 が n チャネル型トランジスタであっても構わない。

【0293】

<記憶装置 2>

図 3 6 (B) に示す半導体装置は、トランジスタ 3 2 0 0 を有さない点で図 3 6 (A) に示した半導体装置と異なる。この場合も図 3 6 (A) に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0294】

図 3 6 (B) に示す半導体装置における、情報の読み出しについて説明する。トランジスタ 3 3 0 0 が導通状態になると、浮遊状態である第 3 の配線 3 0 0 3 と容量素子 3 4 0 0 とが導通し、第 3 の配線 3 0 0 3 と容量素子 3 4 0 0 の間で電荷が再分配される。その結果、第 3 の配線 3 0 0 3 の電位が変化する。第 3 の配線 3 0 0 3 の電位の変化量は、容量素子 3 4 0 0 の電極の一方の電位 (または容量素子 3 4 0 0 に蓄積された電荷) によって、異なる値をとる。

【0295】

例えば、容量素子 3 4 0 0 の電極の一方の電位を V 、容量素子 3 4 0 0 の容量を C 、第 3 の配線 3 0 0 3 が有する容量成分を C_B 、電荷が再分配される前の第 3 の配線 3 0 0 3 の電位を V_{B0} とすると、電荷が再分配された後の第 3 の配線 3 0 0 3 の電位は、 $(C_B \times V_{B0} + C V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 3 4 0 0 の電極の一方の電位が V_1 と V_0 ($V_1 > V_0$) の 2 つの状態をとるとすると、電位 V_1 を保持している場合の第 3 の配線 3 0 0 3 の電位 ($= (C_B \times V_{B0} + C V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第 3 の配線 3 0 0 3 の電位 ($= (C_B \times V_{B0} + C V_0) / (C_B + C)$) よりも高くなることわかる。

【0296】

そして、第 3 の配線 3 0 0 3 の電位を所定の電位と比較することで、情報を読み出すことができる。

【0297】

この場合、メモリセルを駆動させるための駆動回路に上記第 1 の半導体が適用されたトランジスタを用い、トランジスタ 3 3 0 0 として第 2 の半導体が適用されたトランジスタを

10

20

30

40

50

駆動回路上に積層して配置する構成とすればよい。

【0298】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0299】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

【0300】

<記憶装置3>

図36(A)に示す半導体装置（記憶装置）の変形例について、図40に示す回路図を用いて説明する。

【0301】

図40に示す半導体装置は、トランジスタ4100乃至トランジスタ4400と、容量素子4500及び容量素子4600と、を有する。ここでトランジスタ4100は、上述のトランジスタ3200と同様のトランジスタを用いることができ、トランジスタ4200乃至4400は、上述のトランジスタ3300と同様のトランジスタを用いることができる。なお、図40に示す半導体装置は、図40では図示を省略したが、マトリクス状に複数設けられる。図40に示す半導体装置は、配線4001、配線4003、配線4005乃至4009に与える信号又は電位に従って、データ電圧の書き込み、読み出しを制御することができる。

【0302】

トランジスタ4100のソース又はドレインの一方は、配線4003に接続される。トランジスタ4100のソース又はドレインの他方は、配線4001に接続される。なお図40では、トランジスタ4100の導電型をpチャネル型として示すが、nチャネル型でもよい。

【0303】

図40に示す半導体装置は、2つのデータ保持部を有する。例えば第1のデータ保持部は、ノードFG1に接続されるトランジスタ4400のソース又はドレインの一方、容量素子4600の一方の電極、及びトランジスタ4200のソース又はドレインの一方の間で電荷を保持する。また、第2のデータ保持部は、ノードFG2に接続されるトランジスタ4100のゲート、トランジスタ4200のソース又はドレインの他方、トランジスタ4300のソース又はドレインの一方、及び容量素子4500の一方の電極の間で電荷を保持する。

【0304】

トランジスタ4300のソース又はドレインの他方は、配線4003に接続される。トランジスタ4400のソース又はドレインの他方は、配線4001に接続される。トランジスタ4400のゲートは、配線4005に接続される。トランジスタ4200のゲートは、配線4006に接続される。トランジスタ4300のゲートは、配線4007に接続される。容量素子4600の他方の電極は、配線4008に接続される。容量素子4500の他方の電極は、配線4009に接続される。

【0305】

トランジスタ4200乃至4400は、データ電圧の書き込みと電荷の保持を制御するスイッチとしての機能を有する。なおトランジスタ4200乃至4400は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いトランジスタが用いられることが好適である。オフ電流が少ないトランジスタとしては、チャネル形成領域に酸化物半導体を有するトランジスタ（OSトランジスタ）であることが好ましい。OSトランジスタは、オフ電流が低い、シリコンを有するトランジスタと重ねて作製できる等の利点がある。なお図40では、トランジスタ4200乃至4400の導電型をnチャネル型として示すが、pチャネル型でもよい。

【0306】

トランジスタ4200及びトランジスタ4300と、トランジスタ4400とは、酸化物半導体を用いたトランジスタであっても別層に設けることが好ましい。すなわち、図40に示す半導体装置は、図40に示すように、トランジスタ4100を有する第1の層4021と、トランジスタ4200及びトランジスタ4300を有する第2の層4022と、トランジスタ4400を有する第3の層4023と、で構成されることが好ましい。トランジスタを有する層を積層して設けることで、回路面積を縮小することができ、半導体装置の小型化を図ることができる。

【0307】

次いで、図40に示す半導体装置への情報の書き込み動作について説明する。

【0308】

最初に、ノードFG1に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作1とよぶ。）について説明する。なお、以下において、ノードFG1に接続されるデータ保持部に書きこむデータ電圧を V_{D1} とし、トランジスタ4100の閾値電圧を V_{th} とする。

【0309】

書き込み動作1では、配線4003を V_{D1} とし、配線4001を接地電位とした後に、電氣的に浮遊状態とする。また配線4005、4006をハイレベルにする。また配線4007乃至4009をローレベルにする。すると、電氣的に浮遊状態にあるノードFG2の電位が上昇し、トランジスタ4100に電流が流れる。電流が流れることで、配線4001の電位が上昇する。またトランジスタ4400、トランジスタ4200が導通状態となる。そのため、配線4001の電位の上昇につれて、ノードFG1、FG2の電位が上昇する。ノードFG2の電位が上昇し、トランジスタ4100でゲートとソースとの間の電圧（ V_{gs} ）がトランジスタ4100の閾値電圧 V_{th} になると、トランジスタ4100を流れる電流が小さくなる。そのため、配線4001、ノードFG1、FG2の電位の上昇は止まり、 V_{D1} から V_{th} だけ下がった「 $V_{D1} - V_{th}$ 」で一定となる。

【0310】

つまり、配線4003に与えた V_{D1} は、トランジスタ4100に電流が流れることで、配線4001に与えられ、ノードFG1、FG2の電位が上昇する。電位の上昇によって、ノードFG2の電位が「 $V_{D1} - V_{th}$ 」となると、トランジスタ4100の V_{gs} が V_{th} となるため、電流が止まる。

【0311】

次に、ノードFG2に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作2とよぶ。）について説明する。なお、ノードFG2に接続されるデータ保持部に書きこむデータ電圧を V_{D2} として説明する。

【0312】

書き込み動作2では、配線4001を V_{D2} とし、配線4003を接地電位とした後に、電氣的に浮遊状態とする。また配線4007をハイレベルにする。また配線4005、4006、4008、4009をローレベルにする。トランジスタ4300を導通状態として配線4003をローレベルにする。そのため、ノードFG2の電位もローレベルにまで低下し、トランジスタ4100に電流が流れる。電流が流れることで、配線4003の電位が上昇する。またトランジスタ4300が導通状態となる。そのため、配線4003の

10

20

30

40

50

電位の上昇につれて、ノードFG2の電位が上昇する。ノードFG2の電位が上昇し、トランジスタ4100で V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。そのため、配線4003、FG2の電位の上昇は止まり、 V_{D2} から V_{th} だけ下がった「 $V_{D2} - V_{th}$ 」で一定となる。

【0313】

つまり、配線4001に与えた V_{D2} は、トランジスタ4100に電流が流れることで、配線4003に与えられ、ノードFG2の電位が上昇する。電位の上昇によって、ノードFG2の電位が「 $V_{D2} - V_{th}$ 」となると、トランジスタ4100の V_{gs} が V_{th} となるため、電流が止まる。このとき、ノードFG1の電位は、トランジスタ4200、4400共に非導通状態であり、書き込み動作1で書きこんだ「 $V_{D1} - V_{th}$ 」が保持される。

10

【0314】

図40に示す半導体装置では、複数のデータ保持部にデータ電圧を書きこんだのち、配線4009をハイレベルにして、ノードFG1、FG2の電位を上昇させる。そして、各トランジスタを非導通状態として、電荷の移動をなくし、書きこんだデータ電圧を保持する。

【0315】

以上説明したノードFG1、FG2へのデータ電圧の書き込み動作によって、複数のデータ保持部にデータ電圧を保持させることができる。なお書きこまれる電位として、「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」を一例として挙げて説明したが、これらは多値のデータに対応するデータ電圧である。そのため、それぞれのデータ保持部で4ビットのデータを保持する場合、16値の「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」を取り得る。

20

【0316】

次いで、図40に示す半導体装置からの情報の読み出し動作について説明する。

【0317】

最初に、ノードFG2に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作1とよぶ。）について説明する。

【0318】

読み出し動作1では、プリチャージを行ってから電氣的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009をローレベルとして、電氣的に浮遊状態にあるノードFG2の電位を「 $V_{D2} - V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100の V_{gs} が小さくなる。トランジスタ4100の V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D2} - V_{th}$ 」から V_{th} だけ大きい値である「 V_{D2} 」となる。この配線4003の電位は、ノードFG2に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG2に接続されるデータ保持部のデータを取得する。

30

40

【0319】

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D2} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D2} - V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線4003には、書き込み動作2で書きこんだ「 V_{D2} 」が読み出される。

【0320】

ノードFG2に接続されるデータ保持部のデータを取得したら、トランジスタ4300を導通状態として、ノードFG2の「 $V_{D2} - V_{th}$ 」を放電させる。

50

【0321】

次に、ノードFG1に保持される電荷をノードFG2に分配し、ノードFG1に接続されるデータ保持部のデータ電圧を、ノードFG2に接続されるデータ保持部に移す。ここで、配線4001、4003をローレベルとする。配線4006をハイレベルにする。また、配線4005、配線4007乃至4009をローレベルにする。トランジスタ4200が導通状態となることで、ノードFG1の電荷が、ノードFG2との間で分配される。

【0322】

ここで、電荷の分配後の電位は、書きこんだ電位「 $V_{D1} - V_{th}$ 」から低下する。そのため、容量素子4600の容量値は、容量素子4500の容量値よりも大きくしておくことが好ましい。あるいは、ノードFG1に書きこむ電位「 $V_{D1} - V_{th}$ 」は、同じデータを表す電位「 $V_{D2} - V_{th}$ 」よりも大きくすることが好ましい。このように、容量値の比を変えること、予め書きこむ電位を大きくしておくことで、電荷の分配後の電位の低下を抑制することができる。電荷の分配による電位の変動については、後述する。

10

【0323】

次に、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作2とよぶ。）について説明する。

【0324】

読み出し動作2では、プリチャージを行ってから電氣的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009は、プリチャージ時にハイレベルとして、その後ローレベルとする。配線4009をローレベルとすることで、電氣的に浮遊状態にあるノードFG2を電位「 $V_{D1} - V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100の V_{gs} が小さくなる。トランジスタ4100の V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D1} - V_{th}$ 」から V_{th} だけ大きい値である「 V_{D1} 」となる。この配線4003の電位は、ノードFG1に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG1に接続されるデータ保持部のデータを取得する。以上が、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作である。

20

30

【0325】

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D1} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D1} - V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線4003には、書き込み動作1で書きこんだ「 V_{D1} 」が読み出される。

【0326】

以上説明したノードFG1、FG2からのデータ電圧の読み出し動作によって、複数のデータ保持部からデータ電圧を読み出すことができる。例えば、ノードFG1及びノードFG2にそれぞれ4ビット（16値）のデータを保持することで計8ビット（256値）のデータを保持することができる。また、図40においては、第1の層4021乃至第3の層4023からなる構成としたが、さらに層を形成することによって、半導体装置の面積を増大させず記憶容量の増加を図ることができる。

40

【0327】

なお読み出される電位は、書きこんだデータ電圧より V_{th} だけ大きい電圧として読み出すことができる。そのため、書き込み動作で書きこんだ「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」の V_{th} を相殺して読み出す構成とすることができる。その結果、メモリセルあたりの記憶容量を向上させるとともに、読み出されるデータを正しいデータに近づけることができるため、データの信頼性に優れたものとすることができる。

50

【0328】

また、図41に図40に対応する半導体装置の断面図を示す。図41に示す半導体装置は、トランジスタ4100乃至トランジスタ4400と、容量素子4500及び容量素子4600と、を有する。ここで、トランジスタ4100は第1の層4021に形成され、トランジスタ4200、4300、及び容量素子4500は第2の層4022に形成され、トランジスタ4400及び容量素子4600は第3の層4023に形成される。

【0329】

ここで、トランジスタ4200乃至4400としてはトランジスタ3300の記載を、トランジスタ4100としてはトランジスタ3200の記載を参酌することができる。また、その他の配線、絶縁体等についても適宜図37の記載を参酌することができる。

10

【0330】

なお、図37に示す半導体装置の容量素子3400では導電層を基板に対して平行に設けて容量を形成する構成としたが、図41に示す容量素子4500、4600では、トレンチ状に導電層を設けて、容量を形成する構成としている。このような構成とすることで、同じ占有面積であっても大きい容量値を確保することができる。

【0331】

< F P G A >

また本発明の一態様は、FPGA(Field Programmable Gate Array)などのLSIにも適用可能である。

【0332】

20

図42(A)には、FPGAのブロック図の一例を示す。FPGAは、ルーティングスイッチエレメント521と、ロジックエレメント522とによって構成される。また、ロジックエレメント522は、コンフィギュレーションメモリに記憶したコンフィギュレーションデータに応じて、組み合わせ回路の機能、または順序回路の機能といった論理回路の機能を切り替えることができる。

【0333】

図42(B)は、ルーティングスイッチエレメント521の役割を説明するための模式図である。ルーティングスイッチエレメント521は、コンフィギュレーションメモリ523に記憶したコンフィギュレーションデータに応じて、ロジックエレメント522間の接続を切り替えることができる。なお図42(B)では、スイッチを一つ示し、端子INと端子OUTの間の接続を切り替える様子を示しているが、実際には複数あるロジックエレメント522間にスイッチが設けられる。

30

【0334】

図42(C)には、コンフィギュレーションメモリ523として機能する回路構成の一例を示す。コンフィギュレーションメモリ523は、OSトランジスタで構成されるトランジスタM11と、Siトランジスタで構成されるトランジスタM12と、によって構成される。ノードF_{N_SW}には、トランジスタM11を介してコンフィギュレーションデータD_{S_W}が与えられる。このコンフィギュレーションデータD_{S_W}の電位は、トランジスタM11を非導通状態とすることで、保持することができる。保持したコンフィギュレーションデータD_{S_W}の電位によって、トランジスタM12の導通状態が切り替えられ、端子INと端子OUTの間の接続を切り替えることができる。

40

【0335】

図42(D)は、ロジックエレメント522の役割を説明するための模式図である。ロジックエレメント522は、コンフィギュレーションメモリ527に記憶したコンフィギュレーションデータに応じて、端子OUT_{mem}の電位を切り替えることができる。ルックアップテーブル524は、端子OUT_{mem}の電位に応じて、端子INの信号を処理する組み合わせ回路の機能を切り替えることができる。またロジックエレメント522は、順序回路であるレジスタ525と、端子OUTの信号を切り替えるためのセクタ526を有する。セクタ526は、コンフィギュレーションメモリ527から出力される端子OUT_{mem}の電位に応じて、ルックアップテーブル524の信号の出力か、レジスタ52

50

5の信号の出力か、を選択することができる。

【0336】

図42(E)には、コンフィギュレーションメモリ527として機能する回路構成の一例を示す。コンフィギュレーションメモリ527は、OSトランジスタで構成されるトランジスタM13、トランジスタM14と、Siトランジスタで構成されるトランジスタM15、トランジスタM16と、によって構成される。ノードFNL_Eには、トランジスタM13を介してコンフィギュレーションデータDL_Eが与えられる。ノードFNB_{L E}には、トランジスタM14を介してコンフィギュレーションデータDB_{L E}が与えられる。コンフィギュレーションデータDB_{L E}は、コンフィギュレーションデータDL_Eの論理が反転した電位に相当する。このコンフィギュレーションデータDL_E、コンフィギュレーションデータDB_{L E}の電位は、トランジスタM13、トランジスタM14を非導通状態とすることで、保持することができる。保持したコンフィギュレーションデータDL_E、コンフィギュレーションデータDB_{L E}の電位によって、トランジスタM15またはトランジスタM16の一方の導通状態が切り替えられ、端子OUT_{m e m}には電位VDDまたは電位VSSを与えることができる。

10

【0337】

図42(A)乃至(E)の構成に対して、上記実施の形態で説明した構成を適用することができる。例えばトランジスタM12、トランジスタM15、トランジスタM16をSiトランジスタで構成し、トランジスタM11、トランジスタM13、トランジスタM14をOSトランジスタで構成する。この場合、下層にあるSiトランジスタ間を接続する配線を低抵抗な導電材料で構成することができる。そのため、アクセス速度の向上、低消費電力化に優れた回路とすることができる。

20

【0338】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0339】

(実施の形態8)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した撮像装置の一例について説明する。

【0340】

<撮像装置の構成>

図43(A)は、本発明の一態様に係る撮像装置200の例を示す平面図である。撮像装置200は、画素部210と、画素部210を駆動するための周辺回路260と、周辺回路270、周辺回路280と、周辺回路290と、を有する。画素部210は、p行q列(pおよびqは2以上の整数)のマトリクス状に配置された複数の画素211を有する。周辺回路260、周辺回路270、周辺回路280および周辺回路290は、それぞれ複数の画素211に接続し、複数の画素211を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路260、周辺回路270、周辺回路280および周辺回路290などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路260は周辺回路の一部といえる。

30

40

【0341】

また、撮像装置200は、光源291を有することが好ましい。光源291は、検出光P1を放射することができる。

【0342】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の1つを有する。また、周辺回路は、画素部210を形成する基板上に形成してもよい。また、周辺回路は、その一部または全部にICチップ等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路260、周辺回路270、周辺回路280および周辺回路290のいずれか一以上を省略してもよい。

【0343】

50

また、図43(B)に示すように、撮像装置200が有する画素部210において、画素211を傾けて配置してもよい。画素211を傾けて配置することにより、行方向および列方向の画素間隔(ピッチ)を短くすることができる。これにより、撮像装置200における撮像の品質をより高めることができる。

【0344】

<画素の構成例1>

撮像装置200が有する1つの画素211を複数の副画素212で構成し、それぞれの副画素212に特定の波長域の光を透過するフィルタ(カラーフィルタ)を組み合わせること、で、カラー画像表示を実現するための情報を取得することができる。

【0345】

図44(A)は、カラー画像を取得するための画素211の一例を示す平面図である。図44(A)に示す画素211は、赤(R)の波長域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212R」ともいう)、緑(G)の波長域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212G」ともいう)および青(B)の波長域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212B」ともいう)を有する。副画素212は、フォトセンサとして機能させることができる。

【0346】

副画素212(副画素212R、副画素212G、および副画素212B)は、配線231、配線247、配線248、配線249、配線250と電氣的に接続される。また、副画素212R、副画素212G、および副画素212Bは、それぞれが独立した配線253に接続している。また、本明細書等において、例えばn行目の画素211に接続された配線248および配線249を、それぞれ配線248[n]および配線249[n]と記載する。また、例えばm列目の画素211に接続された配線253を、配線253[m]と記載する。なお、図44(A)において、m列目の画素211が有する副画素212Rに接続する配線253を配線253[m]R、副画素212Gに接続する配線253を配線253[m]G、および副画素212Bに接続する配線253を配線253[m]Bと記載している。副画素212は、上記配線を介して周辺回路と電氣的に接続される。

【0347】

また、撮像装置200は、隣接する画素211の、同じ波長域の光を透過するカラーフィルタが設けられた副画素212同士がスイッチを介して電氣的に接続する構成を有する。図44(B)に、n行(nは1以上p以下の整数)m列(mは1以上q以下の整数)に配置された画素211が有する副画素212と、該画素211に隣接するn+1行m列に配置された画素211が有する副画素212の接続例を示す。図44(B)において、n行m列に配置された副画素212Rと、n+1行m列に配置された副画素212Rがスイッチ201を介して接続されている。また、n行m列に配置された副画素212Gと、n+1行m列に配置された副画素212Gがスイッチ202を介して接続されている。また、n行m列に配置された副画素212Bと、n+1行m列に配置された副画素212Bがスイッチ203を介して接続されている。

【0348】

なお、副画素212に用いるカラーフィルタは、赤(R)、緑(G)、青(B)に限定されず、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタを用いてもよい。1つの画素211に3種類の異なる波長域の光を検出する副画素212を設けることで、フルカラー画像を取得することができる。

【0349】

または、それぞれ赤(R)、緑(G)および青(B)の光を透過するカラーフィルタが設けられた副画素212に加えて、黄(Y)の光を透過するカラーフィルタが設けられた副画素212を有する画素211を用いてもよい。または、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタが設けられた副画素212に加えて、青(B)の光を透過するカラーフィルタが設けられた副画素212を有する画素21

10

20

30

40

50

1を用いてもよい。1つの画素211に4種類の異なる波長域の光を検出する副画素212を設けることで、取得した画像の色の再現性をさらに高めることができる。

【0350】

また、例えば、図44(A)において、赤の波長域の光を検出する副画素212、緑の波長域の光を検出する副画素212、および青の波長域の光を検出する副画素212の画素数比(または受光面積比)は、1:1:1でなくても構わない。例えば、画素数比(受光面積比)を赤:緑:青=1:2:1とするBayer配列としてもよい。または、画素数比(受光面積比)を赤:緑:青=1:6:1としてもよい。

【0351】

なお、画素211に設ける副画素212は1つでもよいが、2つ以上が好ましい。例えば、同じ波長域の光を検出する副画素212を2つ以上設けることで、冗長性を高め、撮像装置200の信頼性を高めることができる。

10

【0352】

また、可視光を吸収または反射して、赤外光を透過するIR(IR:Infrared)フィルタを用いることで、赤外光を検出する撮像装置200を実現することができる。

【0353】

また、ND(ND:Neutral Density)フィルタ(減光フィルタ)を用いることで、光電変換素子(受光素子)に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なるNDフィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

20

【0354】

また、前述したフィルタ以外に、画素211にレンズを設けてもよい。ここで、図45の断面図を用いて、画素211、フィルタ254、レンズ255の配置例を説明する。レンズ255を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図45(A)に示すように、画素211に形成したレンズ255、フィルタ254(フィルタ254R、フィルタ254Gおよびフィルタ254B)、および画素回路230等を通して光256を光電変換素子220に入射させる構造とすることができる。

【0355】

ただし、二点鎖線で囲んだ領域に示すように、矢印で示す光256の一部が配線257の一部によって遮光されてしまうことがある。したがって、図45(B)に示すように光電変換素子220側にレンズ255およびフィルタ254を配置して、光電変換素子220が光256を効率良く受光させる構造が好ましい。光電変換素子220側から光256を光電変換素子220に入射させることで、検出感度の高い撮像装置200を提供することができる。

30

【0356】

図45に示す光電変換素子220として、pn型接合またはpin型の接合が形成された光電変換素子を用いてもよい。

【0357】

また、光電変換素子220を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能を有する物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

40

【0358】

例えば、光電変換素子220にセレンを用いると、可視光や、紫外光、赤外光に加えて、X線や、ガンマ線といった幅広い波長域にわたって光吸収係数を有する光電変換素子220を実現できる。

【0359】

ここで、撮像装置200が有する1つの画素211は、図44に示す副画素212に加えて、第1のフィルタを有する副画素212を有してもよい。

【0360】

50

< 画素の構成例 2 >

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。

【 0 3 6 1 】

図 4 6 (A)、図 4 6 (B) は、撮像装置を構成する素子の断面図である。図 4 6 (A) に示す撮像装置は、シリコン基板 3 0 0 に設けられたシリコンを用いたトランジスタ 3 5 1、トランジスタ 3 5 1 上に積層して配置された酸化物半導体を用いたトランジスタ 3 5 2 およびトランジスタ 3 5 3、ならびにシリコン基板 3 0 0 に設けられたフォトダイオード 3 6 0 を含む。各トランジスタおよびフォトダイオード 3 6 0 は、種々のプラグ 3 7 0 および配線 3 7 1 と電気的な接続を有する。また、フォトダイオード 3 6 0 のアノード 3 6 1 は、低抵抗領域 3 6 3 を介してプラグ 3 7 0 と電気的に接続を有する。

10

【 0 3 6 2 】

また撮像装置は、シリコン基板 3 0 0 に設けられたトランジスタ 3 5 1 およびフォトダイオード 3 6 0 を有する層 3 1 0 と、層 3 1 0 と接して設けられ、配線 3 7 1 を有する層 3 2 0 と、層 3 2 0 と接して設けられ、トランジスタ 3 5 2 およびトランジスタ 3 5 3 を有する層 3 3 0 と、層 3 3 0 と接して設けられ、配線 3 7 2 および配線 3 7 3 を有する層 3 4 0 を備えている。

【 0 3 6 3 】

なお図 4 6 (A) の断面図の一例では、シリコン基板 3 0 0 において、トランジスタ 3 5 1 が形成された面とは逆側の面にフォトダイオード 3 6 0 の受光面を有する構成とすることができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード 3 6 0 の受光面をトランジスタ 3 5 1 が形成された面と同じとすることもできる。

20

【 0 3 6 4 】

なお、酸化物半導体を用いたトランジスタのみを用いて画素を構成する場合には、層 3 1 0 を、酸化物半導体を用いたトランジスタを有する層とすればよい。または層 3 1 0 を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

【 0 3 6 5 】

なおシリコンを用いたトランジスタのみを用いて画素を構成する場合には、層 3 3 0 を省略すればよい。層 3 3 0 を省略した断面図の一例を図 4 6 (B) に示す。

30

【 0 3 6 6 】

なお、シリコン基板 3 0 0 は、S O I 基板であってもよい。また、シリコン基板 3 0 0 に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

【 0 3 6 7 】

ここで、トランジスタ 3 5 1 およびフォトダイオード 3 6 0 を有する層 3 1 0 と、トランジスタ 3 5 2 およびトランジスタ 3 5 3 を有する層 3 3 0 と、の間には絶縁体 3 8 0 が設けられる。ただし、絶縁体 3 8 0 の位置は限定されない。

【 0 3 6 8 】

40

トランジスタ 3 5 1 のチャネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ 3 5 1 の信頼性を向上させる効果がある。一方、トランジスタ 3 5 2 およびトランジスタ 3 5 3 などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ 3 5 2 およびトランジスタ 3 5 3 などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体 3 8 0 を設けることが好ましい。絶縁体 3 8 0 より下層に水素を閉じ込めることで、トランジスタ 3 5 1 の信頼性が向上させることができる。さらに、絶縁体 3 8 0 より下層から、絶縁体 3 8 0 より上層に水素が拡散することを抑制できるため、トランジスタ 3 5 2 およびトラン

50

ンジスタ３５３などの信頼性を向上させることができる。

【０３６９】

絶縁体３８０としては、例えば、酸素または水素をブロックする機能を有する絶縁体を用いる。

【０３７０】

また、図４６（Ａ）の断面図において、層３１０に設けるフォトダイオード３６０と、層３３０に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

【０３７１】

また、図４７（Ａ１）および図４７（Ｂ１）に示すように、撮像装置の一部または全部を湾曲させてもよい。図４７（Ａ１）は、撮像装置を同図中の一点鎖線Ｘ１－Ｘ２の方向に湾曲させた状態を示している。図４７（Ａ２）は、図４７（Ａ１）中の一点鎖線Ｘ１－Ｘ２で示した部位の断面図である。図４７（Ａ３）は、図４７（Ａ１）中の一点鎖線Ｙ１－Ｙ２で示した部位の断面図である。

【０３７２】

図４７（Ｂ１）は、撮像装置を同図中の一点鎖線Ｘ３－Ｘ４の方向に湾曲させ、かつ、同図中の一点鎖線Ｙ３－Ｙ４の方向に湾曲させた状態を示している。図４７（Ｂ２）は、図４７（Ｂ１）中の一点鎖線Ｘ３－Ｘ４で示した部位の断面図である。図４７（Ｂ３）は、図４７（Ｂ１）中の一点鎖線Ｙ３－Ｙ４で示した部位の断面図である。

【０３７３】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

【０３７４】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【０３７５】

（実施の形態９）

本実施の形態においては、本発明の一態様に係るトランジスタや上述した記憶装置などの半導体装置を含むＣＰＵの一例について説明する。

【０３７６】

<ＣＰＵの構成>

図４８は、上述したトランジスタを一部に用いたＣＰＵの一例の構成を示すブロック図である。

【０３７７】

図４８に示すＣＰＵは、基板１１９０上に、ＡＬＵ１１９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ ｌｏｇｉｃ ｕｎｉｔ、演算回路）、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、タイミングコントローラ１１９５、レジスタ１１９６、レジスタコントローラ１１９７、バスインターフェース１１９８、書き換え可能なＲＯＭ１１９９、およびＲＯＭインターフェース１１８９を有している。基板１１９０は、半導体基板、ＳＯＩ基板、ガラス基板などを用いる。ＲＯＭ１１９９およびＲＯＭインターフェース１１８９は、別チップに設けてもよい。もちろん、図４８に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。例えば、図４８に示すＣＰＵまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、ＣＰＵが内部演算回路やデータバスで扱えるビット数は、例えば８ビット、１６ビット、３２ビット、６４ビットなどとすることができる。

【０３７８】

バスインターフェース 1198 を介して CPU に入力された命令は、インストラクションデコーダ 1193 に入力され、デコードされた後、ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

【0379】

ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行なう。具体的に ALU コントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行なう。

10

【0380】

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

【0381】

図 48 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

20

【0382】

図 48 に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。即ち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

30

【0383】

図 49 は、レジスタ 1196 として用いることのできる記憶素子 1200 の回路図の一例である。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

【0384】

ここで、回路 1202 には、上述した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには GND (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 のゲートが抵抗等の負荷を介して接地される構成とする。

40

【0385】

スイッチ 1203 は、一導電型 (例えば、n チャネル型) のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型 (例えば、p チャネル型) のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 は

50

トランジスタ 1 2 1 3 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1 2 1 3 の導通状態または非導通状態）が選択される。スイッチ 1 2 0 4 の第 1 の端子はトランジスタ 1 2 1 4 のソースとドレインの一方に対応し、スイッチ 1 2 0 4 の第 2 の端子はトランジスタ 1 2 1 4 のソースとドレインの他方に対応し、スイッチ 1 2 0 4 はトランジスタ 1 2 1 4 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1 2 1 4 の導通状態または非導通状態）が選択される。

【 0 3 8 6 】

トランジスタ 1 2 0 9 のソースとドレインの一方は、容量素子 1 2 0 8 の一対の電極のうちの一方、およびトランジスタ 1 2 1 0 のゲートと電氣的に接続される。ここで、接続部分をノード M 2 とする。トランジスタ 1 2 1 0 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば G N D 線）に電氣的に接続され、他方は、スイッチ 1 2 0 3 の第 1 の端子（トランジスタ 1 2 1 3 のソースとドレインの一方）と電氣的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）はスイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と電氣的に接続される。スイッチ 1 2 0 4 の第 2 の端子（トランジスタ 1 2 1 4 のソースとドレインの他方）は電源電位 V D D を供給することのできる配線と電氣的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）と、スイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と、論理素子 1 2 0 6 の入力端子と、容量素子 1 2 0 7 の一対の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノード M 1 とする。容量素子 1 2 0 7 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1 2 0 7 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電氣的に接続される。容量素子 1 2 0 8 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1 2 0 8 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電氣的に接続される。

【 0 3 8 7 】

なお、容量素子 1 2 0 7 および容量素子 1 2 0 8 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【 0 3 8 8 】

トランジスタ 1 2 0 9 のゲートには、制御信号 W E が入力される。スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 は、制御信号 W E とは異なる制御信号 R D によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

【 0 3 8 9 】

トランジスタ 1 2 0 9 のソースとドレインの他方には、回路 1 2 0 1 に保持されたデータに対応する信号が入力される。図 4 9 では、回路 1 2 0 1 から出力された信号が、トランジスタ 1 2 0 9 のソースとドレインの他方に入力される例を示した。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 によってその論理値が反転された反転信号となり、回路 1 2 2 0 を介して回路 1 2 0 1 に入力される。

【 0 3 9 0 】

なお、図 4 9 では、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 および回路 1 2 2 0 を介して回路 1 2 0 1 に入力する例を示したがこれに限定されない。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号が、論理値を反

転させられることなく、回路 1 2 0 1 に入力されてもよい。例えば、回路 1 2 0 1 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

【 0 3 9 1 】

また、図 4 9 において、記憶素子 1 2 0 0 に用いられるトランジスタのうち、トランジスタ 1 2 0 9 以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板 1 1 9 0 にチャネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子 1 2 0 0 に用いられるトランジスタ全てを、チャネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子 1 2 0 0 は、トランジスタ 1 2 0 9 以外にも、チャネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 1 1 9 0 にチャネルが形成されるトランジスタとすることもできる。

10

【 0 3 9 2 】

図 4 9 における回路 1 2 0 1 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1 2 0 6 としては、例えばインバータやクロックドインバータ等を用いることができる。

【 0 3 9 3 】

本発明の一態様に係る半導体装置では、記憶素子 1 2 0 0 に電源電圧が供給されない間は、回路 1 2 0 1 に記憶されていたデータを、回路 1 2 0 2 に設けられた容量素子 1 2 0 8 によって保持することができる。

20

【 0 3 9 4 】

また、酸化物半導体にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1 2 0 9 として用いることによって、記憶素子 1 2 0 0 に電源電圧が供給されない間も容量素子 1 2 0 8 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1 2 0 0 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

30

【 0 3 9 5 】

また、スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1 2 0 1 が元のデータを保持しなおすまでの時間を短くすることができる。

【 0 3 9 6 】

また、回路 1 2 0 2 において、容量素子 1 2 0 8 によって保持された信号はトランジスタ 1 2 1 0 のゲートに入力される。そのため、記憶素子 1 2 0 0 への電源電圧の供給が再開された後、容量素子 1 2 0 8 によって保持された信号を、トランジスタ 1 2 1 0 の状態（導通状態、または非導通状態）に変換して、回路 1 2 0 2 から読み出すことができる。それ故、容量素子 1 2 0 8 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

40

【 0 3 9 7 】

このような記憶素子 1 2 0 0 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【 0 3 9 8 】

記憶素子 1 2 0 0 を CPU に用いる例として説明したが、記憶素子 1 2 0 0 は、DSP（

50

Digital Signal Processor)、カスタムLSI等のLSI、RF(Radio Frequency)デバイスにも応用可能である。また、FPGA(Field Programmable Gate Array)やCPLD(Complex PLD)などのプログラマブル論理回路(PLD: Programmable Logic Device)等のLSIにも応用可能である。

【0399】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0400】

(実施の形態10)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した表示装置について、図50および図51を用いて説明する。

【0401】

<表示装置の構成>

表示装置に用いられる表示素子としては液晶素子(液晶表示素子ともいう。)、発光素子(発光表示素子ともいう。)などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electroluminescence)、有機ELなどを含む。以下では、表示装置の一例としてEL素子を用いた表示装置(EL表示装置)および液晶素子を用いた表示装置(液晶表示装置)について説明する。

【0402】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

【0403】

また、以下に示す表示装置は画像表示デバイス、または光源(照明装置含む)を指す。また、コネクタ、例えばFPC、TCPが取り付けられたモジュール、TCPの先にプリント配線板を有するモジュールまたは表示素子にCOG方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0404】

図50は、本発明の一態様に係るEL表示装置の一例である。図50(A)に、EL表示装置の画素の回路図を示す。図50(B)は、EL表示装置全体を示す上面図である。また、図50(C)は、図50(B)の一点鎖線M-Nの一部に対応するM-N断面である。

【0405】

図50(A)は、EL表示装置に用いられる画素の回路図の一例である。

【0406】

なお、本明細書等においては、能動素子(トランジスタ、ダイオードなど)、受動素子(容量素子、抵抗素子など)などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子(トランジスタ、ダイオードなど)、受動素子(容量素子、抵抗素子など)などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【0407】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つ

まり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【0408】

図50(A)に示すEL表示装置は、スイッチ素子743と、トランジスタ741と、容量素子742と、発光素子719と、を有する。

【0409】

なお、図50(A)などは、回路構成の一例であるため、さらに、トランジスタを追加することが可能である。逆に、図50(A)の各ノードにおいて、トランジスタ、スイッチ、受動素子などを追加しないようにすることも可能である。

【0410】

トランジスタ741のゲートはスイッチ素子743の一端および容量素子742の一方の電極と電氣的に接続される。トランジスタ741のソースは容量素子742の他方の電極と電氣的に接続され、発光素子719の一方の電極と電氣的に接続される。トランジスタ741のドレインは電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電氣的に接続される。発光素子719の他方の電極は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

【0411】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いEL表示装置とすることができる。また、スイッチ素子743として、トランジスタ741と同一工程を経て作製されたトランジスタを用いると、EL表示装置の生産性を高めることができる。なお、トランジスタ741または/およびスイッチ素子743としては、例えば、上述したトランジスタを適用することができる。

【0412】

図50(B)は、EL表示装置の上面図である。EL表示装置は、基板700と、基板750と、シール材734と、駆動回路735と、駆動回路736と、画素737と、FPC732と、を有する。シール材734は、画素737、駆動回路735および駆動回路736を囲むように基板700と基板750との間に配置される。なお、駆動回路735または/および駆動回路736をシール材734の外側に配置しても構わない。

【0413】

図50(C)は、図50(B)の一点鎖線M-Nの一部に対応するEL表示装置の断面図である。

【0414】

図50(C)には、トランジスタ741として、基板700上の導電体705と、導電体705が埋め込まれた絶縁体701、絶縁体701上の絶縁体702と、絶縁体702上の絶縁体703aおよび半導体703bと、半導体703b上の導電体707aおよび導電体707bと、半導体703b上の絶縁体707cと、絶縁体707c上の絶縁体706と、絶縁体706上の導電体704を有する構造を示す。なお、トランジスタ741の構造は一例であり、図50(C)に示す構造と異なる構造であっても構わない。

【0415】

したがって、図50(C)に示すトランジスタ741において、導電体704および導電体705はゲート電極としての機能を有し、絶縁体702および絶縁体706はゲート絶縁体としての機能を有し、導電体707aおよび導電体707bはソース電極またはドレイン電極としての機能を有する。なお、半導体703bは、光が当たることで電気特性が変動する場合がある。したがって、導電体705、導電体704のいずれか一以上が遮光性を有すると好ましい。

10

20

30

40

50

【0416】

図50(C)には、容量素子742として、絶縁体710上の導電体714cと、導電体714c上の絶縁体714bと、絶縁体714b上の導電体714aと、を有する構造を示す。

【0417】

容量素子742において、導電体714aは一方の電極として機能し、導電体714cは他方の電極として機能する。

【0418】

図50(C)に示す容量素子742は、占有面積当たりの容量が大きい容量素子である。したがって、図50(C)は表示品位の高いEL表示装置である。

10

【0419】

トランジスタ741および容量素子742上には、絶縁体720が配置される。絶縁体720上には、導電体781が配置される。導電体781は、絶縁体720の開口部を介してトランジスタ741と電氣的に接続している。

【0420】

導電体781上には、導電体781に達する開口部を有する隔壁784が配置される。隔壁784上には、隔壁784の開口部で導電体781と接する発光層782が配置される。発光層782上には、導電体783が配置される。導電体781、発光層782および導電体783の重なる領域が、発光素子719となる。

20

【0421】

ここまでは、EL表示装置の例について説明した。次に、液晶表示装置の例について説明する。

【0422】

図51(A)は、液晶表示装置の画素の構成例を示す回路図である。図51に示す画素は、トランジスタ751と、容量素子752と、一對の電極間に液晶の充填された素子(液晶素子)753とを有する。

【0423】

トランジスタ751では、ソース、ドレインの一方が信号線755に電氣的に接続され、ゲートが走査線754に電氣的に接続されている。

【0424】

容量素子752では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

30

【0425】

液晶素子753では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述した容量素子752の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子753の他方の電極に与えられる共通電位とが異なる電位であってもよい。

【0426】

なお、液晶表示装置も、上面図はEL表示装置と同様として説明する。図50(B)の一点鎖線M-Nに対応する液晶表示装置の断面図を図51(B)に示す。図51(B)において、FPC732は、端子731を介して配線733aと接続される。なお、配線733aは、トランジスタ751を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

40

【0427】

トランジスタ751は、トランジスタ741についての記載を参照する。また、容量素子752は、容量素子742についての記載を参照する。なお、図51(B)には、図50(C)の容量素子742に対応した容量素子752の構造を示したが、これに限定されない。

【0428】

なお、トランジスタ751の半導体に酸化物半導体を用いた場合、極めてオフ電流の小さ

50

いトランジスタとすることができる。したがって、容量素子752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができる。また、容量素子752の占有面積を小さくできるため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

【0429】

トランジスタ751および容量素子752上には、絶縁体721が配置される。ここで、絶縁体721は、トランジスタ751に達する開口部を有する。絶縁体721上には、導電体791が配置される。導電体791は、絶縁体721の開口部を介してトランジスタ751と電氣的に接続する。

10

【0430】

導電体791上には、配向膜として機能する絶縁体792が配置される。絶縁体792上には、液晶層793が配置される。液晶層793上には、配向膜として機能する絶縁体794が配置される。絶縁体794上には、スペーサ795が配置される。スペーサ795および絶縁体794上には、導電体796が配置される。導電体796上には、基板797が配置される。

【0431】

なお、液晶の駆動方式としては、TN(Twisted Nematic)モード、STN(Super Twisted Nematic)モード、IPS(In-Plane Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、ECB(Electrically Controlled Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、ゲストホストモード、ブルー相(Blue Phase)モードなどを用いることができる。ただし、これに限定されず、駆動方法として様々なものを用いることができる。

20

30

【0432】

上述した構造を有することで、占有面積の小さい容量素子を有する表示装置を提供することができる、または、表示品位の高い表示装置を提供することができる。または、高精細の表示装置を提供することができる。

【0433】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、白色、赤色、緑色または青色などの発光ダイオード(LED:Light Emitting Diode)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイ(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、IMOD(インターフェアレンス・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用によ

40

50

り、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。

【0434】

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)またはSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インクまたは電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

10

【0435】

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体との間に、AlN層を設けてもよい。なお、LEDが有するGaN半導体は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGaN半導体は、スパッタリング法で成膜することも可能である。

20

【0436】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0437】

(実施の形態11)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した電子機器について説明する。

30

【0438】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図52に示す。

40

【0439】

図52(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図52(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0440】

50

図５２（Ｂ）は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能である。第１表示部９１３における映像を、接続部９１５における第１筐体９１１と第２筐体９１２との間の角度にしたがって、切り替える構成としてもよい。また、第１表示部９１３および第２表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、

10

【０４４１】

図５２（Ｃ）はノート型パーソナルコンピュータであり、筐体９２１、表示部９２２、キーボード９２３、ポインティングデバイス９２４等を有する。

【０４４２】

図５２（Ｄ）は電気冷凍冷蔵庫であり、筐体９３１、冷蔵室用扉９３２、冷凍室用扉９３３等を有する。

【０４４３】

図５２（Ｅ）はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能である。表示部９４３における映像を、接続部９４６における第１筐体９４１と第２筐体９４２との間の角度にしたがって切り替える構成としてもよい。

20

【０４４４】

図５２（Ｆ）は乗用車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。

【０４４５】

30

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【０４４６】

なお、以上の実施の形態において、本発明の一態様について述べた。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態などでは、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャンネル形成領域、ソース領域、ドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、酸化物半導体を有していなくてもよい。

40

【符号の説明】

【０４４７】

50

1 1	領域	
1 0 0	トランジスタ	
1 0 1	基板	
1 1 0	絶縁体	
1 2 0	絶縁体	
1 3 0	酸化物半導体	
1 3 0 a	酸化物半導体	
1 3 0 A	酸化物半導体	
1 3 0 b	酸化物半導体	
1 3 0 B	酸化物半導体	10
1 3 0 c	酸化物半導体	
1 3 0 C	酸化物半導体	
1 3 1 a	領域	
1 3 1 b	領域	
1 3 5	レジストマスク	
1 4 0	導電体	
1 4 0 a	導電体	
1 4 0 A	導電体	
1 4 0 b	導電体	
1 4 5	レジストマスク	20
1 5 0	絶縁体	
1 5 0 A	絶縁体	
1 6 0	導電体	
1 6 0 A	導電体	
1 6 5	導電体	
1 8 0	絶縁体	
1 8 0 A	絶縁体	
1 9 0	犠牲層	
1 9 0 A	膜	
1 9 0 B	犠牲層	30
1 9 5	レジストマスク	
2 0 0	撮像装置	
2 0 1	スイッチ	
2 0 2	スイッチ	
2 0 3	スイッチ	
2 1 0	画素部	
2 1 1	画素	
2 1 2	副画素	
2 1 2 B	副画素	
2 1 2 G	副画素	40
2 1 2 R	副画素	
2 2 0	光電変換素子	
2 3 0	画素回路	
2 3 1	配線	
2 4 7	配線	
2 4 8	配線	
2 4 9	配線	
2 5 0	配線	
2 5 3	配線	
2 5 4	フィルタ	50

2 5 4 B	フィルタ	
2 5 4 G	フィルタ	
2 5 4 R	フィルタ	
2 5 5	レンズ	
2 5 6	光	
2 5 7	配線	
2 6 0	周辺回路	
2 7 0	周辺回路	
2 8 0	周辺回路	
2 9 0	周辺回路	10
2 9 1	光源	
3 0 0	シリコン基板	
3 1 0	層	
3 2 0	層	
3 3 0	層	
3 4 0	層	
3 5 1	トランジスタ	
3 5 2	トランジスタ	
3 5 3	トランジスタ	
3 6 0	フォトダイオード	20
3 6 1	アノード	
3 6 3	低抵抗領域	
3 7 0	プラグ	
3 7 1	配線	
3 7 2	配線	
3 7 3	配線	
3 8 0	絶縁体	
4 5 0	半導体基板	
4 5 2	絶縁体	
4 5 4	導電体	30
4 5 6	領域	
4 6 0	領域	
4 6 2	絶縁体	
4 6 4	絶縁体	
4 6 6	絶縁体	
4 6 8	絶縁体	
4 7 2 a	領域	
4 7 2 b	領域	
4 7 4 a	導電体	
4 7 4 b	導電体	40
4 7 4 c	導電体	
4 7 6 a	導電体	
4 7 6 b	導電体	
4 7 8 a	導電体	
4 7 8 b	導電体	
4 7 8 c	導電体	
4 8 0 a	導電体	
4 8 0 b	導電体	
4 8 0 c	導電体	
4 8 9	絶縁体	50

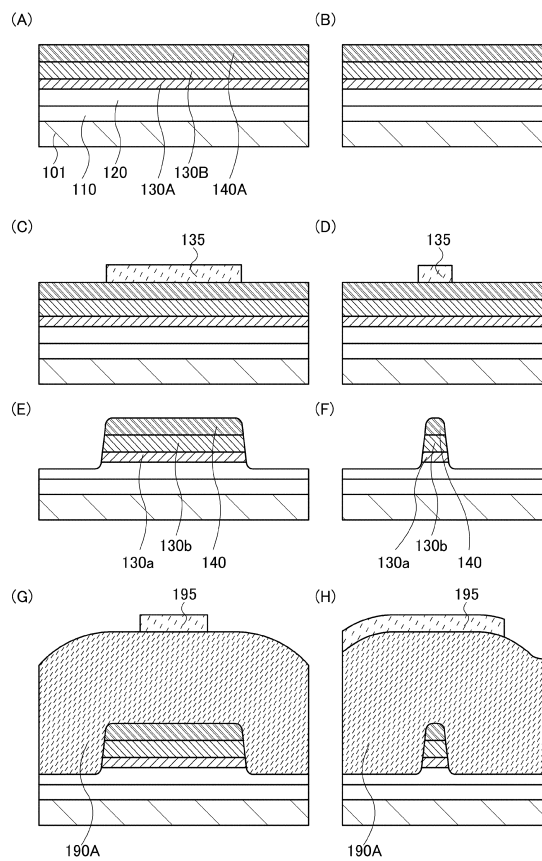
4 9 0	絶縁体	
4 9 2	絶縁体	
4 9 3	絶縁体	
4 9 4	絶縁体	
4 9 5	絶縁体	
4 9 6 a	導電体	
4 9 6 b	導電体	
4 9 6 c	導電体	
4 9 6 d	導電体	
4 9 6 e	導電体	10
4 9 8 a	導電体	
4 9 8 b	導電体	
4 9 8 c	導電体	
5 0 4	導電体	
5 0 7 a	導電体	
5 0 7 b	導電体	
5 1 1	絶縁体	
5 1 4	導電体	
5 1 5	導電体	
5 2 1	ルーティングスイッチエレメント	20
5 2 2	ロジックエレメント	
5 2 3	コンフィギュレーションメモリ	
5 2 4	ルックアップテーブル	
5 2 5	レジスタ	
5 2 6	セレクタ	
5 2 7	コンフィギュレーションメモリ	
7 0 0	基板	
7 0 1	絶縁体	
7 0 2	絶縁体	
7 0 3 a	絶縁体	30
7 0 3 b	半導体	
7 0 4	導電体	
7 0 5	導電体	
7 0 6	絶縁体	
7 0 7 a	導電体	
7 0 7 b	導電体	
7 1 0	絶縁体	
7 1 4 a	導電体	
7 1 4 b	絶縁体	
7 1 4 c	導電体	40
7 1 9	発光素子	
7 2 0	絶縁体	
7 2 1	絶縁体	
7 3 1	端子	
7 3 2	F P C	
7 3 3 a	配線	
7 3 4	シール材	
7 3 5	駆動回路	
7 3 6	駆動回路	
7 3 7	画素	50

7 4 1	トランジスタ	
7 4 2	容量素子	
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	基板	
7 5 1	トランジスタ	
7 5 2	容量素子	
7 5 3	液晶素子	
7 5 4	走査線	
7 5 5	信号線	10
7 8 1	導電体	
7 8 2	発光層	
7 8 3	導電体	
7 8 4	隔壁	
7 9 1	導電体	
7 9 2	絶縁体	
7 9 3	液晶層	
7 9 4	絶縁体	
7 9 5	スペーサ	
7 9 6	導電体	20
7 9 7	基板	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	30
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	40
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	50

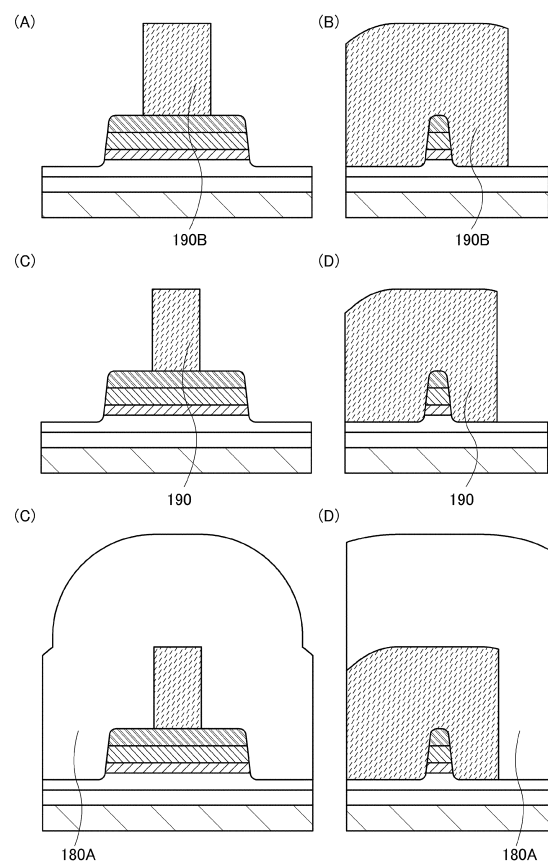
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	10
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	20
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
3 0 0 1	配線	
3 0 0 2	配線	30
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 1	配線	
4 0 0 3	配線	
4 0 0 5	配線	
4 0 0 6	配線	40
4 0 0 7	配線	
4 0 0 8	配線	
4 0 0 9	配線	
4 0 2 1	層	
4 0 2 2	層	
4 0 2 3	層	
4 1 0 0	トランジスタ	
4 2 0 0	トランジスタ	
4 3 0 0	トランジスタ	
4 4 0 0	トランジスタ	50

4 5 0 0 容量素子
4 6 0 0 容量素子

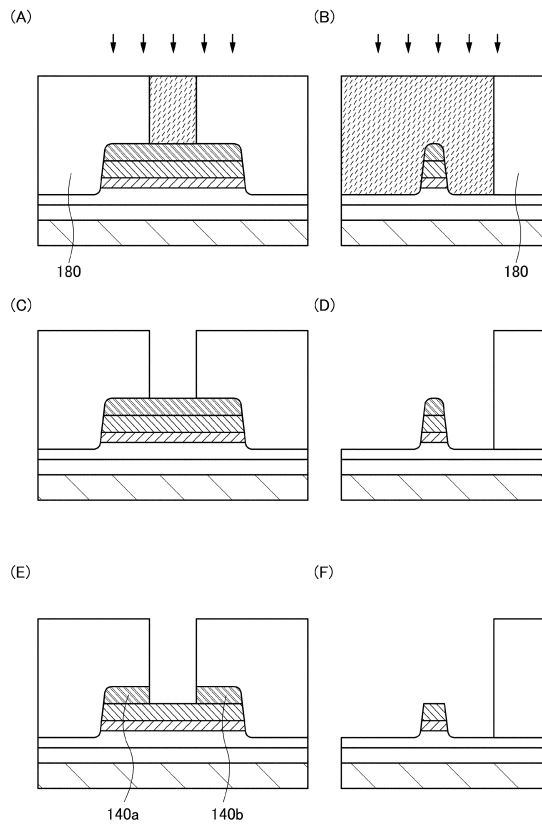
【図 1】



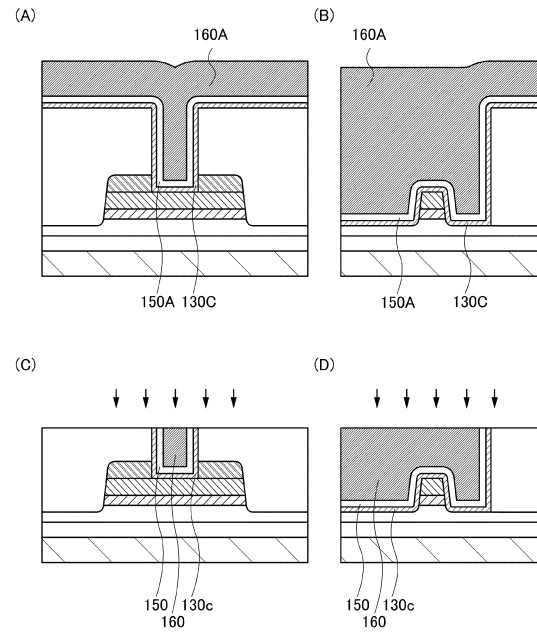
【図 2】



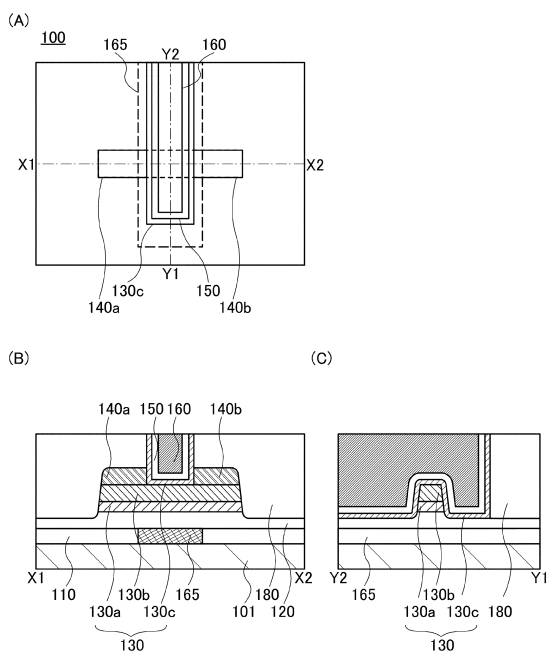
【図 3】



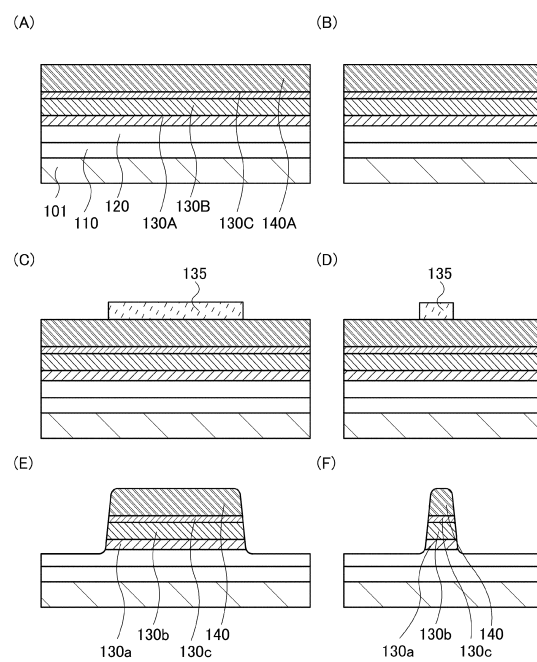
【図 4】



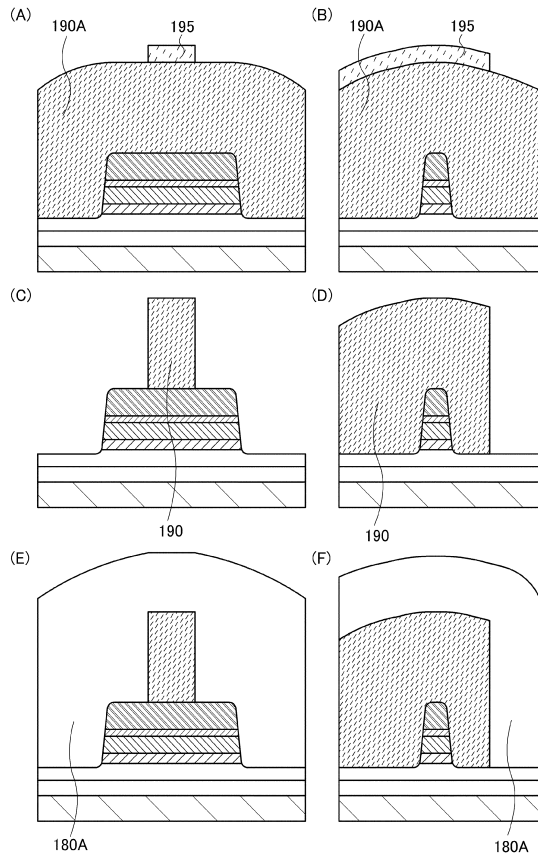
【図 5】



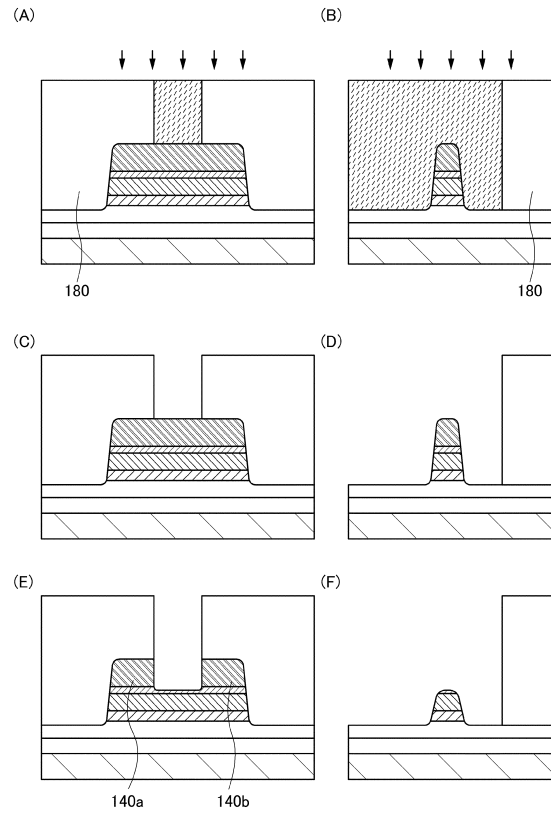
【図 6】



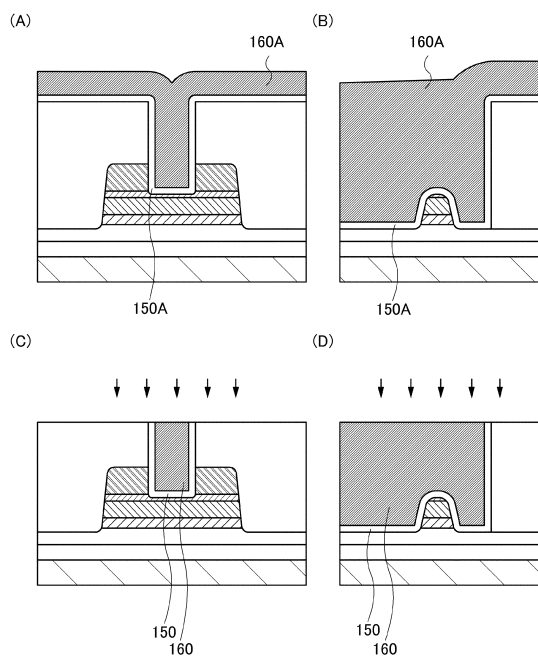
【図 7】



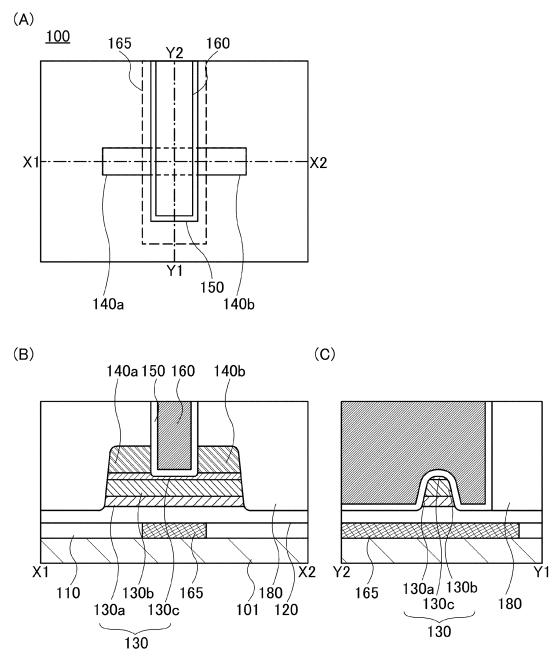
【図 8】



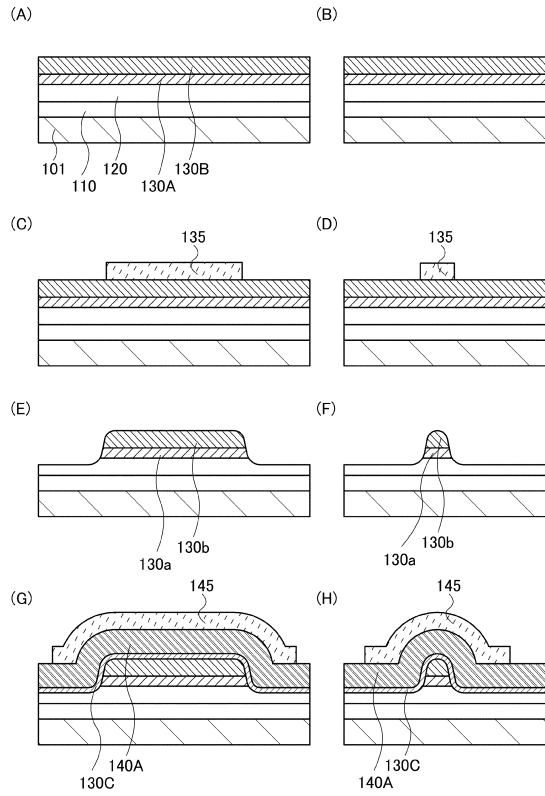
【図 9】



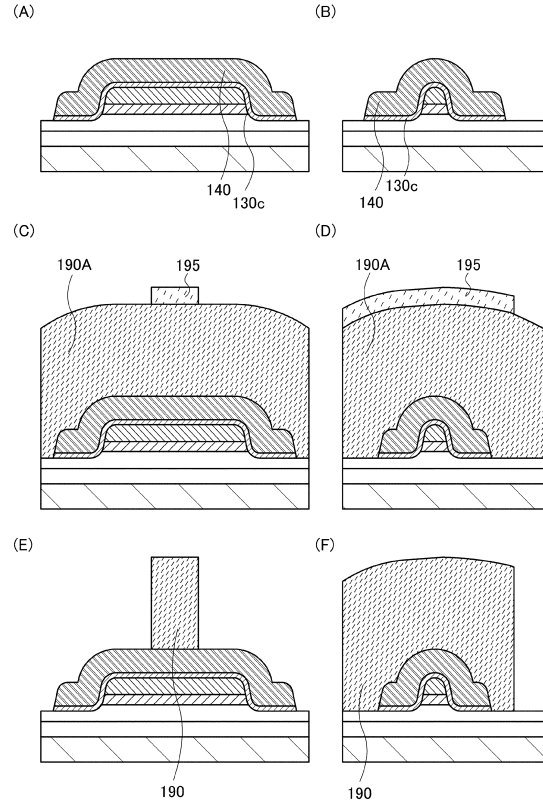
【図 10】



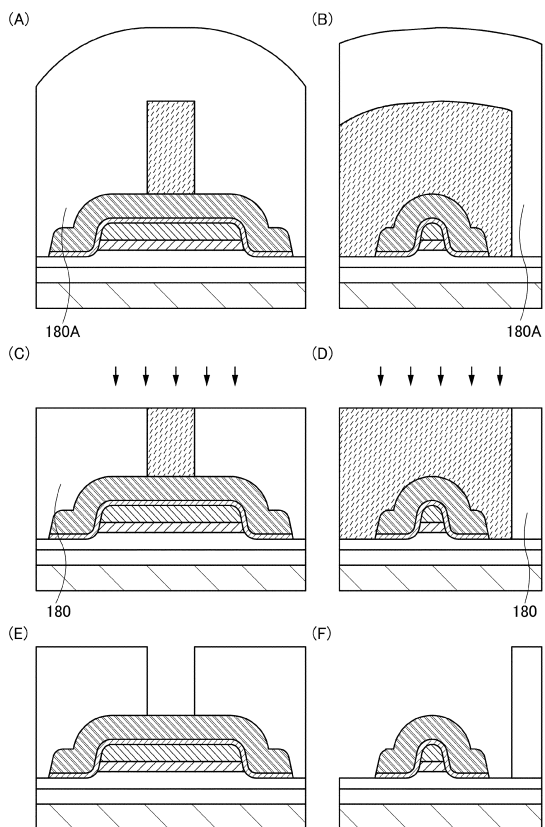
【図 1 1】



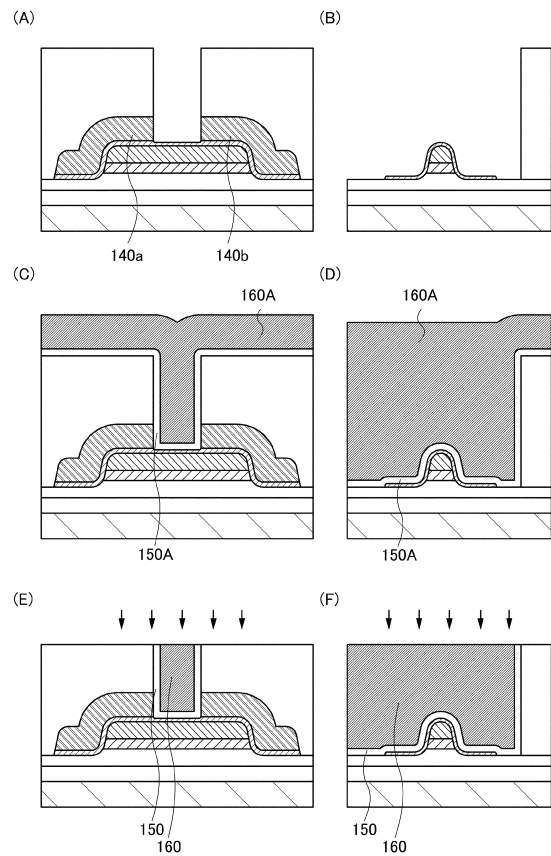
【図 1 2】



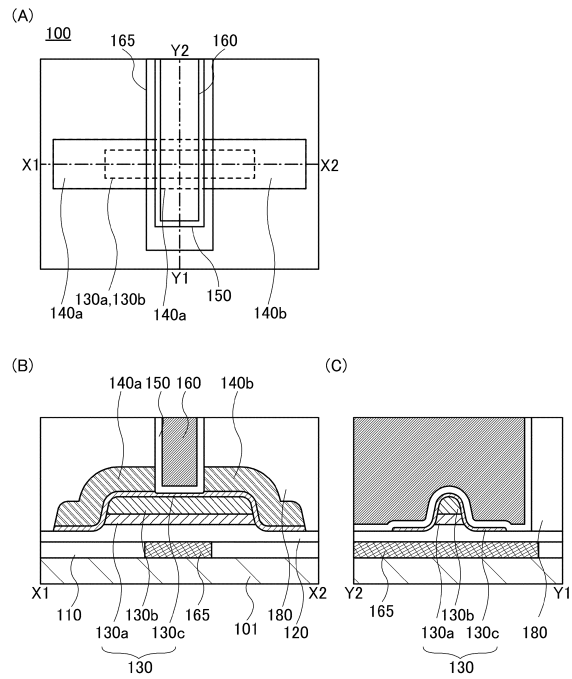
【図 1 3】



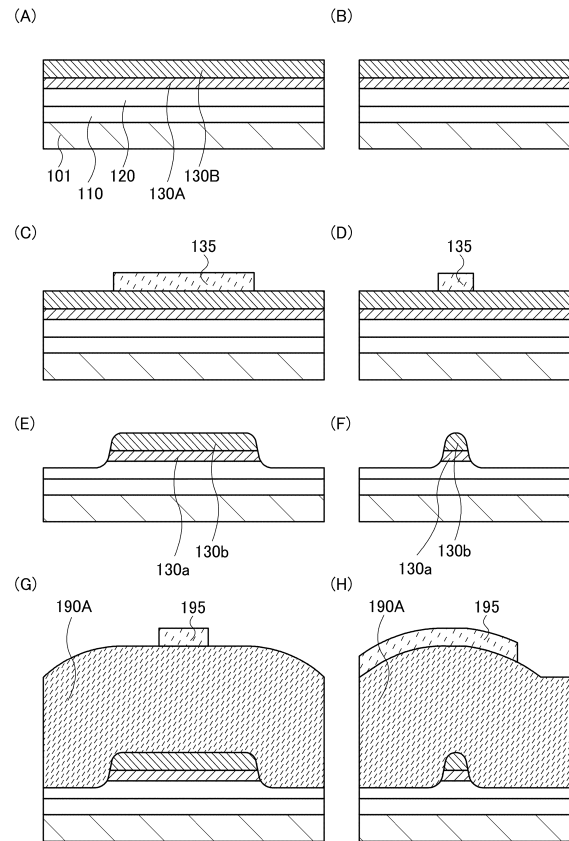
【図 1 4】



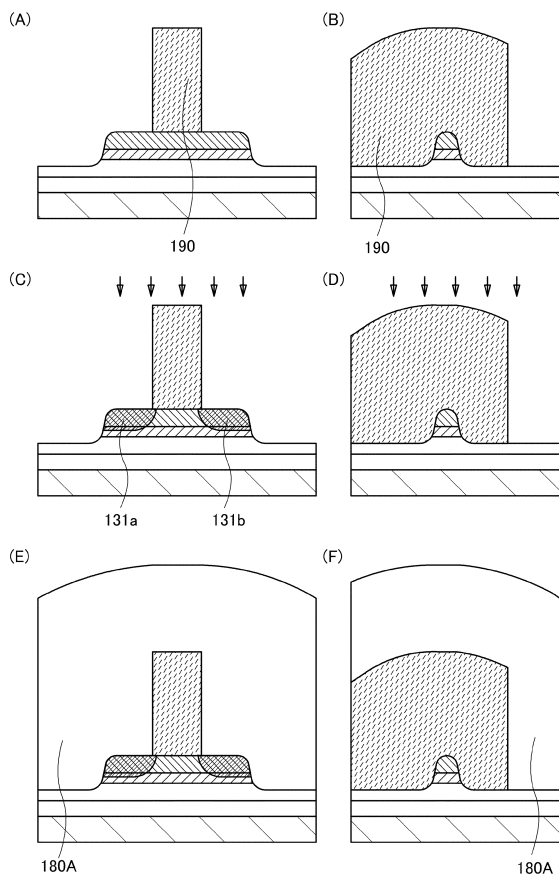
【図 15】



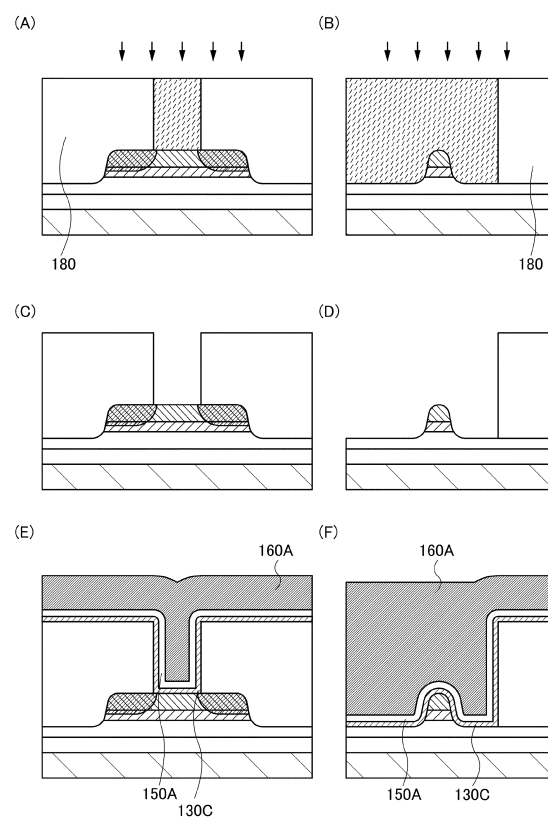
【図 16】



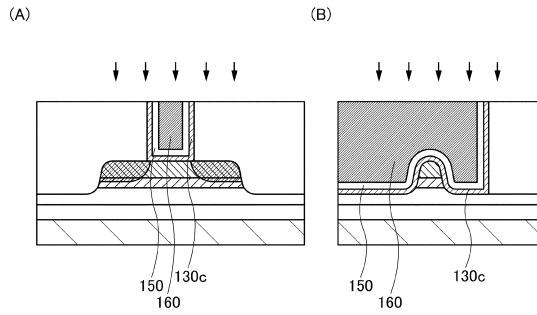
【図 17】



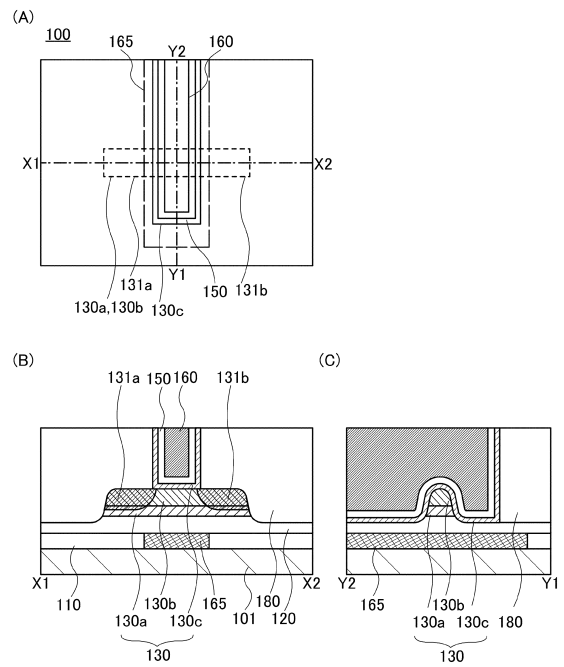
【図 18】



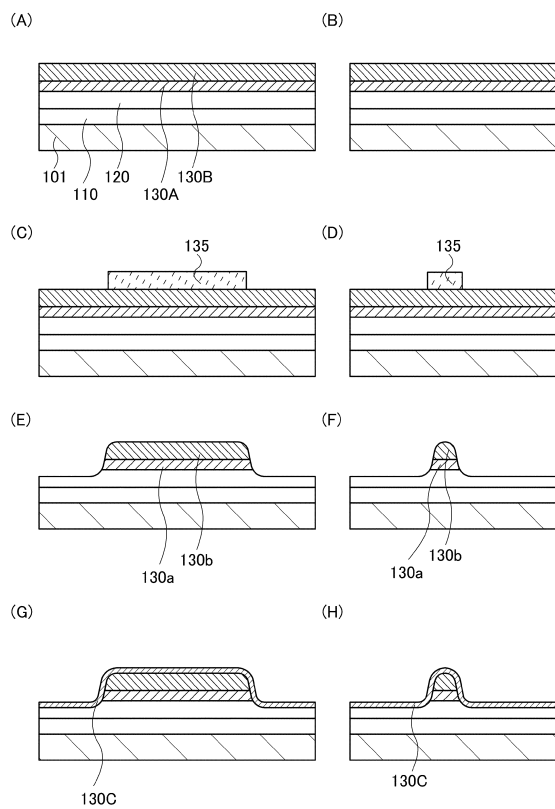
【図 19】



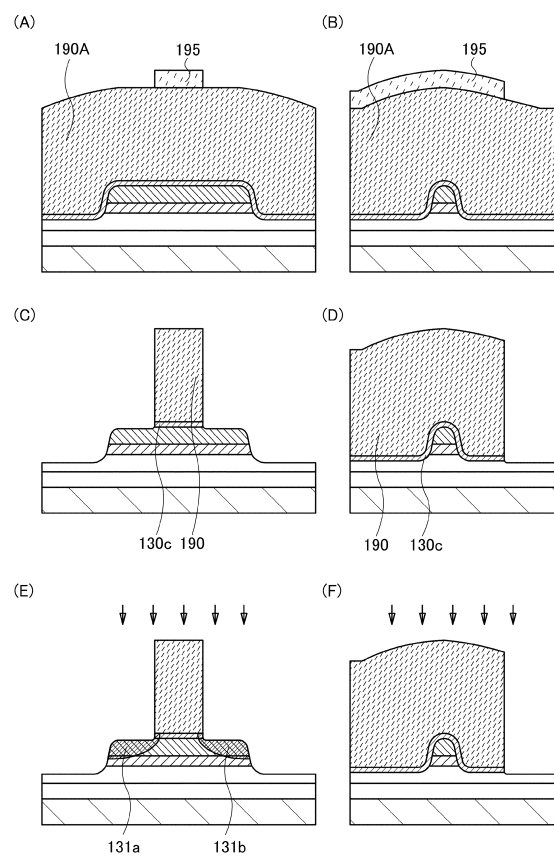
【図 20】



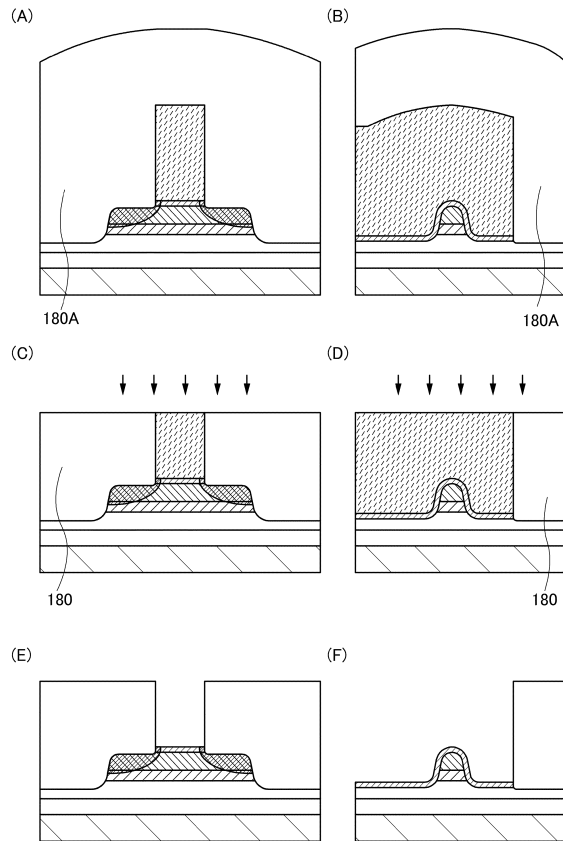
【図 21】



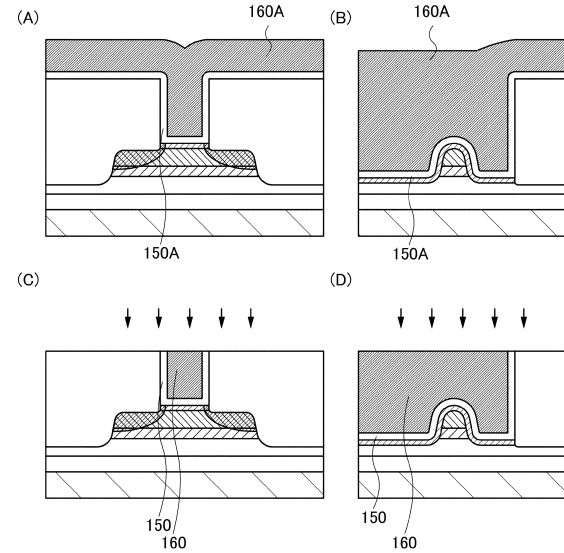
【図 22】



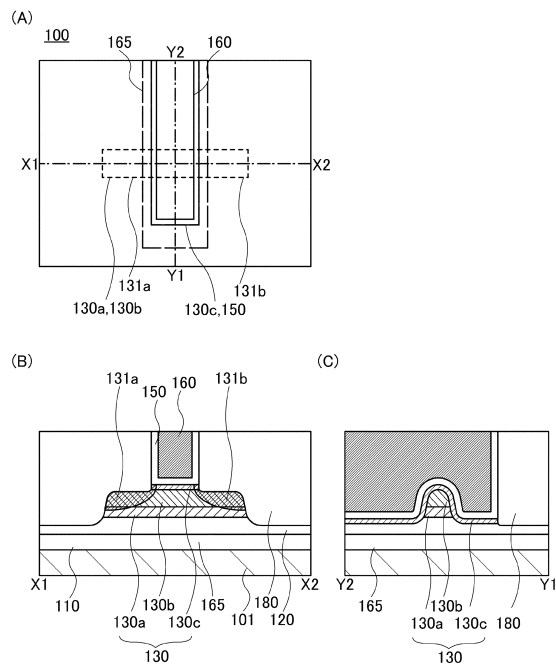
【図 23】



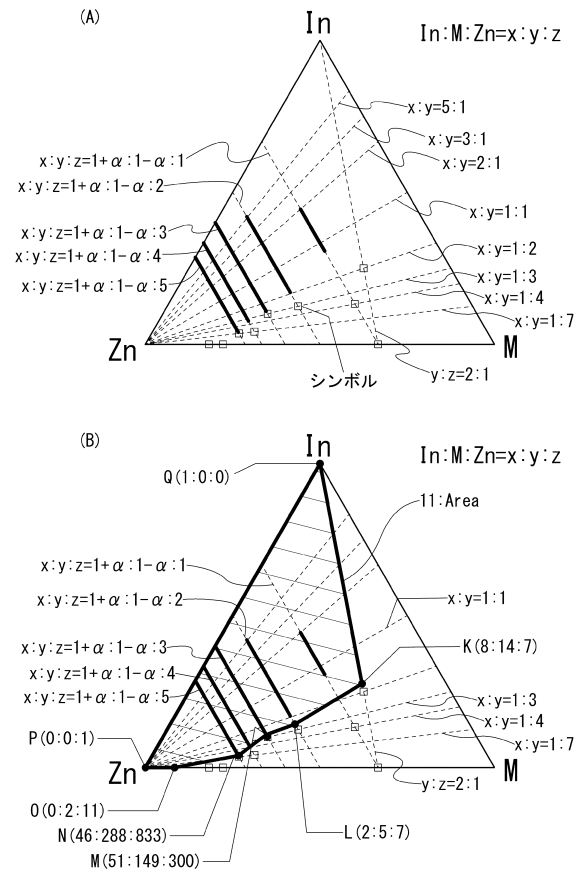
【図 24】



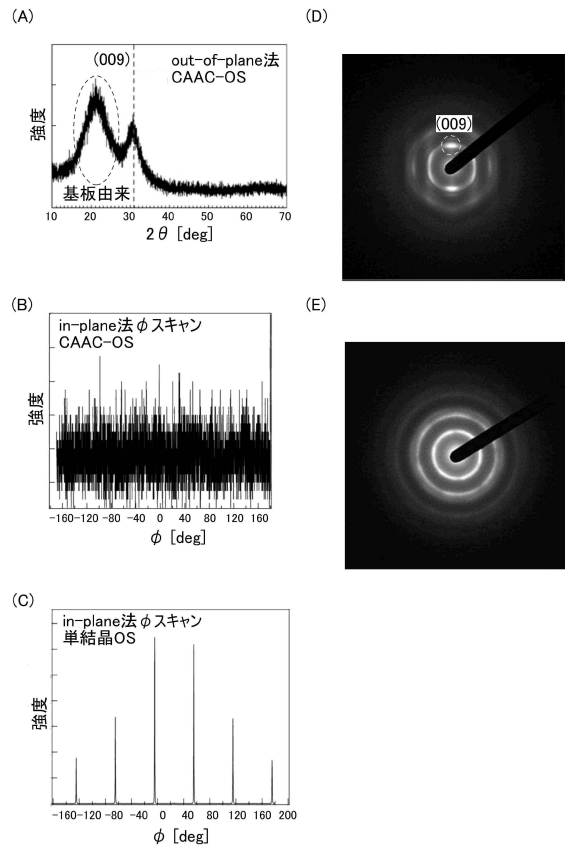
【図 25】



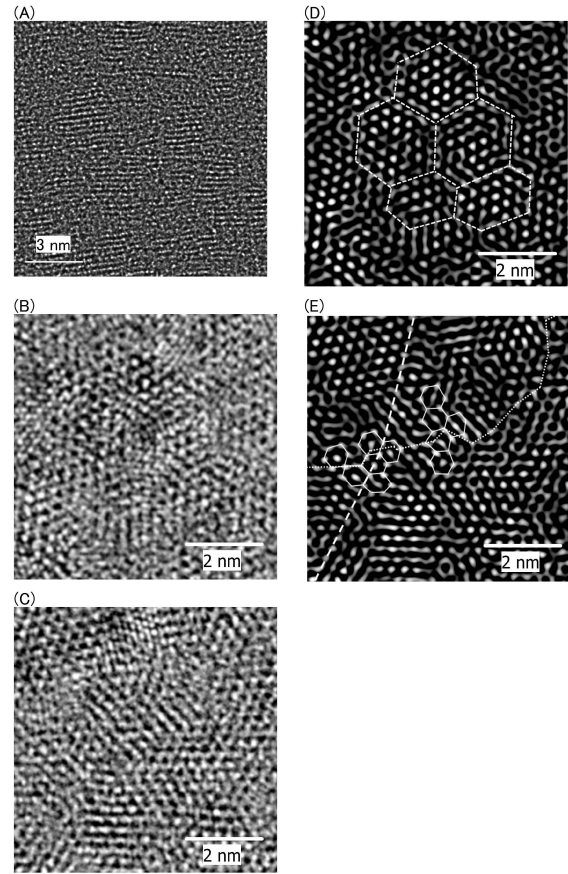
【図 26】



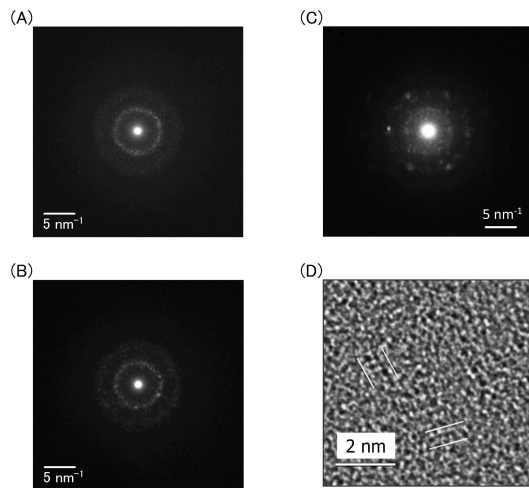
【図 27】



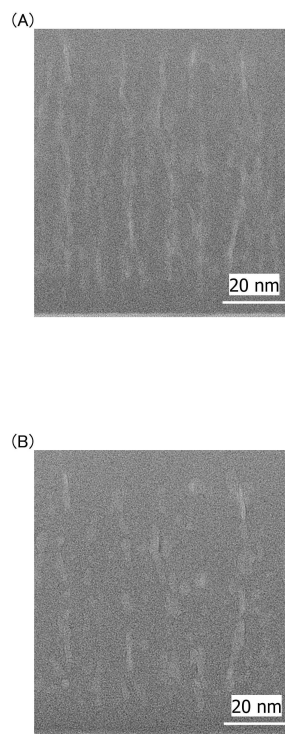
【図 28】



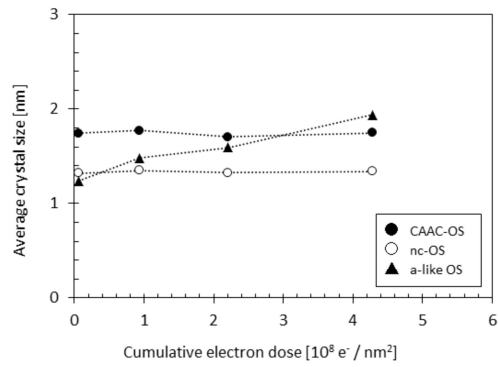
【図 29】



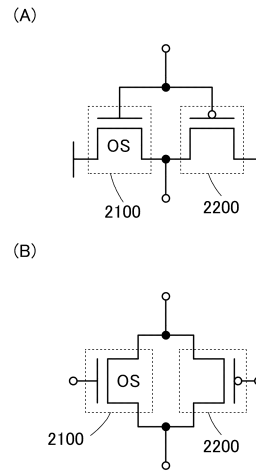
【図 30】



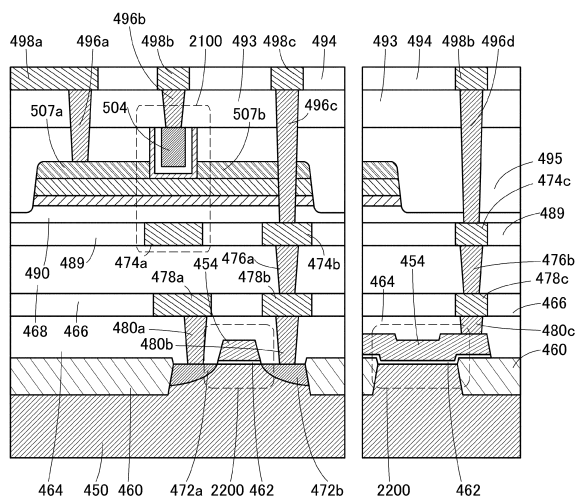
【図 3 1】



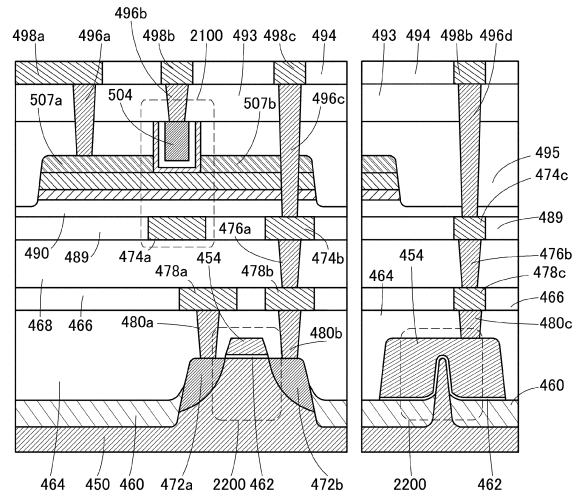
【図 3 2】



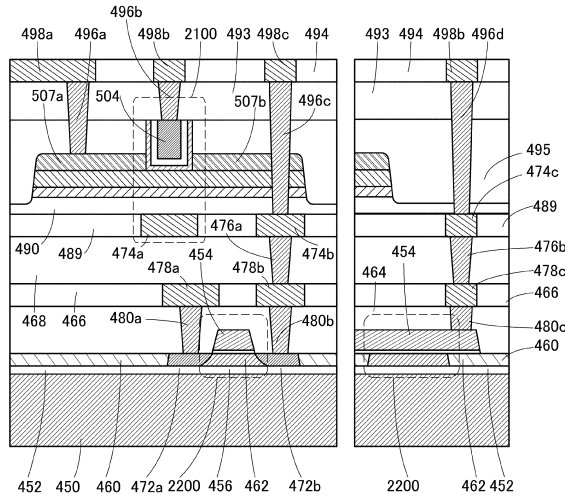
【図 3 3】



【図 3 4】

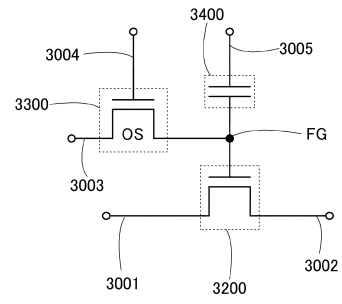


【図 35】

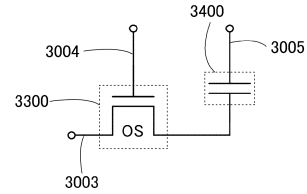


【図 36】

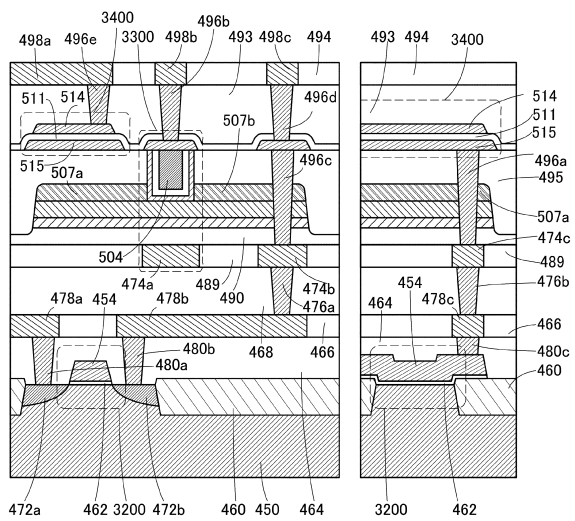
(A)



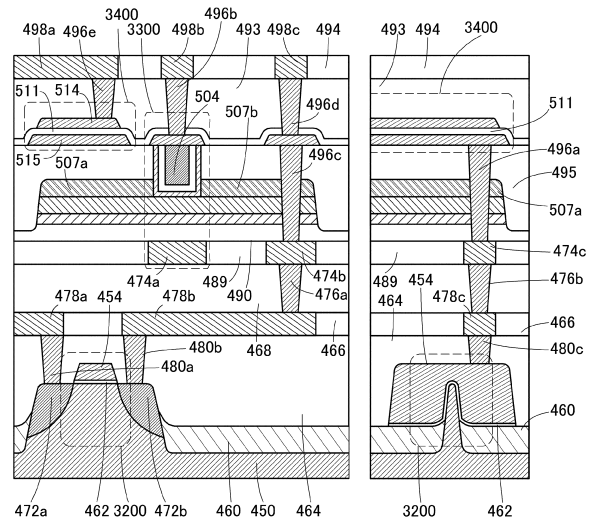
(B)



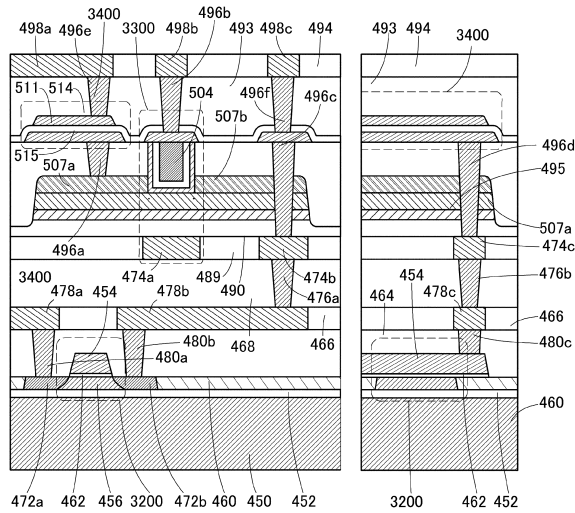
【図 37】



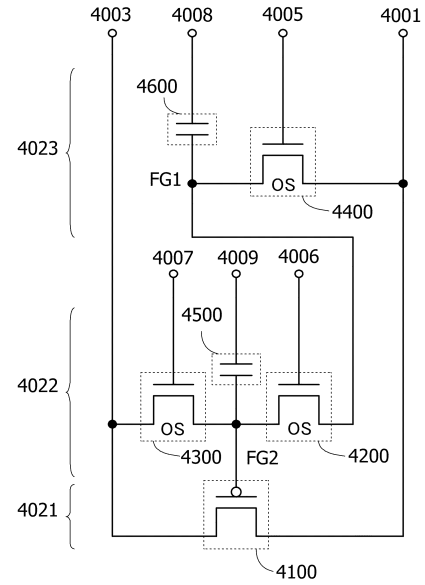
【図 38】



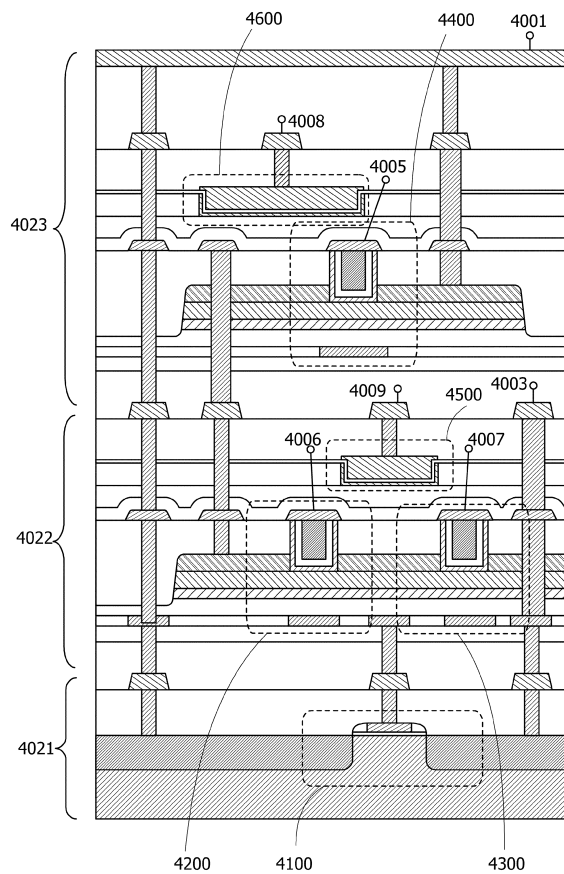
【図 39】



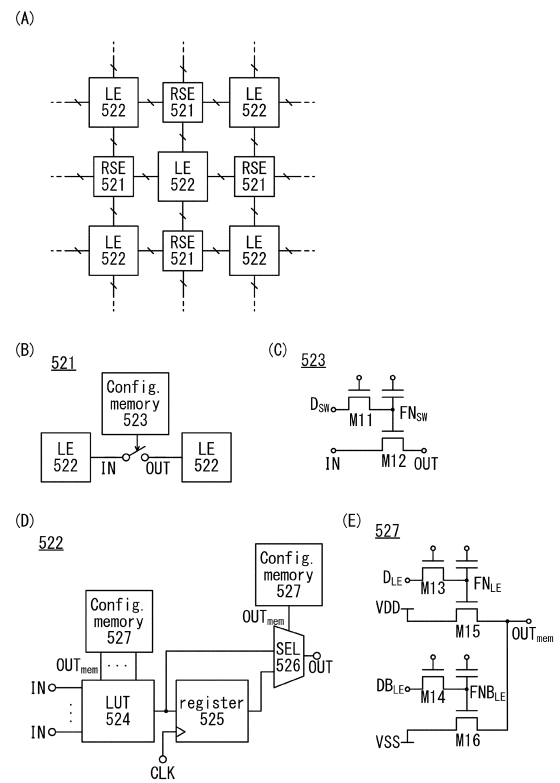
【図 40】



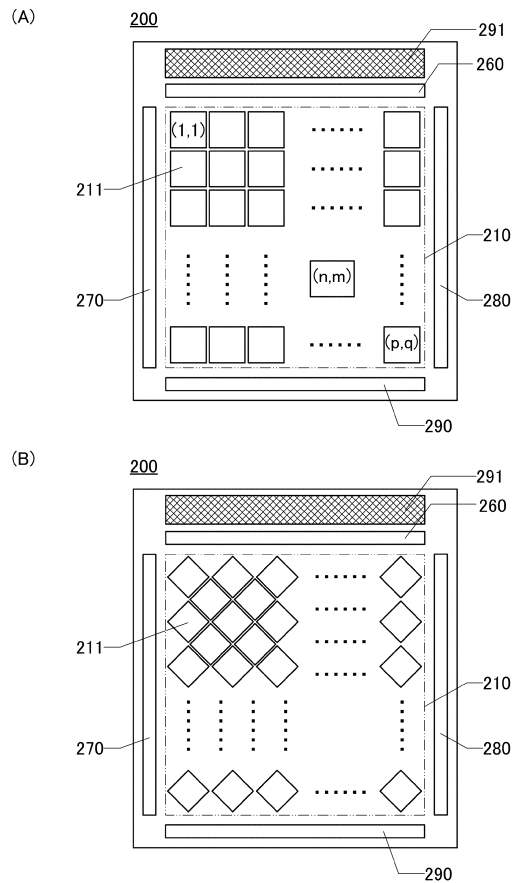
【図 41】



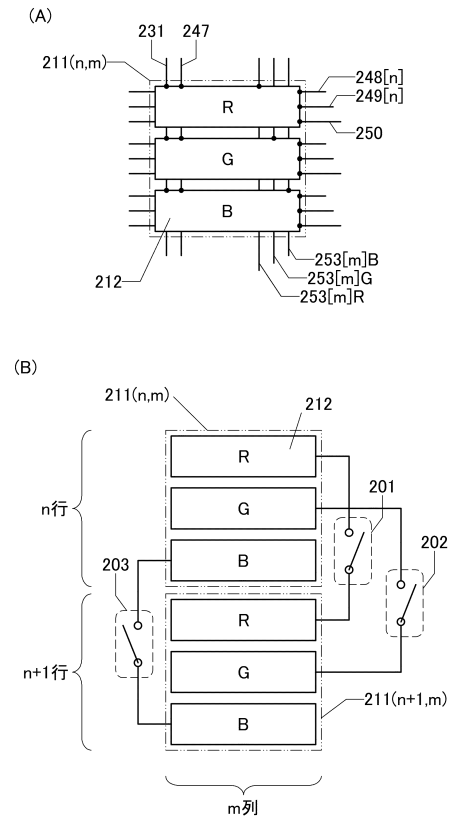
【図 42】



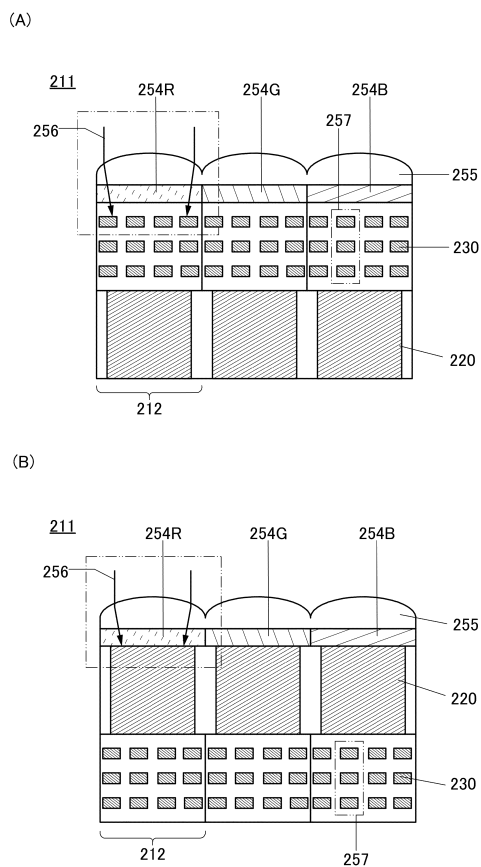
【 図 4 3 】



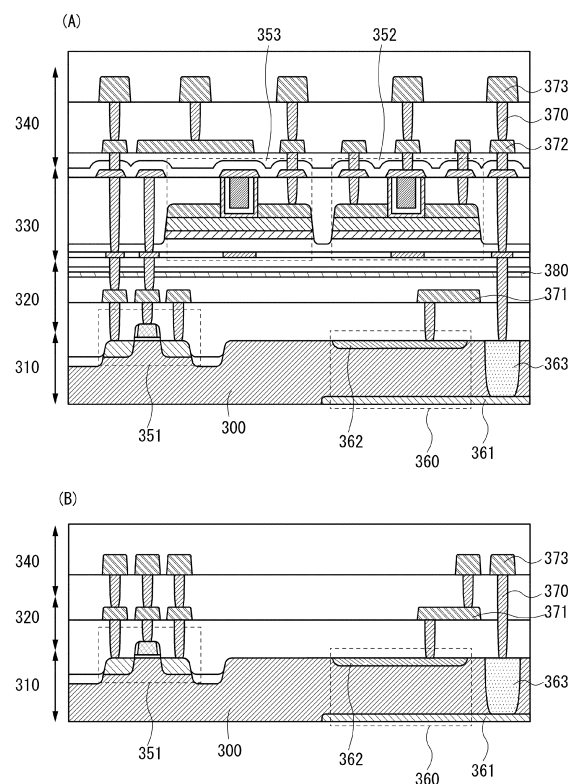
【 図 4 4 】



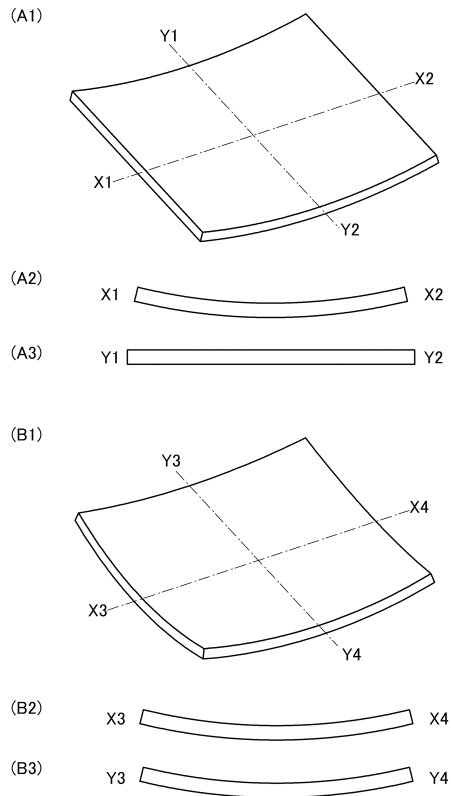
【 図 4 5 】



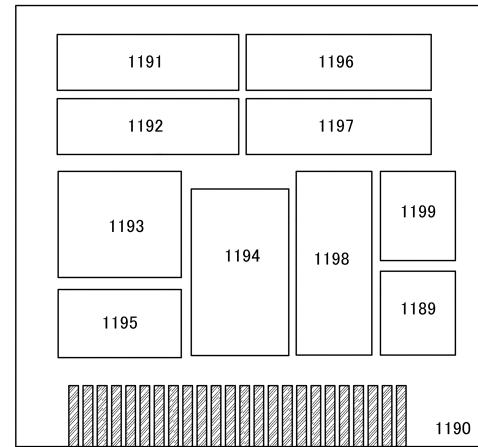
【 図 4 6 】



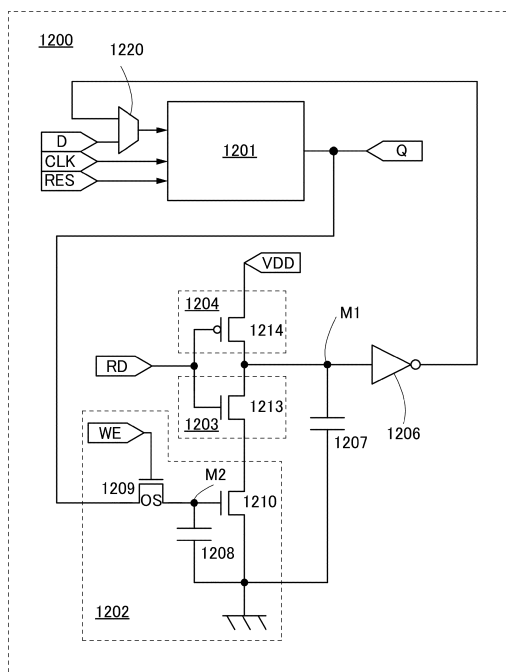
【図 47】



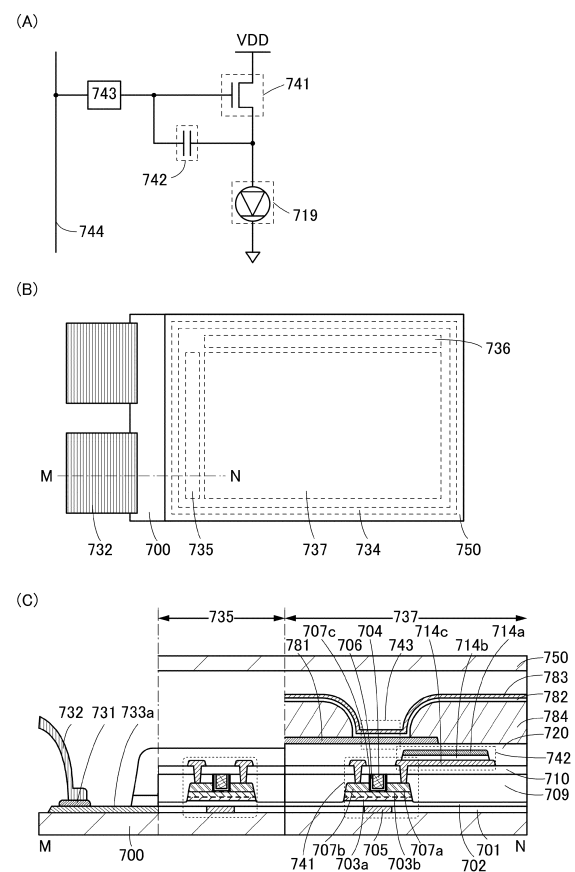
【図 48】



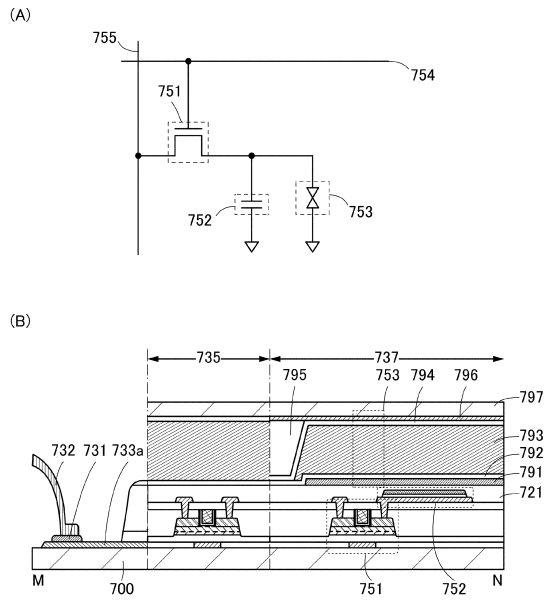
【図 49】



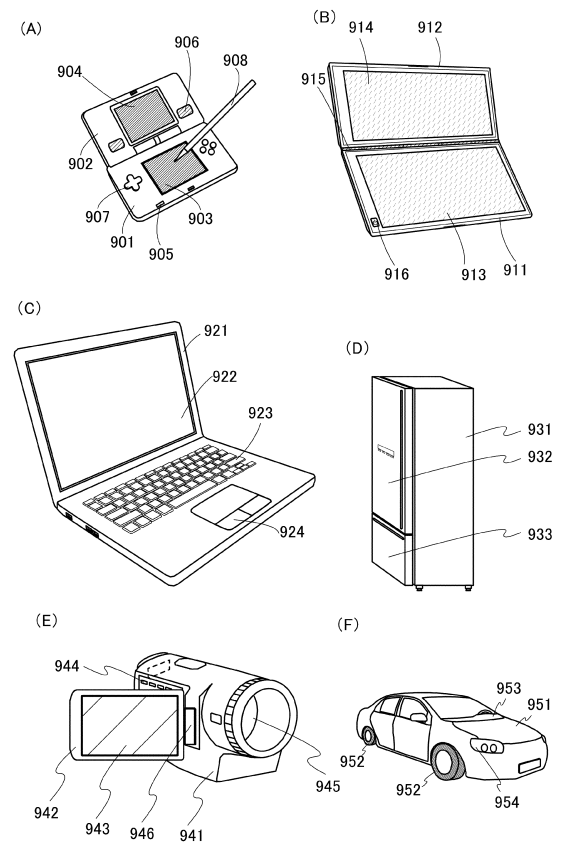
【図 50】



【図 5 1】



【図 5 2】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/788	(2006.01)	H 0 1 L	27/108	6 7 1 C
H 0 1 L	29/792	(2006.01)	H 0 1 L	27/108	6 7 1 Z
H 0 1 L	21/28	(2006.01)	H 0 1 L	27/108	6 2 1 Z
H 0 1 L	29/417	(2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	29/423	(2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	29/49	(2006.01)	H 0 1 L	29/50	M
H 0 1 L	21/8239	(2006.01)	H 0 1 L	29/58	G
H 0 1 L	27/105	(2006.01)	H 0 1 L	27/105	4 4 1
H 0 1 L	21/8234	(2006.01)	H 0 1 L	27/088	E
H 0 1 L	27/088	(2006.01)	H 0 1 L	27/092	G
H 0 1 L	21/8238	(2006.01)	H 0 1 L	27/146	A
H 0 1 L	27/092	(2006.01)	H 0 5 B	33/14	A
H 0 1 L	27/146	(2006.01)	H 0 5 B	33/14	Z
H 0 1 L	51/50	(2006.01)	H 0 5 B	33/10	
H 0 5 B	33/14	(2006.01)	G 0 2 F	1/1368	
H 0 5 B	33/10	(2006.01)			
G 0 2 F	1/1368	(2006.01)			

(56)参考文献 特開 2 0 1 4 - 0 0 7 3 9 3 (J P , A)
 特開 2 0 1 3 - 1 7 9 2 8 6 (J P , A)
 国際公開第 2 0 0 4 / 0 9 7 9 4 3 (W O , A 1)
 特開 2 0 0 4 - 0 7 9 7 2 2 (J P , A)
 特開 2 0 1 2 - 0 4 9 5 1 4 (J P , A)
 特開 2 0 1 0 - 2 6 3 2 1 6 (J P , A)
 特開 2 0 0 6 - 0 6 0 2 0 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 - 1 / 1 3 6 8 ,
 H 0 1 L 2 1 / 2 8 - 2 1 / 2 8 8 ,
 H 0 1 L 2 1 / 3 2 9 ,
 H 0 1 L 2 1 / 3 3 6 ,
 H 0 1 L 2 1 / 3 3 9 ,
 H 0 1 L 2 1 / 4 4 - 2 1 / 4 4 5 ,
 H 0 1 L 2 1 / 8 2 2 9 ,
 H 0 1 L 2 1 / 8 2 3 2 - 2 1 / 8 2 4 6 ,
 H 0 1 L 2 1 / 8 2 4 9 ,
 H 0 1 L 2 7 / 0 6 ,
 H 0 1 L 2 7 / 0 7 ,
 H 0 1 L 2 7 / 0 8 5 - 2 7 / 0 9 2 ,
 H 0 1 L 2 7 / 1 0 - 2 7 / 1 1 8 ,
 H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8 ,
 H 0 1 L 2 7 / 3 0 - 2 7 / 3 2 ,
 H 0 1 L 2 9 / 4 0 - 2 9 / 4 9 ,
 H 0 1 L 2 9 / 7 6 2 ,
 H 0 1 L 2 9 / 7 8 6 - 2 9 / 7 9 2 ,
 H 0 1 L 2 9 / 8 7 2 ,
 H 0 1 L 5 1 / 5 0 ,

H 0 5 B 3 3 / 0 0 - 3 3 / 2 8