

(21)申請案號：100142210

(22)申請日：中華民國 100 (2011) 年 11 月 18 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/772 (2006.01)

(30)優先權：2010/11/24 日本

2010-261270

(71)申請人：半導體元件工業有限責任公司 (美國) SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC (US)

美國

(72)發明人：武田安弘 TAKEDA, YASUHIRO (JP)；井上慎也 INOUE, SHINYA (JP)；大鶴雄三 OTSURU, YUZO (JP)

(74)代理人：洪武雄；陳昭誠

申請實體審查：有 申請專利範圍項數：4 項 圖式數：7 共 31 頁

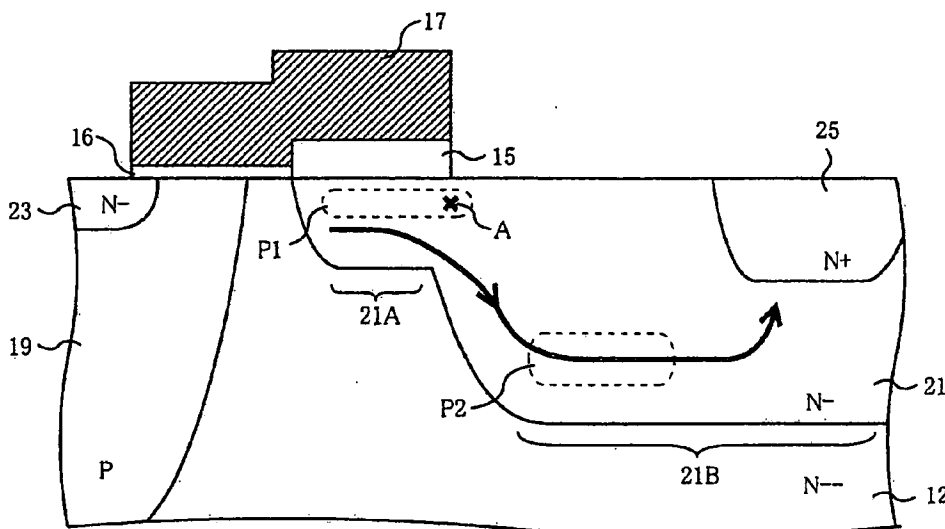
(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MAKING THE SEMICONDUCTOR DEVICE

(57)摘要

本發明係為減少在 LDMOS 電晶體之中，因摻雜於熱電子的閘極絕緣膜而導致時間之經過的電晶體特性惡化之現象。配置物體層 19 係配置於 N--型的半導體層 12 的表面。物體層 19 的表面係配置有含有 N-型層 23 之源極層。N--型的半導體層 12 的表面係形成有 N-型的漂移層 21。該漂移層 21 係由下述區域所構成：第 1 區域 21A，其係具有 N 型雜質濃度的峰值區域 P1；以及第 2 區域 21B，其係鄰接於該第 1 區域 21A，且於較 N 型雜質濃度的峰值區域 P1 更深的位置具有 N 型雜質濃度的峰值區域 P2。第 2 區域 21B 的表面係形成有 N+型的汲極層 25。



12：半導體層

15：厚的閘極絕緣膜

16：薄的閘極絕緣膜

17：閘極電極

19：物體層

21：漂移層

21A：第 1 區域

21B：第 2 區域

23：N-型層

25：汲極層

A：高電場區域

P1：峰值區域

P2：峰值區域

(21)申請案號：100142210

(22)申請日：中華民國 100 (2011) 年 11 月 18 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/772 (2006.01)

(30)優先權：2010/11/24 日本

2010-261270

(71)申請人：半導體元件工業有限責任公司 (美國) SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC (US)

美國

(72)發明人：武田安弘 TAKEDA, YASUHIRO (JP)；井上慎也 INOUE, SHINYA (JP)；大鶴雄三 OTSURU, YUZO (JP)

(74)代理人：洪武雄；陳昭誠

申請實體審查：有 申請專利範圍項數：4 項 圖式數：7 共 31 頁

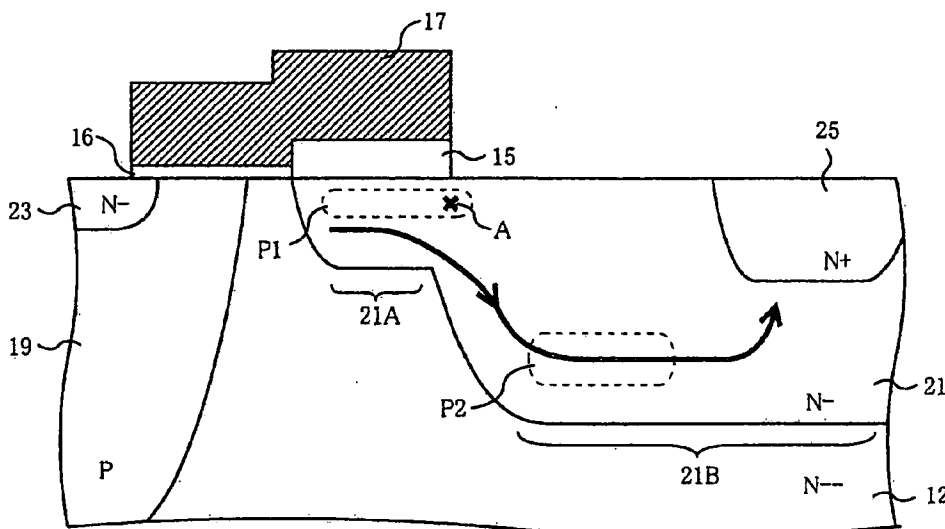
(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MAKING THE SEMICONDUCTOR DEVICE

(57)摘要

本發明係為減少在 LDMOS 電晶體之中，因摻雜於熱電子的閘極絕緣膜而導致時間之經過的電晶體特性惡化之現象。配置物體層 19 係配置於 N--型的半導體層 12 的表面。物體層 19 的表面係配置有含有 N-型層 23 之源極層。N--型的半導體層 12 的表面係形成有 N-型的漂移層 21。該漂移層 21 係由下述區域所構成：第 1 區域 21A，其係具有 N 型雜質濃度的峰值區域 P1；以及第 2 區域 21B，其係鄰接於該第 1 區域 21A，且於較 N 型雜質濃度的峰值區域 P1 更深的位置具有 N 型雜質濃度的峰值區域 P2。第 2 區域 21B 的表面係形成有 N+型的汲極層 25。



12：半導體層

15：厚的閘極絕緣膜

16：薄的閘極絕緣膜

17：閘極電極

19：物體層

21：漂移層

21A：第 1 區域

21B：第 2 區域

23：N-型層

25：汲極層

A：高電場區域

P1：峰值區域

P2：峰值區域

六、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體裝置及其製造方法，特別是有關於具有高耐壓的金屬氧化物半導體(Metal Oxide Semiconductor；MOS)構造之半導體裝置及其製造方法。

【先前技術】

LDMOS 電晶體(transistor)和絕緣閘極雙極性電晶體(Insulated Gate Bipolar Transistor；IGBT)相較於雙極(bipolar)型的功率(power)電晶體，由於其轉換特性為優良，特性亦穩定，且易於使用，故被廣泛地使用於 DC—DC 轉換器(converter)等之轉換電源或照明機器之反相器(inverter)電路、及馬達之反相器電路等。又，所謂 LDMOS 係意指簡稱為 Lateral Double Diffused Metal Oxide Semiconductor 之橫方向雙重擴散 MOS。

在 LDMOS 電晶體當中，為了達成高耐壓化、以及細微化，係採用設置補償(offset)裝置於閘極(gate)和汲極(drain)之間的補償閘極(offset gate)構造。第 7 圖係表示該 LDMOS 電晶體之其中 1 種區域矽氧化法(Local Oxidation of Silicon；LOCOS)補償構造之剖面圖。

如圖示，於磊晶(epitaxial)層所形成的 N—型的半導體層 110 的表面形成有 N—型的漂移(drift)層 111、N+型的汲極層 112、P 型的物體層 113、以及 N+型的源極層 114。源極層 114 係形成於物體層 113 的表面。

此外，半導體層 110 的表面係閘極絕緣膜 115 和 LOCOS

絕緣膜 116 為鄰接而形成，閘極絕緣膜 115 上方、以及 LOCOS 絕緣膜 116 的一部分上方形成有閘極電極 117。漂移層 111 係形成於 LOCOS 絕緣膜 116 的下方之半導體層 110 的表面。

根據該 LDMOS 電晶體，由於閘極電極 117 的端部係配置於厚的 LOCOS 絕緣膜 116 上方，且閘極電極 117 的端部係遠離汲極層 112，故能取得高的汲極耐壓。

有關於高耐壓的 MOS 電晶體係揭示於專利文獻 1~ 3。

[先前技術文獻]

(專利文獻)

專利文獻 1：日本特開平 8—236754 號公報

專利文獻 2：日本特開平 9—223793 號公報

專利文獻 3：日本特開 2002—176173 號公報

【發明內容】

(發明欲解決的課題)

第 7 圖之 LDMOS 電晶體係將磷(P)予以離子(ion)注入於半導體層 110 的表面，其後，將半導體層 110 的表面進行選擇氧化，藉此而形成 LOCOS 絕緣膜 116，並形成 N—型的漂移層 111 於 LOCOS 絕緣膜 116 的下方。進行該選擇氧化時，則堆積(pile-up)磷於 LOCOS 絕緣膜 116 和漂移層 111 的界面附近。據此，而於該界面附近存在著 N 型雜質濃度的峰值區域。

因此，當導通(on)LDMOS 電晶體時，根據源極層 114 和汲極層 112 的電位差而流動的電子則如第 7 圖的箭頭所

示，沿著 LOCOS 絕緣膜 116 和漂移層 111 的界面而流通漂移層 111 的表面。

該情形時，存在著 N 型雜質濃度的峰值區域之 LOCOS 絕緣膜 116 和漂移層 111 的界面，由於其空乏層難以擴大，故於閘極電極 117 的端部下方之漂移層 111 的表面產生高電場區域 B。

於該高電場區域 B 進行加速，取得大能量(energy)的熱電子(hot electron)即跨越存在於漂移層 111 和 LOCOS 絕緣膜 116 之間的電位障壁而摻雜於 LOCOS 絕緣膜 116 之中。因此，會有漂移層 111 的電子濃度下降而導通電阻上升等，因時間經過而使 LDMOS 電晶體的特性產生變動之信賴性上的問題。

解決課題之手段：

本發明之半導體裝置係具備：

第 1 導電型之半導體基板；

第 2 導電型之磊晶層，係形成於前述半導體基板上；

第 2 導電型之填充層，係形成於前述半導體基板和前述磊晶層的境界區域；

第 1 導電型之元件分離層，係形成於前述磊晶層之中；

第 1 導電型之物體層，係形成於前述磊晶層的表面；

第 2 導電型之源極層，係形成於前述物體層的表面；

第 2 導電型之漂移層，係形成於以前述元件分離層所圍繞之前述磊晶層的表面，且具備具有第 1 雜質濃度的峰值區域之第 1 區域、以及鄰接於該第 1 區域，且於較前述

第 1 雜質濃度的峰值區域更深的位置具有第 2 雜質濃度的峰值區域之第 2 區域；

第 2 導電型之汲極層，係配置於前述第 2 區域的表面；

第 1 導電型之汲極分離層，係於前述磊晶層之中，和前述物體層相接觸，且圍繞前述漂移層而形成；

閘極絕緣膜，係形成於前述磊晶層的表面；以及

閘極電極，係形成於前述閘極絕緣膜上。

此外，本發明之半導體裝置之製造方法，其特徵在於，係具備：

於第 1 導電型之半導體基板上形成含有第 1 導電型之元件分離層的第 2 導電型之磊晶層，並且亦於被前述元件分離層所圍繞的前述磊晶層之中形成第 1 導電型之汲極分離層之步驟；

在被前述汲極分離層所圍繞之區域，將厚的閘極絕緣膜、以及和該厚的閘極絕緣膜接觸之薄的閘極絕緣膜形成於前述磊晶層的表面之步驟；

以能跨越前述厚的閘極絕緣膜和前述薄的閘極絕緣膜之方式而形成閘極電極之步驟；

將具有開口部的第 1 抗蝕劑(resist)層形成於前述薄的閘極絕緣膜上，並將該第 1 抗蝕劑層作為遮罩(mask)，而將第 1 導電型的雜質予以離子注入於前述磊晶層的表面，據此而將第 1 導電型之物體層形成於前述磊晶層的表面之步驟；

將具有開口部的第 2 抗蝕劑層形成於前述厚的閘極絕

緣膜上，並將該第 2 抗蝕劑層作為遮罩，而通過前述閘極電極和前述厚的閘極絕緣膜，以將第 2 導電型的雜質予以離子注入於前述磊晶層之中，據此而形成具備具有第 1 雜質濃度的峰值區域之第 1 區域、以及鄰接於該第 1 區域，且於較前述第 1 雜質濃度的峰值區域更深的位置具有第 2 雜質濃度的峰值區域之第 2 區域的第 2 導電型之漂移層之步驟；

將第 2 導電型之源極層形成於前述物體層的表面之步驟；以及

將第 2 導電型之汲極層形成於前述漂移層之前述第 2 區域的表面之步驟。

發明之功效：

根據本發明，即能減少因熱電子的摻雜而導致因時間經過而使 LDMOS 電晶體特性產生變動。

【實施方式】

根據圖式以說明本發明之實施形態的半導體裝置。第 1 圖係為顯示該半導體裝置之剖面圖。第 2 圖為顯示第 1 圖之漂移層 21 及其附近之部分擴大圖。該半導體裝置係為具有補償閘極構造之 LDMOS 電晶體。

如第 1 圖所示，N—型的半導體層 12 係藉由磊晶成長而形成於由矽基板等所構成的 P 型之半導體基板 10 上方。N+ 型的埋層 11 形成於半導體基板 10 和半導體層 12 的境界區域。

自埋層 11 朝水平方向（相對於半導體基板 10 的表

面為平行方向)離開的半導體層 12 之中係形成 P+ 型的元件分離層 13。被該元件分離層 13 圍繞的半導體層 12 之中係形成有 P+ 型的汲極分離層 40。汲極分離層 40 係由朝水平方向(相對於半導體基板 10 的表面為平行方向)延伸的下分離層部 40a、40b、以及接觸下分離層部 40b，並朝垂直方向(相對於半導體基板 10 的表面為垂直方向)延伸的上分離層部 40c、及 40d 所構成。元件分離層 13 和汲極分離層 40 的上分離層部 40c 之上係形成有 LOCOS 絕緣膜 14。元件分離層 13 係以自半導體基板 10 接觸 LOCOS 絕緣膜 14 的底部的方式而朝垂直方向延伸。此外，汲極分離層 40 的上分離層部 40c 係以自汲極分離層 40 的下分離層部 40b 接觸 LOCOS 絕緣膜 14 的底部的方式而朝垂直方向延伸。LDMOS 電晶體係形成於被該汲極分離層 40 所圍繞而和半導體基板 10 作電性分離的半導體層 12 之中。

半導體層 12 的表面係以接觸汲極分離層 40 的上分離層部 40d 之方式而形成 P 型的物體層 19。該物體層 19 的表面係形成由 N-型層 23 以及 N+型層 24 所構成之源極層，且鄰接於 N+型層 24 而形成有 P+型層 26。

物體層 19 之附近之半導體層 12 的表面係配置有由一體地形成之第 1 區域 21A 和第 2 區域 21B 所構成之漂移層 21。漂移層 21 之第 2 區域 21B 和第 1 區域 21A 係鄰接於平行方向且作接觸。第 2 區域 21B 相較於第 1 區域 21A，其係自半導體層 12 的表面更深於垂直方向而形成。

半導體層 12 的表面係形成有由具有厚的膜厚之厚的

閘極絕緣膜 15、以及具有薄的閘極膜厚之薄的閘極絕緣膜 16 所構成之閘極絕緣膜。厚的閘極絕緣膜 15 係形成於漂移層 21 之第 1 區域 21A 的表面上，薄的閘極絕緣膜 16 係形成於物體層 19 的端部的表面上。厚的閘極絕緣膜 15 和薄的閘極絕緣膜 16 係接觸於水平方向。

閘極電極 17 係跨越此等之厚的閘極絕緣膜 15 和薄的閘極絕緣膜 16 上方而形成。閘極電極 17 的側壁係形成有由矽(silicon)氧化膜等之絕緣物所構成之側壁(side wall)22。

此外，N+型的汲極層 25 係形成於漂移層 21 之第 2 區域 21B 的表面之自第 1 區域 21A 離開之位置。亦即，N+型的汲極層 25 和第 1 區域 21A 之間係有 N-型之第 2 區域 21B 的區域，且當施加高電壓於汲極層 25 時，由於空乏層於該區域擴大，故能獲得高的汲極耐壓。

又，汲極分離層 40 係在半導體層 12 之中，和物體層 19 接觸，並包圍漂移層 21、以及汲極層 25 而形成。根據該構成，漂移層 21 以及汲極層 25 係藉由汲極分離層 40 而和 P 型的半導體基板 10 作電性分離。因此，相較於未形成汲極分離層 40 之情形，則能大幅減少自汲極層 25 而流通於半導體基板 10 的漏電流。

汲極層 25、N+型層 24、P+型層 26、以及閘極電極 17 的各表面係由鈦矽化物等之矽化物(silicide)層 27 所包覆。此外，形成閘極電極 17 等之半導體層 12 上係形成層間絕緣膜 28。形成於該層間絕緣膜 28 的開口部 28A 係

形成有電極 29A，電極 29A 係中介矽化物層 27 而電性連接於 N+ 型層 24、以及 P+ 型層 26。該電極 29A 係連接於源極配線 30A。

此外，形成於層間絕緣膜 28 的開口部 28B 係形成有電極 29B，電極 29B 係中介矽化物層 27 而電性連接於汲極層 25。該電極 29B 係連接於汲極配線 30B。

繼而根據第 2 圖而說明 N- 型之漂移層 21 的詳細構成。漂移層 21 的第 1 區域 21A 之 N 型雜質濃度的峰值區域 P1 係為第 1 區域 21A 的表面，且位置厚的閘極絕緣膜 15 和漂移層 21 之界面附近。另一方面，第 2 區域 21B 之 N 型雜質濃度的峰值區域 P2 係較第 1 區域 21A 之 N 型雜質濃度的峰值區域 P1 位於垂直方向更深的位置。

當藉由施加臨界值以上的電壓於閘極電極 17 而使 LDMOS 電晶體導通，且將汲極層 25 的電位作成高於源極層 (N- 型層 23 和 N+ 型層 24) 的電位時，電子電流即經由自源極層反轉之物體層 19 (通道(channel)區域)、漂移層 21 而流通於汲極層 25。如此，則流通漂移層 21 的電子大致均自第 1 區域 21A 之 N 型雜質濃度的峰值區域 P1 而朝向較其位於更深位置之第 2 區域 21B 之 N 型雜質濃度的峰值區域 P2 流動，且於汲極層 25 被吸收。

此時，由於在第 1 區域 21A 之 N 型雜質濃度的峰值區域 P1 之空乏層係難以變寬，故於汲極層 25 側之閘極電極 17 的端部附近，高電場區域 A 產生於漂移層 21 的表面附近。假設，當第 2 區域 21B 之深的位置未存在 N 型雜質濃

度的峰值區域 P2 時，則流通漂移層 21 的電子即大多數沿著漂移層 21 的表面而朝向汲極層 25。該大多數之電子係藉由高電場區域 A 而加速，並成為獲得大能量之熱電子，且跨越漂移層 21 和厚的閘極絕緣膜 15 之電位障壁而摻雜於第 1 區域 21A 上方之厚的閘極絕緣膜 15 之中。因此，漂移層 21 的電子濃度下降而導通電阻上升，而 LDMOS 電晶體的特性恐有因時間經過而產生大的變動之虞。

相對於此，本實施形態由於電子係朝向漂移層 21 的深部，亦即第 2 區域 21B 之 N 型雜質濃度的峰值區域 P2 而靠近，故流通於高電場區域 A 的電子數量減少，且摻雜於第 1 區域 21A 上方之厚的閘極絕緣膜 15 之熱電子數量變為極少。據此，即能回避伴隨著漂移層 21 的表面附近之電子濃度降低而使導通電阻上升之情形，且能極力減少因時間經過而使 LDMOS 電晶體的特性產生變動。

此外，由於電子係流通漂移層 21 的深部，故於該時段產生於漂移層 21 的焦耳(joule)熱即易於傳導於半導體基板 10 而被放出。據此，即使於流通大電流於 LDMOS 電晶體時，亦由於對上述焦耳熱所產生的元件破壞提高耐性，故安全動作區域擴大。

繼而參照圖式並說明上述半導體裝置之製造方法。第 3 圖至第 6 圖係為顯示該半導體裝置之製造方法之剖面圖。

首先，如第 3 圖所示，於由矽基板等所構成之 P 型的半導體基板 10 的表面注入銻(antimony)等之 N 型的雜質而形成 N⁺ 型的埋層 11。繼而於半導體基板 10 的表面注入

硼(boron)等之P型的雜質而將P+型的填埋層(未圖示)形成於P+型的元件分離層13的形成區域。與此同時，亦於填埋層11的表面上注入硼等之P型的雜質，而形成P+型的填埋層(未圖示)。其後，藉由磊晶成長而形成N—型的半導體層12(亦即磊晶層)於半導體基板10上。

於該半導體層12形成時，N+型的填埋層11係自半導體基板10的表面而朝半導體層12之中擴散。據此，填埋層11即形成於半導體基板10和半導體層12的境界區域。同樣地，P型的元件分離層13之形成區域的P+型的填埋層(未圖示)係於形成半導體層12時，由半導體層12之中朝上方和下方擴散，並成為元件分離層13的下分離區域13a。此外，填埋層11的表面上之P+型的填埋層係朝N+型的填埋層11之上方和下方擴散，並成為汲極分離層40的下分離層部40a、及40b。

接著，藉由將硼等之P型的雜質自半導體層12的表面朝下方擴散，於形成元件分離層13的上分離層部13b的同時，亦形成P+型的汲極分離層40的上分離層部40c、及40d。

P+型的元件分離層13的上分離層部13b和下分離層部13a的前端部係相接觸而一體化。此外，汲極分離層40的上分離層部40c、及40d的前端部(底部)係相接觸而一體化。

其後，形成元件分離層13和汲極分離層40的上分離層部40c之區域的半導體層12的表面係形成LOCOS絕緣膜

14。LOCOS 絕緣膜 14 的膜厚係例如為 200nm。

接著，例如將由矽氧化膜所構成之厚的閘極絕緣膜 15 形成於半導體層 12 的表面，且鄰接於 LOCOS 絕緣膜 14。厚的閘極絕緣膜 15 係例如藉由熱氧化形成例如 40nm 至 50nm 的膜厚。厚的閘極絕緣膜 15 的一部份係以設置開口部 15A 的方式而藉由蝕刻(etching)選擇性地予以去除。開口部 15A 的一部份係以和汲極分離層 40 的上分離層部 40d 相重疊之方式而設置。其後，再度藉由熱氧化而於該開口部 15A 之半導體層 12 的表面形成由矽氧化膜等所構成之薄的閘極絕緣膜 16。薄的閘極絕緣膜 16 相較於厚的閘極絕緣膜 15 為更薄，例如大約為 10nm。

接著，如第 4 圖所示，在開口部 15A 的端部，亦即在厚的閘極絕緣膜 15 和薄的閘極絕緣膜 16 的接合部附近，係以由厚的閘極絕緣膜 15 的一部分上方跨越於薄的閘極絕緣膜 16 的一部分上方之方式而形成閘極電極 17。閘極電極 17 係例如由多晶矽(polysilicon)所形成，且具有大約 200nm 的膜厚。又，第 4 圖之例係顯示一對的閘極電極 17 以預定的間隔而平行於半導體基板 10 的表面形成為條紋(stripe)狀之情形。

接著形成覆蓋 LOCOS 絕緣膜 14、厚的閘極絕緣膜 15、以及閘極電極 17 的一部分之抗蝕劑層 18。抗蝕劑層 18 係於薄的閘極絕緣膜 16 上具有開口部 18A，且包覆其他的區域。將該抗蝕劑層 18 作為遮罩，並將 P 型的雜質例如硼予以離子注入於半導體層 12，藉此而將 P 型的物體層 19 形

成於含有汲極分離層 40 的上分離層部 40d 的表面之半導體層 12 的表面。又，由於物體層 19 的端部係成為通道區域，故物體層 19 係宜為在平行於半導體基板 10 的表面之方向，形成為較汲極分離層 40 的上分離層部 40d 更擴大。以此時的離子注入條件而言，係例如加速能量為 60keV，且劑量為 $5.0 \times 10^{12}/\text{cm}^2$ 。

其後，在抗蝕劑層 18 去除之後，例如以大約 1000℃ 進行快速熱退火(Rapid Thermal Anneal; RTA)處理大約 10 秒鐘。

接著，如第 5 圖所示，形成覆蓋 LOCOS 絕緣膜 14 上方、以及閘極電極 17 的一部分上方之抗蝕劑層 20。抗蝕劑層 20 係於厚的閘極絕緣膜 15 上方具有開口部 20A，且覆蓋其他的區域。又，開口部 20A 亦可形成為擴展至物體層 19 的附近為止。

將該抗蝕劑層 20 作為遮罩，並透過開口部 20A 內之厚的閘極絕緣膜 15、以及閘極電極 17，而將 N 型的雜質例如磷予以離子注入於半導體層 12 之中，藉此而將 N 型的漂移層 21 形成於半導體層 12 的表面。漂移層 21 係具有第 1 區域 21A、及在平行於半導體基板 10 的表面之方向和第 1 區域 21A 連續而鄰接之第 2 區域 21B，且一體而形成。

在該離子注入當中，由於第 1 區域 21A 係 N 型的雜質通過形成於其上之厚的閘極絕緣膜 15、以及閘極電極 17 而形成，故淺層而形成於半導體層 12 的表面。另一方面，由於第 2 區域 21B 係 N 型的雜質通過形成於其上之厚的閘

極絕緣膜 15 而形成，故較第 1 區域 21A 更深而形成於半導體層 12 的表面。

此外，當著眼於第 1 區域 21A 和第 2 區域 21B 的 N 型雜質濃度時，如使用第 2 圖之說明，第 1 區域 21A 之 N 型雜質濃度的峰值區域 P1 係能形成於距離第 1 區域 21A 的表面數 nm 的深度。

相對於此，第 2 區域 21B 之 N 型雜質濃度的峰值區域 P2 係位於較第 1 區域 21A 之 N 型雜質濃度的峰值區域 P1 更深的位置，且能形成於距第 2 區域 21B 的表面大約 200nm 的深度。此時的離子注入條件係加速能量大約為 300keV，且劑量(dose)大約為 $3.0 \times 10^{12}/\text{m}^2$ 。

又，峰值區域 P1、P2 之 N 型雜質濃度雖例如大約為 $1.0 \times 10^{17}/\text{cm}^3$ ，但，亦可因應於離子注入條件、或其他條件(半導體層 12 的 N 型雜質濃度)而為其以外之濃度。

接著，在去除抗蝕劑層 20 之後，如第 6 圖所示，將閘極電極 17 作為遮罩，且將厚的閘極絕緣膜 15、以及薄的閘極絕緣膜 16 進行蝕刻而予以去除。據此，厚的閘極絕緣膜 15、以及薄的閘極絕緣膜 16 則僅殘留於閘極電極 17 的下方。

又，成為蝕刻對象的區域之厚的閘極絕緣膜 15 以及薄的閘極絕緣膜 16 亦可不完全去除，而使其薄化殘留作為後續之離子注入工程的損害防止膜。或者，亦可在完全去除成為蝕刻對象的區域之厚的閘極絕緣膜 15 以及薄的閘極絕緣膜 16 之後，淺薄地形成由其他的絕緣膜等所構成之

損害(damage)防止膜。

此外，將未圖示之抗蝕劑層作為遮罩，並將 N 型的雜質例如磷予以離子注入於物體層 19，藉此而將 N-型層 23 形成於閘極電極 17 的端部附近之物體層 19。其後，該抗蝕劑層則被去除。

接著，將由矽氧化膜等絕緣膜所構成之側壁 22 形成於閘極電極 17 的側壁。接著，因應必要，而形成包覆半導體層 12 上方的全面之未圖示之矽氮化膜。該矽氮化膜為透過雜質離子者，亦作為離子注入時之損害防止層的功能。形成時之矽氮化膜的膜厚為例如大約 10nm。

接著，將未圖示之抗蝕劑層作為遮罩，並將 N 型之雜質例如砷予以離子注入於物體層 19 之 N-型層 23、以及漂移層 21 之第 2 區域 21B 的表面。據此，物體層 19 的表面係和 N-型層 23 鄰接而形成 N+型層 24，並形成由 N-型層 23 和 N+型層 24 所構成之 LDD 構造的源極層。另一方面，漂移層 21 的表面係形成 N+型的汲極層 25。其後，該抗蝕劑層則被去除。

接著，將和上述不同的未圖示之抗蝕劑層作為遮罩，並將 P 型之雜質例如硼予以離子注入於物體層 19，藉此而形成用以將物體層 19、以及汲極分離層 40 固定於源極電位之 P+型層 26。其後，在去除該抗蝕劑層之後，例如以大約 1000°C 而進行 RTA 處理大約 10 秒鐘。

接著，如第 1 圖所示，於 N+型層 24 和 P+型層 26 的各上表面形成鈦矽化物等之矽化物層 27。該矽化物層 27

亦形成於閘極電極 17 和汲極層 25 的各表面。其後，包覆半導體層 12 上方的全面而形成由硼磷矽玻璃(BPSG)等所構成之層間絕緣膜 28。層間絕緣膜 28 係設置開口部 28A、28B，且各開口部 28A、28B 內係分別形成由鎢(tungsten)等所構成之電極 29A、29B。此外，在層間絕緣膜 28 上方係藉由鋁等而形成和電極 29A 相連接之源極配線 30A、以及和電極 29B 相連接之汲極配線 30B。

又，本發明並非限定於上述實施形態，自不待言，亦可於不脫離其要旨之範圍內作變更。

例如，上述實施形態雖係說明 LDMOS 電晶體為 N 通道型者之情形，但，本發明亦適用於 LDMOS 電晶體為 P 通道型者之情形。

【圖式簡單說明】

第 1 圖係為顯示本發明之實施形態的半導體裝置及其製造方法之剖面圖。

第 2 圖係為顯示第 1 圖之漂移層及其附近之部分擴大圖。

第 3 圖係為顯示本發明之實施形態的半導體裝置之製造方法之剖面圖。

第 4 圖係為顯示本發明之實施形態的半導體裝置之製造方法之剖面圖。

第 5 圖係為顯示本發明之實施形態的半導體裝置之製造方法之剖面圖。

第 6 圖係為顯示本發明之實施形態的半導體裝置之製

造方法之剖面圖。

第 7 圖係為顯示習知例之半導體裝置之剖面圖。

【主要元件符號說明】

10	半導體基板	11	填埋層
12、110	半導體層	13	元件分離層
13a、40a、40b	下分離層部		
13b、40c、40d	上分離層部		
14、116	LOCOS 絕緣膜	15	厚的閘極絕緣膜
15A、18A、28A、28B	開口部		
16	薄的閘極絕緣膜	17、117	閘極電極
18、20	抗蝕劑層	19、113	物體層
21、111	漂移層	21A	第 1 區域
21B	第 2 區域	22	側壁
23	N—型層	24	N+ 型層
25、112	汲極層	26	P+ 型層
27	矽化物層	28	層間絕緣膜
29A、29B	電極	30A、30B	源極配線
40	汲極分離層	114	源極層
A	高電場區域	P1、P2	峰值區域

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100142210

※申請日：100.11.18 ※IPC 分類：

H01L 21/336 (2006.01)

H01L 29/772 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MAKING THE
SEMICONDUCTOR DEVICE

二、中文發明摘要：

本發明係為減少在 LDMOS 電晶體之中，因摻雜於熱電子的閘極絕緣膜而導致時間之經過的電晶體特性惡化之現象。

配置物體層 19 係配置於 N—型的半導體層 12 的表面。物體層 19 的表面係配置有含有 N—型層 23 之源極層。N—型的半導體層 12 的表面係形成有 N—型的漂移層 21。該漂移層 21 係由下述區域所構成：

第 1 區域 21A，其係具有 N 型雜質濃度的峰值區域 P1；
以及

第 2 區域 21B，其係鄰接於該第 1 區域 21A，且於較 N 型雜質濃度的峰值區域 P1 更深的位置具有 N 型雜質濃度的峰值區域 P2。第 2 區域 21B 的表面係形成有 N+ 型的汲極層 25。

三、英文發明摘要：

This invention provides a semiconductor device, which is an LDMOS transistor, in which a deterioration by aging of the transistor characteristics due to the electrons being trapped in a gate insulation film can be reduced. In an LDMOS transistor a body layer 19 is provided on the surface of an N--type semiconductor layer 12. A source layer containing an N-type layer 23 is provided on the body layer 19. An N-type drift layer 21 is formed on the surface of the N--type semiconductor layer 12. This drift layer 21 is constituted by a first region 21A having a peak region P1 of an N type dopant concentration, and a second region 21B having a peak region P2 of the N type dopant concentration at a position deeper than the peak region P1 of the N type dopant concentration. An N+type drain layer 25 is formed on the surface of the second region 21B.

七、申請專利範圍：

1. 一種半導體裝置，其特徵在於，具備：

第 1 導電型之半導體基板；

第 2 導電型之磊晶層，係形成於前述半導體基板上；

第 2 導電型之填充層，係形成於前述半導體基板和前述磊晶層的境界區域；

第 1 導電型之元件分離層，係形成於前述磊晶層之中；

第 1 導電型之物體層，係形成於前述磊晶層的表面；

第 2 導電型之源極層，係形成於前述物體層的表面；

第 2 導電型之漂移層，係具備形成於由前述元件分離層所圍繞之前述磊晶層的表面，且具有第 1 雜質濃度的峰值區域之第 1 區域、以及鄰接於該第 1 區域，且於較前述第 1 雜質濃度的峰值區域更深的位置具有第 2 雜質濃度的峰值區域之第 2 區域；

第 2 導電型之汲極層，係配置於前述第 2 區域的表面；

第 1 導電型之汲極分離層，係於前述磊晶層之中，和前述物體層相接觸，且圍繞前述漂移層而形成；

閘極絕緣膜，係形成於前述磊晶層的表面；以及

閘極電極，係形成於前述閘極絕緣膜上。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中

前述閘極絕緣膜係由薄的閘極絕緣膜、以及和該薄的閘極絕緣膜鄰接而形成之厚的閘極絕緣膜所形成，

前述物體層的端部和前述薄的閘極絕緣膜為重疊，且前述第 1 區域的端部和前述閘極電極為重疊。

3. 如申請專利範圍第 1 項或 2 項所述之半導體裝置，其中

前述汲極層係自前述第 1 區域隔離而形成。

4. 一種半導體裝置之製造方法，其特徵在於，具備：

於第 1 導電型之半導體基板上形成含有第 1 導電型之元件分離層的第 2 導電型之磊晶層，並且亦於被前述元件分離層所圍繞的前述磊晶層之中形成第 1 導電型的汲極分離層之步驟；

在被前述汲極分離層所圍繞之區域，將厚的閘極絕緣膜、以及和該厚的閘極絕緣膜接觸之薄的閘極絕緣膜形成於前述磊晶層的表面之步驟；

以能跨越前述厚的閘極絕緣膜和前述薄的閘極絕緣膜之方式而形成閘極電極之步驟；

將具有開口部的第 1 抗蝕劑層形成於前述薄的閘極絕緣膜上，並將該第 1 抗蝕劑層作為遮罩，而將第 1 導電型的雜質予以離子注入於前述磊晶層的表面，據此而將第 1 導電型之物體層形成於前述磊晶層的表面之步驟；

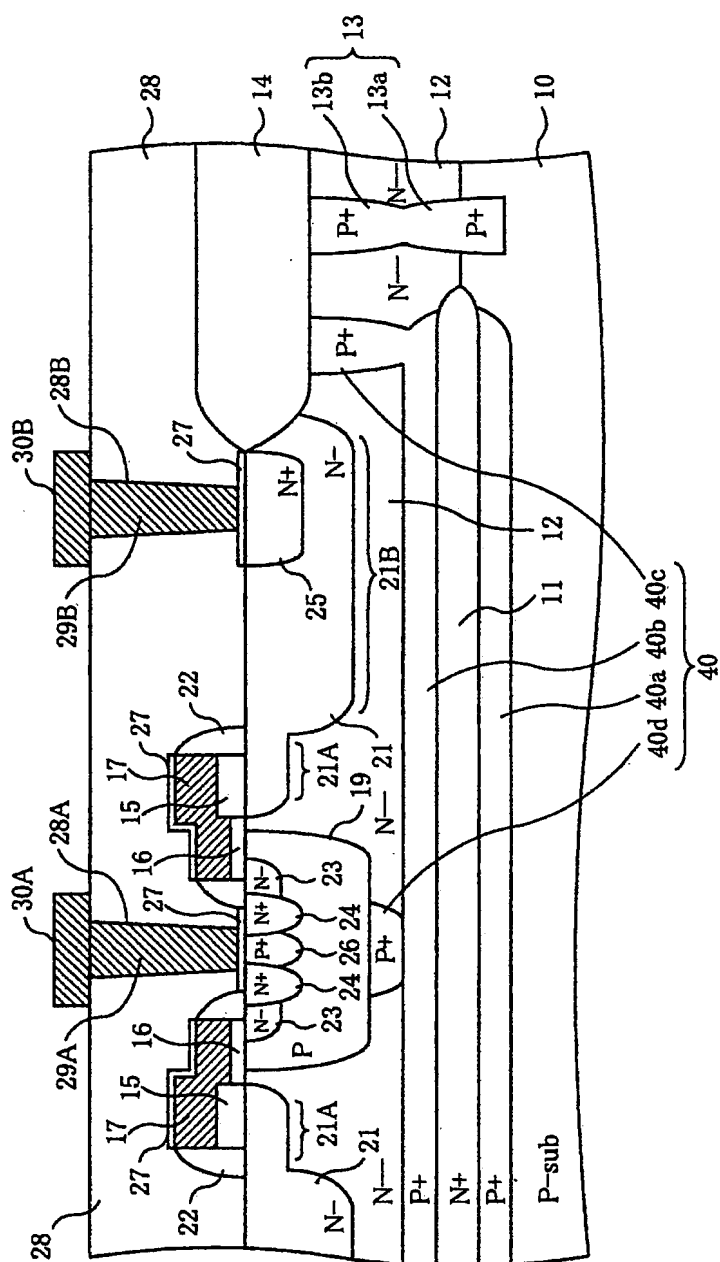
將具有開口部的第 2 抗蝕劑層形成於前述厚的閘極絕緣膜上，並將該第 2 抗蝕劑層作為遮罩，而通過前

述閘極電極和前述厚的閘極絕緣膜，以將第 2 導電型的雜質予以離子注入於前述磊晶層之中，據此而形成具備具有第 1 雜質濃度的峰值區域之第 1 區域、以及鄰接於該第 1 區域，且於較前述第 1 雜質濃度的峰值區域更深的位置具有第 2 雜質濃度的峰值區域之第 2 區域的第 2 導電型的漂移層之步驟；

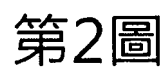
將第 2 導電型之源極層形成於前述物體層的表面之步驟；以及

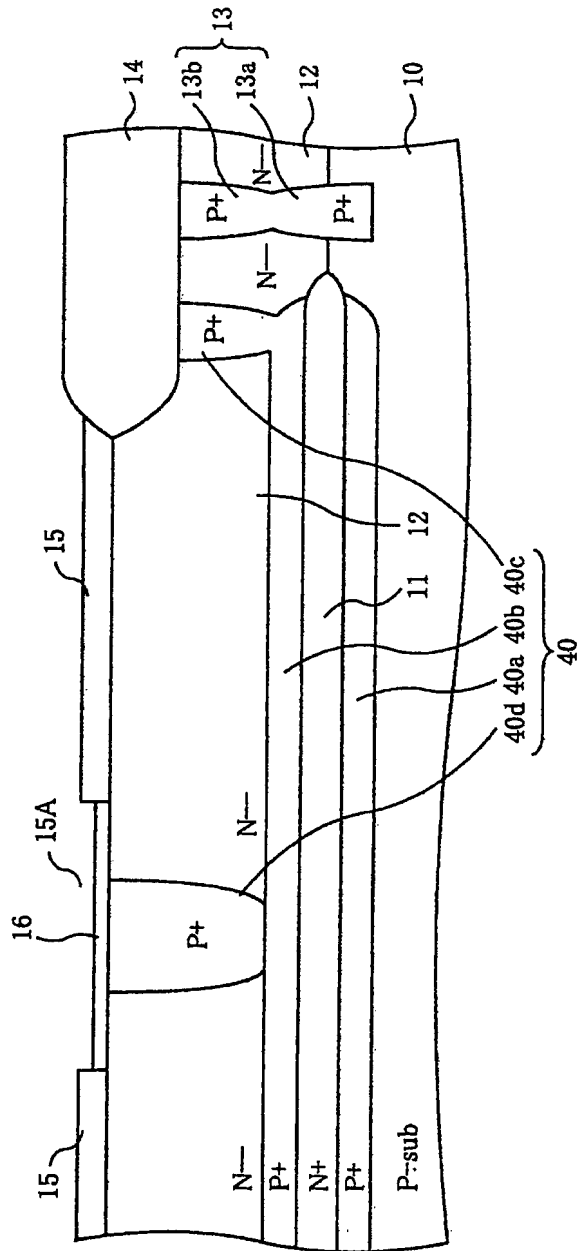
將第 2 導電型之汲極層形成於前述漂移層之前述第 2 區域的表面之步驟。

八、圖式：

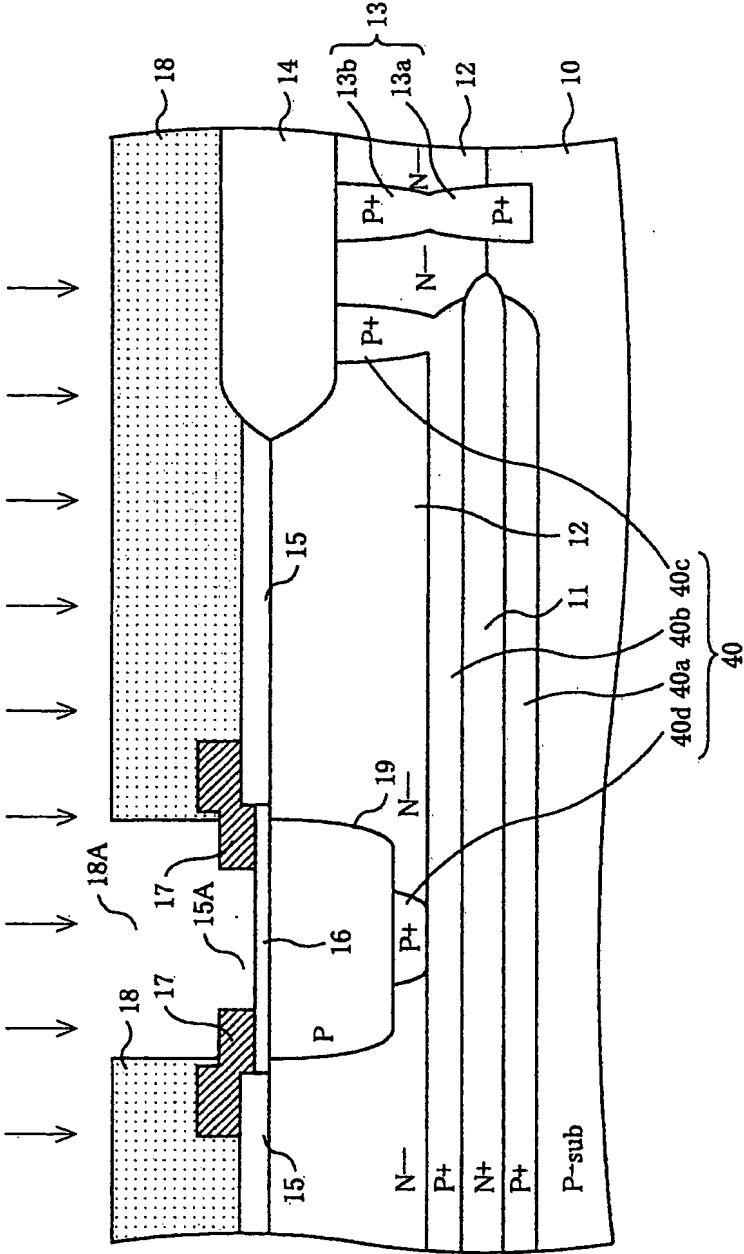


圖一錄





第3圖



第4圖

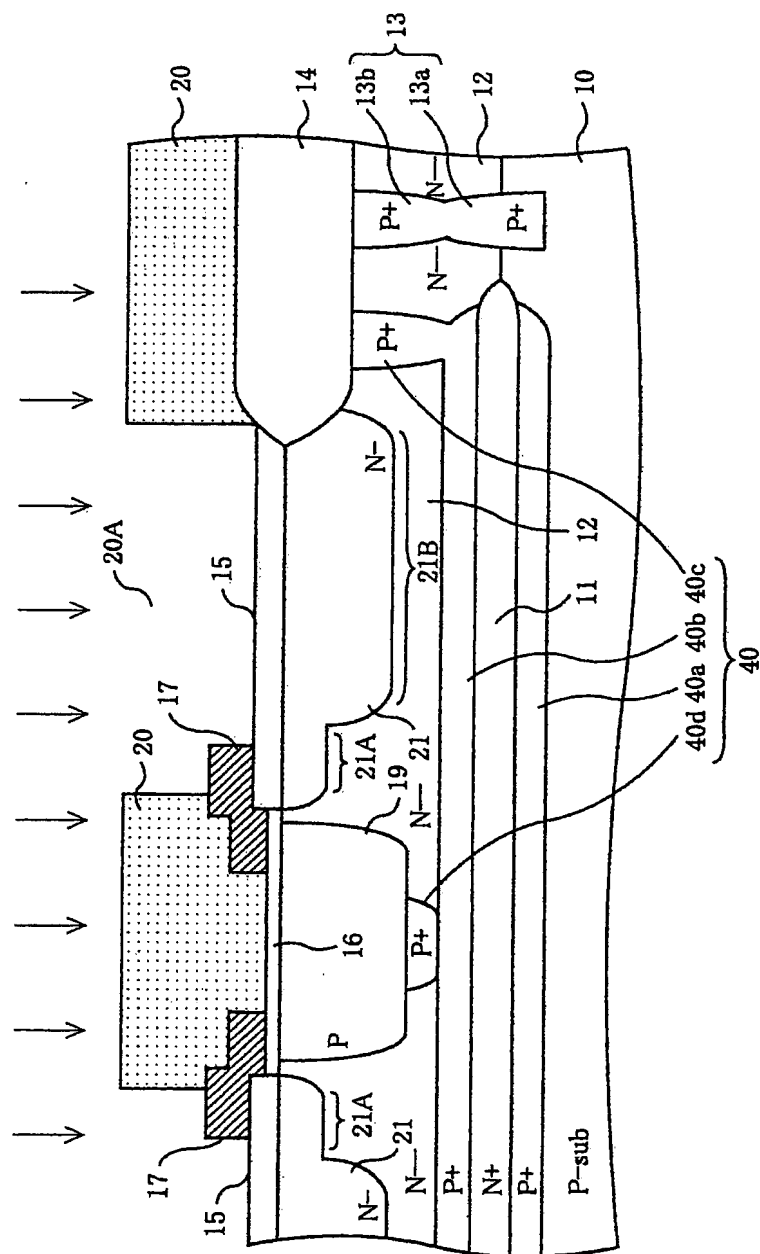
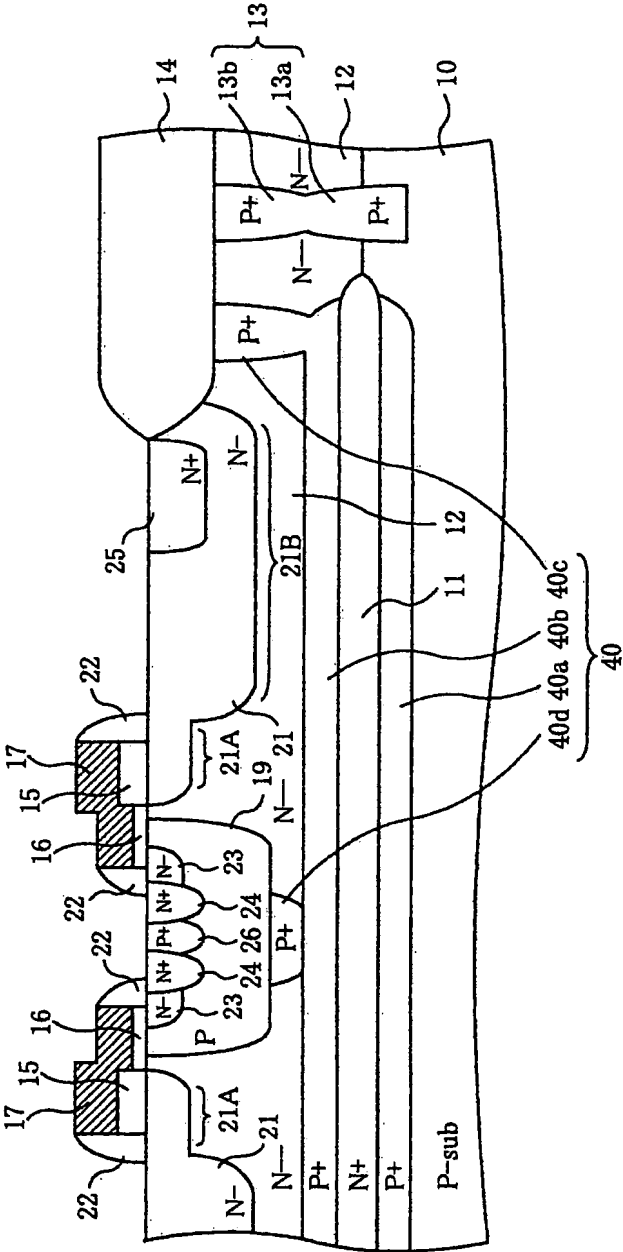
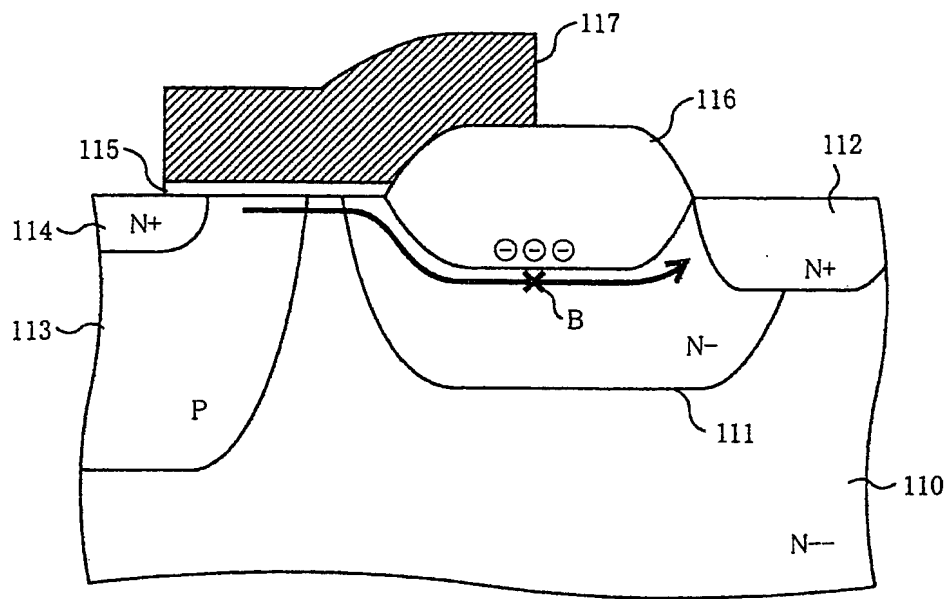


圖 5 錄



第6圖



第7圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件符號簡單說明：

12	半導體層	15	厚的閘極絕緣膜
16	薄的閘極絕緣膜	17	閘極電極
19	物體層	21	漂移層
21A	第 1 區域	21B	第 2 區域
23	N－型層	25	汲極層
A	高電場區域	P1、P2	峰值區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式