ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

244583
(11) (B1)

(51) Int. Cl.[4]
H 02 M 1/02

(22) Prihlásené 10 12 84
(21) (PV 9528-84)

(40) Zverejnené **16 10 85**

(45) Vydané 15 01 88

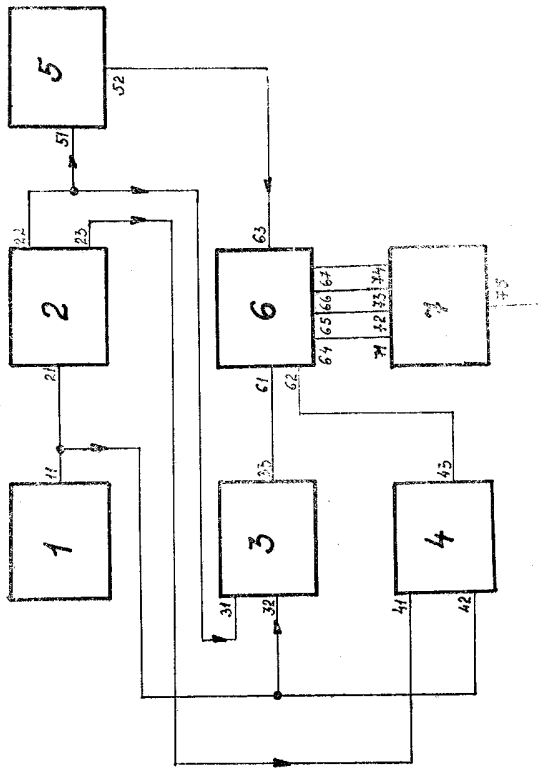
(75)
Autor vynálezu VONKOMER IVAN ing.; ŠPERKA PAVOL ing., BREZNO

(54) Zapojenie číslicového generátora kladných polvĺn sínusového signálu

1

Riešenie sa týka zapojenia číslicového generátora kladných polvĺn sínusového signálu pre frekvenčný menič k elektrickému striedavému motoru. Zapojenie je pripojené ku generátoru zadávacích impulzov a k deličke s deliacim pomerom 32 a pozostáva z vratného čítača, dvoch logických členov NAND, derivačného člena a D/A prevodníka, ktoré sú vzájomne spojené tak, že výstup generátora zadávacej frekvencie je spojený s prvými vstupmi logických členov NAND, ktorých výstupy sú pripojené na vstupy pre čítanie vpred a čítanie vzad, vratného čítača. Druhé vstupy logických členov NAND sú spojené dvomi výstupmi deličky. Prvý výstup deličky dvomi je pripojený na vstup derivačného člena, ktorého výstup je pripojený na nulovací vstup vratného čítača. Výstupy vratného čítača sú pripojené na vstupy D/A prevodníka, na výstupe ktorého sú teda generované kladné polvlny sínusového signálu.

2



Vynález sa týka zapojenia číslicového generátora kladných polvĺn sínusového signálu, pre frekvenčný menič k elektrickému striedavému motoru.

K riadeniu silových častí frekvenčných meničov sa používa hlavne sínusový signál. Tento signál je možné generovať analógovou alebo číslicovou cestou. Analógovo vytvorený sínusový signál je možné z hľadiska zfázovania použiť vo väčšine prípadov len pri jednofázových motoroch, k vytvoreniu sínusového signálu číslicovou cestou sa používa digitálno analógový prevodník, ktorý vychádza pomerne zložitý. Zložitosť vyplýva z nutnosti generovania kladných aj záporných polvĺn sínusového signálu.

Tieto nevýhody sú odstránené riešením, ktorého podstata spočíva v tom, že obsahuje generátor zadávacích impulzov, ktorý je svojím výstupom spojená so vstupom deličky a s prvým vstupom dvoch logických členov NAND, výstupy logických členov NAND sú privedené na vstupy vratného čítača, ktorého výstupy sú pripojené na vstupy D/A prevodníka. Výstupy deličky sú spojené s druhými vstupmi logických členov NAND a prvý výstup deličky je spojený so vstupom derivačného člena, ktorého výstup je spojený s tretím vstupom vratného čítača.

Výhodou tohto riešenia je, že tvorí jednoduchý generátor kladných polvĺn sínusového signálu, ktorý aj spolu so svojou nadstavbou nahradzujúcou generátor kompletného signálu, je jednoduchší ako používané generátory sínusového signálu pracujúce na báze analógovej, alebo doteraz používanej číslicovej.

Príklad prevedenia vynálezu je v blokovej schéme znázornený na pripojenom výkrese.

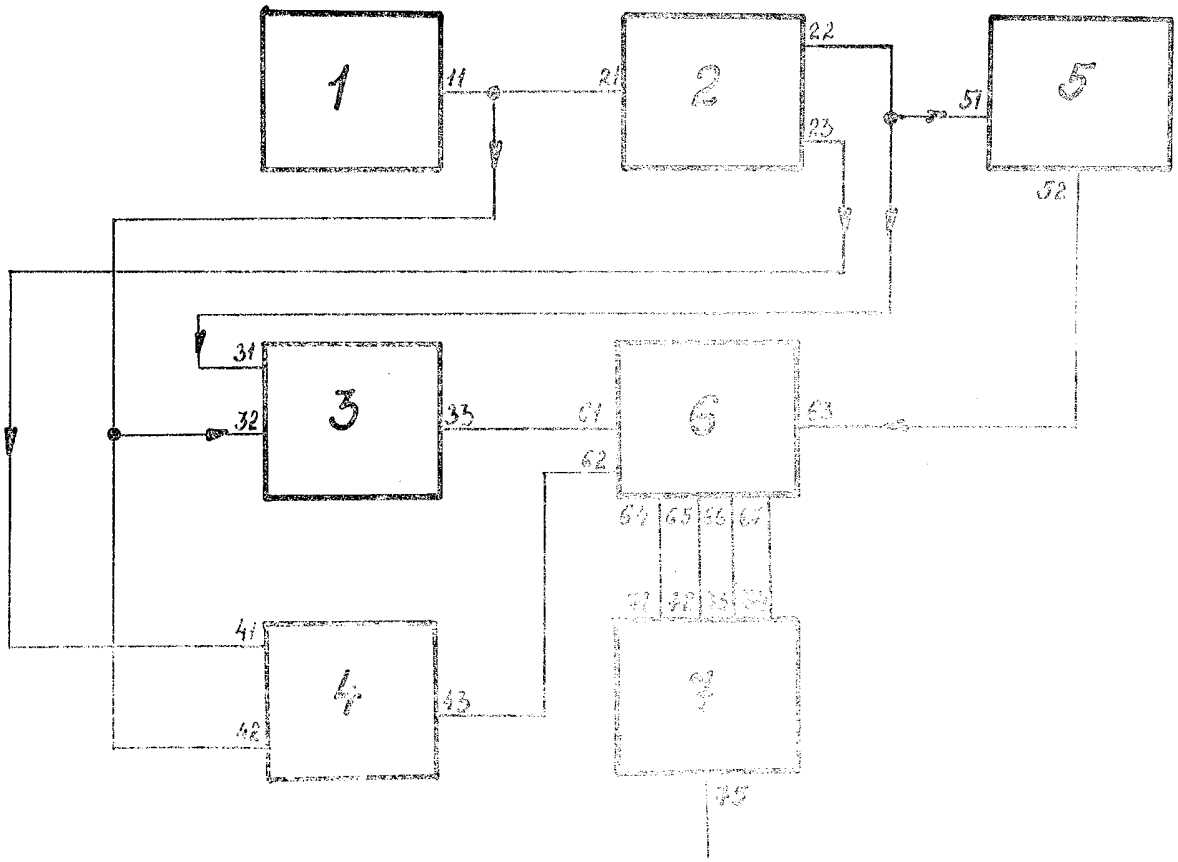
Zapojenie číslicového generátora je pripojené k základnému prevedeniu, buď ku každej fáze trojfázového generátora signálov, natočených po 120°, alebo k jednofázovému generátoru. Taký generátor je tvorený generátorom zadávacích impulzov **1**, ktorý je spojený svojím výstupom **11** so vstupom **21** deličky **2** a so vstupmi **32, 42** logických členov NAND **3, 4**. Výstup **33** logického člena NAND **3** je spojený so vstupom **61** pre čítanie vpred vratného čítača **6** a výstup **43** logického člena NAND **4** so vstupom **62** pre čítanie vzad vratného čítača **6**. Výstupy **64, 65, 66, 67**, sú spojené so vstupmi **71, 72, 73, 74** D/A prevodníka **7**. Výstup **22** deličky **2** je spojený so vstupom **51** derivačného člena **5**, ktorého výstup **52** je spojený so vstupom **63** vratného čítača **6** a so vstupom **31** logického člena NAND **4**. Na výstupe **75** D/A prevodníka **7** je výstupný signál.

Toto zapojenie pracuje tak, že impulzy z výstupu **11** generátora zadávacej frekvencie, prichádzajú na vstup **21** deličky **2**, ktorá pracuje s deliacim pomerom **32**. Na výstupe **23** deličky **2** je signál invertovaný oproti výstupu **22**. Keď signál na vstupe **51** derivačného člena **5** zmení logickú úroveň z log „0" na log „1", na výstupe **52** tohto člena sa objaví krátky impulz, ktorý cez vstup **63** vratného čítača **6**, prednastaví výstupy **64, 65, 66, 67**, na logický stav 0000. Zároveň sa log „1" na vstupe **31** logického člena NAND **3**, odblokuje prechod impulzov vstupom **32** tohto člena na jeho výstup **33**, teda do vstupu **61** vratného čítača **6**, ktorého stav sa zväčšuje už na stav 1111, v tom okamihu z výstupu **22** deličky **2** privedený signál o úrovni log „0", ktorým sú zablokované impulzy na výstupe **33** logického člena NAND **3**. Teda na výstupe **23** sa objaví signál o úrovni log „1", ktorý sa prenesie na vstup **41** logického člena NAND **4**, teda je odblokovaný prechod impulzov z výstupu **11** bloku **1** cez výstup **43** logického člena **4** na vstup **62** vratného čítača, čím sa stav vratného čítača zmenšuje až na stav 0000. V tom okamihu sa na výstupe **22** deličky **2**, zmení logický stav z log „0" na log „1", teda na výstupe **52** derivačného člena **5**, objaví krátky impulz, ktorý nastaví stav vratného čítača na 0000. Z hľadiska zabezpečenia proti rušeniu. Výstupy **64, 65, 66, 67**, vratného čítača **6**, sú privedené na vstupy **71, 72, 73, 74**, prevodníka, na výstupe **75**, ktorého sa objavujú kladné polvlny sínusového signálu a každá polvlna je aproximovaná 32 rôznymi stavmi.

PREDMET VYNÁLEZU

Zapojenie číslicového generátora kladných polvĺn sínusového signálu, pre frekvenčný menič k elektrickému striedavému motoru, vyznačujúci sa tým, že obsahuje logické členy NAND (3, 4), ktoré svojimi vstupmi (32, 42) sú pripojené na výstup (11) generátora zadávacích impulzov (1), pričom vratný čítač (6), je svojími vstupmi (61, 62) pripojený na výstupy (33, 43) logických členov NAND (3, 4), kde derivačný člen (5) je svojím vstupom (51) pripojený na výstup (22) deličky (2), ktorej výstup (22) je pripojený na vstup (31) prvého logického člena NAND (3) a jej výstup (23) je pripojený na vstup (41) logického druhého člena NAND (4), zatiaľ čo výstup (52) derivačného člena (5) je pripojený na vstup (63) vratného čítača (6), ktorého výstupy (64, 65, 66, 67), sú pripojené na vstupy (71, 72, 73, 74) D/A prevodníka (7).

1 list výkresov


1
11
21
2
22
23
51
5
52
31
32
3
33
61
6
63
62
64
65
66
67
71
72
73
74
7
75
41
4
43
42