

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年10月4日(04.10.2012)



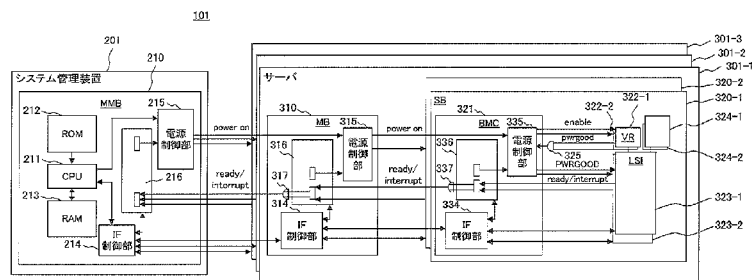
(10) 国際公開番号
WO 2012/132020 A1

- (51) 国際特許分類:
G06F 1/26 (2006.01)
 - (21) 国際出願番号: PCT/JP2011/058363
 - (22) 国際出願日: 2011年3月31日(31.03.2011)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人(米国についてのみ): 岩見義和 (IWAMI, Yoshikazu) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 岡本 享 (OKAMOTO, Akira) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 株式会社富士通コンピュータテクノロジーズ内 Kanagawa (JP).
 - (74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町8番地20 二番町ビル 3F Tokyo (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: INFORMATION PROCESSING SYSTEM, SYSTEM MANAGEMENT APPARATUS, AND INTEGRATED CIRCUIT

(54) 発明の名称: 情報処理システム、システム管理装置、集積回路

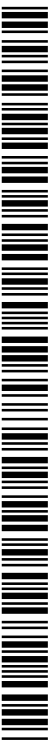
[図1]



201 System management apparatus
 214, 314, 334 Interface control unit
 215, 315, 335 Power supply control unit
 301-1 Server

(57) Abstract: This information processing system is provided with: a plurality of information processing apparatuses, each of which has a system board having mounted thereon an integrated circuit and a power supply circuit for supplying power to the integrated circuit; and a system managing apparatus, which transmits a power-on instruction to each of the information processing apparatuses. The integrated circuit of each of the information processing apparatuses performs start-up processing when the integrated circuit receives the power-on instruction.

(57) 要約: 集積回路および該集積回路へ電力を供給する電源回路を搭載したシステムボードを有する複数の情報処理装置と、前記複数の情報処理装置にパワーオン指示を送信するシステム管理装置と、を備える情報処理システムであって、前記複数の情報処理装置のそれぞれの集積回路は前記パワーオン指示を受信すると起動処理を行う。



WO 2012/132020 A1

明 細 書

発明の名称： 情報処理システム、システム管理装置、集積回路 技術分野

[0001] 本発明は、パワーオンシーケンスを実行する情報処理システム、システム管理装置、集積回路に関する。

背景技術

[0002] 多数のサーバを有する大規模サーバシステムにはManagement Board (MMB) を有するシステム管理装置が設置されており、MMBがシステム管理を一括で行っている。

ここでのシステム管理とは、電源やクロックの設定、システムのリセット、各動作レジスタ設定等を指す。MMBは各サーバに搭載されるLarge Scale Integration (LSI)、VR(DC-DCコンバータ)に対して、外部インタフェースを使用し制御を行っている。

[0003] システムの立ち上げ時には、MMBは、各サーバのLSIや電源回路に対して、電源やクロックの設定、システムのリセット、各動作レジスタの設定等を行っている。

近年、サーバシステムの規模は大きくなり、MMBが制御するサーバやLSI等の対象物は増加している。従って、システムの立ち上げ時にMMBが設定する対象物が増えるため、システムの起動時間が増加するという問題があった。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-187152号公報
特許文献2：特開2008-206223号公報

発明の概要

発明が解決しようとする課題

[0005] 本発明の課題は、システムのパワーオンシーケンスの時間を短縮することである。

課題を解決するための手段

- [0006] 実施の形態の情報処理システムは、集積回路および該集積回路へ電力を供給する電源回路を搭載したシステムボードを有する複数の情報処理装置と、前記複数の情報処理装置にパワーオン指示を送信するシステム管理装置と、を備える。
- [0007] 前記複数の情報処理装置のそれぞれの集積回路は、前記パワーオン指示を受信すると、前記電源回路に電圧の調整を指示する。

発明の効果

- [0008] 実施の形態の装置によれば、システムのパワーオンシーケンスの時間を短縮することが出来る。

図面の簡単な説明

- [0009] [図1]実施の形態に係るシステムの構成図である。
- [図2]実施の形態に係るシステムのパワーオンシーケンスを示す図である。
- [図3]実施の形態に係る電源回路およびLSIの詳細な構成図である。
- [図4A]実施の形態に係るLSIのパワーオンシーケンスを示す図である。
- [図4B]実施の形態に係るLSIのパワーオンシーケンスを示す図である。
- [図5]一時停止処理の詳細なフローチャートである。
- [図6]実施の形態に係るLSIのレジスタ設定に関する構成を示す図である。
- [図7A]実施の形態にかかるレジスタの書き込みを示す図である。
- [図7B]実施の形態にかかるレジスタの書き込みを示す図である。
- [図8]実施の形態に係るLSIの電源回路の調整に関する構成を示す図である。
- [図9]実施の形態に係る電源調整シーケンサの処理のフローチャートである。
- [図10]他の実施の形態に係るシステムの構成図である。
- [図11]他の実施の形態に係るシステムのパワーオンシーケンスを示す図である。

発明を実施するための形態

[0010] 以下、図面を参照しながら実施の形態を説明する。

図1は、実施の形態に係るシステムの構成図である。

システム101は、システム管理装置201、およびサーバ301-i (i = 1 ~ 3) を備える。

[0011] 尚、実施の形態において、サーバ301-1 ~ 301-3の構成は同じため、サーバ301-1のみ詳細な構成を説明する。また、図1においてもサーバ301-1のみ詳細な構成を記載している。

[0012] システム管理装置201とサーバ301はシリアルインタフェース(例えば、Inter-Integrated Circuit (I2C))で接続されている。

システム管理装置201は、Management Board (MMB) 210を備える。

[0013] MMB 210は、サーバ301のパワーオン指示やパワーオンが失敗したサーバ301の特定などを行う。

MMB 210は、Central Processing Unit (CPU) 211、Read Only Memory (ROM) 212、Random Access Memory (RAM) 213、インタフェース (IF) 制御部 214、電源制御部 215、および記憶部 216 を備える。

[0014] CPU 211は、ROM 212に格納されているプログラムを読み出し、該プログラムを実行する。

ROM 212は、後述する各種処理を行うプログラムを格納している記憶手段である。

[0015] RAM 213は、各種処理で使用するデータを一時的に格納する記憶手段である。

IF制御部 214は、MMB 210とサーバ320との間のインタフェースの制御を行う。また、IF制御部 214は、記憶部 216へのデータの読み書き等を行う。

[0016] 電源制御部 215は、記憶部 216の内容とCPU 211からの指示に基づいて、電源投入対象のサーバ301にパワーオン指示を出力する。

記憶部 216は、パワーオンを行うサーバを示す情報やサーバのパワーオ

ン完了を示す情報、割り込みを示す情報等を格納する。記憶部 216 は、例えば、レジスタである。記憶部 216 は、サーバ 301 から Ready 応答または割り込み (interrupt) 応答を受信すると、それぞれ各サーバ 320 のパワーオン完了を示す情報または割り込みを示す情報等を格納する。

[0017] サーバ 301-1 は、Management Board (MB) 310 および System Board (SB) 320-j (j=1, 2) を備える。

尚、実施の形態において、SB 320-1、320-2 の構成は同じため、SB 320-1 のみ詳細な構成を説明する。また、図 1 においても SB 320-1 のみ詳細な構成を記載している。

[0018] MB 310 は、IF 制御部 314、電源制御部 315、記憶部 316、および信号出力回路 317 を備える。

IF 制御部 314 は、MB 310 と MMB 210 との間、MB 310 と SB 320 との間のインタフェースの制御を行う。また、IF 制御部 314 は、記憶部 316 へのデータの読み書き等を行う。

[0019] 電源制御部 315 は、記憶部 316 の内容 (例えば、電源を投入する対象の SB 320 や LSI 323 を示す情報) と電源制御部 215 からの指示に基づいて、電源を投入する対象の SB 320 にパワーオン指示を出力する。

[0020] 記憶部 316 は、MMB 210 からのパワーオンを行う SB 320 を示す情報や SB 320 からの各 SB 320 のパワーオン完了を示す情報や割り込みを示す情報等を格納する。記憶部 316 は、例えば、レジスタである。記憶部 316 は、SB 320 から Ready 応答を受信すると該 Ready 応答を送信した SB 320 のパワーオン完了を示す情報を格納し、割り込み応答を受信すると該割り込み応答を送信した SB 320 の割り込みを示す情報等を格納する。

[0021] 信号出力回路 317 は、AND 回路および OR 回路を備え、Ready 応答または割り込み応答を出力する。詳細には、AND 回路は、サーバ 301-1 内の全ての SB 320 からパワーオン完了を示す情報が記憶部 316 に格納されると Ready 応答を MMB 210 へ出力する。また、OR 回路は、サーバ 30

1-1内のいずれかのSB320から割り込みを示す情報が記憶部316に格納されると割り込み応答をMMB210へ出力する。

[0022] SB320-1は、Board Management Controller (BMC) 321、電源回路(VR) 322-j (j=1, 2)、LSI 323-j、DIMM 324-j、およびAND回路325を備える。

[0023] BMC 321は、IF制御部334、電源制御部335、記憶部336、および信号出力回路337を備える。

IF制御部334は、SB320とMB310との間のインタフェースの制御を行う。また、IF制御部334は、記憶部336へのデータの読み書き等を行う。

[0024] 電源制御部335は、記憶部336の内容と電源制御部315からの指示に基づいて、対象の電源回路322に電源供給指示(enable信号)を出力する。また、LSI 323に準備完了を示すPWRGOOD信号を出力する。

[0025] 記憶部336は、MB310からのパワーオンを行う電源回路322およびLSI 323を示す情報やLSI 320から各LSI 320のパワーオン完了を示す情報や割り込みを示す情報等を格納する。記憶部336は、例えば、レジスタである。記憶部336は、LSI 323からReady応答を受信すると該Ready応答を送信したLSI 323のパワーオン完了を示す情報を格納し、割り込み応答を受信すると該割り込み応答を送信したLSI 323の割り込みを示す情報等を格納する。

[0026] 信号出力回路337は、AND回路およびOR回路を備え、Ready応答または割り込み応答を出力する。詳細には、AND回路は、SB320-1内の全てのLSI 323からパワーオン完了を示す情報が記憶部336に格納されるとReady応答をMB310へ出力する。また、OR回路は、SB320-1内のいずれかのLSI 323から割り込みを示す情報が記憶部336に格納されると割り込み応答をMB310へ出力する。

[0027] 電源回路322-jは、LSI 323-jおよびDIMM 324-jへ電力を供給する。電源回路322-jは、入力された電圧パラメータから、L

LSI323-jおよびDIMM324-jにそれぞれ設定された電圧をLSI323-jおよびDIMM324-jへ供給する。電源回路322-jは、例えば、DC-DCコンバータである。

[0028] LSI323-jは、各種処理を行う処理部である。LSI323-jは、例えば、CPUやMemory Control Unit (MCU) である。また、LSI323-jは、電源回路322-jおよびDIMM324-jと接続している。

[0029] DIMM324-jは、LSI323-jで使用されるデータを格納する記憶手段である。

AND回路325は、同一SB上のすべての電源回路322（すなわち電源回路322-1および電源回路322-2）から電源準備完了を示すpwrgood信号を受信すると、電源制御部335にpwrgood信号を出力する。

[0030] 図2は、実施の形態に係るシステムのパワーオンシーケンスを示す図である。

ステップS501において、MMB210は、各サーバ303が搭載するMB310にパワーオン指示を送信する。続いて、MMB210は、タイマーを起動し、タイマーの監視を開始する。

[0031] パワーオン指示を受信した、各サーバ303のMB310は、同一サーバ内のSB320に搭載されたBMC321にパワーオン指示を送信し、BMC321からのReady応答を管理する。

[0032] BMC321は、MBからパワーオン指示を受信すると、SB320内の電源スイッチをオンにして、各LSI323に電力を供給する電源回路322の安定を待つ。BMC321は、電源回路322の安定後、各LSI323へ電源準備完了を示すPWRGOOD信号を出力する。LSI323は、PWRGOOD信号を受信すると、所定のパワーオンシーケンスを実行する。LSI323は、パワーオンシーケンスが完了するとReady応答をBMCに出力し、所定の時間経過してもパワーオンシーケンスが完了しない場合は割り込み応答をBMCに出力する。

- [0033] BMC 3 2 1 は、同一 S B 内のすべての L S I 3 2 3 から Ready 応答を受信したら MB 3 1 0 へ Ready 応答を出力し、同一 S B 内のいずれかの L S I 3 2 3 から割り込み応答を受信したら MB 3 1 0 へ割り込み応答を出力する。
- [0034] MB 3 1 0 は、同一サーバ内のすべての S B 3 2 0 から Ready 応答を受信したら MMB 2 1 0 へ Ready 応答を出力し、同一サーバ内のいずれかの S B 3 2 0 から割り込み応答を受信したら MMB 2 1 0 へ割り込み応答を出力する。
- [0035] ステップ S 5 0 2 において、MMB 2 1 0 は、全てのサーバ 3 0 1 から Ready 応答があったか否かチェックし、全てのサーバ 3 0 1 から Ready 応答があった場合、制御はステップ S 5 0 3 へ進み、Ready 応答が無いサーバ 3 0 1 があった場合、制御はステップ S 5 0 4 へ進む。Ready 応答は、サーバの起動完了、すなわちサーバの電源、クロック設定、設定用レジスタ等の準備が完了したことを示す応答である。
- [0036] ステップ S 5 0 3 において、すべてのサーバ 3 0 1 の準備が完了したので、MMB 2 1 0 は、システム 1 0 1 の運用を開始する。
- ステップ S 5 0 4 において、MB 2 0 1 は、サーバ 3 0 1 から割り込み応答があったか否かチェックし、割り込み (Interrupt) 応答があった場合、制御はステップ S 5 0 6 へ進み、いずれのサーバからも割り込み応答が無かった場合、制御はステップ S 5 0 5 へ進む。
- [0037] ステップ S 5 0 5 において、MMB 2 1 0 は、ステップ S 5 0 2 で起動したタイマーが満了したか否か判定し、タイマーが満了していない (すなわち、タイムアウトしていない) 場合、制御はステップ S 5 0 2 へ戻り、タイマーが満了した (すなわち、タイムアウトした) 場合、制御はステップ S 5 0 6 へ進む。
- [0038] ステップ S 5 0 6 において、MMB 2 1 0 は、エラー処理を行う。
- エラー処理に関して、ステップ S 5 0 4 で YES であった場合と、ステップ S 5 0 5 で YES であった場合について述べる。
- [0039] ステップ S 5 0 4 で YES であった場合、エラー処理において、MMB 2 1 0 は、割り込み応答がオンのサーバ 3 0 1 の MB 3 1 0 に問い合わせを行

い、割り込み応答がオンのSB320を認識する。次にMMB210は、割り込み応答がオンとなったSB320内のBMC321に問い合わせを行い、割り込み応答がオンのLSI323を認識する。

[0040] また、ステップS505でYESであった場合、エラー処理において、MMB210は、Ready応答がオフのサーバ301のMB310に問い合わせを行い、Ready応答がオフのSB320を認識する。次にMMB210は、レディ応答がオフのSB320内のBMC321に問い合わせを行い、Ready応答がオフのLSI323を認識する。

[0041] 上記のように、エラー処理において、MMB210からサーバへの2回のアクセスのみで、パワーオンシーケンスの失敗となった箇所を特定可能である。

図3は、実施の形態に係る電源回路およびLSIの詳細な構成図である。

[0042] 尚、図2の電源回路322-1と電源回路322-2、LSI323-1とLSI323-2、DIMM324-1とDIMM324-2は、それぞれ構成は同じである。したがって、図3では、電源回路322-1、LSI323-1、およびDIMM324-1のみを説明し、電源回路322-2、LSI323-2、およびDIMM324-2は説明を省略する。

[0043] BMC321がスイッチ343をオンにすることにより、サーバ301-1に備えられた電源344から電源回路322-1に電力が供給される。

BMC321は、MMBから201からMB321を介してパワーオン指示を受信すると、スイッチ343をオンにして、電源344から電源変換素子341-1~341-4に電力を供給する。また、BMC321は、電源変換素子341-1、341-4へ電源供給指示であるenable信号を出力する。また、BMC321は、LSI321-1のドメイン1へドメイン1内の素子を初期化するリセット信号(reset1)を出力する。

[0044] BMC321は、AND回路342から準備完了を示すPWRGOOD信号を受信すると、System Control部351へPWRGOOD信号を出力する。このときBMC321は、リセット信号(reset1)をオフとする。

- [0045] 電源回路322-1は、電圧変換素子341-k (k=1~4) およびAND回路342を備える。尚、電圧変換素子341-1~341-4は、それぞれVR1~VR4または電源1~電源4と記載する場合がある。
- [0046] 電圧変換素子341-1~341-4はLSI323-1のドメイン1~4のいずれかに対応しており、電源344から入力された電圧を変換し、変換した電圧を対応するドメイン1~4へそれぞれ供給する。電圧変換素子341-4は、DIMM324-1にも電力を供給する。電圧変換素子341-2~341-4は、それぞれ内部にレジスタ（不図示）を有し、現在の出力電圧の値をレジスタに保持する。Enable信号を受信した電源変換素子341-1、341-4は、それぞれ初期電圧（例えば、1.5V）でLSI313-1に電力供給可能となる（すなわち電源が安定する）と、準備完了を示すPWRGOOD信号をAND回路342へ出力する。
- [0047] 電源変換素子341-1、341-4は、それぞれ初期電圧で電力供給する。なお、電源変換素子341-2、341-3の初期設定電圧は0V、すなわち、電源変換素子341-2、341-3からLSI313-1へは、電力供給されていない。
- [0048] AND回路342は、電圧変換素子341-1および電圧変換素子341-4からのPWRGOOD信号の論理積をBMC321に出力する。すなわち、電圧変換素子341-1および電圧変換素子341-4からPWRGOOD信号が出力されると、AND回路342からBMC321へPWRGOOD信号が出力される。
- [0049] LSI323-1は、下記に記載するシーケンサを搭載しており、これらを自立回路と称している。
- LSI323-1は、System Control部351、Power Up部352、I/O部353、PLL Control部354-p (p=1~n)、Register SetUp部355、Power Reorder部356、Clock Gated部357、Power Up部358、Memory I/O Macro部359を備える。
- [0050] LSI323-1は、各電圧変換素子341から電力供給される領域として、ドメインに分けてられている。電圧変換素子341-1~341-4か

ら電力が供給される領域をそれぞれドメイン1～4と呼ぶ。

[0051] System Control部351、Power Up部352、I0部353はドメイン1に属し、PLL Control部354、Register Setup部355、Power Reorder部356、Clock Gated部357、Power Up部358はドメイン2に属し、Memory I0 Macro部359はドメイン4に属している。

[0052] System Control部351は、Power Up部352、358、PLL Control部354、Register Setup部355、Power Reorder部356、およびClock Gated部357の動作の順序管理、動作指示、監視などを行う。System Control部351には、端子(Strap)360-1、360-2が接続されている。Strap360-1、360-2をそれぞれStrap A、Strap Bと表す場合がある。Strap360-1には、外部からパワーオンシーケンスの処理を行うか否かを示す信号が入力される。また、Strap360-2には、パワーオンシーケンスの処理を一時的に停止するか、一時停止している処理を開始させるかを示す信号が入力される。Strap360-1、360-2は、例えばSB320-1に設けられたスイッチやBMC321等と接続する。それにより、Strap360-1、360-2には、スイッチに設定された信号やBMC321等を介してMMB210から送信された制御信号などが入力される。

[0053] また、System Control部351は、Ready応答または割り込み(interrupt)応答をBMC321へ出力する。

Power Up部352は、電圧変換素子341-2～341-4への電圧調整指示、リセット信号の生成を行う。また、Power Up部352は、Power Up1と表す場合がある。

[0054] I0部353は、Power Up部352と電圧変換素子341-2～341-4間のインタフェースである。

PLL Control部354は、LSI323-1内の各PLL(不図示)の発振制御を行う。

[0055] Register Setup部355は、Register Setup部355に接続しているStrap360-3からの信号を読み込み、設定レジスタへの一斉設定を指示する。

なお、Strap 360-3をStrap Gと表す場合がある。

[0056] Power Reorder部356は、DIMM324-1の情報を取得し、例えばDIMM324-1が初期電圧より低い電圧で動作できる場合に電源電圧を変更する。Power Reorder部356とDIMM324-1は、シリアルインタフェースで接続している。

[0057] Clock Gated部357は、LSI323-1内の素子へPLLからのクロックの供給を開始させ、LSI323-1内の素子を動作可能状態にする。

Power Up部358は、Power Up部352を介して電圧変換素子341-3～341-4への電圧調整指示、リセット信号の生成を行う。

Power Up部358は、Power Up2と表す場合がある。

[0058] Memory I/O Macro部359は、DIMM324-1との間のデータの送受信を行うインタフェースである。

図4Aおよび4Bは、実施の形態に係るLSIのパワーオンシーケンスを示す図である。

[0059] ステップS601において、System Control部351は、BMC321からPWRGOOD信号が入力されたか否か判定する。PWRGOOD信号が入力されたと判定した場合、制御はステップS602へ進む。

[0060] ステップS602において、System Control部351は、Strap Aの信号がオンであるか否か（すなわち、パワーオンシーケンスの処理を外部から制御で行うか否か）判定する。Strap Aの信号がオンである場合、外部からの制御でパワーオンシーケンスを実行するため、処理を停止し、Strap Aの信号がオフである場合、制御はステップS603およびS605へ進み、LSI323-1内のシーケンサによるパワーオンシーケンスを続行する。

[0061] 実施の形態のLSI323-1は、外部端子（Strap）の信号により、LSI32-1内のシーケンサによるパワーオンシーケンスの動作を抑止することが出来る。このような機能は、自立回路抑止機能と呼び、例えば、外部からパワーオンシーケンスの制御を行う場合に使用される。

[0062] 以下、ステップS603～S604とステップS605～S639の処理

はそれぞれ独立に実行される。

ステップS 6 0 3において、System Control部 3 5 1は、タイマーを起動し、タイマーが満了したか判定する。タイマーは所定時間を経過すると満了する。タイマーが満了した（タイムアウトした）場合、制御はステップS 6 0 4へ進み、タイマーが満了していない場合、S 6 0 3の動作を継続する。

[0063] ステップS 6 0 4において、System Control部 3 5 1は、割り込み（Interrupt）応答をBMC 3 2 1へ出力する。

ステップS 6 0 3～S 6 0 4の処理のように、所定時間でパワーオンシーケンスが完了しない場合は、割り込み応答をBMC 3 2 1へ出力している。

[0064] ステップS 6 0 5において、System Control部 3 5 1は、Power Up部 3 5 2へ電圧変換素子 3 4 1-2（VR 2）の電圧調整指示を出力する。

ステップS 6 0 6において、Power Up部 3 5 2は、規定電圧（target voltage）に調整するためのコマンド及びパラメータを電圧変換素子 3 4 1-2へ送信する。電圧変換素子 3 4 1-2は、受信したコマンドおよびパラメータを用いて、出力電圧を規定電圧に調整する。電圧変換素子 3 4 1-2は、電圧変換素子 3 4 1-2に内蔵されているレジスタに出力電圧の値を書き込む。

[0065] ステップS 6 0 7において、Power Up部 3 5 2は、電圧変換素子 3 4 1-2に内蔵されているレジスタをポーリングし、該レジスタに格納されている出力電圧をチェックする。出力電圧が規定電圧と等しければ（すなわち、電圧の調整が完了したら）、制御はステップS 6 0 8へ進む。

[0066] ステップS 6 0 8において、Power Up部 3 5 2は、LSI 3 2 3-1のドメイン2（すなわち電圧変換素子 3 4 1-2からの電力により動作する領域）の各素子へのリセット信号（reset2）をオフとする。そして、Power Up部 3 5 2は、System Control部 3 5 1へ調整完了を通知する。

[0067] ステップS 6 0 9において、System Control部 3 5 1は、Power Up部 3 5 2での調整完了の通知を受信するとステップS 6 1 0へ制御は進む。

ステップS 6 1 0において、System Control部 3 5 1は、状況に応じて、S

trap Bによる一時停止処理を行う。尚、一時停止処理については後述する。

[0068] ステップS 6 1 1において、System Control部 3 5 1は、Power Up部 3 5 8へ電圧変換素子 3 4 1 - 3 (VR 3) の電圧調整指示を出力する。

ステップS 6 1 2において、Power Up部 3 5 8は、電圧変換素子 3 4 1 - 3へ規定電圧に調整するためのコマンド及びパラメータをPower Up部 3 5 2を介して送信する。電圧変換素子 3 4 1 - 3は、受信したコマンドおよびパラメータを用いて、出力電圧を規定電圧に調整する。電圧変換素子 3 4 1 - 3は、電圧変換素子 3 4 1 - 3に内蔵されているレジスタに出力電圧の値を書き込む。

[0069] ステップS 6 1 3において、Power Up部 3 5 8は、電圧変換素子 3 4 1 - 3に内蔵されているレジスタをポーリングし、該レジスタに格納されている出力電圧をチェックする。出力電圧が規定電圧とイコールであったら（すなわち、電圧の調整が完了したら）、制御はステップS 6 1 4へ進む。

[0070] ステップS 6 1 4において、Power Up部 3 5 8は、LSI 3 2 3 - 1のドメイン 3（すなわち電圧変換素子 3 4 1 - 3からの電力により動作する領域）の各素子へのリセット信号 (reset3) をオフとする。そして、Power Up部 3 5 8は、System Control部 3 5 1へ調整完了を通知する。

[0071] ステップS 6 1 5において、System Control部 3 5 1は、調整完了の通知を受信するとステップS 6 1 6へ制御は進む。

ステップS 6 1 6において、System Control部 3 5 1は、状況により、Strap Bによる一時停止処理を行う。

[0072] ステップS 6 1 7において、System Control部 3 5 1は、各PLL Control部 3 5 4 - pへ発振指示を行う。

ステップS 6 1 8 - pにおいて、PLL Control部 3 5 4 - pは、PLL Control部 3 5 4 - pと接続したPLL（不図示）に周波数を設定し、所定の発振シーケンスを実行する。

[0073] ステップS 6 1 9 - pにおいて、PLL Control部 3 5 4 - pは、PLLが安定したら、System Control部 3 5 1に、発振完了の通知を行う。

ステップS 6 2 0において、System Control部 3 5 1は、すべてのPLL Control部 3 5 4 - pから、発信完了の通知を受信すると、制御はステップS 6 2 1へ進む。

[0074] ステップS 6 2 1において、System Control部 3 5 1は、StapBにより一時停止処理を行う場合がある。

ステップS 6 2 2において、System Control部 3 5 1は、Register Setup部 3 5 5にレジスタ設定を指示する。

[0075] ステップS 6 2 3において、Register Setup部 3 5 5は、Strap C 3 6 0 - 3からの情報を取得する。

ステップS 6 2 4において、Register Setup部 3 5 5は、取得した情報に基づいてL S I 3 2 3 - 1の動作モード（例えば、高速、中速、低速など）を判定する。

[0076] ステップS 6 2 5において、Register Setup部 3 5 5は、L S I 3 2 3 - 1内のレジスタに該レジスタの値を判定したモードに設定する設定パルスを送信する。そして、Register Setup部 3 5 5は、System Control部 3 5 1にレジスタ設定完了を通知する。

[0077] ステップS 6 2 6において、System Control部 3 5 1は、レジスタ設定完了の通知を受信すると、制御はステップS 6 2 7へ進む。

ステップS 6 2 7において、System Control部 3 5 1は、StapBにより一時停止処理を行う場合がある。

[0078] ステップS 6 2 8において、System Control部 3 5 1は、Power Reorder部 3 5 6にDIMM 3 2 4 - 1の情報を取得する指示を送信する。

ステップS 6 2 9において、Power Reorder部 3 5 6は、D I M M 3 2 4 - 1からD I M M 3 2 4 - 1の動作電圧を示す情報を取得する。

[0079] ステップS 6 3 0において、Power Reorder部 3 5 6は、取得した動作電圧の情報に基づいて、D I M M 3 2 4 - 1の電圧の再調整が必要か否か判定する。再調整が必要な場合、例えば現在のV R 4の出力電圧（初期電圧）よりもD I M M 3 2 4 - 1の動作電圧が低い場合には、制御はステップS 5 3 1

へ進み、再調整が不要な場合、Power Reorder部356は、DIMM調整完了をSystem Control部351へ通知する。

- [0080] ステップS631において、Power Reorder部356は、Memory IO Macro部359およびDIMM324-1へのリセット信号をオンにする。また、Power Reorder部356は、Power Up部358に電圧変換素子341-4の電圧調整を指示する。また、Power Reorder部356は、取得した動作電圧の情報をPower Up部358に送信する。
- [0081] ステップS632において、Power Up部358は、電圧変換素子341-4へDIMM324-1の動作電圧に調整するためのコマンド及びパラメータをPower Up部352を介して送信する。電圧変換素子341-4は、受信したコマンドおよびパラメータを用いて、出力電圧を動作電圧に調整する。電圧変換素子341-4は、電圧変換素子341-4に内蔵されているレジスタに出力電圧の値を書き込む。
- [0082] ステップS633において、Power Up部358は、電圧変換素子341-4に内蔵されているレジスタをポーリングし、該レジスタに格納されている出力電圧をチェックする。出力電圧が動作電圧とイコールであったら（すなわち、電圧の調整が完了したら）、制御はステップS634へ進む。
- [0083] ステップS634において、Power Up部358は、DIMM324-1へのリセット信号をオフとする。そして、Power Up部358は、System Control部351へDIMM調整完了を通知する。
- [0084] ステップS635において、System Control部351は、DIMM調整完了を受信すると、制御はステップS636へ進む。
- ステップS636において、System Control部351は、StapBにより一時停止処理を行う場合がある。
- [0085] ステップS637において、System Control部351は、Clock Gated部357にクロック供給を指示する。
- ステップS638において、Clock Gated部357は、ステップS623で取得した情報に基づいて、LSI323-1の動作モードを判定する。

- [0086] ステップS 6 3 9において、Clock Gated部 3 5 7は、判定した動作モードに対応するL S I 3 2 3 - 1内の各素子へPLLからのクロックの供給を開始する。すなわち、動作モードに応じて、未使用の回路や高速インタフェースに対するクロックの供給を抑制する。
- [0087] ステップS 6 4 0において、Clock Gated部 3 5 7は、クロックが各素子に伝搬するのを待ち、所定の時間経過後、System Control部 3 5 1にクロック供給完了を通知する。
- ステップS 6 4 1において、System Control部 3 5 1は、クロック供給完了の通知を受信すると、制御はステップS 6 4 2へ進む。
- [0088] ステップS 6 4 2において、System Control部 3 5 1は、準備完了を示すReady応答をBMC 3 2 1へ出力する。また、System Control部 3 5 1は、ステップS 6 0 3の処理を停止、すなわちタイマーを停止して、割り込み応答が出力されないようにする。
- [0089] 図5は、一時停止処理の詳細なフローチャートである。
- 図5に示す処理は、図4 Aおよび4 BのステップS 6 1 0、S 6 1 6、S 6 2 1、S 6 2 7、S 6 3 6の処理に対応する。
- [0090] ステップS 6 5 1において、System Control部 3 5 1は、Strap B 3 6 0 - 2からの信号がオンかオフか判定する。Strap B 3 6 0 - 2の信号がオンの場合、制御はステップS 6 5 2へ進み、オフの場合、一時停止処理を行わない。
- [0091] ステップS 6 5 2において、System Control部 3 5 1は、Strap B 3 6 0 - 2からの起動指示の有無を判定し、起動指示がある場合は、一時停止処理を終了する。一方、起動指示が無い場合、制御はステップS 6 5 2へ戻る、すなわち、System Control部 3 5 1は、Strap Bからの起動指示があるまで待機する。
- [0092] 一時停止処理を用いることで、サーバ間で、各シーケンスの同期を取ることが出来る。一時停止処理を用いることで、各シーケンスの完了通知で一度停止できるので、問題発生時の時点での状態を確認して調査することができ

る。

[0093] 図6は、実施の形態に係るLSIのレジスタ設定に関する構成を示す図である。

ここでは、LSI323-1内の制御レジスタ361およびレジスタ362に値を設定する場合について説明する。

[0094] LSI323-1は、下記のような構成、動作により、外部(MMB210)と内部(Register Setup部355)の両方から制御レジスタ361およびレジスタ362の値を設定することが可能となる。

[0095] LSI323-1は、制御レジスタ361、レジスタ362、Interface生成部363、Interface Control部364、アービター365、レジスタ斉設定部366、およびセクタを更に備える。

[0096] MMB210から制御レジスタ361およびレジスタ362に値を設定する場合、MMB210は、MB310およびBMC321を介して、Interface Control部364へ制御信号を出力する。

[0097] Interface Control部364は、MMB210からの制御信号により制御レジスタ361への書き込みに用いるアドレスデータ信号、書き込みデータ信号、タイミングデータ(ライトイネーブル(WE))信号を生成しアービター365へ出力する。

[0098] 制御レジスタ361は、所定の設定手順に従って設定する必要があるレジスタである。

レジスタ362は、所定の設定手順に従って設定する必要がないレジスタである。

制御レジスタ361に対する書き込みは以下のように行われる。

[0099] Register Setup部355はライトコマンドを生成し、Interface生成部363に出力する。Interface生成部363は、ライトコマンドからアドレスデータ信号、書き込みデータ信号、タイミングデータ(ライトイネーブル(WE))信号を生成しアービター365へ出力する。Interface生成部363で生成される信号は、Interface Control部364で生成される信号と同様の形式

の信号である。

- [0100] アービター 365 は、Interface Control 部 364 から制御レジスタ 361 へアクセスするパスをパス 1 とし、Interface 生成部 363 から制御レジスタ 361 へのパスをパス 2 として、2 つのパスに対するアービトレーションを行い、制御レジスタ 361 へのアクセスを行う。アービター 365 がどちらのパスを選択するかは、外部から制御レジスタ 361 を設定するか内部から制御レジスタ 361 を設定するかを示す情報が格納されたレジスタをアービター 365 が参照し、該情報に基づいてパスを選択する。
- [0101] 上述のように、LSI 323-1 は、LSI 323-1 の外部 (MMB 210) および内部 (Register Setup 部 355) の両方から制御レジスタ 361 の設定を行うことが可能となる。
- [0102] また、レジスタ 362 に対する書き込みは以下のように行われる。
Register Setup 部 355 は、Strap 360-3 を読み込み、Strap 360-3 からの情報に基づいて、モードを判定し、判定したモードに対応するストラップ信号 (set_strap*) をレジスタ一斉設定部 366 に出力する。
- [0103] レジスタ一斉設定部 366 は、ストラップ信号をセクタ 367 へ出力する。ここで、レジスタが複数ある場合は、それぞれのレジスタに接続する複数セクタに対して、ストラップ信号 set_strap* を一斉に送信する。
- [0104] また、Interface Control 部 364 は、アドレスデータ信号、書き込みデータ信号、タイミングデータをセクタ 367 へ出力する。
セクタ 367 は、Interface Control 部 364 からの信号またはレジスタ一斉設定部 366 からの信号のいずれかを選択してレジスタ 362 へ出力する。
- [0105] レジスタ 362 は、セクタ 367 から入力された信号の値に設定される。
所定の設定手順に従って設定する必要がないレジスタが複数ある場合には、それらのレジスタ、詳細にはレジスタに接続するセクタに一斉に信号を送信することで、複数のレジスタを一斉に設定できる。

[0106] 図7Aおよび7Bは、実施の形態に係るレジスタの書き込みを示す図である。

図7Aにおいて、レジスタ362をレジスタAとし、レジスタAのbit30とbit31に対する書き込みを説明する。

[0107] レジスタAのbit31に接続するセレクタ367-1には、値が”1”に固定された信号とRegister Setup部355からのストラップ信号set_strap1との論理積と、Interface Control部364（外部インタフェース）からの書き込みデータ信号(data)とタイミングデータ(we)との論理積とが入力されている。

[0108] レジスタAのbit30に接続するセレクタ367-2には、値が”1”に固定された信号とRegister Setup部355からのストラップ信号set_strap0との論理積と、外部インタフェースであるInterface Control部364からの書き込みデータ信号(data)とタイミングデータ(we)との論理積とが入力されている。

[0109] ここでは、Register Setup部355によるレジスタ設定を説明するので、Interface Control部364からの信号は無いものとする。

このような構成において、レジスタAのbit30およびbit31はストラップ信号に応じて、下記のように設定される。

[0110] ストラップ信号set_strap0が1の場合、セレクタ367-2には1が入力されるため、bit30の値は1となる。また、ストラップ信号set_strap0が0の場合、セレクタ367-2には、0が入力されるため、bit30の値は0となる。

[0111] ストラップ信号set_strap1が1の場合、セレクタ367-1には1が入力され、bit31の値は1となる。ストラップ信号set_strap1が0の場合、セレクタ367-1には0が入力され、bit31の値は0となる。

[0112] 図7Bにおいて、レジスタ362をレジスタBとし、レジスタBのbit30とbit31に対する書き込みを説明する。

レジスタBのbit31に接続するセレクタ367-1には、値が”1”に固定

された信号とストラップ信号set_strap0との論理積と、Interface Control部364からの書き込みデータ信号(data)とタイミングデータ(we)との論理積とが入力されている。

[0113] レジスタBのbit30に接続するセクタ367-2には、値が”1”に固定された信号とストラップ信号set_strap0またはset_strap1との論理積と、Interface Control部364からの書き込みデータ信号(data)とタイミングデータ(we)との論理積とが入力されている。

[0114] ここでは、Register SetUp部355からのレジスタ設定を説明するので、Interface Control部364からの信号は無いものとする。

このような構成において、レジスタBのbit30およびbit31はストラップ信号に応じて、下記のように設定される。

[0115] ストラップ信号set_strap0が1且つストラップ信号set_strap1が1の場合、セクタ367-1、367-2には、1が入力され、bit30とbit31の値は1となる。

ストラップ信号set_strap0が0且つストラップ信号set_strap1が1の場合、セクタ367-1には、0が入力され、bit31の値は0となり、セクタ367-2には、1が入力され、bit30の値は1となる。

[0116] ストラップ信号set_strap0が1且つストラップ信号set_strap1が0の場合、セクタ367-1には、1が入力され、bit31の値は1となり、セクタ367-2には、1が入力され、bit30の値は1となる。

[0117] ストラップ信号set_strap0が0且つストラップ信号set_strap1が0の場合、セクタ367-1、367-2には、0が入力され、bit31とbit30の値は0となる。

図8は、実施の形態に係るLSIの電源回路の調整に関する構成を示す図である。

[0118] 実施の形態の装置では、LSI323が電源回路322を調整するため、電源回路322はLSI323と専用のインタフェースで接続しており、電源回路322とBMC321は直接接続していない。

- [0119] したがって、MMB 2 1 0などの外部から電源回路 3 2 2を調整するために、実施の形態では、下記に説明するようにLSIを介して外部から電源回路の調整を可能としている。
- [0120] 外部からパワーオンシーケンスの制御を行う場合や出荷試験における高負荷試験において、規定電圧から高電圧あるいは低電圧へと調整する場合に、下記に説明する構成を用いて電源回路 3 2 2の調整を行う。
- [0121] LSI 3 2 3 - 1は、Interface Control部 3 7 1、電源制御レジスタ 3 7 2、Statusレジスタ 3 7 3、電源調整シーケンサ 3 7 4、OR回路 3 7 5、AND回路 3 7 6、およびセクタ 3 7 7を更に備える。
- [0122] MMB 2 1 0は外部インタフェースを使用して、MB 3 1 0、BMC 3 2 1、およびInterface Control部 3 7 1を介して、LSI 3 2 3 - 1内部の電源制御レジスタ 3 7 2に電圧調整コマンド(電圧パラメータを含む)を書き込む。尚、Interface Control部 3 7 1は、電源制御レジスタ 3 7 2およびStatusレジスタ 3 7 3へのデータの読み書きを行う。
- [0123] LSI 3 2 3 - 1内部の電源制御レジスタ 3 7 2に、ターゲット電圧に調整する電圧調整コマンドがMMB 2 1 0により書きこまれると、電源調整シーケンサ 3 7 4が動作する。電源調整シーケンサ 3 7 4は、電圧調整対象の電源回路 3 2 2 - 1に電圧調整コマンドを送信する。
- [0124] 詳細には、電源調整シーケンサ 3 7 4は、電圧調整コマンドをセクタ 3 7 7に送信する。セクタ 3 7 7は、電源調整シーケンサ 3 7 4からの電圧調整コマンドまたはPower Up部 3 5 2からの電圧調整コマンドのいずれかを選択して電源回路 3 2 2 - 1に出力する。セクタ 3 7 7は、電源制御レジスタ 3 7 2に電圧調整コマンドが書きこまれている場合(すなわち外部から電源回路 3 2 2 - 1を制御している場合)、電源調整シーケンサ 3 7 4からの電圧調整コマンドを選択して出力する。
- [0125] さらに、電源調整シーケンサ 3 7 4はOR回路 3 7 5にクロック供給開始指示を送信する。OR回路 3 7 5は、電源調整シーケンサ 3 7 4またはPower Up部 3 5 2のいずれかからクロック供給開始指示が入力されると、AND回

路 3 7 6 にクロック供給開始指示送信をする。AND 回路 3 7 6 は、クロック供給開始指示が入力されるとクロックを電源回路 3 2 2 - 1 に出力する。

[0126] 電源回路 3 2 2 - 1 は L S I 3 2 3 - 1 から電圧調整コマンドを受信すると電圧の調整を行う。

MMB 2 1 0 は、電源回路 3 2 2 - 1 の調整が完了したかを監視するため、外部インターフェースを使用し、Interface Control 部 3 7 1 を介して、LSI 3 2 3 - 1 内部の電源制御レジスタ 3 7 2 に電源回路 3 2 2 - 1 の Status コマンドを書き込む。

[0127] LSI 3 2 3 - 1 の内部の電源制御レジスタ 3 7 2 に Status コマンドが書きこまれると、電源調整シーケンサ 3 7 4 が動作して、電圧調整対象の電源回路 3 2 2 - 1 に Status コマンドを送信する。

[0128] 電源回路 3 2 2 - 1 は Status コマンドを受信すると、電源回路 3 2 2 - 1 内部の Status を応答する。Status は、例えば電源回路 3 2 2 - 1 の出力電圧の値である。

LSI 3 2 3 - 1 は電源回路から受信した Status を Status レジスタ 3 7 3 に格納する。

[0129] MMB 2 1 0 は、Status レジスタ 3 7 3 に格納されている Status を取得し確認することで電源回路 3 2 2 - 1 のターゲット電圧への調整完了を知ることができる。すなわち、Status レジスタ 3 7 3 に格納されている電源回路 3 2 2 - 1 の出力電圧の値がターゲット電圧と等しいか否か確認することで、調整完了を知ることができる。

[0130] 図 9 は、実施の形態に係る電源調整シーケンサの処理のフローチャートである。

電源調整シーケンサ 3 7 4 は、最初アイドル状態であり（ステップ S 6 1 1）、電源制御レジスタ 3 7 2 にターゲット電圧に調整する電圧調整コマンドが書きこまれると、OR 回路 3 7 5 にクロック供給開始指示を送信する（ステップ S 6 6 2）。

[0131] 電源調整シーケンサ 3 7 4 は、ウェイト期間が経過したら（S 6 6 3）、

電源制御レジスタ 372 の内容をセクタ 377 に n ビット送信する (S664)。

電源調整シーケンサ 374 は、電源制御レジスタ 372 の内容を送信後、所定の応答期間が経過したら (ステップ S665)、クロック供給開始指示の送信を停止する (ステップ S666)。そして、ステップ S661 へ制御は戻る。

[0132] 実施の形態のシステムによれば、複数のサーバが電圧調整やレジスタの設定などのパワーオンシーケンスを並列に実行するので、システムのパワーオンシーケンス時間を短縮することが出来る。

すなわち、システム管理装置が 1 台ずつ各サーバのパワーオンシーケンスを実行する必要がないので、サーバの台数が増加しても、システムのパワーオンシーケンスの時間はほとんど変化しないという効果がある。

[0133] また、LSI は、版数によってレジスタ設定内容、手順が異なる場合がある。機能が異なる LSI は、レジスタ種類、設定内容、手順が異なる。また、テクノロジー変更により LSI は、電源電圧が異なる場合がある。

したがって、従来のシステムにおいて、LSI の乗せ換えに伴い、MMB は、LSI の種類や版数を識別する必要があり、MMB のソフトウェアへのパッチ、改版による対応が必要となる。それにより、従来のシステムには LSI の乗せ換えに伴い、労力と時間がかかるという問題があった。

[0134] また、Dual Inline Memory Module (DIMM) は種類により電源電圧が異なる。

したがって、従来のシステムにおいて、DIMM の乗せ換えに伴い、MMB は、DIMM の種類を識別する必要があり、MMB のソフトウェアへのパッチ、改版による対応が必要となる。それにより、従来のシステムには DIMM の乗せ換えに伴い、労力と時間がかかるという問題があった。

[0135] 実施の形態のシステムによれば、LSI や DIMM の変更でサーバの構成を変更しても、MMB へのパッチや改版などの対応が不要なため、労力と時間を削減することが出来る。

尚、実施の形態において、サーバやS B、L S I等の数は上記で説明した場合に限られず、任意の数とすることが出来る。

[0136] 図10は、他の実施の形態に係るシステムの構成図である。

他の実施の形態では、多数のサーバを有する超大規模システムにおいて、複数のシステム管理装置を用いたパワーオンシーケンスについて述べる。

[0137] システム701は、システム管理装置801-q (q=1~4) およびサーバ901-q-r (r=1~8)を備える。

サーバ901-q-rは、システム管理装置801-qとシリアルインタフェースで接続している。

[0138] システム管理装置801-qはそれぞれネットワーク(例えば、Local Area Network)を介して接続している。ここで、システム管理装置801-1は、マスターとも呼ぶ。システム管理装置801-qは、MMB810-qを備える。MMB810-qの構成は他のMMBと接続している点以外は上述の実施の形態のMMB210と同様である。

[0139] システム管理装置801-1は、サーバ901-1-rおよびシステム管理装置801-s (s=2~4)にパワーオン指示を出力する。

システム管理装置801-2~801-4は、パワーオン指示を受信すると、それぞれサーバ901-2-r~901-4-rにパワーオン指示を出力する。

[0140] システム701内の装置はグループ分けされており、システム管理装置801-qおよびサーバ901-q-rはグループqに属している。

サーバ901は、上述の実施の形態のサーバ301と同様の構成であり、パワーオン指示を受信すると、上述の実施の形態と同様のパワーオンシーケンスを実行する。

[0141] 図11は、他の実施の形態に係るシステムのパワーオンシーケンスを示す図である。

ステップS1001において、MMB810-1は、パワーオン指示をサーバ901-1-rおよびシステム管理装置801-2~801-4にパワ

ーオン指示を出力する。

[0142] サーバ901-1-rは、ステップS601~S610の処理を実行し、ステップS652で起動指示を待っている。また、サーバ901-1-rはMMB810-1に処理完了を通知する。

[0143] ステップS1002-sにおいて、MMB810-sは、パワーオン指示を受信すると、制御はステップS1003-sに進む。

ステップS1003-sにおいて、MMB810-sは、サーバ901-s-rにパワーオン（起動）指示を送信する。

[0144] サーバ901-s-rは、ステップS601~S610の処理を実行し、ステップS652で起動指示を待っている。また、サーバ901-s-rはMMB810-sに処理完了を通知する。

[0145] MMB810-sは、サーバ901-s-rから処理完了を受信すると、MMB810-1に処理完了を通知する。

ステップS1004において、MMB810-1は、サーバ901-1-rおよびMMB810-1から処理完了を受信すると、制御はステップS1005へ進む。

[0146] ステップS1005において、MMB810-1は、パワーオン指示をサーバ901-1-rおよびシステム管理装置801-2~801-4にパワーオン指示を出力する。

サーバ901-1-rは、ステップS611~S636の処理を実行し、ステップS652で起動指示を待っている。また、サーバ901-1-rはMMB810-1に処理完了を通知する。

[0147] ステップS1006-sにおいて、MMB810-sは、パワーオン指示を受信すると、制御はステップS1007-sに進む。

ステップS1007-sにおいて、MMB810-sは、サーバ901-s-rにパワーオン指示を送信する。

[0148] サーバ901-s-rは、ステップS611~S636の処理を実行し、ステップS652で起動指示を待っている。また、サーバ901-s-rは

MMB 810-sに処理完了を通知する。

[0149] ステップS1008において、MMB 810-1は、サーバ901-1-rおよびMMB 810-1から処理完了を受信すると、制御はステップS1005へ進む。

ステップS1009において、MMB 810-1は、パワーオン指示をサーバ901-1-rおよびシステム管理装置801-2~801-4にパワーオン指示を出力する。

[0150] サーバ901-1-rは、ステップS637~S642の処理を実行する。MMB 810-1は、サーバ901-1-rからReady応答を受信すると、サーバ901-1-rの運用を開始する。

[0151] ステップS1010-sにおいて、MMB 810-sは、パワーオン指示を受信すると、制御はステップS1011-sに進む。

ステップS1011-sにおいて、MMB 810-sは、サーバ901-s-rにパワーオン指示を送信する。

[0152] サーバ901-s-rは、ステップS637~S642の処理を実行する。

MMB 810-2は、サーバ901-2-rからReady応答を受信すると、サーバ901-2-rの運用を開始する。

[0153] 他の実施の形態のシステムによれば、システム管理装置801をネットワークで接続し、一時停止処理を用いて、グループごとのパワーオンシーケンスを同期させることで、グループ間のパワーオンシーケンスの時間のばらつきを減少させることが出来る。

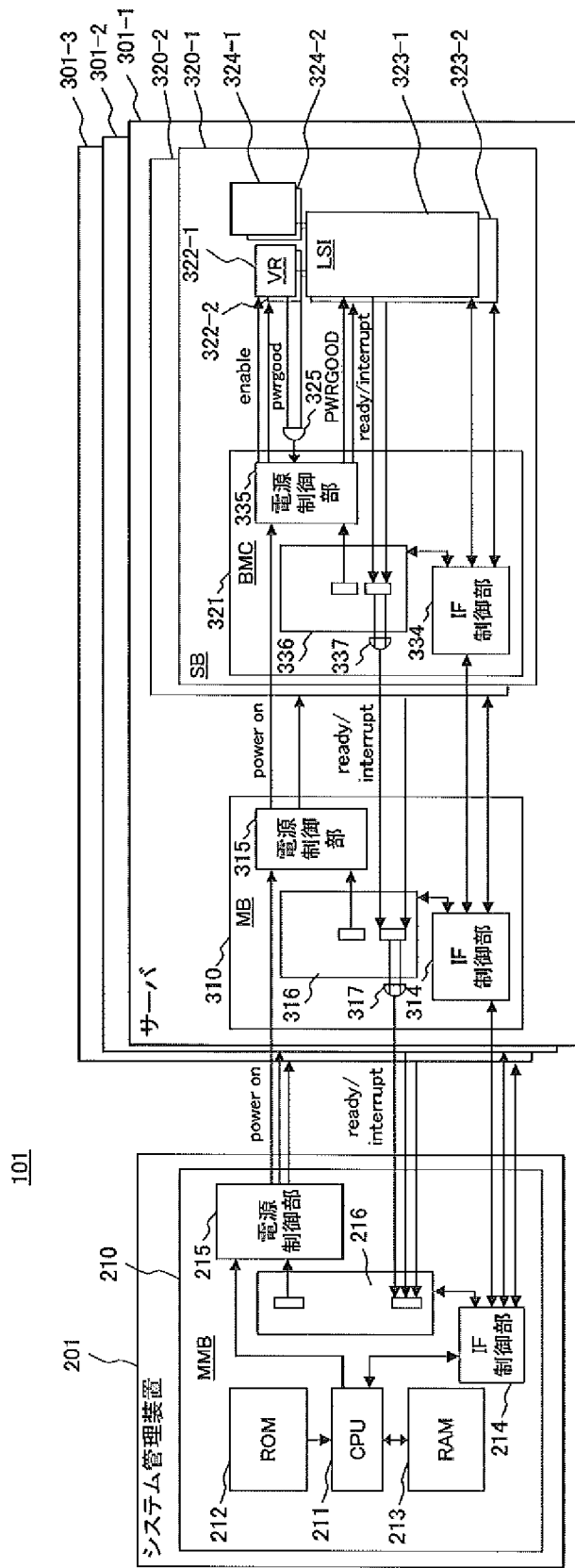
請求の範囲

- [請求項1] 集積回路および該集積回路へ電力を供給する電源回路を搭載したシステムボードを有する複数の情報処理装置と、
前記複数の情報処理装置にパワーオン指示を送信するシステム管理装置と、
を備え、
前記複数の情報処理装置のそれぞれの集積回路は、前記パワーオン指示を受信すると、前記電源回路に電圧の調整を指示することを特徴とする情報処理システム。
- [請求項2] 前記システムボードは、メモリをさらに有し、
前記電源回路は、前記メモリに電力を供給し、
前記集積回路は、前記パワーオン指示を受信すると、前記メモリの情報を取得し、該情報に基づいて、前記電源回路に前記メモリへ供給される電圧の調整を指示することを特徴とする請求項1記載の情報処理システム。
- [請求項3] 前記集積回路は、前記パワーオン指示を受信すると、前記集積回路内のレジスタの設定を行うことを特徴とする請求項1または2記載の情報処理システム。
- [請求項4] 前記集積回路は、
前記集積回路内の素子へ同期信号を出力する位相同期回路と
前記位相同期回路を制御する位相同期回路制御部と、
を備え、
前記集積回路は、前記パワーオン指示を受信すると、前記位相同期回路制御部に前記位相同期回路に対する発振制御を実行させることを特徴とする請求項1乃至3記載の情報処理システム。
- [請求項5] 前記集積回路は、前記パワーオン指示を受信してから、所定の時間が経過したとき、前記システム管理装置へエラー通知を行うことを特徴とする請求項1乃至4記載の情報処理システム。

- [請求項6] 複数の情報処理装置と接続するシステム管理装置であって、
前記システム管理装置は、
前記複数の情報処理装置へパワーオン指示を送信し、
前記複数の情報処理装置から起動完了を示す応答を受信した場合、
前記複数の情報処理装置の運用を開始し、
前記複数の情報処理装置のうちのいずれかの情報処理装置から送信されたエラー通知の受信または前記パワーオン指示の送信から所定時間経過した場合、前記エラー通知を送信した情報処理装置または前記起動完了を示す応答を送信していない情報処理装置へエラー原因を問い合わせる
ことを特徴とするシステム管理装置。
- [請求項7] 情報処理装置が備えるシステムボードに搭載される集積回路であって、
前記情報処理装置と接続する外部装置からパワーオン指示を受信すると、前記集積回路に電力を供給する電源回路に電圧の調整を指示することを特徴とする集積回路。
- [請求項8] 前記集積回路は、前記パワーオン指示を受信すると、前記システムボードに搭載されるメモリの情報を取得し、該情報に基づいて、前記電源回路に前記メモリへ供給される電圧の調整を指示することを特徴とする請求項7記載の集積回路。
- [請求項9] 前記集積回路は、前記パワーオン指示を受信すると、前記集積回路内のレジスタの設定を行うことを特徴とする請求項7または8記載の集積回路。
- [請求項10] 前記集積回路は、
前記集積回路内の素子へ同期信号を出力する位相同期回路と、
前記位相同期回路を制御する位相同期回路制御部と、
を備え、
前記パワーオン指示を受信すると、前記位相同期回路制御部に前記

位相同期回路に対する発振制御を実行させることを特徴とする請求項
7乃至9記載の集積回路。

[図1]



101

201

210

MMB

ROM

CPU

RAM

IF 制御部

電源 制御部

215

216

サーバ

310

MB

電源 制御部

316

317

314

IF 制御部

315

power on

ready/ interrupt

336

337

334

IF 制御部

BMC

335

enable

PWRGOOD

ready/ interrupt

325

322-1

VR

LSI

322-2

324-1

324-2

323-1

323-2

301-3

301-2

301-1

320-2

320-1

324-1

324-2

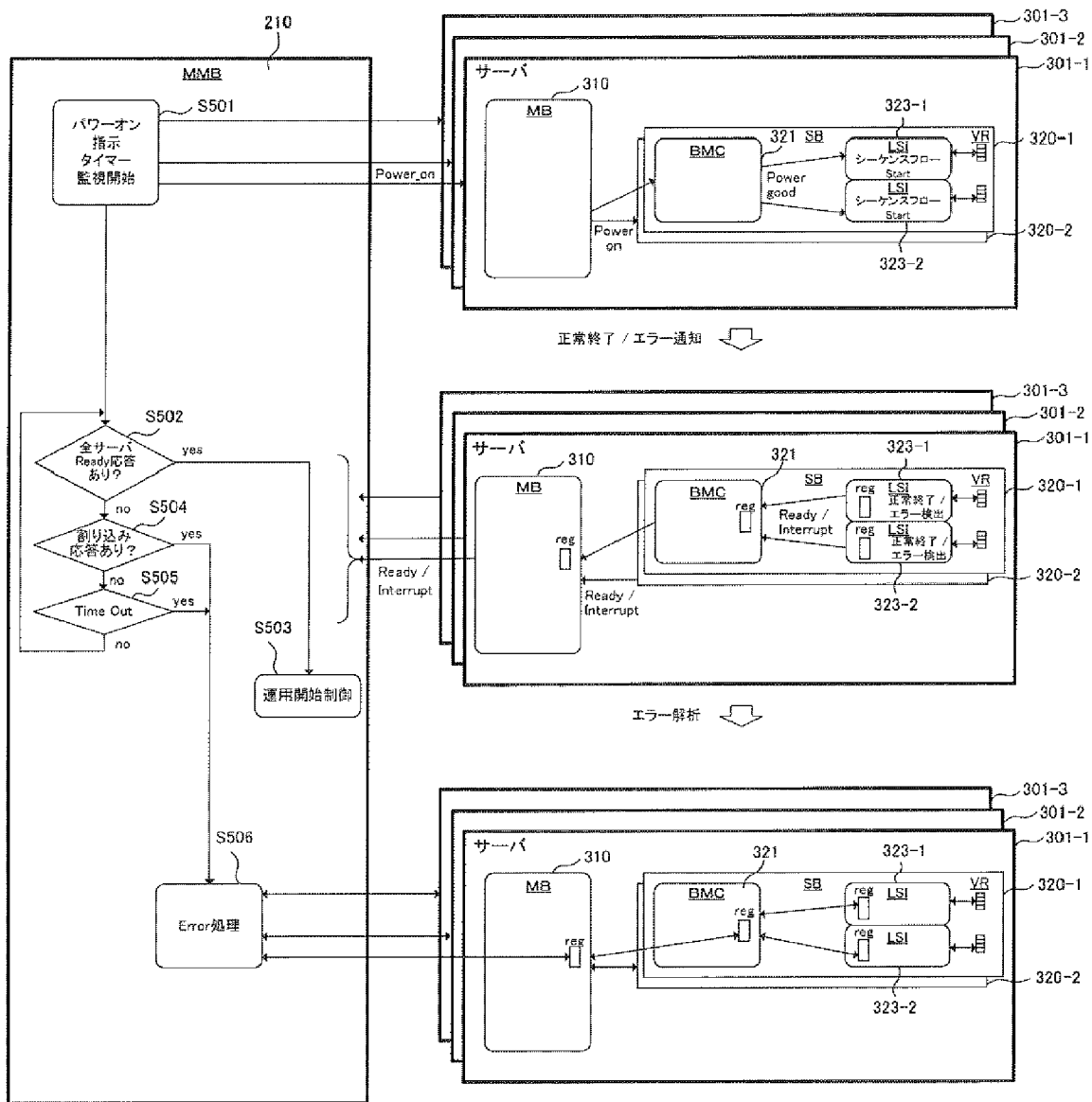
323-1

323-2

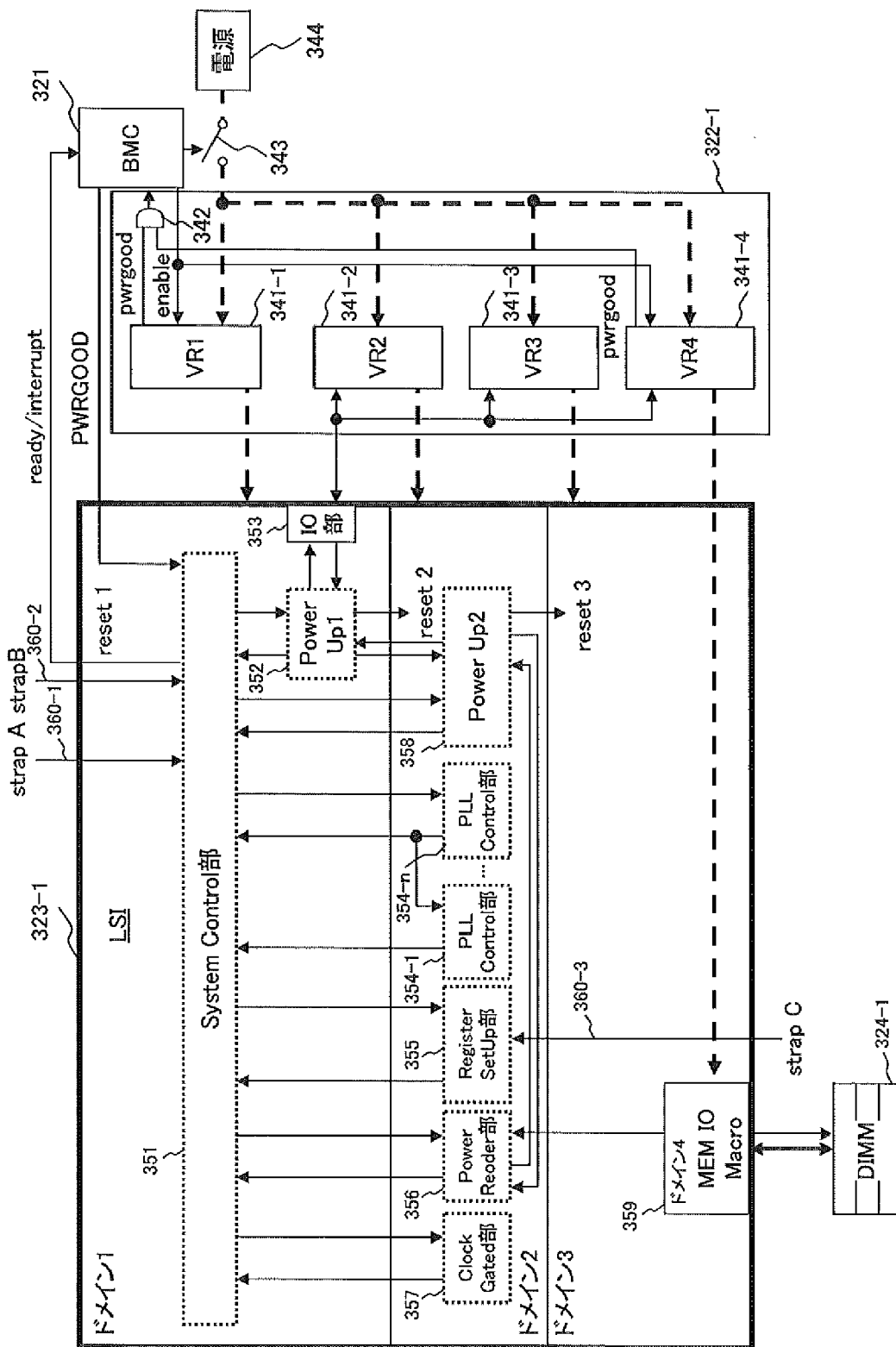
システム管理装置

サーバ

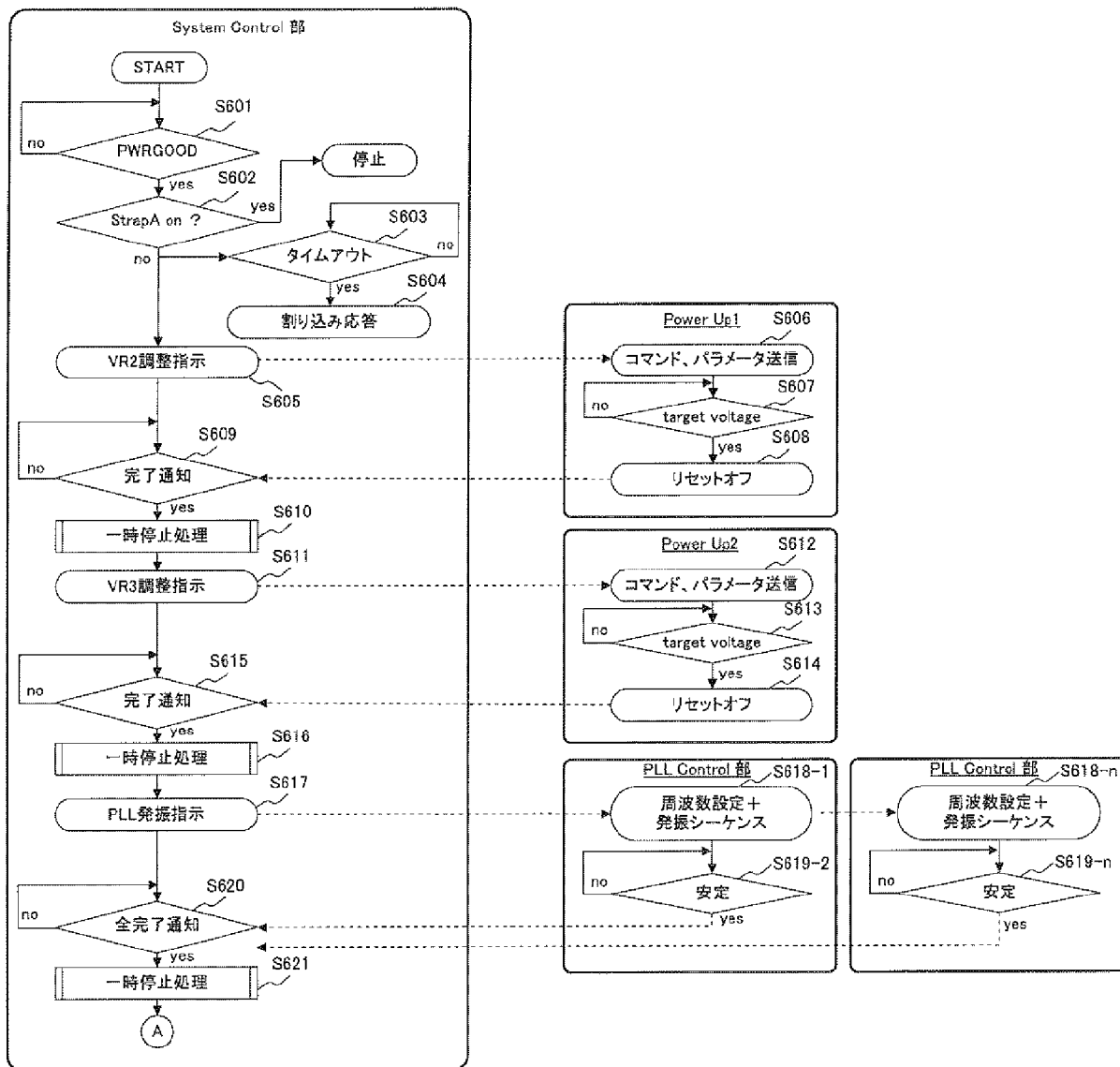
[図2]



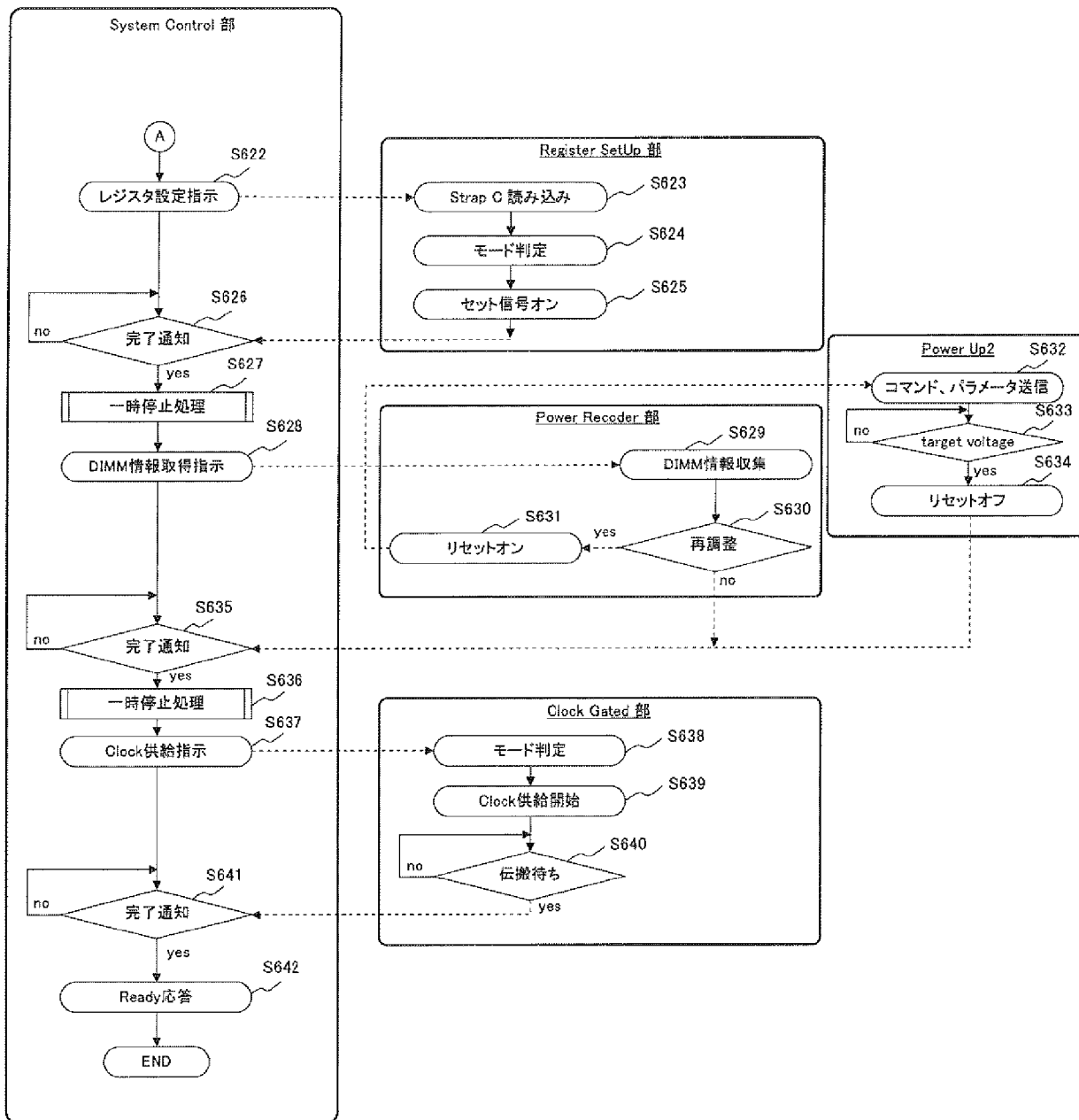
[図3]



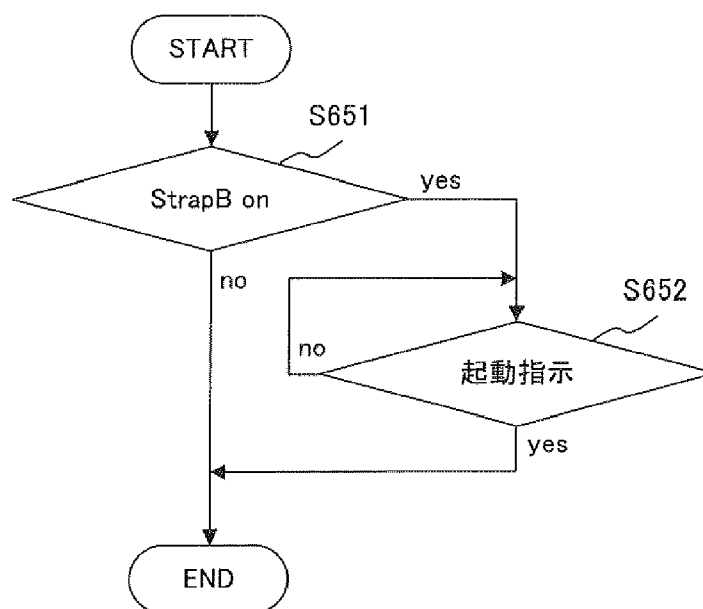
[図4A]



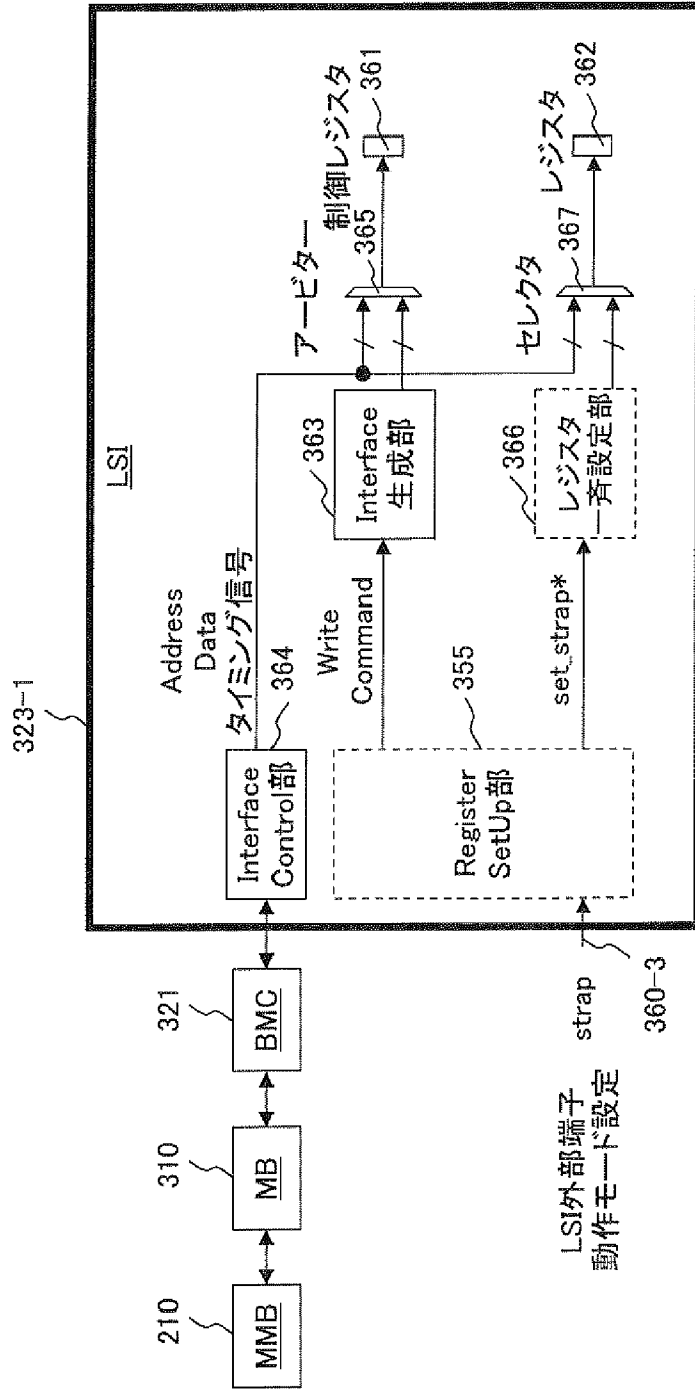
[図4B]



[図5]



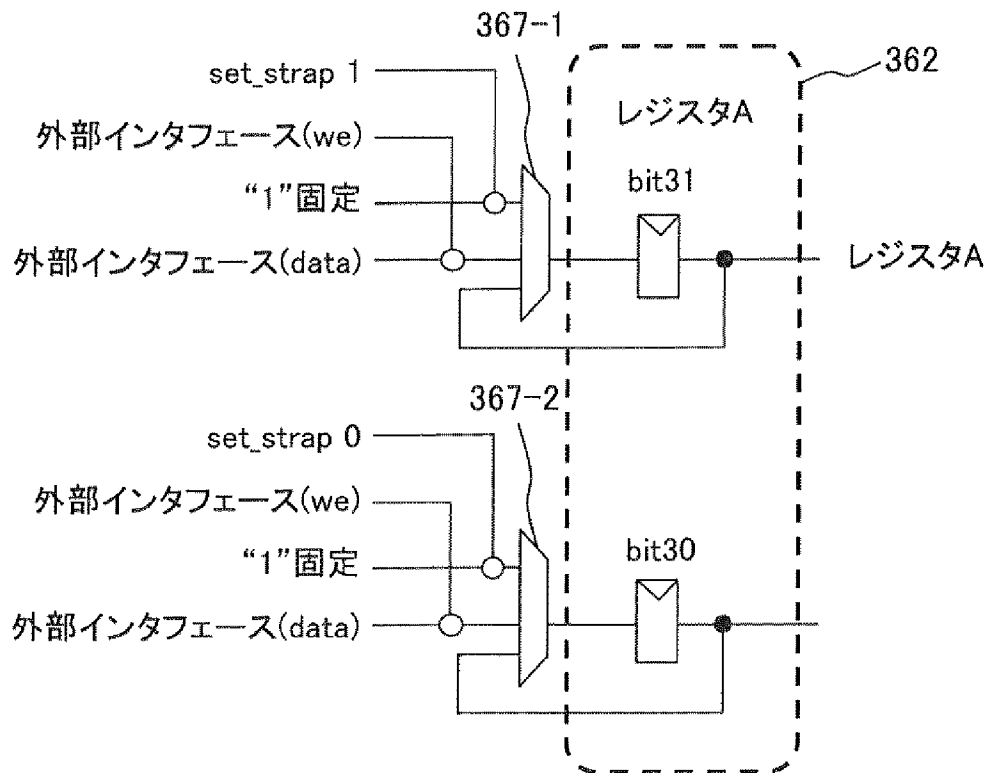
[図6]



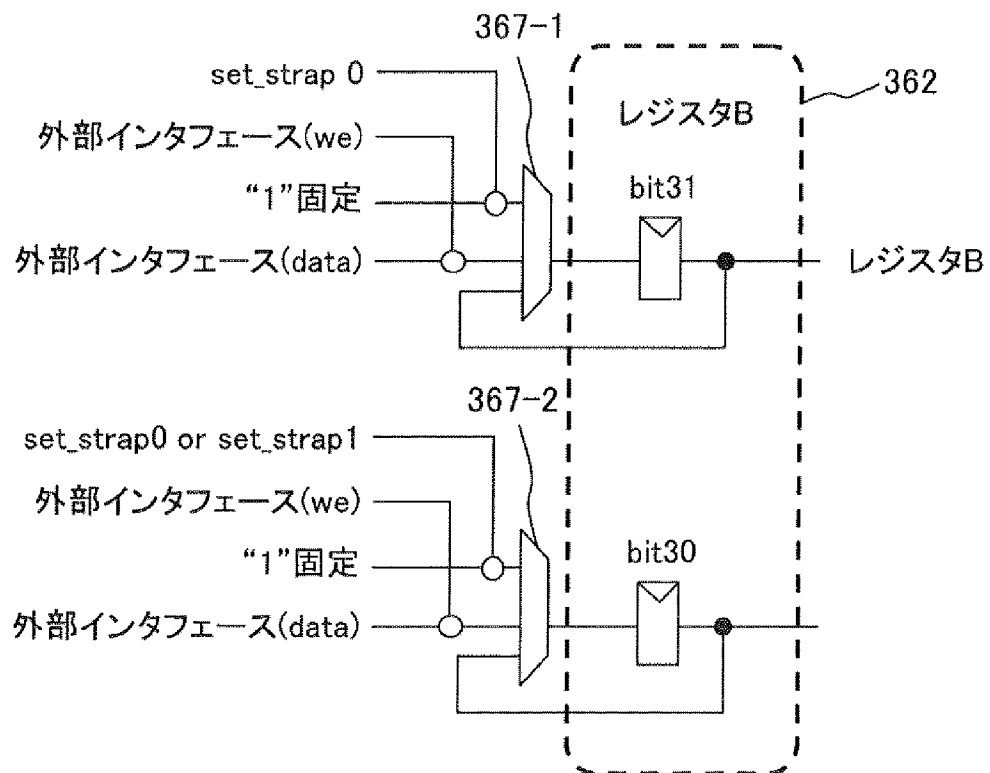
LSI外部端子
動作モード設定

strap
360-3

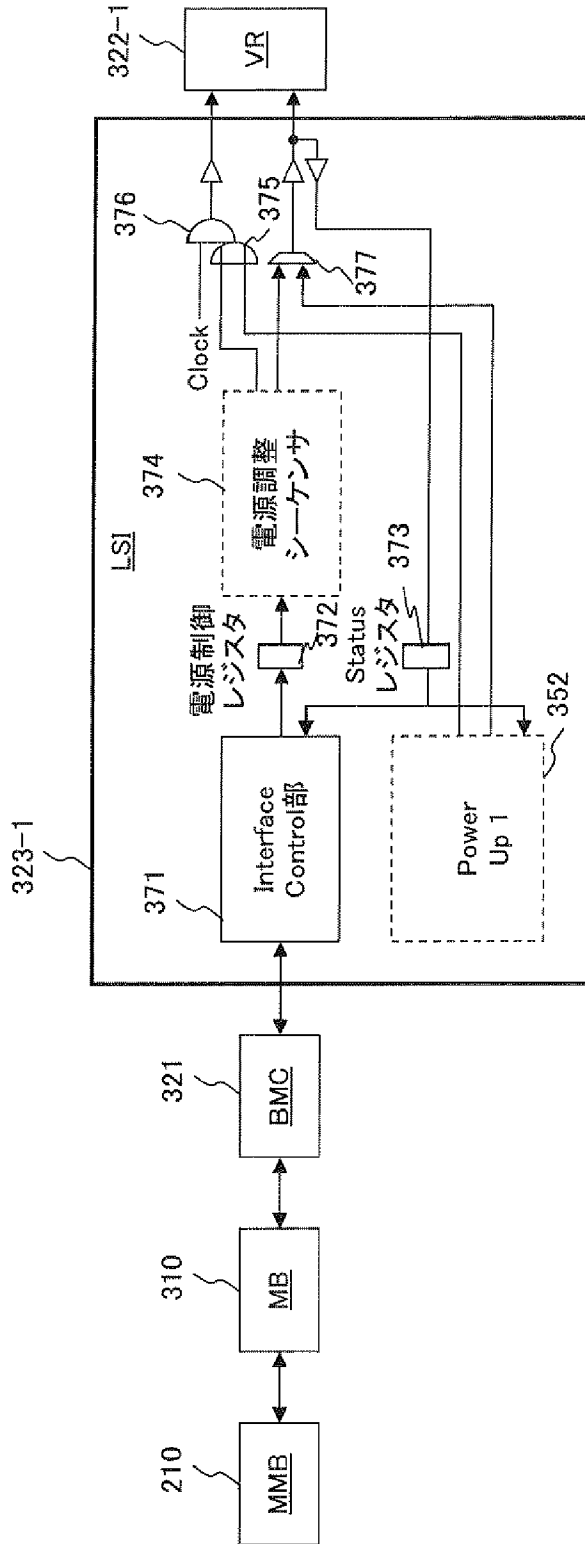
[図7A]



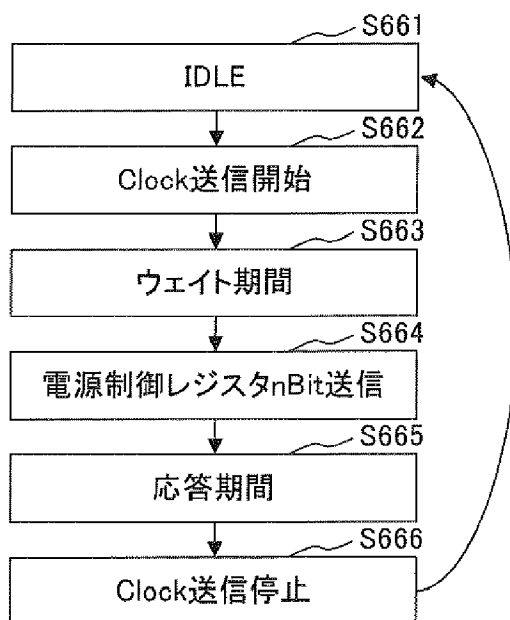
[図7B]



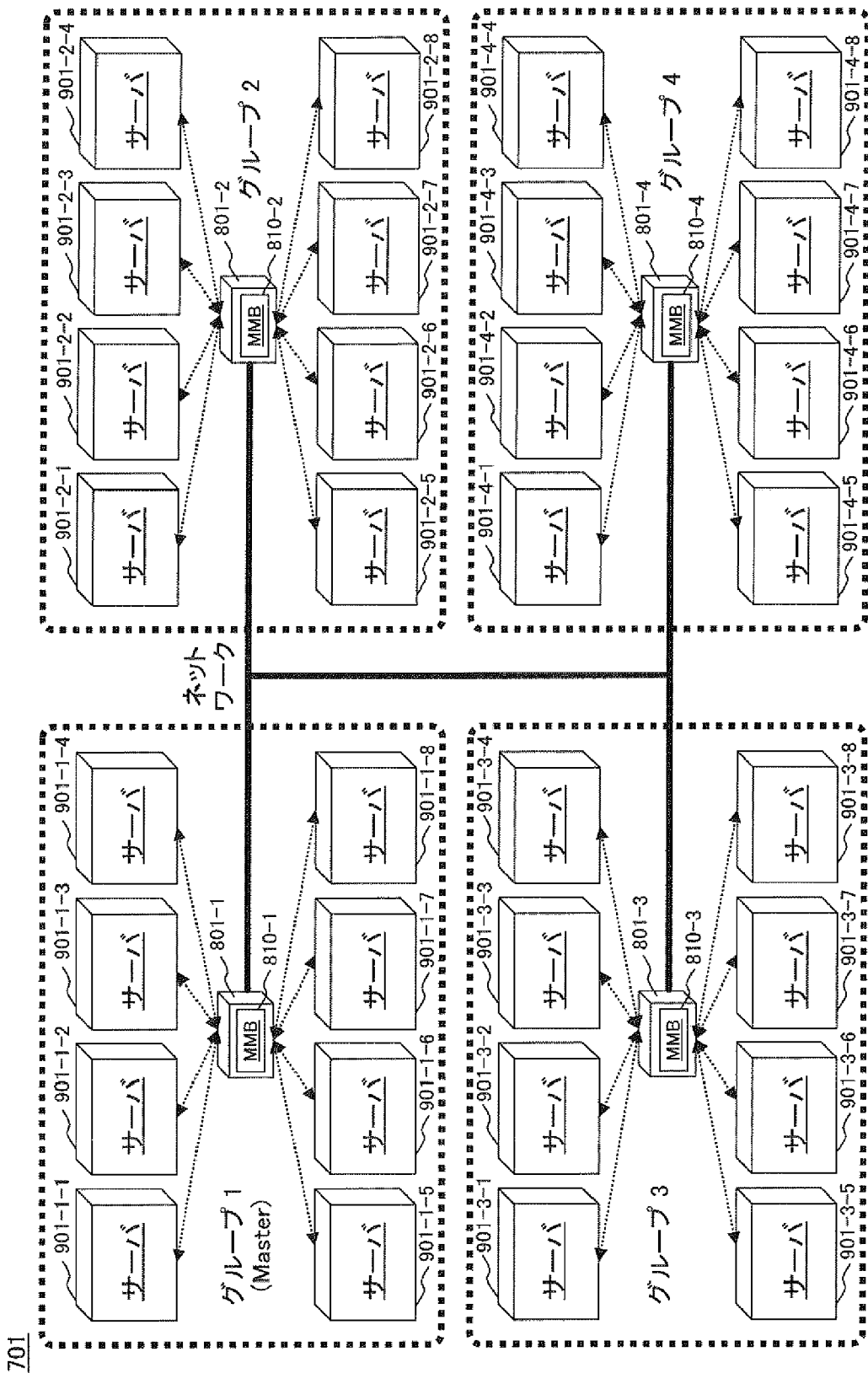
[図8]



[図9]

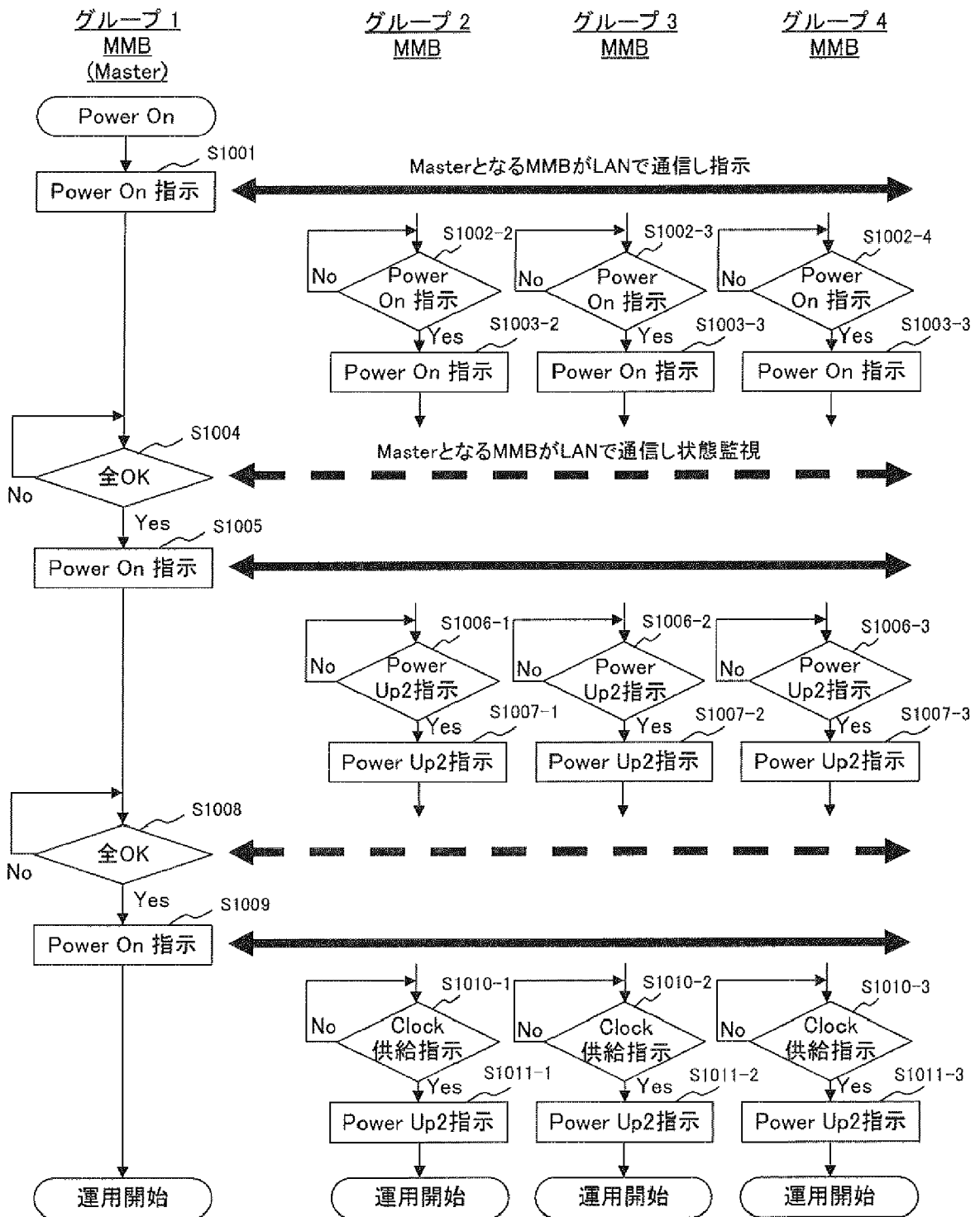


[図10]



701

[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058363

A. CLASSIFICATION OF SUBJECT MATTER

G06F1/26(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F1/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-267096 A (Sharp Corp.), 25 November 2010 (25.11.2010), paragraphs [0021] to [0045]; fig. 1 to 2 (Family: none)	1-5, 7-10
Y	JP 2007-156587 A (Hitachi, Ltd.), 21 June 2007 (21.06.2007), paragraph [0044]; fig. 1 & US 2007/0130481 A1 & US 2006/0281522 A1 & US 2006/0281523 A1 & US 2008/0102952 A1	1-5, 7-10
Y	JP 2006-107127 A (NEC Electronics Corp.), 20 April 2006 (20.04.2006), paragraphs [0033], [0037] & US 2006/0075267 A1 & EP 1645940 A2	3-4, 9-10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24 June, 2011 (24.06.11)

Date of mailing of the international search report
05 July, 2011 (05.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058363

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-053120 A (Fujitsu Ltd.), 26 February 1999 (26.02.1999), paragraph [0009] (Family: none)	5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058363

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to the invention of claim 1 and the invention of claim 6 is "to transmit a power-on indication signal to a plurality of information processors."

However, the technical feature is disclosed in document JP 2007-156587 A (Hitachi, Ltd.), 21 June 2007 (21.06.2007), paragraph [0044]; fig. 1; thus, the technical feature does not make a contribution over the prior art, and is not a special technical feature.

Furthermore, the invention of claim 1 and the invention of claim 6 have no other common technical features than the aforementioned technical feature;
(continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-5, 7-10

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058363

Continuation of Box No.III of continuation of first sheet (2)

thus, there do not exist the same or corresponding special technical features.

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明と請求項6に係る発明は、「複数の情報処理装置へパワーオン指示信号を送信する」という共通の技術的特徴を有している。

しかしながら、当該技術的特徴は、文献 JP 2007-156587 A（株式会社日立製作所）2007.06.21, 段落【0044】, 第1図に開示されているから、先行技術に対する貢献をもたらすものではなく、特別な技術的特徴であるとはいえない。

また、請求項1に係る発明と請求項6に係る発明とは、上記技術的特徴のほかに共通する技術的特徴を有していないので、同一又は対応する特別な技術的特徴は存在しない。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

1-5, 7-10

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F1/26(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F1/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-267096 A (シャープ株式会社) 2010. 11. 25, 段落【0021】 - 【0045】, 第 1-2 図 (ファミリーなし)	1-5, 7-10
Y	JP 2007-156587 A (株式会社日立製作所) 2007. 06. 21, 段落【0044】, 第 1 図 & US 2007/0130481 A1 & US 2006/0281522 A1 & US 2006/0281523 A1 & US 2008/0102952 A1	1-5, 7-10

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

24. 06. 2011

国際調査報告の発送日

05. 07. 2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

緑川 隆

5E

2950

電話番号 03-3581-1101 内線 3521

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-107127 A (NECエレクトロニクス株式会社) 2006.04.20, 段落【0033】 , 【0037】 & US 2006/0075267 A1 & EP 1645940 A2	3-4, 9-10
Y	JP 11-053120 A (富士通株式会社) 1999.02.26, 段落【0009】 (ファミリーなし)	5