

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月16日(16.01.2025)



(10) 国際公開番号

WO 2025/013673 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2024/023734

(22) 国際出願日: 2024年7月1日(01.07.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-112565 2023年7月7日(07.07.2023) JP

(71) 出願人: 大熊ダイヤモンドデバイス株式会社(OOKUMA DIAMOND DEVICE INC.) [JP/JP]; 〒0010021 北海道札幌市北区北二十一条西12丁目2 北大ビジネススプリング Hokkaido (JP).

(72) 発明者: 山口 卓宏(YAMAGUCHI, Takahiro); 〒0010021 北海道札幌市北区北二十一条西12丁目2 北大ビジネススプリング 大熊ダイヤモンドデバイス株式会社内 Hokkaido (JP). 梅沢 仁(UMEZAWA, Hitoshi); 〒0010021 北海道札幌市北区北二十一条西12丁目2 北大ビジネス

スプリング 大熊ダイヤモンドデバイス株式会社内 Hokkaido (JP). 川島 宏幸(KAWASHIMA, Hiroyuki); 〒0010021 北海道札幌市北区北二十一条西12丁目2 北大ビジネススプリング 大熊ダイヤモンドデバイス株式会社内 Hokkaido (JP). 伊藤 彰悟(ITO, Shogo); 〒0010021 北海道札幌市北区北二十一条西12丁目2 北大ビジネススプリング 大熊ダイヤモンドデバイス株式会社内 Hokkaido (JP). 星川 尚久(HOSHIKAWA, Naohisa); 〒0010021 北海道札幌市北区北二十一条西12丁目2 北大ビジネススプリング 大熊ダイヤモンドデバイス株式会社内 Hokkaido (JP).

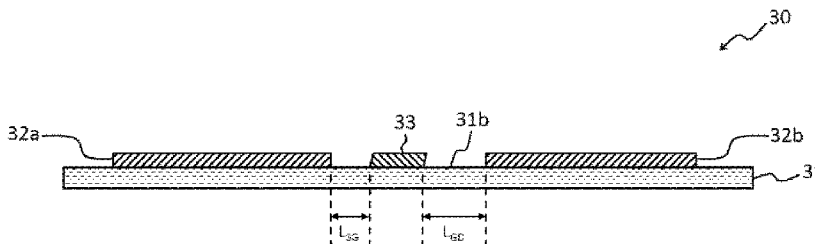
(74) 代理人: 加藤 朝道(KATO, Asamichi); 〒2220033 神奈川県横浜市港北区新横浜2丁目17番19号加藤内外特許事務所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: FET, ELECTROMECHANICAL INSTRUMENT, AND METHOD FOR MANUFACTURING FET

(54) 発明の名称: FET、電気機械器具、及び、FETの製造方法

[図9]



(57) Abstract: Provided is an FET capable of contributing to achievement of both high frequency characteristics and high breakdown voltage operation while maintaining a high yield. The FET includes: a semiconductor layer; a source electrode and a drain electrode disposed on the semiconductor layer with an interval therebetween; and a gate electrode disposed between the source electrode and the drain electrode on the semiconductor layer, and disposed with an interval between the gate electrode and the source electrode and the drain electrode. A source-gate distance between the source electrode and the gate electrode on an upper surface of the semiconductor layer is different from a gate-drain distance between the gate electrode and the drain electrode on the upper surface of the semiconductor layer. The gate electrode is configured to be larger in an oblique direction with respect to the upper surface of the semiconductor layer. (Fig. 9)

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：歩留まりを高く保ちつつ、高周波特性と高耐圧動作とを両立させることに貢献することができる F E T 等を提供すること。F E T は、半導体層と、前記半導体層上において間隔をあけて配設されたソース電極及びドレイン電極と、前記半導体層上の前記ソース電極と前記ドレイン電極との間において前記ソース電極及び前記ドレイン電極のそれぞれと間隔をあけて配設されたゲート電極と、を備え、前記半導体層の上面での前記ソース電極と前記ゲート電極との間のソースゲート間距離は、前記半導体層の前記上面での前記ゲート電極と前記ドレイン電極との間のゲートドレイン間距離と異なり、前記ゲート電極は、前記半導体層の前記上面に対して斜め方向に成長したように構成されている。(図9)

明 細 書

発明の名称： F E T、電気機械器具、及び、F E Tの製造方法
技術分野

[0001] [関連出願についての記載]

本発明は、日本国特許出願：特願２０２３－１１２５６５号（２０２３年７月７日出願）の優先権主張に基づくものであり、同出願の全記載内容は引用をもって本書に組み込み記載されているものとする。

本発明は、F E T、電気機械器具、及び、F E Tの製造方法に関する。

背景技術

[0002] 近年のダイヤモンドC V D（Chemical Vapor Deposition）技術の発展により、C V Dダイヤモンドの高純度化が進み、キャリア（電子、正孔）移動度が高いダイヤモンド単結晶が得られるようになり、電気的特性、高周波特性等の素子性能に優れたダイヤモンドF E T（Field Effect Transistor；電界効果トランジスタ）への利用が期待されている。

[0003] ダイヤモンドF E Tの製造方法の一つとして、以下のようなセルフアライン法がある（例えば、非特許文献１～３参照）。まず、ダイヤモンド単結晶の（００１）上にダイヤモンド半導体層（例えば、水素終端ダイヤモンド層）を成膜し、ダイヤモンド半導体層の表面にA u（金）膜を蒸着し、A u膜上の素子領域に第１レジストを形成し、当該第１レジストをマスクとして、ダイヤモンド半導体層が露出するまでA u膜をウェットエッチングし、第１レジストを除去する。次に、ゲート電極形成用兼ソース電極／ドレイン電極形成用の開口部を有する第２レジストを形成し、当該第２レジストの開口部から露出するA u膜をウェットエッチングして、当該開口部より幅広く分離した、A u膜からなるソース電極／ドレイン電極を形成する。次に、第２レジストをそのままマスクとして用いて、当該第２レジストの開口部から露出したダイヤモンド半導体層上に、金属の蒸着によりゲート電極を成膜し、その後、第２レジスト及びその上の金属層をリフトオフする。これにより、M

ESFET (Metal Semiconductor Field Effect Transistor) 型のダイヤモンドFETが完成する。

- [0004] 上記セルフアライン法によれば、ゲート電極とソース電極／ドレイン電極とを別々のレジストを用いて形成する非セルフアライン法（例えば、特許文献1、非特許文献4参照）と比べて、ソース電極／ドレイン電極の位置に対してゲート電極を正確な位置に配置することができるので、高周波特性を向上させるためにチャネル長やゲート長を微細化しても、アライメント誤差がなく、ダイヤモンドFETを安定的に製造することができ、歩留まりを高く保つのに有利である。

先行技術文献

特許文献

- [0005] 特許文献1：特開2018-078254号

非特許文献

- [0006] 非特許文献1：ダイヤモンドにおけるキャリア輸送特性と高周波FETへの応用、川原田ら、応用物理、73、339-345、2004-03-10、公益社団法人応用物理学会

非特許文献2：水素終端ダイヤモンドFETのゲート金属界面、嘉数ら、表面科学 Vol. 29, No. 3, pp. 159-163, 2008特集「ダイヤモンド表面・界面研究の最前線」 (https://www.jstage.jst.go.jp/article/jsssj/29/3/29_3_159/_pdf/-char/ja)

非特許文献3：“DIAMOND FIELD EFFECT TRANSISTORS”, Stephen A.O. Russell et al, (https://www.armms.org/media/uploads/05_armms_apr12_orussell.pdf)

非特許文献4：“A High Frequency Hydrogen-Terminated Diamond MISFET With fT/f_{max} of 70/80 GHz”, X. Yu et al, IEEE Electron Device Letters, vol. 39, no. 9, pp. 1373-1376, Sept. 2018, doi: 10.1109/LED.2018.2862158.

発明の概要

発明が解決しようとする課題

[0007] 以下の分析は、本願発明者により与えられる。

[0008] ミリ波帯領域以上で動作するためのFETでは、素子の高周波性能向上のためには、チャネル長やゲート長の微細化では限界があるので、ソースゲート間距離やゲートドレイン間距離も最適化することが必要である。つまり、ミリ波帯以上で動作する高性能FETを実現するには、チャネル長やゲート長の微細化のみならず、ソースゲート間抵抗の削減が必要であり、ソースゲート間距離の縮小が必要である。また、周波数特性を向上させるためには、ゲート長の微細化が大きな要素だが、ゲート長の微細化によりトランスコンダクタンスが増大するほど、ソースゲート間距離の縮小が重要になる。

[0009] しかしながら、上記のセルフアライン法では、ゲート電極がソース電極とドレイン電極との間の中央に形成されるので、ダイヤモンドFETの高周波特性を向上させるために、ソースゲート間距離を、ゲートドレイン間距離よりも小さくすることができなかった。つまり、上記のセルフアライン法では、ソース電極／ドレイン電極を形成する際のAu膜のウェットエッチングは左右対称に進むとともに、その後のゲート電極の形成の際にゲート電極がソース電極とドレイン電極との間の中央に形成される。そのため、上記のセルフアライン法では、ソースゲート間距離を縮小させると、ゲートドレイン間距離も同時に縮小され、ソースゲート間抵抗の低下とともにゲートドレイン間抵抗も低下し、FETの高耐圧動作性能が制限され、高周波特性と高耐圧動作とを両立させることができなかった。

[0010] ミリ波帯で動作するダイヤモンドFETとして、例えば、ソースドレイン間距離200nm、ゲート長100nmで設計した場合、上記のセルフアライン法で製造すると、ゲート電極がソース電極とドレイン電極との間の中央に形成されるため、ソースゲート間距離及びゲートドレイン間距離はそれぞれ50nmとなる。この場合、ダイヤモンド半導体層の絶縁破壊を設計上、2MV/cmとすると、50nmの範囲には10Vまでしかかけられない。

これでは高電圧下での動作は困難であり、ひいてはパワーデバイスとしての応用可能性を制限してしまう。このことは、ダイヤモンドFET以外のFETにも同じことが言える。

[0011] 本発明の主な課題は、歩留まりを高く保ちつつ、高周波特性と高耐圧動作とを両立させることに貢献することができるFET、電気機械器具、及び、FETの製造方法を提供することである。

課題を解決するための手段

[0012] 第1の視点に係るFETは、半導体層と、前記半導体層上において間隔をあけて配設されたソース電極及びドレイン電極と、前記半導体層上の前記ソース電極と前記ドレイン電極との間において前記ソース電極及び前記ドレイン電極のそれぞれと間隔をあけて配設されたゲート電極と、を備え、前記半導体層の上面での前記ソース電極と前記ゲート電極との間のソースゲート間距離は、前記半導体層の前記上面での前記ゲート電極と前記ドレイン電極との間のゲートドレイン間距離と異なり、前記ゲート電極は、前記半導体層の前記上面に対して斜め方向に成長したように構成されている。

[0013] 第2の視点に係る電気機械器具は、前記第1の視点に係るFETを備える。

[0014] 第3の視点に係るFETの製造方法は、半導体層上に金属層を成膜する工程と、前記金属層上の一部に開口部を有するレジストを形成し、前記レジストをマスクとして前記開口部から露出する前記金属層をウェットエッチングすることによりソース電極及びドレイン電極を形成する工程と、前記レジストをマスクとして、前記半導体層の上面に対して斜め方向から入射した金属を、前記開口部を通じて前記半導体層上に成膜することにより、ゲート電極を形成する工程と、を含む。

発明の効果

[0015] 前記第1～第3の視点によれば、歩留まりを高く保ちつつ、高周波特性と高耐圧動作とを両立させることに貢献することができる。

図面の簡単な説明

[0016] [図1]形態1に係るダイヤモンドFETの構成の一例を模式的に示した部分断面図である。

[図2]形態1に係るダイヤモンドFETの構成の第1変形例を模式的に示した部分断面図である。

[図3]形態1に係るダイヤモンドFETの構成の第2変形例を模式的に示した部分断面図である。

[図4]形態1に係るダイヤモンドFETの製造方法の一例を模式的に示した工程断面図である。

[図5]形態1に係るダイヤモンドFETの製造方法の一例を模式的に示した図4に続く工程断面図である。

[図6]形態1に係るダイヤモンドFETのゲート電極形成時の状態を模式的に示した部分断面図である。

[図7]形態1に係るダイヤモンドFETのダイヤモンド半導体層の上面に対する金属入射角度とソースゲート間距離／ゲートドレイン間距離に係る分率との関係を模式的に示したグラフである。

[図8]形態1に係るダイヤモンドFETのダイヤモンド半導体層の上面に対する金属入射角度とソースドレイン間の最大電位差との関係を模式的に示したグラフである。

[図9]形態2に係るFETの構成の一例を模式的に示した部分断面図である。

発明を実施するための形態

[0017] 以下、形態について図面を参照しつつ説明する。なお、本出願において図面参照符号を付している場合は、それらは、専ら理解を助けるためのものであり、図示の態様に限定することを意図するものではない。また、下記の形態は、あくまで例示であり、本発明を限定するものではない。

[0018] [形態1]

形態1に係るダイヤモンドFETについて図面を用いて説明する。図1は、形態1に係るダイヤモンドFETの構成の一例を模式的に示した部分断面図である。図2は、形態1に係るダイヤモンドFETの構成の第1変形例を

模式的に示した部分断面図である。図3は、形態1に係るダイヤモンドFETの構成の第2変形例を模式的に示した部分断面図である。なお、形態1では、ダイヤモンドFETを例に説明する。

[0019] ダイヤモンドFET1は、ダイヤモンド半導体層11（図1では水素終端部11a）上の素子領域2に、ソース電極12a、ドレイン電極12b、及びゲート電極14aを備えたFET（Field Effect Transistor）である（図1参照）。ダイヤモンドFET1では、ソース電極12aとゲート電極14aとの間のソースゲート間距離 L_{SG} がゲート電極14aとドレイン電極12bとの間のゲートドレイン間距離 L_{GD} よりも小さくなるように構成されている。ダイヤモンドFET1は、例えば、半導体装置、パワーエレクトロニクス用デバイス、高周波用デバイス、通信用機器、センシング機器、自動車、送配電設備、過酷環境用デバイス、高温環境用機器、放射線環境用機器、宇宙設備、原子炉設備等の電気機械器具に組み込むことができる。なお、ダイヤモンドFET1は例示であり、形態1はダイヤモンドを用いないFETに適用してもよい。

[0020] ダイヤモンドFET1は、図1のようなゲート絶縁膜のないMESFET（Metal Semiconductor Field Effect Transistor）に適用した場合、以下のような構成とすることができる。

[0021] 図1のダイヤモンドFET1では、ダイヤモンド基板10上に、上面（（001）面）が水素終端部11aとなったダイヤモンド半導体層11が形成されている。水素終端部11aは、図1では、素子領域2に存在し、素子領域2の外側に存在しないように構成されている。水素終端部11a上には、ソース電極12a及びドレイン電極12bが互いに間隔をあげ、かつ、水素終端部11aとオーミック接触するように配設されている。水素終端部11a上のソース電極12aとドレイン電極12bの間には、ゲート電極14aがソース電極12a及びドレイン電極12bのそれぞれと間隔をあげ、かつ、水素終端部11aとショットキー接触するように配設されている。ソース電極12aとゲート電極14aとの間のソースゲート間距離 L_{SG} がゲート

電極 1 4 a とドレイン電極 1 2 b との間のゲートドレイン間距離 L_{GD} よりも小さくなっている。すなわち、ゲート電極 1 4 a は、ソース電極 1 2 a とドレイン電極 1 2 b との間の中央からソース電極 1 2 a 側にシフトした位置に配設されている。なお、ダイヤモンド FET 1 は、図 1 のような MESFET 以外にも、図 2 のようにゲート電極 1 4 a と水素終端部 1 1 a との間にゲート絶縁膜 1 3 a を有する MISFET (Metal Insulator Semiconductor Field Effect Transistor) にも適用することができ、MIMSFET (Metal Insulator Metal Semiconductor Field Effect Transistor ; 図示せず) に適用してもよい。

[0022] ダイヤモンド基板 1 0 は、ダイヤモンド単結晶からなる基板である (図 1 参照)。ダイヤモンド基板 1 0 として、例えば、高温高压合成ダイヤモンド単結晶基板を用いることができる。ダイヤモンド基板 1 0 には、表面粗さ (ISO 4287 準拠) が 10 nm 以下になったものを用いることが好ましい。ダイヤモンド基板 1 0 は、表面粗さが 10 nm を超える場合、表面粗さが 10 nm 以下になるように研磨することが好ましい。こうすることで、ダイヤモンド基板 1 0 上に合成されるダイヤモンド半導体層 1 1 の表面粗さを低減することができ、ダイヤモンド半導体層 1 1 と金属や絶縁膜との接触性を向上させられる等のメリットがある。

[0023] ダイヤモンド半導体層 1 1 は、ダイヤモンドを備えるとともに半導体として機能する部分を有する層 (半導体層) である (図 1 参照)。ダイヤモンド半導体層 1 1 の厚さは、例えば、数 μm 、数十 μm 程度とすることができるが、これに限定されるものではない。ダイヤモンド半導体層 1 1 は、例えば、マイクロ波プラズマ CVD (Chemical Vapor Deposition) 装置を用いて、水素及びメタンガスを原料にして、ダイヤモンド基板 1 0 上にダイヤモンド結晶 (エピタキシャルダイヤモンド結晶) を化学気相成長させて成膜することができる。このようにして成膜されたダイヤモンド半導体層 1 1 は、(001) 面 (上面) に水素終端部 1 1 a を有する。水素終端部 1 1 a は、正孔チャンネルが形成されており、p 型伝導を示す。水素終端部 1 1 a における

素子領域 2 以外の領域をオゾン処理して水素を離脱させることで、水素終端部 1 1 a が素子領域 2 に存在し、かつ、水素終端部 1 1 a が素子領域 2 以外の領域に存在しないように構成させることができる。なお、ダイヤモンド半導体層 1 1 は、水素終端部 1 1 a を有するものに限らず、ダイヤモンドに不純物（例えば、ホウ素、リン等）を含んだ（ドーピングされた、注入された）部分を有するものであってもよい。また、ダイヤモンド基板 1 0 上にダイヤモンド半導体層 1 1 を有するものの代わりに、例えば、マイクロ波プラズマ CVD 装置を用いて、水素及びメタンガスを原料にして、種基板上にダイヤモンド結晶を化学気相成長させて当該種基板を除去して得られたダイヤモンド自立膜であってもよい。

[0024] ソース電極 1 2 a 及びドレイン電極 1 2 b は、所定の金属からなる電極である（図 1 参照）。ソース電極 1 2 a 及びドレイン電極 1 2 b には、例えば、Au を用いることができる。ソース電極 1 2 a 及びドレイン電極 1 2 b は、ダイヤモンド半導体層 1 1 上に形成されている。ソース電極 1 2 a 及びドレイン電極 1 2 b は、ダイヤモンド半導体層 1 1 との密着性を確保するため、エッチング剤やレジスト剥離剤又はレジストアッシング用酸素プラズマ等に晒されたことが無い状態のダイヤモンド半導体層 1 1 上に形成されていることが好ましい。ソース電極 1 2 a 及びドレイン電極 1 2 b は、ダイヤモンド半導体層 1 1 の水素終端部 1 1 a と直接接する（オーミック接触する）ように配設されている。ソース電極 1 2 a 及びドレイン電極 1 2 b は、例えば、ダイヤモンド半導体層 1 1 上に金属層を成膜（例えば、蒸着、スパッタ）し、金属層上にソース電極／ドレイン電極形成用のレジストを形成して当該レジストをマスクとしてウェットエッチングし、レジストを除去することにより形成することができる。ソース電極 1 2 a とドレイン電極 1 2 b との間の距離であるソースドレイン間距離 L_{SD} は、200 nm 未満とすることができ、高周波帯（例えば、遮断周波数 50～100 GHz）で動作させることを考慮すると、100 nm 未満であることが好ましい。なお、ソースドレイン間距離 L_{SD} の下限は、FET として機能する限界距離である。ソースドレ

イン間距離 L_{SD} は、ウェットエッチングの時間に応じて変更することができる。ソース電極12a及びドレイン電極12bの厚さは、高周波帯で動作させることを考慮すると、100nm未満であることが好ましく、所望のRF (Radio Frequency) 特性を得ることを考慮すると、50nm未満であることが好ましく、さらなる高周波帯（例えば、遮断周波数100GHz超）で動作させることを考慮すると、25nm未満であることが好ましい。なお、ソース電極12a及びドレイン電極12bの厚さの下限は、臨界膜厚である（下限が示されていない他の厚さについても同様）。なお、ソース電極12a及びドレイン電極12bは、図1のようにダイヤモンド半導体層11の水素終端部11aと直接接する以外にも、図3のように水素終端部11a上にコンタクト層15a、15bを介して配設されるようにしてもよい。コンタクト層15a、15bには、例えば、B（ホウ素）がドーピングされたP+ダイヤモンドなどを用いることができる。コンタクト層15a、15bは、例えば、ホットフィラメントCVD法、マイクロ波プラズマCVD法などによりダイヤモンド半導体層11上に形成することができる。Bドーピングダイヤモンドの場合、例えば、B濃度を $5 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ とすることができる。コンタクト層15a、15bの厚さは、例えば、20～300nmとすることができる。

[0025] ここで、高周波性能を向上させる手法として、 L_{SD} の距離削減と、そのためのソース電極12a及びドレイン電極12bの薄膜化も有効な手法である。ソース電極12a及びドレイン電極12b用の金属層（図4（B）の12に相当）のウェットエッチングの際に、実際には金属層12がサイドエッチングされてしまい、 L_{SD} が大きくなる。また、この効果は、金属層12の厚さが大きいほど、当然大きくなる。例えば、遮断周波数100GHzといった高周波領域で動作するFETのためには、 L_{SD} が100nm未満といった微細構造が必要になる。この時に、金属層12の厚さを100nm未満とすることで、所望の特性（例えば、RF特性）が得やすくなる。また、 L_{SD} が50nm未満とすることがさらなる高周波領域用素子の作製に有効であるこ

とを実験的に確認している。例えば、高周波特性の重要指標である遮断周波数 f_T は、一般的にトランスコンダクタンス (g_m) に比例する。そして、実際に観測される g_m は L_G に反比例するような関係にある。ただし、微細化が進むほどに真性トランスコンダクタンスを g_{m0} とした時のソースゲート間抵抗 R_S との関係（下記数式 1）によって、だんだんと R_S の影響が無視できなくなり、最終的には頭打ちになる。よって、高周波領域で動作する高性能なトランジスタの製造には、 R_S を小さく抑えることが重要であり、サイドエッチングによる L_{SD} の増大を防ぐためには、ソース電極 12a 及びドレイン電極 12b の厚さを 50nm 未満にすることが望まれる。

[0026]

$$g_m = \frac{g_{m0}}{1 + R_S * g_{m0}}$$

[0027] ゲート電極 14a には、例えば、Al、Au、Ti、Mo、Cr、Ru、Cu、Pb、Zn、Pt のいずれかの単層構造又は任意の組み合わせの積層構造からなる金属膜を用いることができる。ゲート電極 14a は、ソースゲート間距離 L_{SG} がゲートドレイン間距離 L_{GD} よりも小さくなるように配設されている。このようなゲート電極 14a は、例えば、ダイヤモンド半導体層 11 上に、ゲート電極形成用のレジストを形成し、当該レジストをマスクとして、ダイヤモンド半導体層 11 の上面 11b に対して斜め方向（図 6 の金属入射角度 θ に相当）から入射したゲート電極 14a 用の金属を、開口部 21a を通じてダイヤモンド半導体層 11 上に成膜（蒸着）することにより、形成することができる。ゲート電極形成用のレジストは、ソース電極／ドレイン電極形成用のレジストを兼ねたものとし、当該レジストを用いてソース電極 12a 及びドレイン電極 12b を形成した後、当該レジストをそのまま用いたセルフアライン法により、ゲート電極 14a を形成することができる。ダイヤモンド半導体層 11 上に、ダイヤモンド半導体層 11 の上面 11b

に対して斜め方向から入射したゲート電極 14 a 用の金属膜を成膜（例えば、蒸着、スパッタ、CVD等）し、その後、レジスト、及びその上にある金属膜をリフトオフすることで、形成することができる。ゲート電極 14 a の厚さは、10 nm～500 nmとすることができ、ゲート長 L_g のサイズを考慮して、100 nm未満とすることが望ましい。また、図2のようにゲート電極 14 a と水素終端部 11 a との間にゲート絶縁膜 13 a を形成する場合、ゲート絶縁膜 13 a には、例えば、 Al_2O_3 、 SiO_2 、 HfO_2 、 AlN 、 BN 、 Si_3N_4 、 $SiON$ 、 Ta_2O_5 、 TiO_2 、 WO_3 、 CaF_2 、 LaF_3 、及び MgF_2 のいずれかの単層構造又は任意の組み合わせの積層構造からなる絶縁膜を用いることができる。なお、キャリア移動度の向上（60～3800 cm/Vs）を考慮して、 CaF_2 、 LaF_3 、 MgF_2 のいずれかの単層構造又は任意の組み合わせの積層構造からなる絶縁膜を用いることも、本発明を活用したデバイスの応用先によっては有用である。ゲート絶縁膜 13 a は、例えば、上記のゲート電極 14 a の形成方法において、ゲート電極 14 a 用の金属膜を成膜する前に、所定の原料ガスを用いてCVD法によりゲート絶縁膜 13 a 用の絶縁膜を成膜し、リフトオフの際にレジストと金属膜の間にある絶縁膜もリフトオフすることで、形成することができる。ゲート絶縁膜 13 a の厚さは、例えば、5 nm～100 nmとすることができ。また、ゲート絶縁膜 13 a の代わりに空間（例えば、空気層、真空層、エアギャップ等）としてもよい。

[0028] ゲート電極 14 a の幅であるゲート長 L_g は、周波数特性の向上（チャネルを走行するキャリアの走行時間の短縮）のため、100 nm未満とすることが望ましく、さらなる高周波帯（例えば、遮断周波数100 GHz超）で動作させることを考慮すると、60 nm未満であることが好ましく、所望のRF（Radio Frequency）特性を得ることを考慮すると、50 nm未満であることが好ましい。なお、ゲート長 L_g の下限は、FETとして機能する限界長さである。なお、ゲート長 L_g の微細化が進むほどに、ゲート電極 14 a とダイヤモンド半導体層 11 との接触性が低下して、抵抗成分が発生したり、断裂

して素子が破壊されたりすることが起きやすくなるので、ゲート長 L_G を100nm未満にする場合、ゲート電極14aを、パッシベーション膜（図示せず）で覆うことが望ましい。パッシベーション膜には、ゲート絶縁膜13aと同様な絶縁材料を用いることができ、例えば、 Al_2O_3 、 SiO_2 、 HfO_2 、 AlN 、 BN 、 Si_3N_4 、 $SiON$ 、 Ta_2O_5 、 TiO_2 、 WO_3 、 CaF_2 、 LaF_3 、及び MgF_2 のいずれかの単層構造又は任意の組み合わせの積層構造からなる絶縁膜を用いることができ、キャリア移動度の向上、及び、プロセスにおける加工性を考慮して、F（フッ素）を含む絶縁材料、例えば、 CaF_2 、 LaF_3 、 MgF_2 のいずれかの単層構造又は任意の組み合わせの積層構造からなる絶縁層を用いることができる。パッシベーション膜の厚さは、ゲート電極14aとダイヤモンド半導体層11との接触性、及び、ソース電極12a及びドレイン電極12bとダイヤモンド半導体層11との接触性を確保することを考慮して、100nm以上であることが好ましく、パッシベーション膜15の上面の平坦性又は平坦加工性を考慮して、300nm以上であることが好ましい。

[0029] ダイヤモンド半導体層11の上面11bでのゲートドレイン間距離 L_{GD} に対するソースゲート間距離 L_{SG} の分率（ L_{SG}/L_{GD} ）は、1未満（百分率では100%未満）とすることができ、高周波領域で動作させることを考慮すると、0.25～0.9とすることが好ましい。分率（ L_{SG}/L_{GD} ）の詳細については、後述する（図7参照）。

[0030] ゲート電極14aは、ダイヤモンド半導体層11の上面11bに対して斜め方向（図6の金属入射方向3、金属入射角度 θ に相当）から、ゲート電極形成用のレジスト（図5（D）の21に相当）の開口部（図5（D）の21aに相当）を通じて、金属を成膜して形成されることから、ゲート電極14aは、ダイヤモンド半導体層11の上面11bに対して斜め方向に成長したように構成されている。つまり、ゲート電極14aの側壁面（ソース電極12a側の側壁面、ドレイン電極12b側の側壁面）は、ダイヤモンド半導体層11の上面11bからその直角方向に離れるに従い、ドレイン電極12b

側に変位するように構成されている。このようなゲート電極 14 a は、金属が金属入射方向 3 に沿って（金属入射角度 θ で）斜めに延びた構造とすることができ、この時金属は繊維状の金属からなる複数のコラムが斜めに延びた構造であっても良い。

[0031] ダイヤモンド半導体層 11 の上面 11 b でのソースドレイン間におけるゲート電極 14 a の位置やゲート長は、ゲート電極形成用のレジスト（図 5（D）の 21 に相当）の厚さ、開口部（図 5（D）の 21 a に相当）の幅、及び、ダイヤモンド半導体層 11 の上面 11 b に対する金属入射方向（図 5（D）の 3 に相当、図 6 の金属入射角度 θ に相当）に応じて変更することができる。金属入射角度 θ の詳細については、後述する（図 7 及び図 8 参照）

[0032] 次に、形態 1 に係るダイヤモンド FET の製造方法について図面を用いて説明する。図 4 ～図 5 は、形態 1 に係るダイヤモンド FET の製造方法の一例を模式的に示した工程断面図である。

[0033] まず、ダイヤモンド基板 10 上にダイヤモンド半導体層 11 を成膜する（図 4（A）参照）。ダイヤモンド半導体層 11 は、例えば、マイクロ波プラズマ CVD 装置を用いて、不純物の添加がない水素及びメタンガスを原料（水素に対するメタンの容積比率 0.5%）にして、ダイヤモンド基板 10 上にダイヤモンド結晶を化学気相成長させて成膜することができる。このようにして成膜されたダイヤモンド半導体層 11 は、（001）面（上面）に水素終端部 11 a を有する水素終端ダイヤモンドである。

[0034] 次に、ダイヤモンド半導体層 11 上に金属層 12 を成膜する（図 4（B）参照）。金属層 12 は、例えば、RF スパッタにより、ダイヤモンド半導体層 11 上に所定の金属（例えば、金）を堆積させて成膜することができる。

[0035] 次に、金属層 12 上の素子領域 2 を覆うレジスト 20 を形成し、レジスト 20 をマスクとして、ダイヤモンド半導体層 11 が露出するまで、金属層 12 をエッチングする（図 4（C）参照）。レジスト 20 は、例えば、リソグラフィ法によって形成することができる。金属層 12 のエッチングには、例えば、ウェットエッチング剤を用いて行うことができる。

- [0036] 次に、レジスト20をマスクとして、オゾン処理して、ダイヤモンド半導体層11における素子領域2以外の領域の水素終端部11aを選択的に消滅させる(図4(D)参照)。これにより、ダイヤモンド半導体層11における素子領域2以外の領域(酸素終端部となった領域)が高抵抗になり、素子間を電氣的に絶縁させることができる。
- [0037] 次に、金属層12上のレジスト(図4(D)の20)を除去する(図5(A)参照)。レジスト20は、例えば、レジスト剥離剤、アッシングにより除去することができる。レジスト20を除去した後、洗浄を行う。
- [0038] 次に、金属層12を含むダイヤモンド半導体層11上に、ゲート電極形成用兼ソース電極／ドレイン電極形成用の開口部21aを有するレジスト21を形成する(図5(B)参照)。レジスト21は、例えば、リソグラフィ法によって形成することができる。
- [0039] 次に、レジスト21をマスクとして、開口部21aから露出した金属層(図5(B)の12)をエッチングし、アンダーエッチングによって金属層12をソース電極12aとドレイン電極12bとに分離させ、続いて、サイドエッチングによりソース電極12a及びドレイン電極12bの端面間の間隔を開口部21aの幅よりも広くさせる(図5(C)参照)。金属層12のエッチングには、例えば、ウェットエッチング剤を用いて行うことができる。
- [0040] 次に、レジスト21をそのままマスクとして、ダイヤモンド半導体層11の上面11bに対して斜め方向(金属入射方向3、図6の金属入射角度 θ に相当)から入射したゲート電極14a用の金属を、開口部21aを通じてダイヤモンド半導体層11上に成膜(蒸着)することにより、ゲート電極14aを形成する(図5(D)参照)。ゲート電極14aの形成方法として、例えば、ソース電極12aの位置がドレイン電極12bの位置よりも低くなるように基板全体を傾けて配置して、レジスト21をそのまま利用したセルフアラインプロセスにより、水平面に対する真上(金属入射方向3)のターゲットから入射したゲート電極14a用の金属を、開口部21aを通じてダイヤモンド半導体層11上に成膜(蒸着)する。このとき、レジスト21上に

もゲート電極 1 4 a 用の金属が成膜（蒸着）した金属層 1 4 が形成される。これにより、開口部 2 1 a の幅よりも狭いゲート長であって、ソースゲート間距離（図 1 の L_{SG} に相当）がゲートドレイン間距離（図 1 の L_{GD} に相当）よりも短いゲート電極 1 4 a が形成される。なお、基板全体を傾けて配置して蒸着する以外にも、基板の表面を水平にしたまま、ターゲットの直下から水平方向にずらして金属入射角度が 90° 未満となるようにして蒸着するようにしてもよい。金属入射方向 3 の詳細については、後述する（図 6 参照）。

[0041] 次に、レジスト（図 5（A）の 2 1）、及び、その上の金属層（図 5（A）の 1 4）を除去する（図 1 参照）。レジスト 2 1、及び、その上の金属層 1 4 は、例えば、レジスト剥離剤を用いてリフトオフすることにより除去することができる。レジスト 2 1 を除去した後、洗浄を行う。この後、ダイヤモンド FET 1 のサイズに応じて、パッシベーション膜（図示せず）を成膜したり、パッシベーション膜に穴あけしてプラグ又はパッドを形成したり、必要に応じて多層配線構造体を形成することになる。

[0042] 次に、金属入射方向（図 5（D）の 3）について図面を用いて説明する。図 6 は、形態 1 に係るダイヤモンド FET のゲート電極形成時の状態を模式的に示した部分断面図である。図 7 は、形態 1 に係るダイヤモンド FET のダイヤモンド半導体層の上面に対する金属入射角度とソースゲート間距離／ゲートドレイン間距離に係る分率との関係を模式的に示したグラフである。図 8 は、形態 1 に係るダイヤモンド FET のダイヤモンド半導体層の上面に対する金属入射角度とソースドレイン間の最大電位差との関係を模式的に示したグラフである。

[0043] 金属入射方向 3 は、金属がダイヤモンド半導体層 1 1 の上面 1 1 b に対して入射される方向であり、金属入射角度 θ に対応する（図 6 参照）。金属入射角度 θ は、垂直方向（ 90° ）から傾けるほど小さくなる。金属入射角度 θ は 80° 以上かつ 90° 未満の範囲とすることができ、その範囲におけるダイヤモンド半導体層 1 1 の上面 1 1 b でのゲートドレイン間距離 L_{GD} に対

するソースゲート間距離 L_{SG} の分率(L_{SG}/L_{GD})のシミュレーションは図7のように1未満(百分率では100%未満)となる。金属入射角度 θ を 90° 未満とすることで、ソースゲート間距離 L_{SG} を縮小し、ゲートドレイン間距離 L_{GD} を拡大する効果がある。また、金属入射角度 θ の変化に伴い、分率(L_{SG}/L_{GD})とゲート電極14aの形状が変わる。金属入射角度 θ は 82° 以上かつ 88° 以下の範囲とすることが好ましい。なお、形態1では、 L_{SG} を L_{GD} よりも短くする場合について説明しているが、 L_{GD} を L_{SG} よりも短くする場合にも形態1の手法を適用することができる。

[0044] また、金属入射角度 θ に対するゲートドレイン間の最大電位差は、各パラメータの値によって具体的な数値は変化するが、例えば、ソース電極12a及びドレイン電極12bの各厚さを50nmとし、レジスト21の厚さを1000nmとし、ゲート長 L_G を50nmとし、ソースドレイン間距離 L_{SD} を200nmとした条件で金属入射角度 θ に対するゲートドレイン間の最大電位差をシミュレーションすると、図8のようになり、金属入射角度 θ が 90° ではゲートドレイン間の最大電位差が15Vとなるのに対して、金属入射角度 θ を小さくした 88° ではゲートドレイン間の最大電位差が22.3Vとなる。つまり、金属入射角度 θ を 90° より小さくすることでゲートドレイン間の最大電位差を向上させることができることが分かる。なお、レジスト21の厚さは、EB(Electron Beam)レジストや犠牲層(LOR(lift-off resist)など)を合計した厚さである。レジスト21は、多くの場合、複数の層で形成されており、各層の水平方向のサイズも変わることがある。

[0045] 以上のことから、金属入射角度 θ を 90° より小さくするほど、分率(L_{SG}/L_{GD})は小さくなり、それに伴ってゲートドレイン間の耐圧性能は向上することが分かる。そして、あらゆるパラメータを変更してシミュレーションすると、分率(L_{SG}/L_{GD})が0.25~0.9の範囲で、好ましい耐圧性能と、高周波動作の設計が実現されることが分かった。実際に、ゲート長 L_G が50nm未満といった超微細なダイヤモンドFETを、分率(L_{SG}/L_{GD})が1未満の条件でダイヤモンドFETを安定的に製造できることを確認

しており、性能も向上した。また、金属入射角度 θ が 90° のときのソースゲート間距離を L_{SG}' とし、ゲート長を L_G' とし、ゲートドレイン間距離を L_{GD}' とし、 $|L_{SG}-L_{SG}'|=\Delta L_{SG}$ とし、 $|L_{GD}-L_{GD}'|=\Delta L_{GD}$ とすると、 $\Delta L_{SG}<\Delta L_{GD}$ であることから、 $L_g<L_g'$ となり、ゲート長短縮による素子特性向上にも有利な効果がある。 L_{SG}/L_{GD} は、 $0.4\sim 0.8$ であることが好ましい。

[0046] 形態1によれば、ソースゲート間距離 L_{SG} をゲートドレイン間距離 L_{GD} と異なるようにダイヤモンド半導体層11の上面11bに対して斜め方向に成長するように構成されたゲート電極14aを形成しているので、セルフアライン法によりゲート電極14aをソース電極12aに寄せて形成することができるようになり、歩留まりを高く保ちつつ、高周波特性と高耐圧動作とを両立させることに貢献することができる。

[0047] [形態2]

形態2に係るFETについて図面を用いて説明する。図9は、形態2に係るFETの構成の一例を模式的に示した部分断面図である。

[0048] FET30は、半導体層31と、ソース電極32a及びドレイン電極32bと、ゲート電極33と、を備える。ソース電極32a及びドレイン電極32bは、半導体層31上において間隔をあけて配設されている。ゲート電極33は、半導体層31上のソース電極32aとドレイン電極32bとの間においてソース電極32a及びドレイン電極32bのそれぞれと間隔をあけて配設されている。半導体層31の上面31bでのソース電極32aとゲート電極33との間のソースゲート間距離 L_{SG} は、半導体層31の上面31bでのゲート電極33とドレイン電極32bとの間のゲートドレイン間距離 L_{GD} と異なる。ゲート電極33は、半導体層31の上面31bに対して斜め方向に成長したように構成されている。

[0049] 形態2によれば、ソースゲート間距離 L_{SG} をゲートドレイン間距離 L_{GD} と異なるように半導体層31の上面31bに対して斜め方向に成長するように構成されたゲート電極14aを形成しているので、セルフアライン法により

ゲート電極 1 4 a をソース電極 1 2 a に寄せて形成することができるようになり、歩留まりを高く保ちつつ、高周波特性と高耐圧動作とを両立させることに貢献することができる。

[0050] 上記形態の一部または全部は以下の付記のようにも記載され得るが、以下には限られない。

[0051] [付記 1]

半導体層と、

前記半導体層上において間隔をあけて配設されたソース電極及びドレイン電極と、

前記半導体層上の前記ソース電極と前記ドレイン電極との間において前記ソース電極及び前記ドレイン電極のそれぞれと間隔をあけて配設されたゲート電極と、

を備え、

前記半導体層の上面での前記ソース電極と前記ゲート電極との間のソースゲート間距離は、前記半導体層の前記上面での前記ゲート電極と前記ドレイン電極との間のゲートドレイン間距離と異なり、

前記ゲート電極は、前記半導体層の前記上面に対して斜め方向に成長したように構成されている、

F E T。

[付記 2]

前記ゲート電極の側壁面は、前記半導体層の前記上面からその直角方向に離れるに従い、前記ドレイン電極側に変位するように構成されている、

付記 1 記載の F E T。

[付記 3]

前記ゲート電極は、金属が前記半導体層の前記上面に対して前記斜め方向に延びた構造となっている、

付記 1 又は 2 記載の F E T。

[付記 4]

前記半導体層の前記上面に対する前記斜め方向は、前記半導体層の前記上面に対して 80° 以上かつ 90° 未満の角度の方向である、
付記 1 乃至 3 のいずれかに記載の F E T。

[付記 5]

前記ゲートドレイン間距離に対する前記ソースゲート間距離の分率は、 $0.25 \sim 0.9$ である、
付記 1 乃至 4 のいずれかに記載の F E T。

[付記 6]

前記ソース電極及び前記ドレイン電極の各端面は、ウェットエッチングにより形成された面である、付記 1 乃至 5 のいずれかに記載の F E T。

[付記 7]

前記半導体層は、ダイヤモンド半導体層からなる、付記 1 乃至 6 のいずれかに記載の F E T。

[付記 8]

前記ソース電極及び前記ドレイン電極の各厚さは、 100 nm 未満である、
付記 1 乃至 7 のいずれかに記載の F E T。

[付記 9]

前記半導体層の前記上面での前記ゲート電極のゲート長は、 100 nm 未満である、
付記 1 乃至 8 のいずれかに記載の F E T。

[付記 10]

前記ソース電極と前記ドレイン電極との間のソースドレイン間距離は、 200 nm 未満である、
付記 1 乃至 9 のいずれかに記載の F E T。

[付記 11]

前記ゲート電極と前記半導体層との間に介在するゲート絶縁膜を備える、
付記 1 乃至 10 のいずれかに記載の F E T。

[付記 1 2]

前記ゲート絶縁膜は、 Al_2O_3 、 SiO_2 、 CaF_2 、 HfO_2 、 AlN 、 BN 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 TiO_2 、 WO_3 、 LaF_3 、及び MgF_2 のいずれかの単層構造又は任意の組み合わせの積層構造からなる、付記 1 記載の FET。

[付記 1 3]

付記 1 乃至 1 2 のいずれかーに記載の FET を備える電気機械器具。

[付記 1 4]

半導体層上に金属層を成膜する工程と、

前記金属層上の一部に開口部を有するレジストを形成し、前記レジストをマスクとして前記開口部から露出する前記金属層をウェットエッチングすることによりソース電極及びドレイン電極を形成する工程と、

前記レジストをマスクとして、前記半導体層の上面に対して斜め方向から入射した金属を、前記開口部を通じて前記半導体層上に成膜することにより、ゲート電極を形成する工程と、

を含む、FET の製造方法。

[0052] なお、上記の特許文献、非特許文献の各開示は、本書に引用をもって繰り込み記載されているものとし、必要に応じて本発明の基礎ないし一部として用いることが出来るものとする。本発明の全開示（特許請求の範囲及び図面を含む）の枠内において、さらにその基本的技術思想に基づいて、形態ないし実施例の変更・調整が可能である。また、本発明の全開示の枠内において種々の開示要素（各請求項の各要素、各形態ないし実施例の各要素、各図面の各要素等を含む）の多様な組み合わせないし選択（必要により不選択）が可能である。すなわち、本発明は、請求の範囲及び図面を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。また、本願に記載の数値及び数値範囲については、明記がなくともその任意の中間値、下位数値、及び、小範囲が記載されているものとみなされる。さらに、上記引用した文献の各開示事項は、必要に応じ、

本願発明の趣旨に則り、本願発明の開示の一部として、その一部又は全部を、本書の記載事項と組み合わせて用いることも、本願の開示事項に含まれる（属する）ものと、みなされる。

符号の説明

- [0053] 1 ダイアモンド F E T （ F E T ）
 2 素子領域
 3 金属入射方向
 1 0 ダイアモンド基板
 1 1 ダイアモンド半導体層（半導体層）
 1 1 a 水素終端部
 1 1 b 上面
 1 2 金属層
 1 2 a ソース電極
 1 2 b ドレイン電極
 1 3 絶縁層
 1 3 a ゲート絶縁膜
 1 4 金属層
 1 4 a ゲート電極
 1 5 a、1 5 b コンタクト層
 2 0、2 1 レジスト
 2 1 a 開口部
 3 0 F E T
 3 1 半導体層
 3 1 b 上面
 3 2 a ソース電極
 3 2 b ドレイン電極
 3 3 ゲート電極

請求の範囲

- [請求項1] 半導体層と、
 前記半導体層上において間隔をあけて配設されたソース電極及びドレイン電極と、
 前記半導体層上の前記ソース電極と前記ドレイン電極との間において前記ソース電極及び前記ドレイン電極のそれぞれと間隔をあけて配設されたゲート電極と、
 を備え、
 前記半導体層の上面での前記ソース電極と前記ゲート電極との間のソースゲート間距離は、前記半導体層の前記上面での前記ゲート電極と前記ドレイン電極との間のゲートドレイン間距離と異なり、
 前記ゲート電極は、前記半導体層の前記上面に対して斜め方向に成長したように構成されている、
 F E T。
- [請求項2] 前記ゲート電極の側壁面は、前記半導体層の前記上面からその直角方向に離れるに従い、前記ドレイン電極側に変位するように構成されている、
 請求項 1 記載の F E T。
- [請求項3] 前記ゲート電極は、金属が前記半導体層の前記上面に対して前記斜め方向に延びた構造となっている、
 請求項 1 又は 2 記載の F E T。
- [請求項4] 前記半導体層の前記上面に対する前記斜め方向は、前記半導体層の前記上面に対して 80° 以上かつ 90° 未満の角度の方向である、
 請求項 1 乃至 3 のいずれかに記載の F E T。
- [請求項5] 前記ゲートドレイン間距離に対する前記ソースゲート間距離の分率は、 $0.25 \sim 0.9$ である、
 請求項 1 乃至 4 のいずれかに記載の F E T。
- [請求項6] 前記ソース電極及び前記ドレイン電極の各端面は、ウェットエッチ

ングにより形成された面である、請求項 1 乃至 5 のいずれかに記載の F E T。

[請求項7] 前記半導体層は、ダイヤモンド半導体層からなる、請求項 1 乃至 6 のいずれかに記載の F E T。

[請求項8] 前記ソース電極及び前記ドレイン電極の各厚さは、100nm未満である、
請求項 1 乃至 7 のいずれかに記載の F E T。

[請求項9] 前記半導体層の前記上面での前記ゲート電極のゲート長は、100nm未満である、
請求項 1 乃至 8 のいずれかに記載の F E T。

[請求項10] 前記ソース電極と前記ドレイン電極との間のソースドレイン間距離は、200nm未満である、
請求項 1 乃至 9 のいずれかに記載の F E T。

[請求項11] 前記ゲート電極と前記半導体層との間に介在するゲート絶縁膜を備える、
請求項 1 乃至 10 のいずれかに記載の F E T。

[請求項12] 前記ゲート絶縁膜は、 Al_2O_3 、 SiO_2 、 CaF_2 、 HfO_2 、 AlN 、 BN 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 TiO_2 、 WO_3 、 LaF_3 、及び MgF_2 のいずれかの単層構造又は任意の組み合わせの積層構造からなる、請求項 11 記載の F E T。

[請求項13] 請求項 1 乃至 12 のいずれかに記載の F E T を備える電気機械器具。

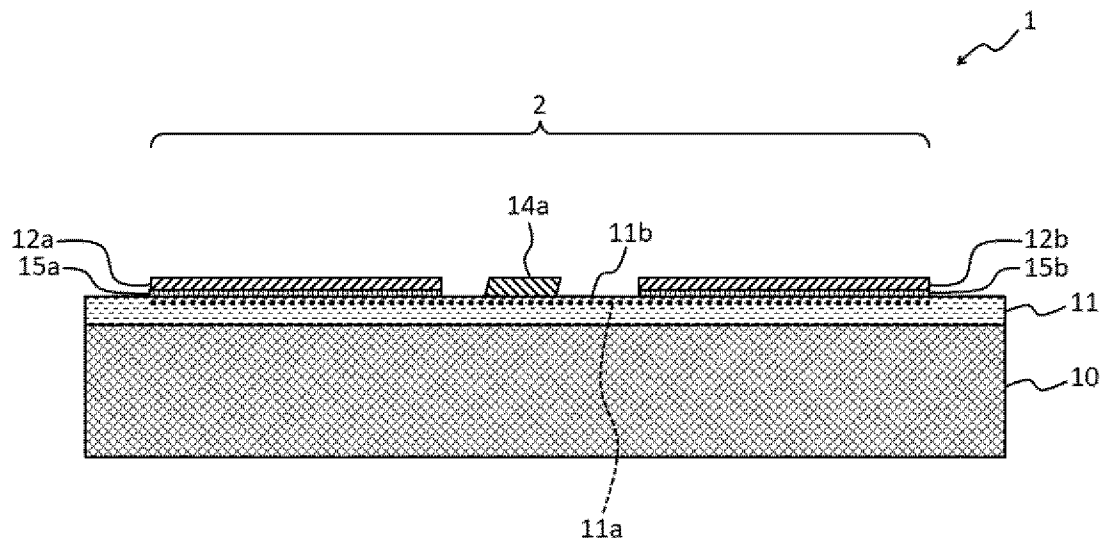
[請求項14] 半導体層上に金属層を成膜する工程と、
前記金属層上の一部に開口部を有するレジストを形成し、前記レジストをマスクとして前記開口部から露出する前記金属層をウェットエッチングすることによりソース電極及びドレイン電極を形成する工程と、

前記レジストをマスクとして、前記半導体層の上面に対して斜め方

向から入射した金属を、前記開口部を通じて前記半導体層上に成膜することにより、ゲート電極を形成する工程と、
を含む、F E Tの製造方法。

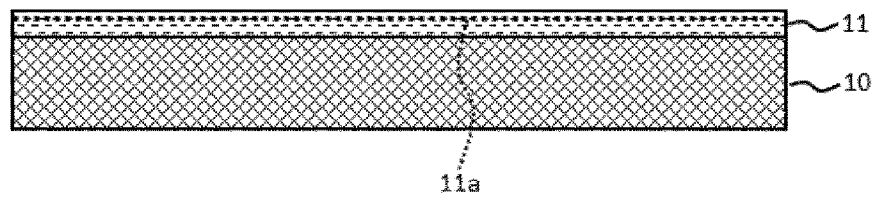
[illegible]

[図3]

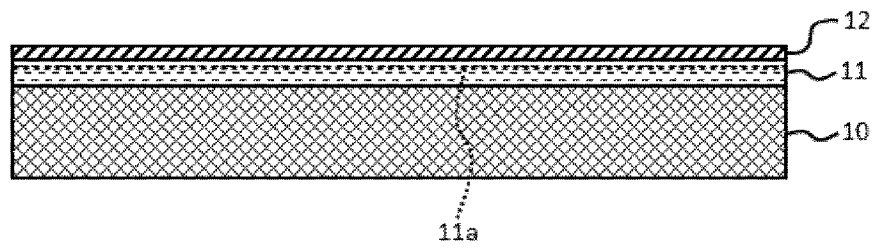


[図4]

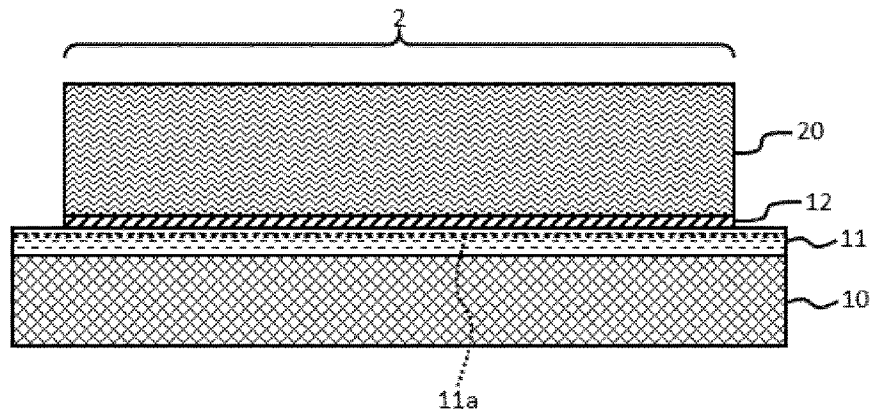
(A)



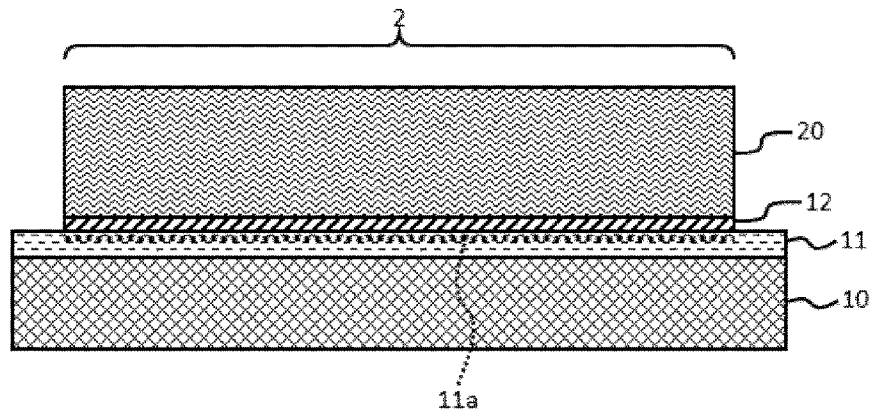
(B)



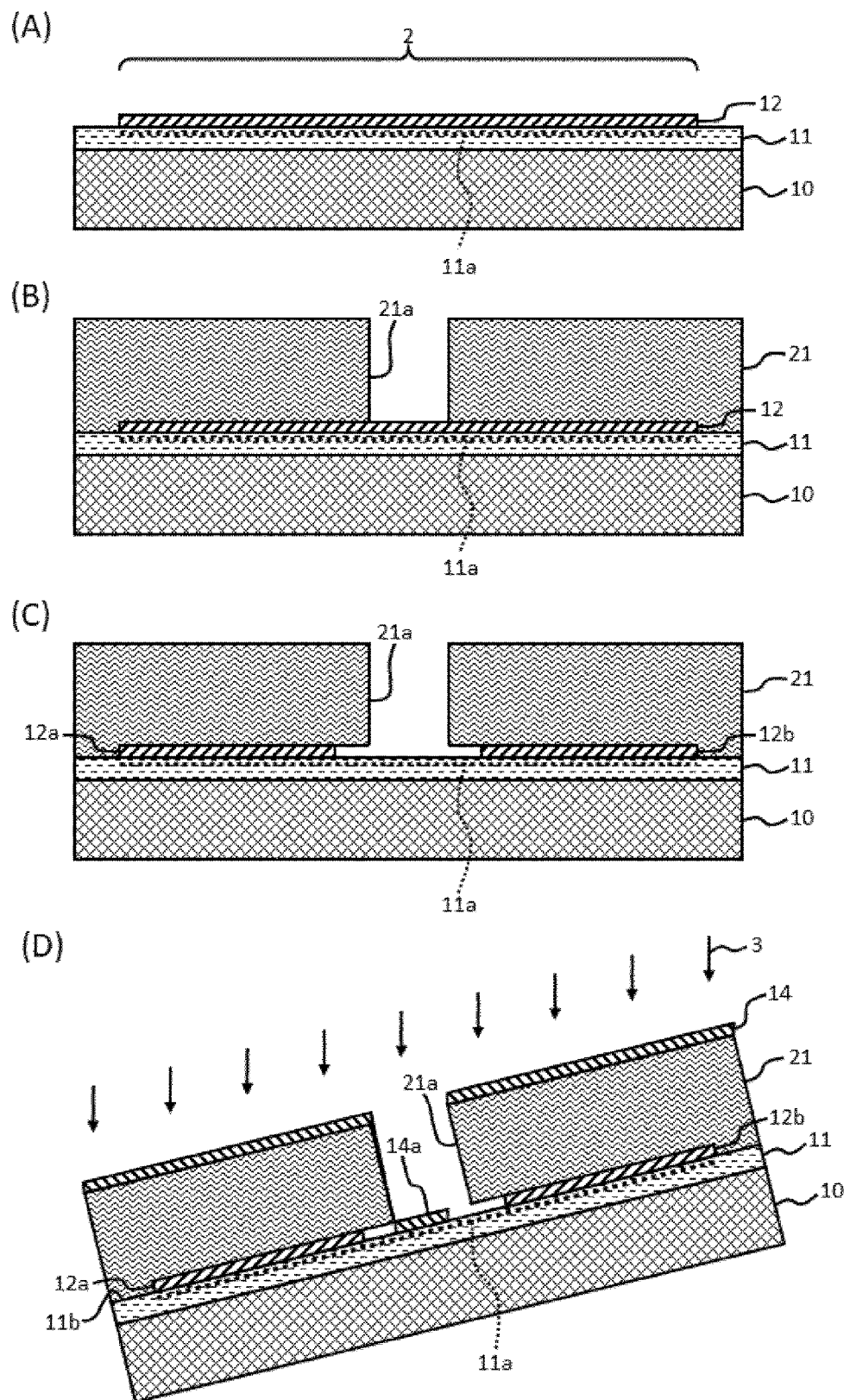
(C)



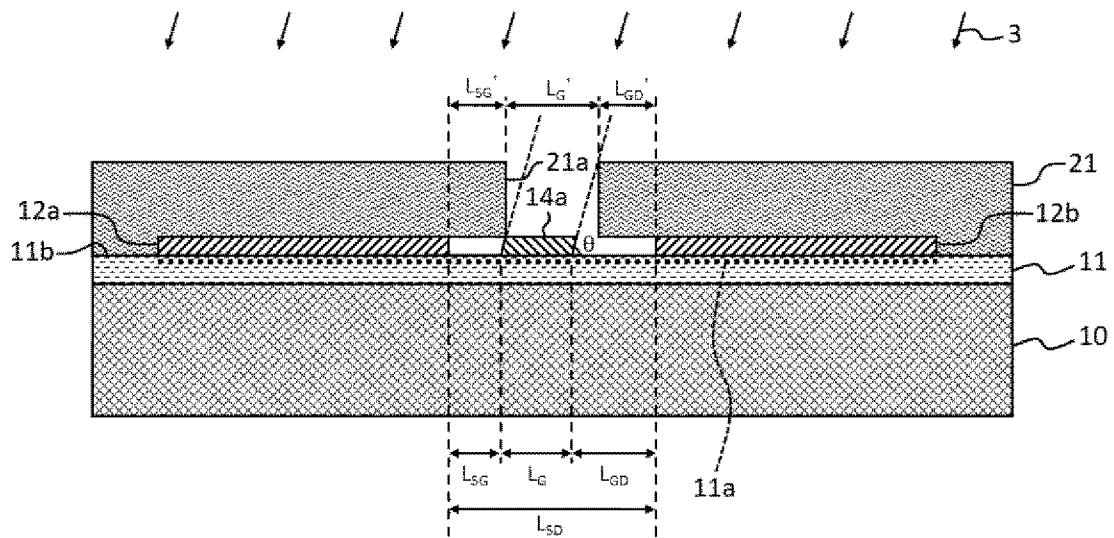
(D)



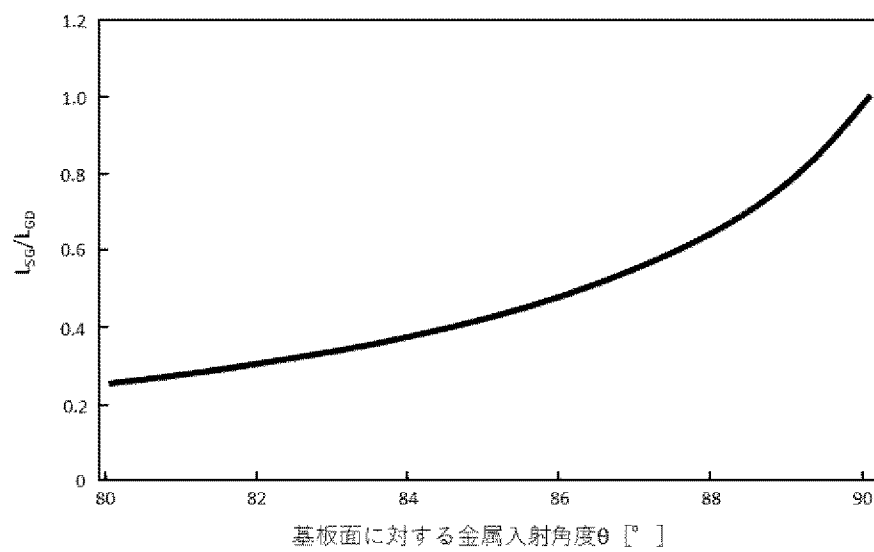
[図5]



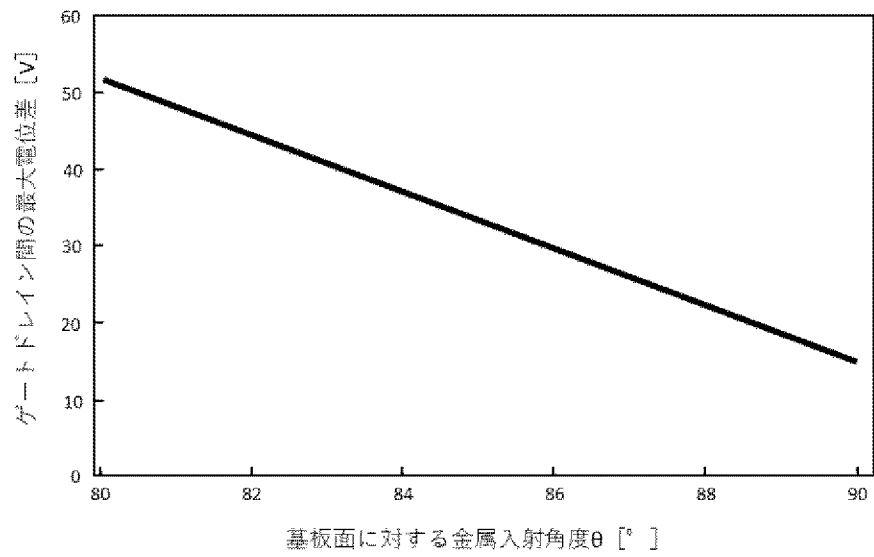
[図6]



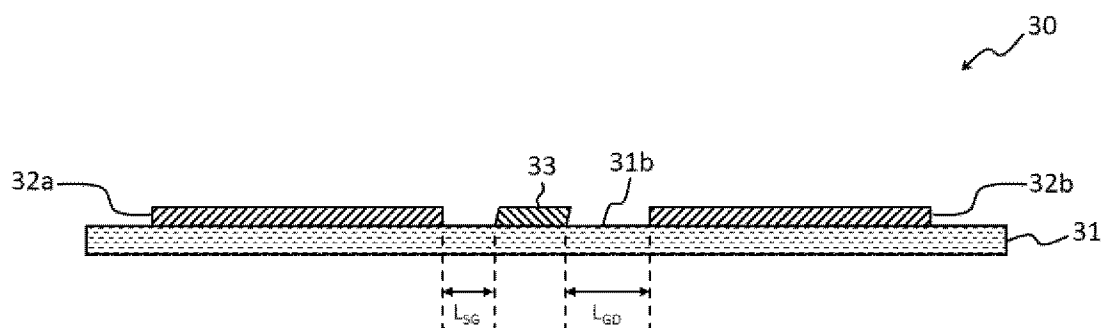
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/023734

A. CLASSIFICATION OF SUBJECT MATTER**H01L 21/336**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/786**(2006.01)i

FI: H01L29/78 301G; H01L29/78 617K

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336; H01L29/78; H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 7-254618 A (OKI ELECTRIC INDUSTRY CO., LTD.) 03 October 1995 (1995-10-03) paragraphs [0005]-[0040], fig. 1-6	1-5, 8-10, 13
Y	paragraphs [0005]-[0040], fig. 1-6	6-7, 11-12
A	paragraphs [0005]-[0040], fig. 1-6	14
Y	JP 2009-049143 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 March 2009 (2009-03-05) paragraph [0112]	6
A	paragraph [0112]	14
Y	JP 9-260398 A (TOKYO GAS CO., LTD.) 03 October 1997 (1997-10-03) paragraph [0014], fig. 1	7
A	paragraph [0014], fig. 1	14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 September 2024

Date of mailing of the international search report

17 September 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2014/013728 A1 (IDEMITSU KOSAN CO., LTD.) 23 January 2014 (2014-01-23)	11-12
A	paragraph [0090]	14
	paragraph [0090]	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/023734

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	7-254618	A	03 October 1995	(Family: none)	
JP	2009-049143	A	05 March 2009	(Family: none)	
JP	9-260398	A	03 October 1997	(Family: none)	
WO	2014/013728	A1	23 January 2014	US 2015/0311071	A1
				paragraph [0190]	
				JP 2014-37617	A
				CN 104471103	A
				KR 10-2015-0031440	A
				TW 201410903	A

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/786(2006.01)i

FI: H01L29/78 301G; H01L29/78 617K

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/336; H01L29/78; H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 7-254618 A（沖電気工業株式会社）03.10.1995（1995-10-03） 段落 [0005] - [0040]、図1-6	1-5, 8-10, 13
Y	段落 [0005] - [0040]、図1-6	6-7, 11-12
A	段落 [0005] - [0040]、図1-6	14
Y	JP 2009-049143 A（株式会社半導体エネルギー研究所）05.03.2009（2009-03-05） 段落 [0112]	6
A	段落 [0112]	14
Y	JP 9-260398 A（東京瓦斯株式会社）03.10.1997（1997-10-03） 段落 [0014]、図1	7
A	段落 [0014]、図1	14
Y	WO 2014/013728 A1（出光興産株式会社）23.01.2014（2014-01-23） 段落 [0090]	11-12
A	段落 [0090]	14

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

04.09.2024

国際調査報告の発送日

17.09.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

石川 雄太郎 5F 5090

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/023734

引用文献			公表日	パテントファミリー文献	公表日
JP	7-254618	A	03.10.1995	(ファミリーなし)	
JP	2009-049143	A	05.03.2009	(ファミリーなし)	
JP	9-260398	A	03.10.1997	(ファミリーなし)	
WO	2014/013728	A1	23.01.2014	US 2015/0311071	A1
				段落 [0 1 9 0]	
				JP 2014-37617	A
				CN 104471103	A
				KR 10-2015-0031440	A
				TW 201410903	A