

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 11 月 10 日 (10.11.2005)

PCT

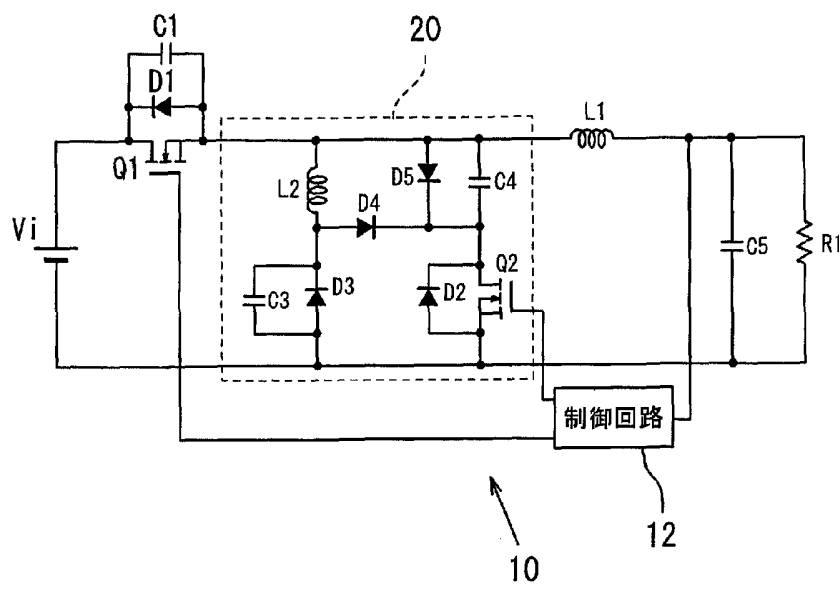
(10) 国際公開番号
WO 2005/107052 A1

- (51) 国際特許分類: **H02M 3/155**
- (21) 国際出願番号: PCT/JP2005/001606
- (22) 国際出願日: 2005 年 2 月 3 日 (03.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-135916 2004 年 4 月 30 日 (30.04.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ミネベ
ア株式会社 (MINEBEA CO., LTD.) [JP/JP]; 〒3890293
長野県北佐久郡御代田町大字御代田 4 1 0 6-7 3
Nagano (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山下 雅也 (YA-
MASHITA, Masaya) [JP/JP]; 〒4371193 静岡県磐田郡
- (74) 代理人: 萼 経夫, 外 (HANABUSA, Tsuneo et al.); 〒
1010062 東京都千代田区神田駿河台 3 丁目 2 番地 新
御茶ノ水アーバントリニティ 萼特許事務所内 Tokyo
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

[続葉有]

(54) Title: DC/DC CONVERTER

(54) 発明の名称: D C-D C コンバータ



12 CONTROL CIRCUIT

(57) Abstract: To provide a DC/DC converter that can suppress switching loss, that can deal with wide-ranging variations of input/output voltages, and to which any conventional circuit can be easily changed. The DC/DC converter (10) comprises a main switching element (Q1); a choke coil (L1); an output capacitor (C5); and a diode module (20). The diode module (20) includes a first series circuit comprising an auxiliary switching element (Q2) and a resonance capacitor (C4); and a second series circuit comprising a flywheel diode (D3) and a resonance coil (L2). The first and second series circuits are connected in parallel with each other.

[続葉有]

WO 2005/107052 A1



SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: スイッチング損失を低減可能で、広範囲な入出力電圧の変動に対応でき、また従来回路を容易に本発明の回路に変更できるDC-DCコンバータを提供する。本発明に係るDC-DCコンバータ10は、主スイッチング素子Q1と、チョークコイルL1と、出力コンデンサC5と、ダイオードモジュール20とを備え、ダイオードモジュール20は、補助スイッチング素子Q2および共振用コンデンサC4からなる第1の直列回路と、フライホイールダイオードD3および共振用コイルL2からなる第2の直列回路とを備え、前記第1および第2の直列回路が並列に接続されている。

明 細 書

DC-DCコンバータ

技術分野

- [0001] 本発明は、DC-DCコンバータに関し、詳しくは、スイッチング損失を低減可能なダイオードモジュールを備えたDC-DCコンバータに関する。

背景技術

- [0002] 半導体デバイスのスイッチング制御によって、入力直流電圧を安定化された所望の直流電圧に変換するDC-DCコンバータは、効率が高かつ小型・軽量化が容易である等の利点を有するため、現在、様々な電子機器の電源、あるいはインバータ技術に基づく電動機制御や種々の放電管の点灯回路等に応用されて、それらの不可欠の構成要素となっている。
- [0003] たとえば、従来の降圧型DC-DCコンバータの回路構成を、図16に示す。図16において、DC-DCコンバータ100は、主スイッチング素子である電界効果型トランジスタQ1、フライホイールダイオードD3、チョークコイルL1、出力コンデンサC5、および制御回路102を有しており、電圧Viは直流電源を、抵抗R1は負荷をそれぞれ示している。また、コンデンサC1は電界効果型トランジスタQ1のドレイン・ソース間接合容量である。
- [0004] 直流電源Viは、その正極側端子が電界効果型トランジスタQ1の一端であるドレインに接続され、負極側端子は接地されている。電界効果型トランジスタQ1の一端であるソースは、フライホイールダイオードD3のカソードとチョークコイルL1の一端に接続され、チョークコイルL1の他端は、出力コンデンサC5の一端に接続されている。出力コンデンサC5の他端およびフライホイールダイオードD3のアノードは接地されている。制御回路102は、その検出用端子がチョークコイルL1の負荷R1側に接続され、出力端子が電界効果型トランジスタQ1のゲートに接続されている。
- [0005] このDC-DCコンバータ100の動作について説明する。まず、電界効果型トランジスタQ1がオフ状態で定常状態にあるものとする。このような定常状態において電界効果型トランジスタQ1がオンすると、電界効果型トランジスタQ1を介して直流電源Vi

からチョークコイルL1へと電流が流れ、チョークコイルL1の負荷R1側の電圧は、出力コンデンサC5によって平滑化されて負荷R1に印加される。この際、電界効果型トランジスタQ1のオン期間には、チョークコイルL1に、その電流に応じたエネルギーが蓄積されている。その後、電界効果型トランジスタQ1がオフすると、チョークコイルL1の両端に起電力が発生し、この起電力によって維持される電流がフライホイールダイオードD3を通じて転流して、オン期間に蓄積されたエネルギーが負荷R1に供給される。

[0006] 以上の動作を繰り返すことにより、負荷R1の両端には電界効果型トランジスタQ1のデューティ比(「オン期間/(オン期間+オフ期間)」)に応じた電圧が出力される。ここで、制御回路102は、入力電圧Viおよび負荷R1の変動によらずに一定の出力電圧を維持するため、検出した出力電圧に基づいて電界効果型トランジスタQ1のデューティ比を変化させるPWM(Pulse Width Modulation)制御を行う。

[0007] このようなDC-DCコンバータ100では、ドレイン・ソース間の接合容量C1や配線による寄生インダクタにより、電界効果型トランジスタQ1のオンする瞬間やオフする瞬間に、ゼロではないドレイン・ソース間電圧とドレイン電流とが同時に存在する遷移期間が生じ、これによってスイッチング損失が発生する。このスイッチング損失は、オンオフ制御の高周波化によって増大するため、高周波化によってチョークコイルのインダクタンスや出力コンデンサの容量を小さくし、装置の小型化・軽量化を図る上で大きな問題となる。また電界効果型トランジスタQ1がオフすることによって、フライホイールダイオードD3に対して逆バイアスがかかると、その逆回復時間にカソードからアノードへ大きなリカバリ電流が流れ、大きな損失が発生するという問題もある。

[0008] これらの問題に対して、従来、共振を利用することによりスイッチング損失やリカバリ電流による損失を低減するいわゆるソフトスイッチング技術が知られており、たとえば、特許文献1には、広範囲な入出力電圧変動に対応するため、スイッチング素子や整流素子の接合容量を利用した共振回路の構成が開示されている。

特許文献1:特開2003-189602号公報

発明の開示

発明が解決しようとする課題

[0009] しかしながら、特許文献1に記載されたような構成のDC-DCコンバータでは、デューティ比を小さくした場合、共振用コイルに十分なエネルギーを蓄えることができなくなり、これに伴って共振用コンデンサの電圧が減少し、この状態が継続すると最終的に共振用コンデンサの電圧が逆方向となり、共振用コイルのリセットができなくなってしまうという問題がある。また、整流ダイオード(フライホイールダイオード)および共振用に付加する部品から構成される整流回路部分が、共振用コイルのみを第1のスイッチング素子とチョークコイルとの間に介在させ、その他の部品を共振用コイルの両端から並列に接続する構成であるため、この整流回路部分を1つのモジュールとする場合、少なくとも三端子を有する回路となり、二端子素子であるフライホイールダイオードのみを使用した従来の回路からの変更が容易ではないという問題がある。

[0010] 本発明は、上記課題に鑑みて、スイッチング損失を低減可能で、しかも広範囲な入出力電圧の変動に対応でき、また従来回路を容易に本発明の回路に変更できるダイオードモジュールを用いたDC-DCコンバータを提供することを目的とする。

課題を解決するための手段

[0011] 上記目的を達成するため、本発明に係るDC-DCコンバータは、主スイッチング素子と、チョークコイルと、出力コンデンサと、ダイオードモジュールとを備え、前記主スイッチング素子のオンオフ動作によって直流電源の電圧を変換して異なる直流電圧を出力するDC-DCコンバータであって、前記ダイオードモジュールは、補助スイッチング素子および共振用コンデンサからなる第1の直列回路と、フライホイールダイオードおよび共振用コイルからなる第2の直列回路とを備え、前記第1および第2の直列回路が並列に接続されていることを特徴とする。

[0012] さらに、前記ダイオードモジュールは、前記共振用コンデンサに並列に接続された第1のダイオードを含むことを特徴とする。

[0013] さらに、前記ダイオードモジュールは、前記補助スイッチング素子と前記共振用コンデンサの接続点と、前記フライホイールダイオードと前記共振用コイルの接続点との間に接続された第2のダイオードを含むことを特徴とする。

[0014] 別の態様では、本発明に係るDC-DCコンバータは、前記主スイッチング素子の一端が直流電源の一端に接続され、前記主スイッチング素子の他端が前記チョークコ

イルの一端に接続され、前記チョークコイルの他端が前記出力コンデンサの一端に接続され、前記ダイオードモジュールが、前記主スイッチング素子と前記チョークコイルの接続点と、前記直流電源の他端との間に接続されて、降圧動作を行うことを特徴とする。

[0015] 別の態様では、本発明に係るDC-DCコンバータは、前記チョークコイルの一端が直流電源の一端に接続され、前記チョークコイルの他端が前記主スイッチング素子の一端に接続され、前記主スイッチング素子の他端が前記直流電源の他端に接続され、前記ダイオードモジュールが、前記チョークコイルと前記主スイッチング素子の接続点と、前記出力コンデンサの一端との間に接続されて、昇圧動作を行うことを特徴とする。

[0016] 別の態様では、本発明に係るDC-DCコンバータは、前記主スイッチング素子の一端が直流電源の一端に接続され、前記主スイッチング素子の他端が前記チョークコイルの一端に接続され、前記チョークコイルの他端が前記直流電源の他端に接続され、前記ダイオードモジュールが、前記主スイッチング素子と前記チョークコイルの接続点と、前記出力コンデンサの一端との間に接続されて、昇降圧動作を行うことを特徴とする。

[0017] 別の態様では、本発明に係るDC-DCコンバータは、第1の前記チョークコイルの一端が直流電源の一端に接続され、前記第1のチョークコイルの他端が前記主スイッチング素子の一端および結合コンデンサの一端に接続され、前記主スイッチング素子の他端が前記直流電源の他端に接続され、前記結合コンデンサの他端が第2のチョークコイルの一端に接続され、前記第2のチョークコイルの他端が前記出力コンデンサの一端に接続され、前記ダイオードモジュールが、前記結合コンデンサと前記第2のチョークコイルの接続点と、前記直流電源の他端との間に接続されて、昇降圧動作を行うことを特徴とする。

[0018] 別の態様では、本発明に係るDC-DCコンバータは、第1の前記チョークコイルの一端が直流電源の一端に接続され、前記第1のチョークコイルの他端が前記主スイッチング素子の一端および前記結合コンデンサの一端に接続され、前記主スイッチング素子の他端が前記直流電源の他端に接続され、前記結合コンデンサの他端が第

2の前記チョークコイルの一端に接続され、前記第2のチョークコイルの他端が前記直流電源の他端に接続され、前記ダイオードモジュールが、前記結合コンデンサと前記第2のチョークコイルの接続点と、前記出力コンデンサの一端との間に接続されて、昇降圧動作を行うことを特徴とする。

[0019] 別の態様では、本発明に係るDC-DCコンバータは、前記主スイッチング素子の一端が直流電源の一端に接続され、前記主スイッチング素子の他端が第1の前記チョークコイルの一端および結合コンデンサの一端に接続され、前記第1のチョークコイルの他端が前記直流電源の他端に接続され、前記結合コンデンサの他端が第2の前記チョークコイルの一端に接続され、前記第2のチョークコイルの他端が前記出力コンデンサの一端に接続され、前記ダイオードモジュールが、前記結合コンデンサと前記第2のチョークコイルの接続点と、前記直流電源の他端との間に接続されて、昇降圧動作を行うことを特徴とする。

[0020] さらに、本発明に係るDC-DCコンバータは、前記主スイッチング素子に並列にコンデンサが接続されていることを特徴とする。

[0021] さらに、本発明に係るDC-DCコンバータは、前記共振用コイルと前記フライホイールダイオードの接続点と、前記直流電源との間に第3のダイオードを備えることを特徴とする。

発明の効果

[0022] 本発明に係るDC-DCコンバータによれば、補助スイッチング素子および共振用コンデンサからなる直列回路と、フライホイールダイオードおよび共振用コイルからなる直列回路が並列に接続されたダイオードモジュールによって、主スイッチング素子および補助スイッチング素子のスイッチング損失およびフライホイールダイオードのリカバリ電流を低減すると共に、広い入出力電圧範囲におけるPWM制御が可能となる。また、本発明のダイオードモジュールは、二端子素子としてモジュール化されているため、従来のDC-DCコンバータにおけるフライホイールダイオードを、本発明のダイオードモジュールに容易に置換することができる。

[0023] 特に、ダイオードモジュール中の共振用コンデンサに並列に第1のダイオードを接続することによって、共振用コンデンサの電圧が逆方向になることが防止されるため、

主スイッチング素子のデューティ比が非常に小さい場合であっても、DC-DCコンバータを正常に動作させることができる。

[0024] さらに、補助スイッチング素子と共振用コンデンサの接続点と、フライホイールダイオードと共振用コイルの接続点との間に第2のダイオードを接続することによって、リングングの発生を抑制することが可能となる。

[0025] また、本発明によれば、降圧型、昇圧型、昇降圧型、Cuk型、Sepic型、Zeta型等の回路構成の相違によらず、従来のそれらの回路において使用されるフライホイールダイオードを本発明のダイオードモジュールに置換することによって、本発明に係るDC-CDコンバータを容易に実現することができる。

図面の簡単な説明

[0026] [図1]本発明に係るDC-DCコンバータの第1の実施形態として、降圧型のDC-DCコンバータを示す回路図である。

[図2](a)は、本発明に係るダイオードモジュールの一実施形態を示す回路図であり、(b)は、本発明に係るダイオードモジュールの他の実施形態を示す回路図である。

[図3]図1の回路図を、説明のために単純化して示す回路である。

[図4]本発明の第1の実施形態におけるDC-DCコンバータの動作を示すタイミングチャートである。

[図5]本発明の第1の実施形態におけるDC-DCコンバータの動作を示す電流状態図であり、(a)は、図4のタイミングチャートに示す期間 $t_0 \sim t_1$ 、(b)は、同様に期間 $t_1 \sim t_2$ 、(c)は、同様に期間 $t_2 \sim t_3$ 、(d)は、同様に期間 $t_3 \sim t_4$ の電流状態をそれぞれ示すものである。

[図6]本発明の第1の実施形態におけるDC-DCコンバータの動作を示す電流状態図であり、(a)は、図4のタイミングチャートに示す期間 $t_4 \sim t_5$ 、(b)は、同様に期間 $t_5 \sim t_6$ 、(c)は、同様に期間 $t_6 \sim t_7$ 、(d)は、同様に期間 $t_7 \sim t_8$ の電流状態をそれぞれ示すものである。

[図7]本発明の第1の実施形態におけるDC-DCコンバータの動作を示す電流状態図であり、(a)は、図4のタイミングチャートに示す期間 $t_8 \sim t_9$ 、(b)は、同様に期間 $t_9 \sim t_{10}$ の電流状態をそれぞれ示すものである。

[図8](a)は、本発明の第1の実施形態において、フライホイールダイオードの接合容量を考慮した場合の電流状態図であり、(b)はそのタイミングチャートである。

[図9](a)および(b)は、本発明の第1の実施形態において、図2に示すダイオードの作用を示す電流状態図であり、(c)は、そのタイミングチャートである。

[図10]本発明の第1の実施形態において、ダイオードの接続位置の別の態様を示す回路図である。

[図11]本発明に係るDC-DCコンバータの第2の実施形態として、昇圧型のDC-DCコンバータを示す回路図である。

[図12]本発明に係るDC-DCコンバータの第3の実施形態として、昇降圧型のDC-DCコンバータを示す回路図である。

[図13]本発明に係るDC-DCコンバータの第4の実施形態として、Cuk型のDC-DCコンバータを示す回路図である。

[図14]本発明に係るDC-DCコンバータの第5の実施形態として、Sepic型のDC-DCコンバータを示す回路図である。

[図15]本発明に係るDC-DCコンバータの第6の実施形態として、Zeta型のDC-DCコンバータを示す回路図である。

[図16]従来の降圧型DC-DCコンバータを示す回路図である。

符号の説明

- [0027] 10 DC-DCコンバータ(降圧型)
 20、20' ダイオードモジュール
 30 DC-DCコンバータ(昇圧型)
 40 DC-DCコンバータ(昇降圧型)
 50 DC-DCコンバータ(Cuk型)
 60 DC-DCコンバータ(Sepic型)
 70 DC-DCコンバータ(Zeta型)
 Q1 主スイッチング素子
 Q2 補助スイッチング素子
 L1、L3 チョークコイル

L2 共振用コイル

C4 共振用コンデンサ

C5 出力コンデンサ

D3 フライホイールダイオード

D5 第1のダイオード

D4 第2のダイオード

発明を実施するための最良の形態

[0028] 以下、本発明に係るDC-DCコンバータを、添付図面を参照して詳細に説明する。

図1は、本発明に係るDC-DCコンバータの第1の実施形態を示す回路図である。図1において、DC-DCコンバータ10は、主スイッチング素子Q1、チョークコイルL1、出力コンデンサC5、ダイオードモジュール20、および制御回路12を備え、電圧Viは直流電源を、抵抗R1は負荷をそれぞれ示している。主スイッチング素子Q1は、好ましくは電界効果型トランジスタからなり、この主スイッチング素子Q1に並列に接続されたダイオードD1およびコンデンサC1は、それぞれ電界効果型トランジスタに内蔵されているボディダイオードおよびドレイン・ソース間接合容量を示している。

[0029] このDC-DCコンバータ10は、降圧型のDC-DCコンバータであり、主スイッチング素子Q1の一端であるドレインが直流電源Viの正極側端子に接続され、主スイッチング素子Q1の他端であるソースがチョークコイルL1の一端に接続され、チョークコイルL1の他端が出力コンデンサC5の一端に接続され、直流電源Viの負極側端子と出力コンデンサC5の他端は接地されている。また、ダイオードモジュール20は、主スイッチング素子Q1およびチョークコイルL1の接続点と、直流電源Viの負極側端子との間に接続されている。制御回路12は、その検出用端子がチョークコイルL1の負荷R1側に接続され、出力端子が主スイッチング素子、およびダイオードモジュール20の後述する補助スイッチング素子Q2のゲートに接続されている。

[0030] 次に、本発明に係るダイオードモジュール20の構成を、図2を参照して説明する。図2(a)および図2(b)は、それぞれ本発明に係るダイオードモジュール20の一実施形態を示す回路図である。図2(a)において、ダイオードモジュール20は、補助スイッチング素子Q2と共振用コンデンサC4からなる第1の直列回路と、フライホイールダイ

オードD3と共振用コイルL2からなる第2の直列回路が並列に接続されて構成されている。また、本実施形態では、共振用コンデンサC4には、このコンデンサC4に並列に第1のダイオードD5が接続されている。さらに、補助スイッチング素子Q2と共振用コイルL2の接続点に第2のダイオードD4のカソードが接続され、フライホイールダイオードD3と共振用コイルL2の接続点に第2のダイオードD4のアノードが接続されている。ここで、補助スイッチング素子Q2は、好ましくは電界効果型トランジスタからなり、この補助スイッチング素子Q2に並列に接続されたダイオードD2は、電界効果型トランジスタに内臓されているボディードダイオードを示している。また、フライホイールダイオードD3に並列に接続されたコンデンサC3は、フライホイールダイオードD3の結合容量を示している。このダイオードモジュール20に対して、そのカソードおよびアノードを、フライホイールダイオードD3の極性に従って、図示したように定義することができる。

[0031] 図2(b)に示す他の実施形態でも、ダイオードモジュール20'は、補助スイッチング素子Q2と共振用コンデンサC4からなる第1の直列回路と、フライホイールダイオードD3と共振用コイルL2からなる第2の直列回路が並列に接続されて構成されており、共振用コンデンサC4には、このコンデンサC4に並列に第1のダイオードD5が接続されている。ただし、補助スイッチング素子Q2と共振用コイルL2の接続点には、第2のダイオードD4のアノードが接続され、フライホイールダイオードD3と共振用コイルL2の接続点には、第2のダイオードD4のカソードが接続されており、言い換えれば、ダイオードモジュール20'は、図2(a)に示すダイオードモジュール20に対して、各素子D3、D4、D5、Q2の極性をすべて反転させて接続した構成を有している。この場合も、ダイオードモジュール20のカソードおよびアノードは、フライホイールダイオードD3の極性に従って、図示したように定義される。

[0032] ここで、図2(a)および図2(b)に示すダイオードモジュール20、20'において、フライホイールダイオードD3が十分な耐圧を有しかつ後述するリングングによるノイズの発生を考慮する必要がない場合には、第2のダイオードD4は必ずしも使用しなくてもよい。第2のダイオードD4がない場合、補助スイッチング素子Q2と共振用コンデンサC4からなる直列回路の接続順は逆にしてもよく、同様に、フライホイールD3と共振用

コイルL2からなる直列回路の接続順を逆にしてもよい。

- [0033] さらに、以上の説明を通じて、各スイッチング素子Q1、Q2は電界効果型トランジスタとしたが、本発明に係るDC-DCコンバータにおけるスイッチング素子Q1、Q2として、バイポーラトランジスタやIGBT (Insulated Gate Bipolar Transistor) 等の他のスイッチング素子を使用してもよい。また、使用するスイッチング素子の特性に応じて、主スイッチング素子Q1に並列に接続されたダイオードD1および容量C1、スイッチング素子Q2に並列に接続されたダイオードD2、および、フライホイールダイオードD3に接続された容量C3を、それぞれ対応する外付けの部品により構成することもできる。
- [0034] 次に、本実施形態におけるDC-DCコンバータ10の動作を説明するが、この際、上述したダイオードモジュール20および20'の動作は同様なものであるため、以下の説明では、ダイオードモジュール20に基づいてその動作を説明する。再び図1を参照すると、ダイオードモジュール20は、そのカソードが主スイッチング素子Q1とチョークコイルL1の接続点に接続され、そのアノードが直流電源Viの負極側端子に接続されて、従来の降圧型DC-DCコンバータにおけるフライホイールダイオード(図16に示すD3)を代替することによって、本発明に係るDC-DCコンバータ10を実現するものである。その動作において、制御回路12は、主スイッチング素子Q1と補助スイッチング素子Q2とを、共にオフする期間を挟んで交互にオンするようにPWM制御で駆動する。
- [0035] ここで、DC-DCコンバータ10において、チョークコイルL1は十分に大きく、実質的に定電流源Ioとして動作し、また、共振用コンデンサC4は補助スイッチング素子Q2の接合容量よりも十分に大きく、実質的にはほぼ一定の電圧VC4を供給する定電圧源として動作する。さらに、主スイッチング素子Q1および補助スイッチング素子Q2のオン抵抗はほぼゼロ、各ダイオードの順方向電圧はほぼゼロと仮定する。また、本発明に係るDC-DCコンバータ10の基本動作を分かりやすくするため、フライホイールダイオードD3の接合容量C3の影響、および、第1のダイオードD5および第2のダイオードD4の作用については後述するものとし、ここでは、フライホイールダイオードD3を接合容量を持たない理想的な素子とみなし、ダイオードモジュール20は、第1のダイオードD5および第2のダイオードD4を有さずに構成されているものとする。以上の

前提の下に、図1に示す回路図は、図3に示す回路図のように単純化することができる。

[0036] 図3において、 V_i は直流電源から供給される一定の直流電圧、 I_o は定電流源によって流れる電流である(以下、必要に応じて、直流電源自体および定電流源自体もそれぞれ同じ符号 V_i および I_o で参照する)。また、 V_{Q1} は主スイッチング素子 $Q1$ の両端に印加される電圧、 V_{Q2} は補助スイッチング素子 $Q2$ の両端に印加される電圧、 V_{D3} はフライホイールダイオード $D3$ の両端に印加される電圧、 V_{L2} は共振用コイル $L2$ の両端に印加される電圧であって、それぞれ図中に示す-から+への方向を正方向として定義する。また、 I_{Q1} は主スイッチング素子 $Q1$ に流れる電流、 I_{Q2} は補助スイッチング素子 $Q2$ に流れる電流、 I_{D3} はフライホイールダイオード $D3$ に流れる電流であって、それぞれ図中に示す矢印の方向を正方向として定義する。なお、 I_{Q1} にはスイッチング素子 $Q1$ の接合容量 $C1$ やボディーダイオード $D1$ を通じて流れる電流も含まれ、 I_{Q2} にはスイッチング素子 $Q2$ のボディーダイオード $D2$ を通じて流れる電流も含まれる。

[0037] 以下、DC-DCコンバータ10が、主スイッチング素子 $Q1$ がオン状態にあって定常動作している段階から、主スイッチング素子 $Q1$ がオフし、その後再びオンするまでの動作について、図4に示すタイミングチャート、および図5〜図7に示す電流状態図を参照して詳細に説明する。

[0038] 期間 $t_0 \sim t_1$ において、主スイッチング素子 $Q1$ はオン状態、補助スイッチング素子 $Q2$ はオフ状態であり、図5(a)に示すように、定電圧電源 V_i から主スイッチング素子 $Q1$ を介して一定の電流 I_o が流れている。この期間中、 V_{Q2} の電圧は「 $V_i + V_{C4}$ 」である。

[0039] 時刻 t_1 において主スイッチング素子 $Q1$ がオフすると、図5(b)に示すように、期間 $t_1 \sim t_2$ の間に、定電流電源 I_o によってコンデンサ $C1$ が充電され、時刻 t_2 において、 V_{Q1} の電圧は V_i に達し、 V_{Q2} の電圧は V_{C4} に減少する。

[0040] 期間 $t_2 \sim t_3$ において、図5(c)に示すように、フライホイールダイオード $D3$ が導通して電流 I_{D3} が流れ始める。さらに、コンデンサ $C1$ は、電流「 $I_o - I_{D3}$ 」によって充電され、時刻 t_3 において、 V_{Q1} の電圧は「 $V_i + V_{C4}$ 」に達し、 V_{Q2} はゼロ、 V_{L2} は $-V_C$

4に達する。

- [0041] 期間 $t_3 \sim t_4$ において、共振用コイル L_2 の作用によって、図4に示すように ID_3 は直線的に増加し、図5(d)に示すように、ダイオード D_2 が導通して「 $ID_3 - I_o$ 」の電流 I_{Q2} が逆方向に流れ始め、共振用コンデンサ C_4 を充電する。
- [0042] 時刻 t_4 において補助スイッチング素子 Q_2 がオンすると、期間 $t_4 \sim t_5$ において、図6(a)に示すように、ダイオード D_2 に流れていた電流 I_{Q2} は、補助スイッチング素子 Q_2 を流れる。この期間中、共振用コイル L_2 の作用により ID_3 は直線的に増加し、 I_{Q2} は「 $ID_3 - I_o$ 」である。時刻 t_5 において、 I_{Q2} はゼロになり、 ID_3 は I_o に達する。ここで、補助スイッチング素子 Q_2 をオンにする時刻 t_4 は、時刻 t_3 と時刻 t_5 の間であればいつでもよいが、補助スイッチング素子 Q_2 の導通損失を小さくするためには、時刻 t_3 に近い方がよい。
- [0043] 期間 $t_5 \sim t_6$ において、図6(b)に示すように、共振用コイル L_2 の作用によって ID_3 は直線的に増加し、 I_o よりも大きくなる。この電流を補充するため、補助スイッチング素子 Q_2 を介してコンデンサ C_4 は放電される。この時、 I_{Q2} は「 $ID_3 - I_o$ 」である。時刻 t_6 において、 ID_3 は $2 \times I_o$ に達し、 I_{Q2} は I_o に達する。
- [0044] 時刻 t_6 において補助スイッチング素子 Q_2 がオフすると、期間 $t_6 \sim t_7$ において、図6(c)に示すように、共振用コイル L_2 に流れていた電流がコンデンサ C_1 を放電する方向に流れ始め、 ID_3 は直線的に減少し始める。また、 C_1 の放電により V_{Q1} が減少し始め、 V_{Q2} は増大し始める。時刻 t_6 では、 ID_3 は $2 \times I_o$ であるため、 I_{Q1} は $-I_o$ である。時刻 t_7 において、コンデンサ C_1 の放電は終了し、 V_{Q1} はゼロになる。この時、 V_{Q2} は「 $V_i + V_{C4}$ 」に達し、 V_{L2} は V_i に達する。
- [0045] 期間 $t_7 \sim t_8$ において、図6(d)に示すように、ダイオード D_1 が導通して I_{Q1} が逆方向に流れ始める。共振用コイル L_2 の作用により ID_3 は直線的に減少し、 I_{Q1} は「 $I_o - ID_3$ 」となる。
- [0046] 時刻 t_8 において、主スイッチング素子 Q_1 がオンすると、図7(a)に示すように、ダイオード D_1 に流れていた電流が主スイッチング素子 Q_1 に流れるようになる。共振用コイル L_2 の作用により、 ID_3 は直線的に減少する。ここで、主スイッチング素子 Q_1 をオンにする時刻 t_8 は、時刻 t_7 と時刻 t_9 の間であればいつでもよいが、主スイッチング素

子Q1の導通損失を小さくするには、時刻 t_7 に近い方が良い。時刻 t_9 においてID3が I_o になると、IQ1はゼロになる。

[0047] 図7(b)にその電流状態を示す期間 $t_9 \sim t_{10}$ において、共振用コイルL2の作用によって、図4に示すようにID3は直線的に減少し、IQ1が正方向に直線的に増加し始める。時刻 t_{10} において、ID3はゼロになり、IQ1は I_o に達する。この時、VL2はゼロとなり、VD3は V_i になる。この後は、再び時刻 t_0 に戻り、このサイクルが繰返される。

[0048] 以上のように、本実施形態におけるDC-DCコンバータ10では、主スイッチング素子Q1のターンオフ時(時刻 t_1)およびターンオン時(時刻 t_8)においてVQ1はゼロであり、同様に、補助スイッチング素子Q2のターンオン時(時刻 t_4)およびターンオフ時(時刻 t_6)においてVQ2はゼロであるため、これらのスイッチング素子Q1、Q2におけるゼロ電圧スイッチングが実現され、スイッチング損失は大幅に低減される。また、ID3は緩やかに減少する($t_6 \sim t_{10}$)ため、フライホイールダイオードD3の逆回復時間におけるリカバリ電流を大幅に低減することができる。

[0049] 次に、フライホイールダイオードD3の接合容量C3の影響について説明する。ここまでの説明では、図4のタイミングチャートに示すように、時刻 t_6 において補助スイッチQ2をオフした後ID3は直線的に減少し、時刻 t_{10} 以後、フライホイールダイオードD3を流れる電流ID3がゼロである定常状態(図5(a)参照)に、そのまま移行するものとして説明した。しかし、図3に示す回路構成に対して、フライホイールダイオードD3の接合容量C3が無視できない場合、図8(a)の電流状態図に示すように、この接合容量C3への充放電を繰返して時刻 t_{10} 以後も電流ID3が流れ続け、接合容量C3と共振用コイルL2との共振によって、図8(b)のタイミングチャートに示すようなリングングが発生する。

[0050] しかし、本実施形態におけるDC-DCコンバータ10は、そのダイオードモジュール20に、図2(a)および図2(b)に示す第2のダイオードD4を備えることによって、このようなリングングの発生を抑制することができる。すなわち、本実施形態におけるダイオードモジュール20では、図9(a)に示すように、共振のエネルギーはこのダイオードD4を介してコンデンサC4へと流出する。したがって、図9(c)のタイミングチャートに示すように、期間 $t_{10} \sim t_{11}$ において、フライホイールダイオードD3の電圧VD3は「 V_i

+VC4」に上昇してその値にクランプされ、時刻 t_{11} 以後は、図9(b)に示すように、接合容量C3に対する充放電は発生しない。

[0051] このようなリングングの抑制は、ダイオードモジュール20中に第2のダイオードD4を設ける代りに、図10に示すように、共振用コイルL2とフライホイールダイオードD3の接続点と、直流電源 V_i との間に第3のダイオード(同様に符号D4で示す)を備えることによって実施することもでき、この場合には、フライホイールダイオードD3の電圧 V_{D3} は V_i にクランプされる。

[0052] 次に、図2(a)および図2(b)に示す第1のダイオードD5の作用について説明する。そのため、まず、第1のダイオードD5を有さないダイオードモジュール20を備えたDC-DCコンバータ10において、たとえば0%に近いような低いデューティ比を使用して非常に低い出力電圧を得ることを考える。このような設定では、図4のタイミングチャートにおける期間 t_7 〜 t_{10} (図6(d)、図7(a)、図7(b))が非常に短くなり、共振用コイルL2に十分なエネルギーが蓄積できなくなるため、期間 t_1 〜 t_3 (図5(b)、図5(c))において、コンデンサC1を「 $V_i + VC_4$ 」の電圧まで充電できなくなる。これによって、期間 t_3 〜 t_5 (図5(d)、図6(a))中に共振用コンデンサC4の充電が十分にできなくなり、期間 t_5 〜 t_6 (図6(b))における共振用コンデンサC4の放電によって、共振用コンデンサC4の電圧 VC_4 は徐々に減少することになる。このようなサイクルを繰り返すことによって、最終的に共振用コンデンサC4の電圧 VC_4 は逆方向となり、共振用コイルL2をリセットできなくなる結果、図4に示したような動作を正常に実施できなくなる。しかし、本実施形態におけるDC-DCコンバータ10は、そのダイオードモジュール20に、共振用コンデンサC4に並列に接続された第1のダイオードD5を備えることによって、共振用コンデンサC4の電圧 VC_4 が逆方向になることを防止するものである。これによって、0%に近いような極端に低いデューティ比においても、DC-DCコンバータ10を正常に動作させることができる。なお、DC-DCコンバータ10をこのように低いデューティ比で使用しない場合には、ダイオードD5は使用しなくてもよい。

[0053] 上述した実施形態においては、本発明に係るDC-DCコンバータを降圧型の回路構成において実現する場合を説明したが、本発明は、このような回路構成に限定されるものではなく、他の回路構成においても、従来のDC-DCコンバータで使用され

ているフライホイールダイオードを、図2(a)、図2(b)に示すダイオードモジュール20、20'に変更することによって、同様の作用効果を得ることができる。以下、本発明の他の実施形態として、昇圧型、昇降圧型、Cuk型、Sepic型、およびZeta型の回路構成にダイオードモジュール20を組み込むことによって、本発明に係るDC-DCコンバータを実現する実施形態を説明するが、ダイオードモジュール20に関連する動作の詳細は、図4および図5～図7を参照して上述した第1の実施形態の動作と同様のものであるため、その説明は省略し、それぞれの実施形態に特有の構成を説明する。

[0054] 図11は、本発明に係るDC-DCコンバータの第2の実施形態を示す回路図である。図2において、DC-DCコンバータ30は、昇圧型のDC-DCコンバータであり、チョークコイルL1の一端が直流電源Viの一端である正極側端子に接続され、チョークコイルL1の他端が主スイッチング素子Q1の一端であるドレインに接続され、主スイッチング素子Q1の他端であるソースが直流電源Viの他端である負極側端子に接続されている。本実施形態において、ダイオードモジュール20は、チョークコイルL1と主スイッチング素子Q1の接続点にそのアノードが接続され、出力コンデンサC5の一端にそのカソードが接続されている。

[0055] 図12は、本発明に係るDC-DCコンバータの第3の実施形態を示す回路図である。図12において、DC-DCコンバータ40は、昇降圧型のDC-DCコンバータであり、主スイッチング素子Q1の一端であるドレインが直流電源Viの一端である正極側端子に接続され、主スイッチング素子Q1の他端であるソースがチョークコイルL1の一端に接続され、チョークコイルL1の他端が直流電源Viの他端である負極側端子に接続されている。本実施形態において、ダイオードモジュール20は、主スイッチング素子Q1とチョークコイルL1の接続点にそのカソードが接続され、出力コンデンサC5の一端にそのアノードが接続されている。

[0056] 図13は、本発明に係るDC-DCコンバータの第4の実施形態を示す回路図である。図13において、DC-DCコンバータ50は、Cuk型のDC-DCコンバータであり、昇降圧動作を実施するものである。このDC-DCコンバータ50は、第1のチョークコイルL1の一端が直流電源Viの一端である正極側端子に接続され、第1のチョークコイル

L1の他端が主スイッチング素子Q1の一端であるドレインおよび結合コンデンサC6の一端に接続され、主スイッチング素子Q1の他端であるソースが直流電源Viの他端である負極側端子に接続され、結合コンデンサC6の他端が第2のチョークコイルL3の一端に接続され、第2のチョークコイルL3の他端が出力コンデンサC5の一端に接続されている。ダイオードモジュール20は、結合コンデンサC6と第2のチョークコイルL3の接続点にそのカソードが接続され、直流電源Viの負極側端子にそのアノードが接続されている。

[0057] 図14は、本発明に係るDC-DCコンバータの第5の実施形態を示す回路図である。図14において、DC-DCコンバータ60は、Sepic型のDC-DCコンバータであり、昇降圧動作を実施するものである。このDC-DCコンバータ60は、第1のチョークコイルL1の一端が直流電源Viの一端である正極側端子に接続され、第1のチョークコイルL1の他端が主スイッチング素子Q1の一端であるソースおよび結合コンデンサC6の一端に接続され、主スイッチング素子Q1の他端であるドレインが直流電源Viの他端に接続され、結合コンデンサC6の他端が第2のチョークコイルL3の一端に接続され、第2のチョークコイルL3の他端が直流電源Viの他端である負極側端子に接続されている。ダイオードモジュール20は、結合コンデンサC6と第2のチョークコイルL3の接続点にそのアノードが接続され、出力コンデンサC5の一端にそのカソードが接続されている。

[0058] 図15は、本発明に係るDC-DCコンバータの第6の実施形態を示す回路図である。図15において、DC-DCコンバータ70は、Zeta型のDC-DCコンバータであり、昇降圧動作を実施するものである。このDC-DCコンバータ70は、主スイッチング素子Q1の一端であるドレインが直流電源Viの一端である正極側端子に接続され、主スイッチング素子Q1の他端であるソースが第1のチョークコイルL1の一端および結合コンデンサC6の一端に接続され、第1のチョークコイルL1の他端が直流電源の他端である負極側端子に接続され、結合コンデンサC6の他端が第2のチョークコイルL3の一端に接続され、第2のチョークコイルL3の他端が出力コンデンサC5の一端に接続されている。ダイオードモジュール20は、結合コンデンサC6と第2のチョークコイルL3の接続点にそのカソードが接続され、直流電源Viの負極側端子にそのアノードが

接続されている。

請求の範囲

- [1] 主スイッチング素子と、チョークコイルと、出力コンデンサと、ダイオードモジュールとを備え、前記主スイッチング素子のオンオフ動作によって直流電源の電圧を変換して異なる直流電圧を出力するDC-DCコンバータであって、
前記ダイオードモジュールは、補助スイッチング素子および共振用コンデンサからなる第1の直列回路と、フライホイールダイオードおよび共振用コイルからなる第2の直列回路とを備え、前記第1および第2の直列回路が並列に接続されていることを特徴とするDC-DCコンバータ。
- [2] 前記ダイオードモジュールは、前記共振用コンデンサに並列に接続された第1のダイオードを含むことを特徴とする請求項1に記載のDC-DCコンバータ。
- [3] 前記ダイオードモジュールは、前記補助スイッチング素子と前記共振用コンデンサの接続点と、前記フライホイールダイオードと前記共振用コイルの接続点との間に接続された第2のダイオードを含むことを特徴とする請求項1または2に記載のDC-DCコンバータ。
- [4] 前記主スイッチング素子の一端が直流電源の一端に接続され、前記主スイッチング素子の他端が前記チョークコイルの一端に接続され、前記チョークコイルの他端が前記出力コンデンサの一端に接続され、前記ダイオードモジュールが、前記主スイッチング素子と前記チョークコイルの接続点と、前記直流電源の他端との間に接続されて、降圧動作を行うことを特徴とする請求項1から3のいずれか1つに記載のDC-DCコンバータ。
- [5] 前記チョークコイルの一端が直流電源の一端に接続され、前記チョークコイルの他端が前記主スイッチング素子の一端に接続され、前記主スイッチング素子の他端が前記直流電源の他端に接続され、前記ダイオードモジュールが、前記チョークコイルと前記主スイッチング素子の接続点と、前記出力コンデンサの一端との間に接続されて、昇圧動作を行うことを特徴とする請求項1から3のいずれか1つに記載のDC-DCコンバータ。
- [6] 前記主スイッチング素子の一端が直流電源の一端に接続され、前記主スイッチング素子の他端が前記チョークコイルの一端に接続され、前記チョークコイルの他端が前

記直流電源の他端に接続され、前記ダイオードモジュールが、前記主スイッチング素子と前記チョークコイルの接続点と、前記出力コンデンサの一端との間に接続されて、昇降圧動作を行うことを特徴とする請求項1から3のいずれか1つに記載のDC-DCコンバータ。

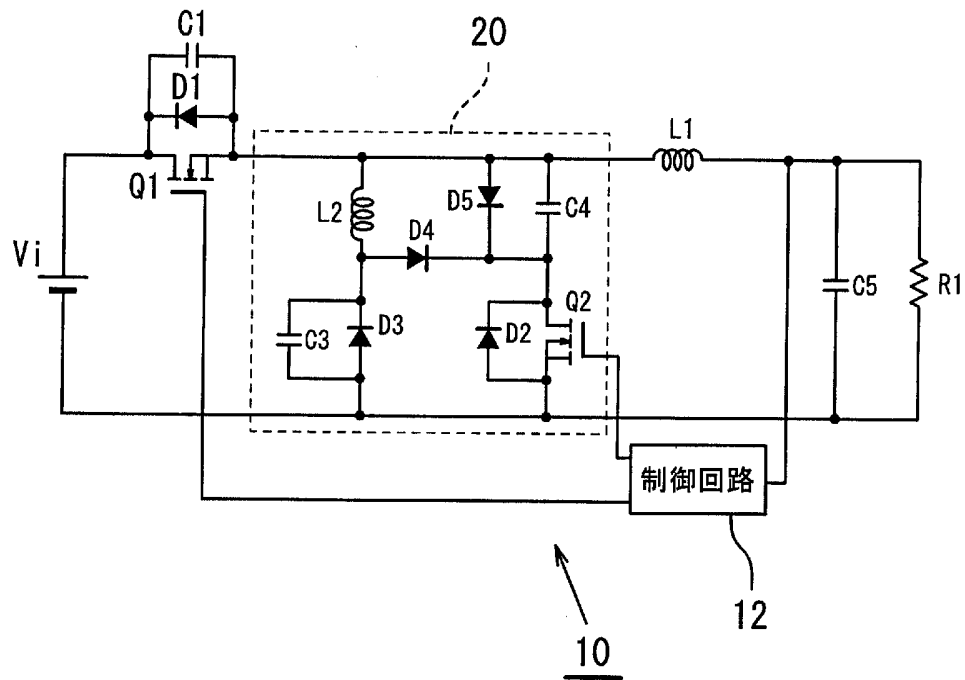
- [7] 第1の前記チョークコイルの一端が直流電源の一端に接続され、前記第1のチョークコイルの他端が前記主スイッチング素子の一端および結合コンデンサの一端に接続され、前記主スイッチング素子の他端が前記直流電源の他端に接続され、前記結合コンデンサの他端が第2のチョークコイルの一端に接続され、前記第2のチョークコイルの他端が前記出力コンデンサの一端に接続され、前記ダイオードモジュールが、前記結合コンデンサと前記第2のチョークコイルの接続点と、前記直流電源の他端との間に接続されて、昇降圧動作を行うことを特徴とする請求項1から3のいずれか1つに記載のDC-DCコンバータ。

- [8] 第1の前記チョークコイルの一端が直流電源の一端に接続され、前記第1のチョークコイルの他端が前記主スイッチング素子の一端および前記結合コンデンサの一端に接続され、前記主スイッチング素子の他端が前記直流電源の他端に接続され、前記結合コンデンサの他端が第2の前記チョークコイルの一端に接続され、前記第2のチョークコイルの他端が前記直流電源の他端に接続され、前記ダイオードモジュールが、前記結合コンデンサと前記第2のチョークコイルの接続点と、前記出力コンデンサの一端との間に接続されて、昇降圧動作を行うことを特徴とする請求項1から3のいずれか1つに記載のDC-DCコンバータ。

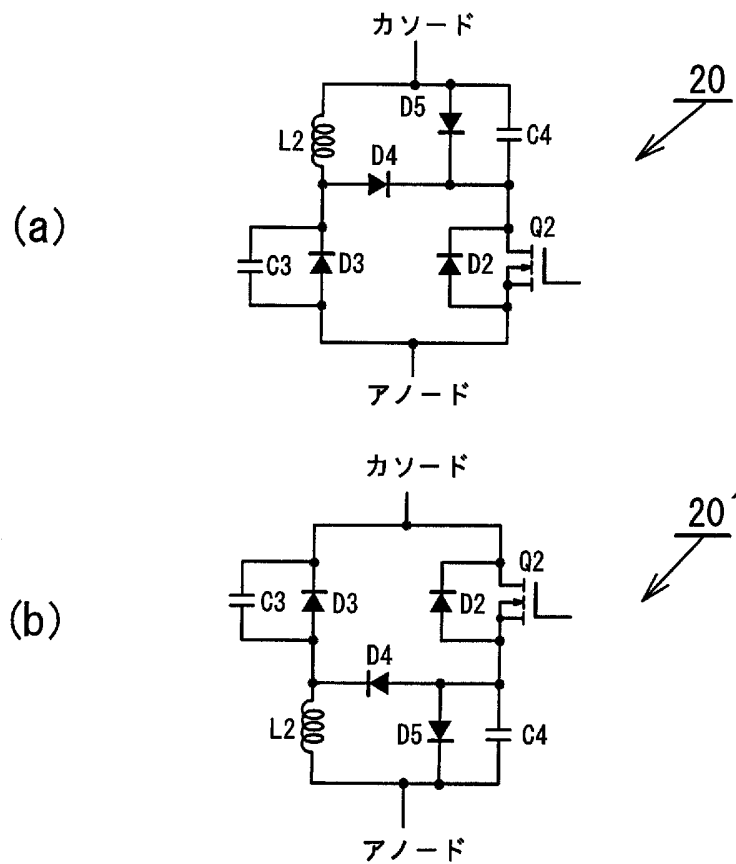
- [9] 前記主スイッチング素子の一端が直流電源の一端に接続され、前記主スイッチング素子の他端が第1の前記チョークコイルの一端および結合コンデンサの一端に接続され、前記第1のチョークコイルの他端が前記直流電源の他端に接続され、前記結合コンデンサの他端が第2の前記チョークコイルの一端に接続され、前記第2のチョークコイルの他端が前記出力コンデンサの一端に接続され、前記ダイオードモジュールが、前記結合コンデンサと前記第2のチョークコイルの接続点と、前記直流電源の他端との間に接続されて、昇降圧動作を行うことを特徴とする請求項1から3のいずれか1つに記載のDC-DCコンバータ。

- [10] 前記主スイッチング素子に並列にコンデンサが接続されていることを特徴とする請求項1から9のいずれか1つに記載のDC-DCコンバータ。
- [11] 前記共振用コイルと前記フライホイールダイオードの接続点と、前記直流電源との間に第3のダイオードを備えることを特徴とする請求項4から6のいずれか1つに記載のDC-DCコンバータ。

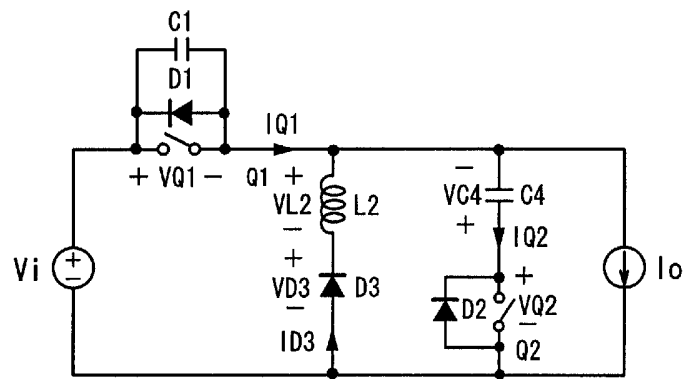
[図1]



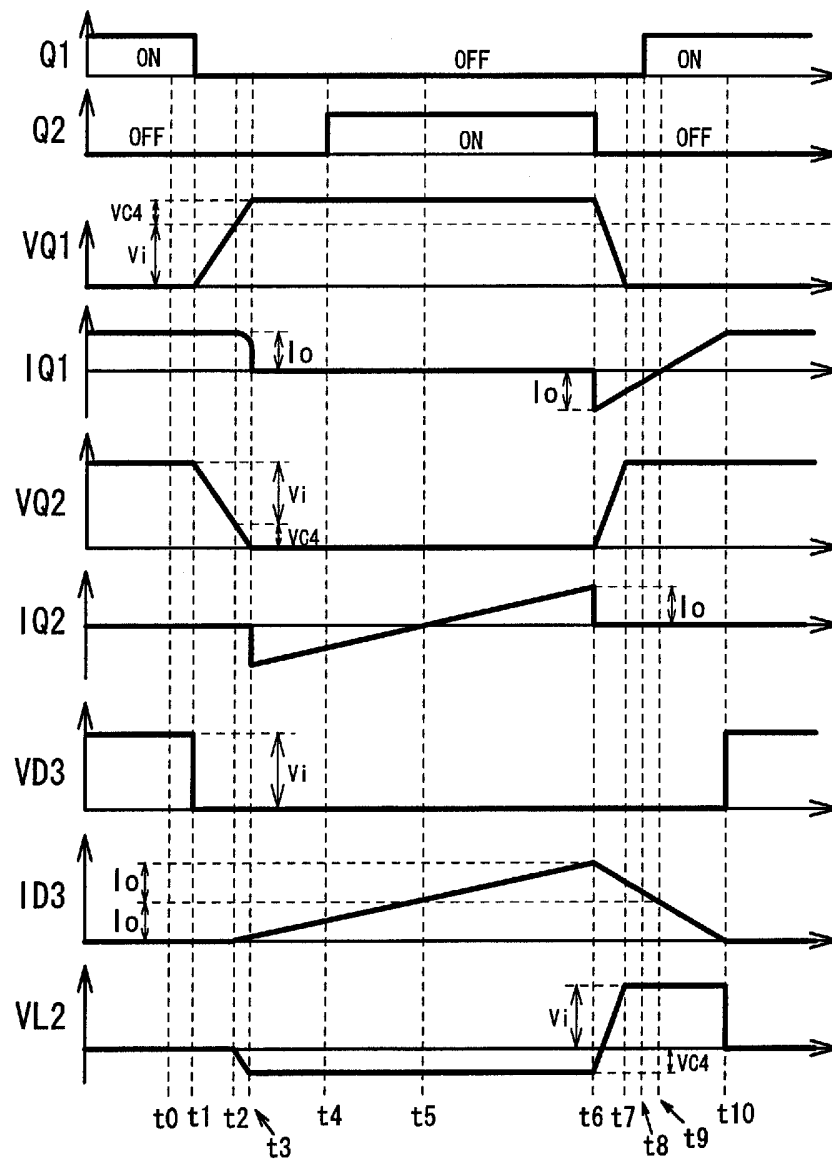
[図2]



[図3]

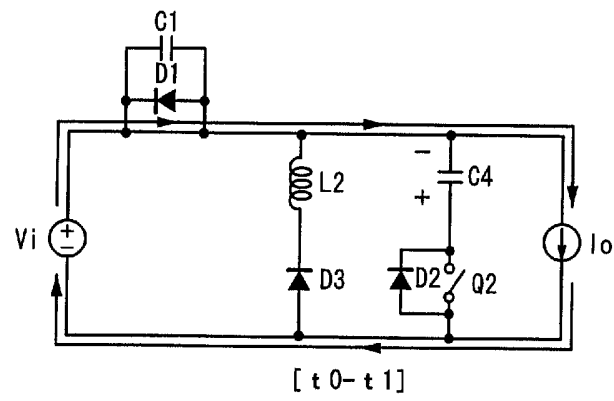


[図4]

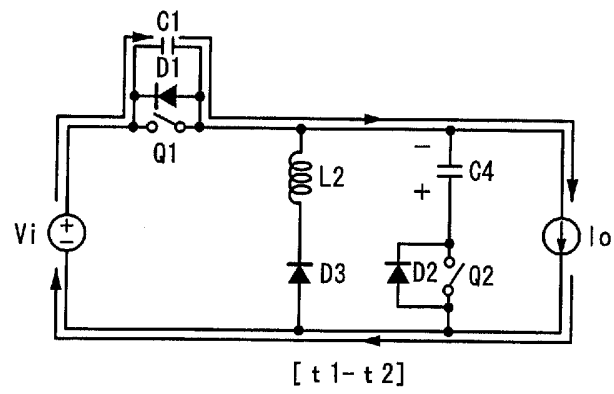


[図5]

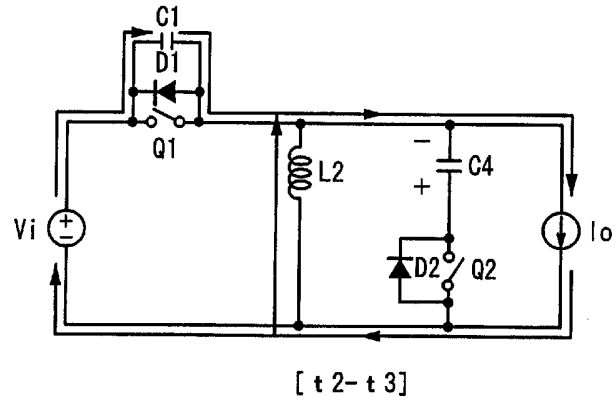
(a)



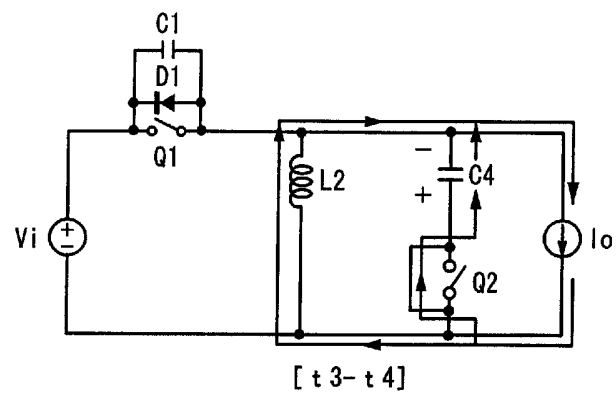
(b)



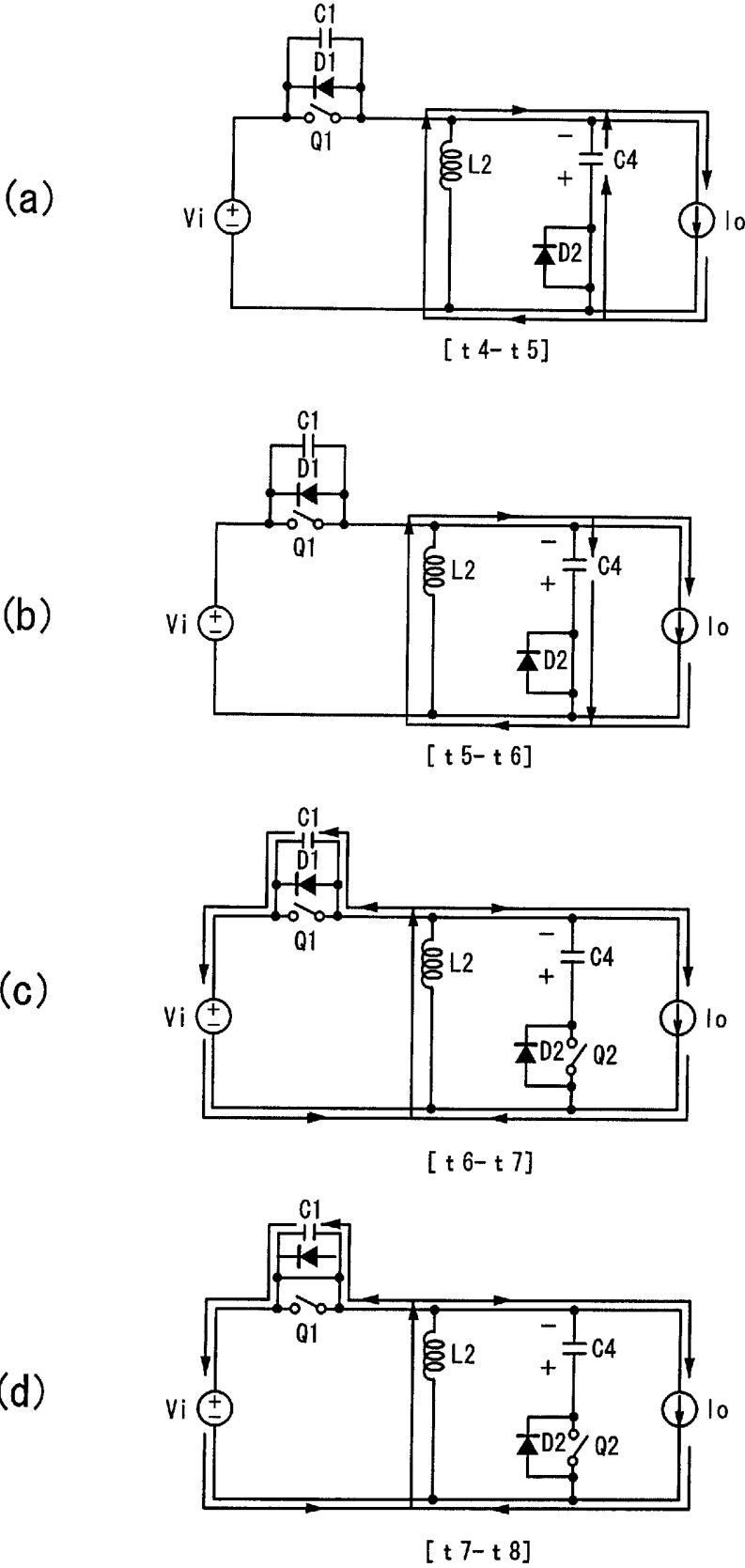
(c)



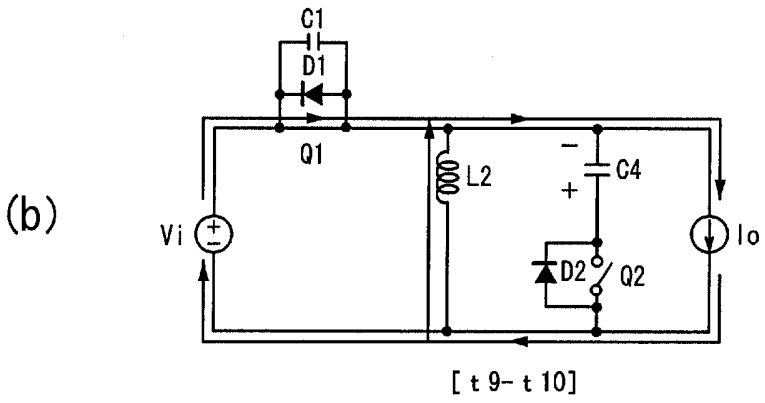
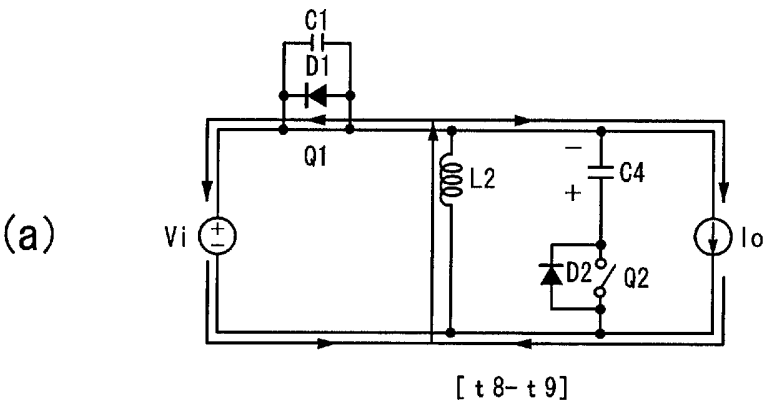
(d)



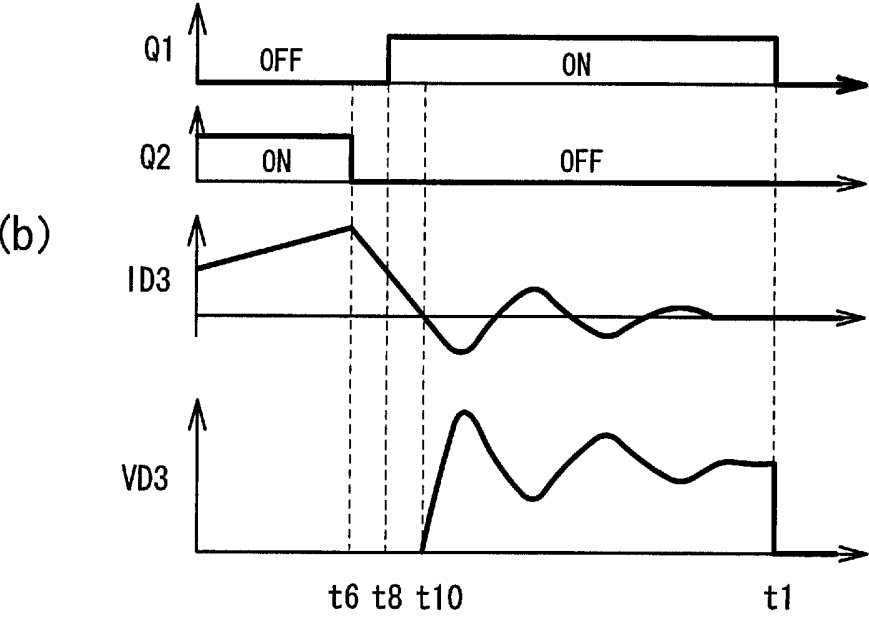
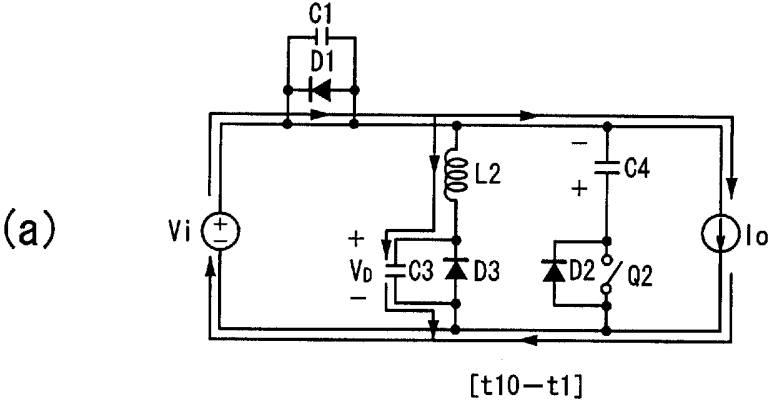
[図6]



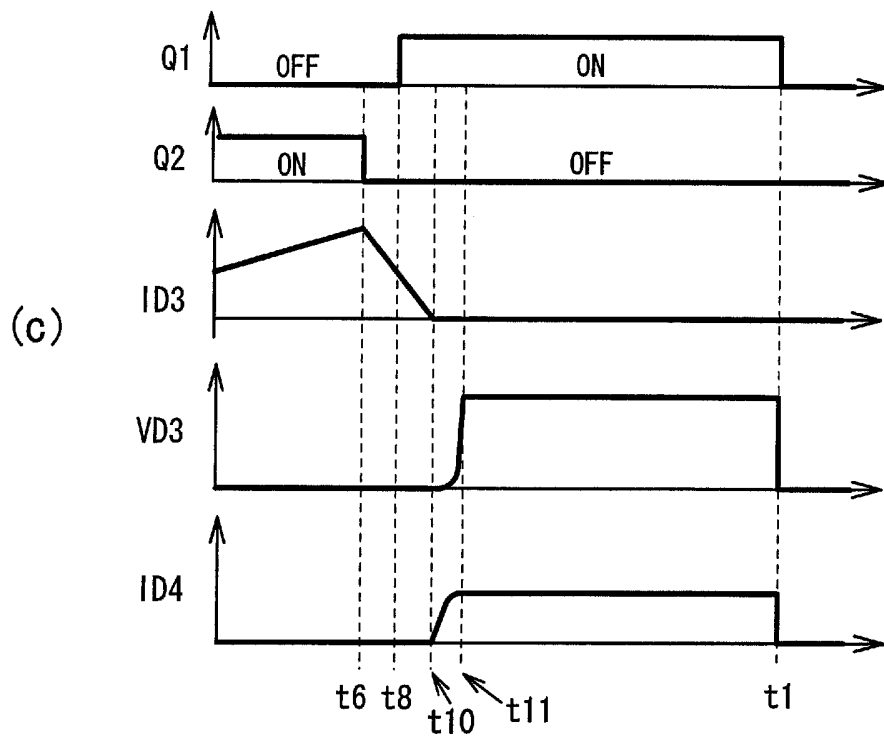
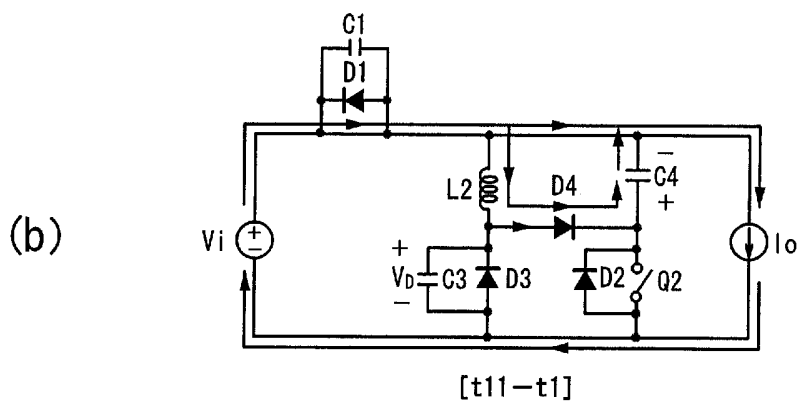
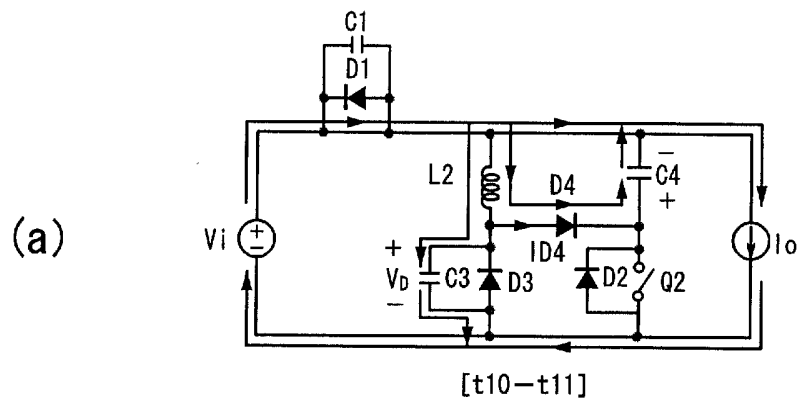
[図7]



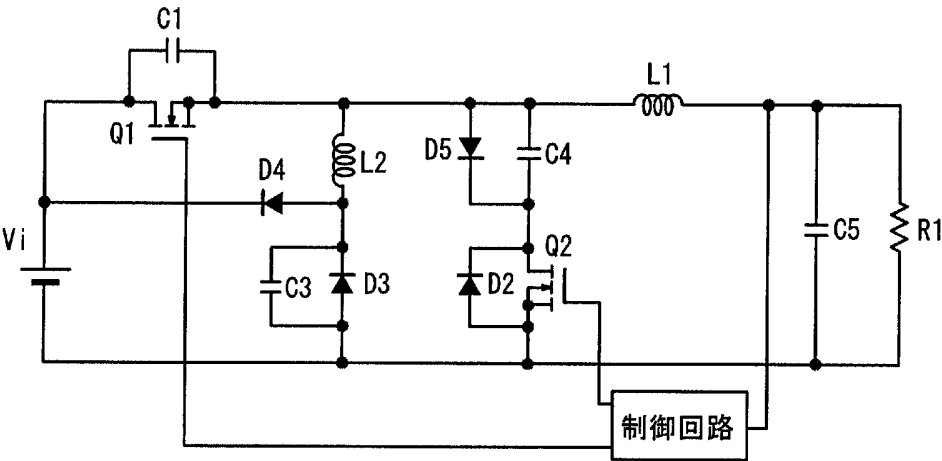
[図8]



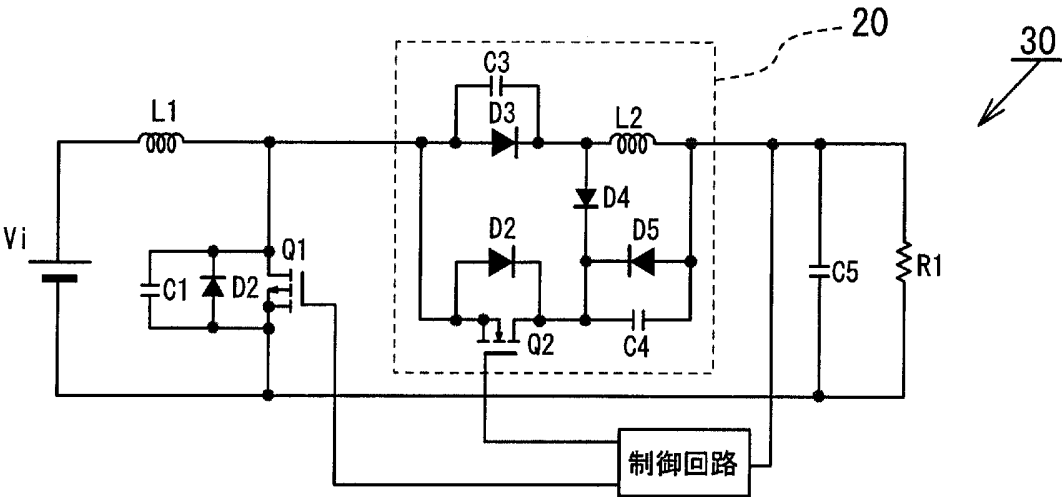
[図9]



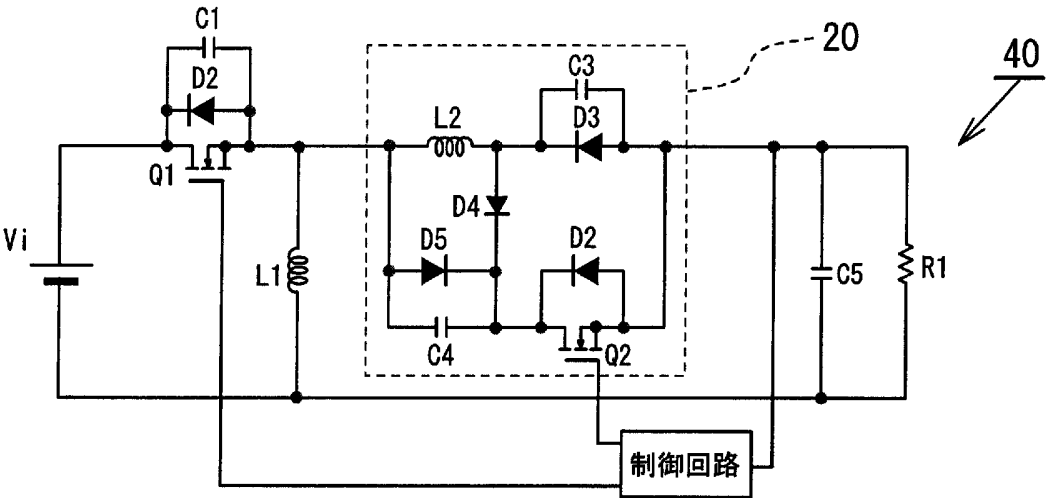
[図10]



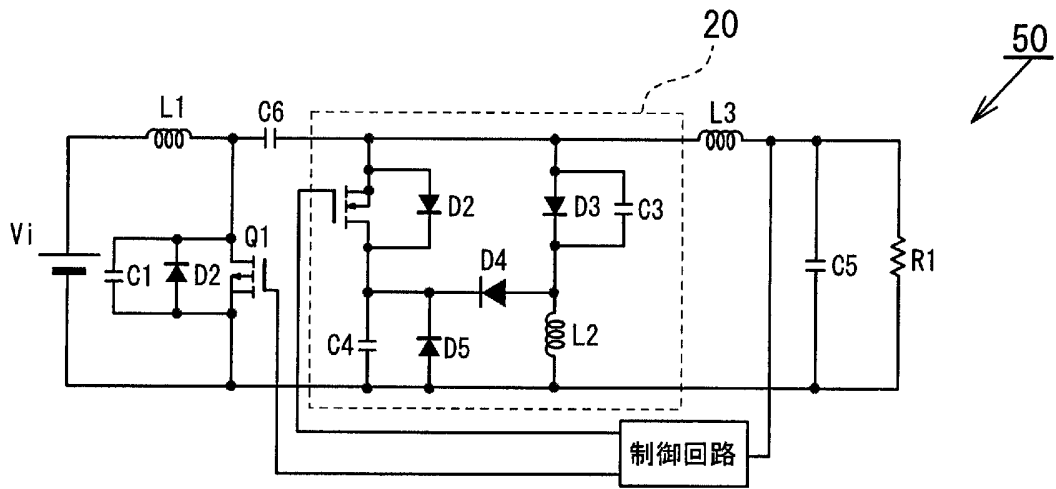
[図11]



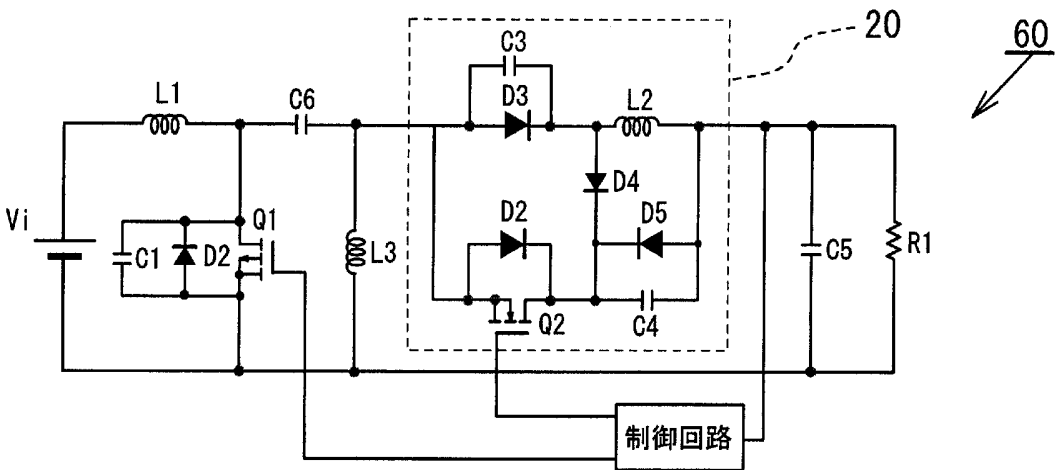
[図12]



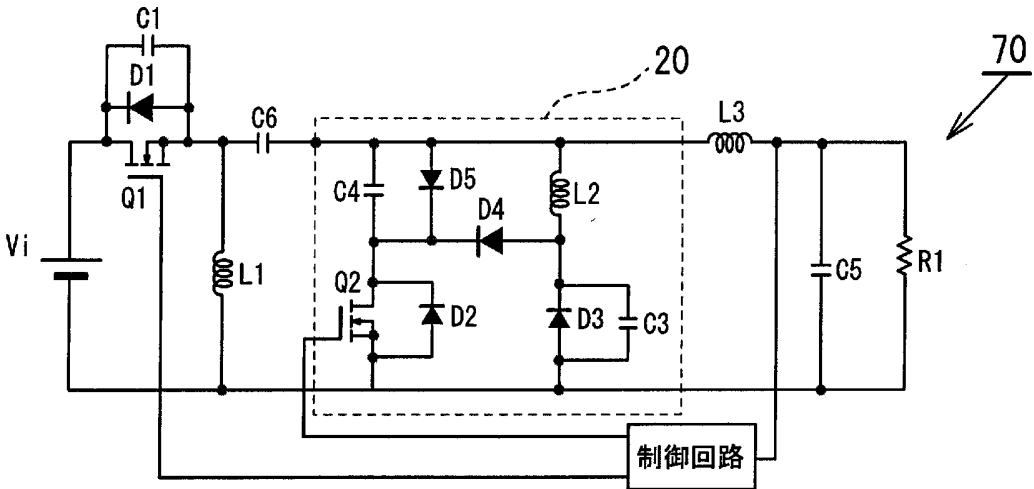
[図13]



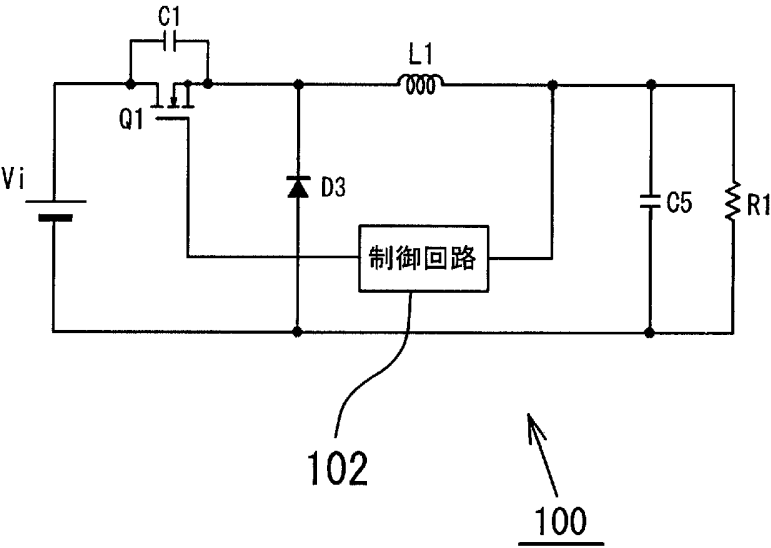
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001606

A. CLASSIFICATION OF SUBJECT MATTER

Int . Cl⁷ H02M3/155

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int . Cl⁷ H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 5736842 A (Milan M. Jovanovic), 07 April, 1998 (07.04.98), Column 13, lines 32 to 49; Fig. 12 (Family: none)	1, 5, 11 4, 6-10 2, 3
Y	JP 63-249470 A (Hitachi, Ltd., Hitachi Video Engineering Kabushiki Kaisha), 17 October, 1988 (17.10.88), Fig. 3 & US 4847742 A	4, 6
Y	JP 6-78537 A (Matsushita Electric Industrial Co., Ltd.), 18 March, 1994 (18.03.94), Par. Nos. [0003] to [0010]; Fig. 15 & US 5448465 A & DE 4328458 A	7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 April, 2005 (08.04.05)

Date of mailing of the international search report
10 May, 2005 (10.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001606

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-56992 A (Matsushita Electric Industrial Co., Ltd.), 19 February, 2004 (19.02.04), Par. No. [0071]; Figs. 19, 20 & US 2003/0222629 A1 & CN 1482727 A	8, 9
Y	JP 2002-262551 A (FIDELIX Y.K.), 13 September, 2002 (13.09.02), Par. No. [0013] & US 2001/0011885 A1 & EP 1126585 A2	10
A	US 5446366 A (John A. Bassett), 29 August, 1995 (29.08.95), Fig. 6 & EP 0694184 A1 & WO 95/22092 A1 & DE 69523227 T & AU 1736395 A	1-11
A	JP 7-46831 A (Toshiba Corp.), 14 February, 1995 (14.02.95), Full text; Figs. 1 to 11 (Family: none)	1-11
A	JP 60-2026 A (Toshiba Corp.), 08 January, 1985 (08.01.85), Full text; Figs. 1 to 5 & EP 0129411 A2	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷

H02M 3/155

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷

H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 5736842 A (Milan M. Jovanovic)	1, 5, 11
Y	07.04.1998, 第13欄第32行-第49行, 図12	4, 6-10
A	(ファミリーなし)	2, 3
Y	JP 63-249470 A (株式会社日立製作所、日立ビデオエンジニアリング株式会社) 17.10.1988, 図3 & US 4847742 A	4, 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

08.04.2005

国際調査報告の発送日

10.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-78537 A (松下電器産業株式会社) 18.03.1994, 【0003】-【0010】, 図15 & US 5448465 A & DE 4328458 A	7
Y	JP 2004-56992 A (松下電器産業株式会社) 19.02.2004, 【0071】, 図19, 20 & US 2003/0222629 A1 & CN 1482727 A	8, 9
Y	JP 2002-262551 A (有限会社フィデリックス) 13.09.2002, 【0013】 & US 2001/0011885 A1 & EP 1126585 A2	10
A	US 5446366 A (John A. Bassett) 29.08.1995, 図6 & EP 0694184 A1 & WO 95/22092 A1 & DE 69523227 T & AU 1736395 A	1-11
A	JP 7-46831 A (株式会社東芝) 14.02.1995, 全文, 図1-11 (ファミリーなし)	1-11
A	JP 60-2026 A (株式会社東芝) 08.01.1985, 全文, 図1-5 & EP 0129411 A2	1-11