

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月11日(11.06.2020)



(10) 国際公開番号

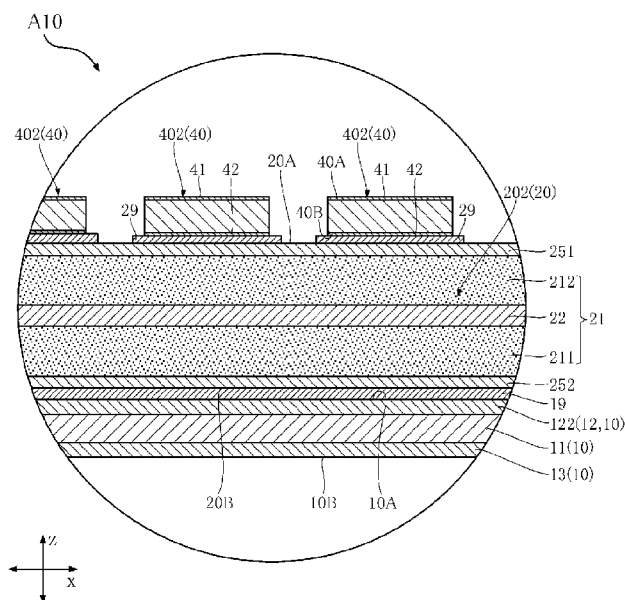
WO 2020/116116 A1

- (51) 国際特許分類:
H01L 23/36 (2006.01)
- (21) 国際出願番号: PCT/JP2019/044625
- (22) 国際出願日: 2019年11月14日(14.11.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-226408 2018年12月3日(03.12.2018) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 大塚 拓一 (OTSUKA Takukazu);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 吉田 稔, 外 (YOSHIDA Minoru et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2 番 3 2 - 1 3 0 1 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.5



(57) Abstract: A semiconductor (A10) is provided with: a conductive substrate (20); and a semiconductor element (40). The conductive substrate (20) has a main surface (20A) that is directed toward one side in the thickness direction (z), and a back surface (20B) that is directed toward a side opposite to the main surface (20A). The semiconductor element (40) is electrically joined to the main surface (20A). The conductive substrate (20) includes a first base layer (211), a second base layer (212), and a metal layer (22). Each of the first and second base layers (211), (212) is made of graphite

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

in which layers of graphene are laminated. The metal layer (22) is interposed between the first and second base layers (211), (212). The layers of graphene in the first base layer (211) are laminated in a first laminating direction orthogonal to the thickness direction (z). The layers of graphene in the second base layer (212) are laminated in a second laminating direction orthogonal to the thickness direction (z) and crossing the first laminating direction.

(57) 要約: 半導体装置 (A 1 0) は、導電基板 (2 0) および半導体素子 (4 0) を備える。導電基板 (2 0) は、厚さ方向 (z) の一方側を向く主面 (2 0 A)、および主面 (2 0 A) とは反対側を向く裏面 (2 0 B) を有する。半導体素子 (4 0) は、主面 (2 0 A) に電氣的に接合される。導電基板 (2 0) は、第 1 基層 (2 1 1)、第 2 基層 (2 1 2) および金属層 (2 2) を含む。第 1 基層 (2 1 1) および第 2 基層 (2 1 2) は、それぞれグラフェンが積層されたグラファイトからなる。金属層 (2 2) は、第 1 基層 (2 1 1) および第 2 基層 (2 1 2) の間に介在する。第 1 基層 (2 1 1) における前記グラフェンは、厚さ方向 (z) に対して直角である第 1 積層方向に積層される。第 2 基層 (2 1 2) における前記グラフェンは、厚さ方向 (z) に対して直角であり、かつ前記第 1 積層方向に対して交差する第 2 積層方向に積層される。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体素子を備える半導体装置に関する。

背景技術

[0002] 従来、MOSFETやIGBTなどの半導体素子を搭載した半導体装置が広く知られている。特許文献1には、このような半導体素子を搭載した半導体装置の一例が開示されている。当該半導体装置では、支持基板（特許文献1では絶縁基板）の上に金属箔からなる金属パターンが配置されている。半導体素子は、当該金属パターンに導通接合されている。

[0003] 特許文献1に開示されている半導体装置の使用時には、半導体素子から熱が発生するため、金属パターンの温度が上昇する。金属箔からなる金属パターンは、厚さが比較的薄いため、厚さ方向に直交する方向における単位長さ当たりの熱抵抗が高いという特性がある。このため、金属パターンの厚さ方向に直交する方向に熱が伝わりにくく、温度低下は緩やかなものとなり、半導体素子の近傍に位置する当該金属パターンにおいて、高温状態が局所的に継続しやすいという課題がある。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-158787号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は、上記した事情のもとで考え出されたものであって、放熱性を向上させるのに適した半導体装置を提供することを主たる課題とする。

課題を解決するための手段

[0006] 本開示によって提供される半導体装置は、厚さ方向の一方側を向く主面、および前記主面とは反対側を向く裏面を有する導電基板と、前記主面に電気

的に接合される半導体素子と、を備え、前記導電基板は、それぞれグラフェンが積層されたグラファイトからなる第1基層および第2基層と、前記第1基層および前記第2基層の間に介在する金属層と、を含み、前記第1基層における前記グラフェンは、前記厚さ方向に対して直角である第1積層方向に積層し、前記第2基層における前記グラフェンは、前記厚さ方向に対して直角であり、かつ前記第1積層方向に対して交差する第2積層方向に積層されている。

[0007] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

[0008] [図1]本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図2]図1に示した半導体装置の平面図である。

[図3]図2のⅠⅠⅠーⅠⅠⅠ線に沿う断面図である。

[図4]図2のⅠⅤーⅠⅤ線に沿う断面図である。

[図5]図3の部分拡大図である。

[図6]導電基板の第1基層を構成するグラファイトにおけるグラフェンの積層状態を模式的に示す図である。

[図7]第1基層を構成するグラファイトの模式図である。

[図8]導電基板の第2基層を構成するグラファイトにおけるグラフェンの積層状態を模式的に示す図である。

[図9]第2基層を構成するグラファイトの模式図である。

[図10]導電基板の厚さ方向に視たときの第1積層方向と第2積層方向の関係を示す概略図である。

[図11]図5の部分拡大図である。

[図12]本開示の第1実施形態の変形例に係る半導体装置の部分拡大断面図である。

[図13]本開示の第1実施形態の他の変形例に係る半導体装置の部分拡大断面図である。

[図14]本開示の第1実施形態のさらに他の変形例に係る半導体装置を示し、導電基板の厚さ方向に視たときの第1積層方向と第2積層方向の関係を示す概略図である。

[図15]本開示の第2実施形態に係る半導体装置の平面図（封止樹脂を透過）である。

[図16]図15のXV I - XV I線に沿う断面図である。

[図17]図16の部分拡大図である。

[図18]導電基板の厚さ方向に視たときの第1積層方向、第2積層方向および第3積層方向の関係を示す概略図である。

[図19]本開示の第2実施形態の変形例に係る半導体装置の部分拡大断面図である。

[図20]導電基板の厚さ方向に視たときの第1積層方向、第2積層方向および第3積層方向の関係を示す概略図である。

[0009] 図1～図10に基づき、本開示の第1実施形態に係る半導体装置A10について説明する。半導体装置A10は、支持基板10、接合層19、導電基板20、接合層29、第1入力端子31、第2入力端子32、第1出力端子33、第2出力端子34、複数の半導体素子40および封止樹脂60を備える。これらに加え、半導体装置A10は、一对の絶縁層26、一对のゲート配線層271、一对の検出配線層272、一对のゲート端子35および一对の検出端子36を備える。これらの図が示す半導体装置A10は、半導体素子40がたとえばMOSFETである電力変換装置（パワーモジュール）である。半導体装置A10は、モータの駆動源、様々な電気製品のインバータ装置、およびDC/DCコンバータなどに用いられる。なお、図1において、封止樹脂60を省略している。また、図2～図5において、理解の便宜上、封止樹脂60を透過している。図2～図4において、透過した封止樹脂60を想像線（二点鎖線）で示している。

[0010] 半導体装置A10の説明においては、導電基板20や支持基板10の厚さ方向を「厚さ方向z」と呼ぶ。厚さ方向zに対して直交する方向を「第1方

向 x 」と呼ぶ。厚さ方向 z および第1方向 x の双方に対して直交する方向を「第2方向 y 」と呼ぶ。図1および図2に示すように、半導体装置A10は、厚さ方向 z に視て矩形状である。第1方向 x および第2方向 y は、各々、半導体装置A10の矩形状をなす辺に沿う方向に対応する。また、半導体装置A10の説明においては、便宜上、第1方向 x において第1入力端子31や第2入力端子32が位置する側を「第1方向 x の一方側」と呼ぶ。第1方向 x において第1出力端子33や第2出力端子34が位置する側を「第1方向 x の他方側」と呼ぶ。

[0011] 支持基板10は、図1～図4に示すように、導電基板20を支持している。半導体装置A10が示す例においては、支持基板10は、厚さ方向 z に視て略正形状である。支持基板10は、厚さ方向 z において互いに反対側を向く支持面10Aおよび底面10Bを有する。これらのうち、支持面10Aは、導電基板20に対向している。図3、図4に示すように、底面10Bは、封止樹脂60から露出している。半導体装置A10をヒートシンクに取り付ける際、底面10Bは、当該ヒートシンクに対向する。半導体装置A10においては、支持基板10は、第1支持板11、第2支持板12および底板13を有する。

[0012] 図3および図4に示すように、第1支持板11は、厚さ方向 z において第2支持板12と底板13との間に位置する。第1支持板11は、電気絶縁性を有する。第1支持板11の構成材料は、熱伝導性に優れたセラミックスである。当該セラミックスとして、たとえば窒化アルミニウム（AlN）が挙げられる。

[0013] 第2支持板12は、第1支持板11に積層されている。第2支持板12は、支持面10Aを含む。半導体装置A10においては、第2支持板12に導電基板20が接合されている。第2支持板12は、金属製であり、たとえば、銅（Cu）または銅合金からなる金属箔により構成される。このため、第2支持板12は、導電性を有する。半導体装置A10が示す例においては、第2支持板12は、第1領域121、第2領域122および第3領域123

の3つの領域を有する。これらの3つの領域は、互いに離間している。

[0014] 底板13は、第2支持板12とは反対側において第1支持板11に積層されている。底板13は、底面10Bを含む。底板13は、第2支持板12と同じく金属製であり、たとえば、銅または銅合金からなる金属箔により構成される。このため、第2支持板12は、導電性を有する。図3および図4から理解されるように、厚さ方向zに視て、底板13の面積は、第1支持板11の面積よりも小である。あわせて、底板13の周縁よりも外方に、第1支持板11の周縁が位置する。これにより、支持基板10には、厚さ方向zに沿って視て底板13を囲む凹部13Aが設けられている。凹部13Aは、封止樹脂60に覆われている。

[0015] 半導体装置A10においては、支持基板10は、たとえばDBC (Direct Bonded Copper) 基板を用いることにより容易に形成することができる。DBC基板は、セラミックス板と、厚さ方向zの両側においてセラミックス板に積層された一对の銅箔とにより構成される。当該セラミックス板が第1支持板11となる。一对の銅箔をそれぞれエッチングにより部分除去することにより、第2支持板12および底板13が形成される。

[0016] 図3および図4に示すように、接合層19は、支持基板10の支持面10Aの少なくとも一部を覆っている。半導体装置A10においては、接合層19は、第2支持板12の第1領域121、第2領域122および第3領域123の各々の支持面10Aを覆っている。

[0017] 図3および図4に示すように、導電基板20は、接合層19を介して支持基板10の第2支持板12に接合されている。半導体装置A10においては、導電基板20は、第1入力端子31、第2入力端子32、第1出力端子33および第2出力端子34とともに、半導体装置A10の外部と、半導体素子40との導電経路を構成している。導電基板20は、厚さ方向zにおいて互いに反対側を向く主面20Aおよび裏面20Bを有する。主面20Aは、厚さ方向zにおいて支持基板10の支持面10Aと同じ側を向く。裏面20Bは、支持基板10の支持面10Aに対向している。

[0018] 図2～図4に示すように、導電基板20は、第1導電部201、第2導電部202および第3導電部203を含む。第1導電部201は、第2支持板12の第1領域121に接合されている。第2導電部202は、第2支持板12の第2領域122に接合されている。第3導電部203は、第2支持板12の第3領域123に接合されている。このため、第1導電部201、第2導電部202および第3導電部203は、互いに離間している。

[0019] 半導体装置A10において、導電基板20は、基部21、第1配線層251および第2配線層252を有する。図5に示すように、基部21は、第1基層211、第2基層212および金属層22を含む。第1基層211および第2基層212は、導電基板20の体積の大半を占めている。第1基層211および第2基層212の構成材料は、単結晶のグラファイトである。グラファイトは、シート状のグラフェンが多数積層された構成である。グラフェンは、炭素原子の結合からできた六角形格子構造をとる。

[0020] グラファイトの熱伝導率は異方性を有する。グラファイトにおいてグラフェンの面内方向は、相対的に熱伝導率が高い。当該面内方向における熱伝導率は、約 $1500\text{ W}/(\text{m} \cdot \text{K})$ である。グラファイトにおいてグラフェンの積層方向は、相対的に熱伝導率が低い。当該積層方向における熱伝導率は、約 $5\text{ W}/(\text{m} \cdot \text{K})$ である。

[0021] 図6および図7に示すように、第1基層211においては、グラフェン211Aの積層方向（第1積層方向N1）は厚さ方向zに対して直角であり、第2方向yに沿っている。このため、第1基層211を構成するグラフェン211Aの面内方向は、第1方向xおよび厚さ方向zがなす面に沿う方向である。第1基層211において、グラフェン211Aの面内方向は熱伝導率が高く、熱拡散が良好である。このような構成の第1基層211については、高熱伝導率となるグラフェン211Aの面内方向に因んで「xz配向」と定義する。

[0022] 図8および図9に示すように、第2基層212において、グラフェン212Aの積層方向（第2積層方向N2）は、厚さ方向zに対して直角である。

グラフェン 2 1 2 A の積層方向（第 2 積層方向 N 2）は、第 1 基層 2 1 1 におけるグラフェン 2 1 1 A の積層方向（第 1 積層方向 N 1）に対して交差している。本実施形態では、グラフェン 2 1 2 A の積層方向（第 2 積層方向 N 2）は、第 1 方向 x に沿っている。これにより、グラフェン 2 1 2 A の積層方向（第 2 積層方向 N 2）は、厚さ方向 z、およびグラフェン 2 1 1 A の積層方向（第 1 積層方向 N 1）のいずれにも直角である。したがって、図 10 に示すように、厚さ方向 z に視て、第 1 積層方向 N 1 と第 2 積層方向 N 2 とが直角をなす。第 2 基層 2 1 2 を構成するグラフェン 2 1 2 A の面内方向は、第 2 方向 y および厚さ方向 z がなす面に沿う方向である。第 2 基層 2 1 2 において、グラフェン 2 1 2 A の面内方向は熱伝導率が高く、熱拡散が良好である。このような構成の第 2 基層 2 1 2 については、高熱伝導率となるグラフェン 2 1 2 A の面内方向に因んで「y z 配向」と定義する。

[0023] 金属層 2 2 は、第 1 基層 2 1 1 および第 2 基層 2 1 2 の間に介在し、かつ、これら第 1 基層 2 1 1 および第 2 基層 2 1 2 を互いに接合している。図 11 に示すように、半導体装置 A 10 において、金属層 2 2 は、第 1 金属部 2 3 および第 2 金属部 2 4 を含む。

[0024] 第 1 金属部 2 3 は、第 1 基層 2 1 1 上に形成されている。第 1 金属部 2 3 は、第 1 層 2 3 1 および第 2 層 2 3 2 を有する。第 1 層 2 3 1 は、第 1 基層 2 1 1 を覆っている。第 1 層 2 3 1 の構成材料は、たとえば銅または銅合金である。第 1 層 2 3 1（第 1 層 2 3 1 の構成材料が銅である場合）のヤング率は、129.8 GPa である。第 2 層 2 3 2 は、第 1 層 2 3 1 に積層されている。第 2 層 2 3 2 の構成材料は、たとえば銀（Ag）を含む。第 2 層 2 3 2（第 2 層 2 3 2 の構成材料が銀である場合）のヤング率は、82.7 GPa である。第 1 基層 2 1 1 および第 1 金属部 2 3 は、たとえば、第 1 基層 2 1 1 に第 1 層 2 3 1 が貼着された板材料に第 2 層 2 3 2 をめっき処理により成膜することで形成される。

[0025] 第 2 金属部 2 4 は、第 2 基層 2 1 2 上に形成されている。第 2 金属部 2 4 は、第 1 層 2 4 1 および第 2 層 2 4 2 を有する。第 1 層 2 4 1 は、第 2 基層

2 1 2を覆っている。第1層2 4 1の構成材料は、第1金属部2 3の第1層2 3 1と同じく、銅または銅合金である。第2層2 4 2は、第1層2 4 1に積層されている。第2層2 4 2の構成材料は、第1金属部2 3の第2層2 3 2と同じく、銀を含む。また、第2基層2 1 2および第2金属部2 4は、上記した第1基層2 1 1および第1金属部2 3の形成と同様に、第2基層2 1 2に第1層2 4 1が貼着された板材料に第2層2 4 2をめっき処理により成膜することで形成される。

[0026] 次に、第1基層2 1 1と第2基層2 1 2の接合方法について説明する。

[0027] まず、第1基層2 1 1上に形成された第1金属部2 3に、第2基層2 1 2上に形成された第2金属部2 4を接触させる。このとき、第1金属部2 3の第2層2 3 2と、第2金属部2 4の第2層2 4 2とが互いに接触する。

[0028] 次いで、第1金属部2 3の第2層2 3 2と第2金属部2 4の第2層2 4 2とを固相拡散により互いに接合させる。第2層2 3 2および第2層2 4 2の固相拡散による接合は、高温高圧下で行う。なお、当該固相拡散接合は、大気中で行う場合を想定しているが、真空中で行ってもよい。

[0029] 図1 1に示すように、第1金属部2 3の第2層2 3 2と、第2金属部2 4の第2層2 4 2との間には、空隙2 2 Aが形成されている。空隙2 2 Aは、第1金属部2 3（第2層2 3 2）と第2金属部2 4（第2層2 4 2）とを固相拡散により互いに接合させた際に形成される。

[0030] 図5に示すように、第1配線層2 5 1は、主面2 0 Aを含み、かつ第2基層2 1 2に積層されている。第2配線層2 5 2は、裏面2 0 Bを含み、かつ第1基層2 1 1に積層されている。このため、基部2 1（第1基層2 1 1、第2基層2 1 2および金属層2 2）は、第1配線層2 5 1と第2配線層2 5 2との間に挟まれている。第1配線層2 5 1および第2配線層2 5 2の構成材料は、たとえば銅または銅合金であり、銀を含んでいてもよい。第1配線層2 5 1および第2配線層2 5 2は、先述の第1金属部2 3や第2金属部2 4と実質的に同一の構成とされている。

[0031] 導電基板2 0の各層の厚さの一例を挙げると、第1基層2 1 1および第2

基層 2 1 2 の厚さは、各々、0.5～1.0 mm 程度である。第 1 金属部 2 3 および第 2 金属部 2 4 については、第 1 層 2 3 1 および第 1 層 2 4 1 の厚さが、各々、2～3 μ m 程度あるいは 0.1～0.5 mm 程度であり、第 2 層 2 3 2 および第 2 層 2 4 2 の厚さが、各々、2～3 μ m 程度である。第 1 配線層 2 5 1 および第 2 配線層 2 5 2 の厚さは、各々、4～6 μ m 程度、あるいは 0.1～0.5 mm 程度である。

[0032] 図 1、図 2 および図 4 に示すように、一对の絶縁層 2 6 は、第 1 導電部 2 0 1 および第 2 導電部 2 0 2 の各々の主面 2 0 A に配置されている。一对の絶縁層 2 6 は、第 2 方向 y において互いに離間している。一对の絶縁層 2 6 は、第 1 方向 x に延びる帯状である。絶縁層 2 6 の構成材料は、たとえば、セラミックスまたはガラスエポキシ樹脂である。また、絶縁層 2 6 は、少なくとも表面が絶縁性の SiC などで形成されていてもよい。

[0033] 一对のゲート配線層 2 7 1 は、一对の絶縁層 2 6 上に各別に配置されている。一对のゲート配線層 2 7 1 は、第 1 方向 x に延びる帯状である。一对の検出配線層 2 7 2 は、一对の絶縁層 2 6 上に各別に配置されている。一对の検出配線層 2 7 2 は、第 1 方向 x に延びる帯状である。ゲート配線層 2 7 1 および検出配線層 2 7 2 は、各絶縁層 2 6 上において、並んで配置されている。ゲート配線層 2 7 1 および検出配線層 2 7 2 は、たとえば、銅または銅合金からなる金属箔により構成される。

[0034] 図 1 および図 2 に示すように、第 1 入力端子 3 1 および第 2 入力端子 3 2 は、第 1 方向 x の一方側に位置する。第 1 入力端子 3 1 および第 2 入力端子 3 2 は、第 2 方向 y において互いに離間している。第 1 入力端子 3 1 および第 2 入力端子 3 2 には、電力変換対象となる直流電力（電圧）が入力される。第 1 入力端子 3 1 は、正極（P 端子）である。第 2 入力端子 3 2 は、負極（N 端子）である。第 1 入力端子 3 1 および第 2 入力端子 3 2 は、金属板により構成される。当該金属板の構成材料は、銅または銅合金である。

[0035] 第 1 入力端子 3 1 の第 1 方向 x の他方側の端部には、階段状に屈曲形成された屈曲部 3 1 1 が設けられている。この屈曲部 3 1 1 が、ハンダ接合また

は超音波接合などにより第1導電部201の主面20Aに接続されている。これにより、第1入力端子31は、第1導電部201に導通している。第2入力端子32の第1方向xの他方側に端部には、階段状に屈曲形成された屈曲部321が設けられている。この屈曲部321が、ハンダ接合または超音波接合などにより第3導電部203の主面20Aに接続されている。これにより、第2入力端子32は、第3導電部203に導通している。

[0036] 図1および図2に示すように、第1出力端子33および第2出力端子34は、第1方向xの他方側に位置する。第1出力端子33および第2出力端子34は、第2方向yにおいて互いに離間している。第1出力端子33および第2出力端子34から、複数の半導体素子40により電力変換された交流電力（電圧）が出力される。第1出力端子33および第2出力端子34は、金属板により構成される。当該金属板の構成材料は、銅または銅合金である。第1出力端子33および第2出力端子34の第1方向xの一方側の端部には、階段状に屈曲形成された屈曲部331および屈曲部341が設けられている。当該屈曲部331および屈曲部341が、ハンダ接合または超音波接合などにより第2導電部202の主面20Aに接続されている。これにより、第1出力端子33および第2出力端子34は、第2導電部202に導通している。

[0037] 一对のゲート端子35および一对の検出端子36は、一对のゲート配線層271および一对の検出配線層272にそれぞれ対応して配置されている。一对のゲート端子35および一对の検出端子36は、金属板により構成されており、各々が第2方向yに延びる。当該金属板の構成材料は、銅または銅合金である。

[0038] 一对のゲート端子35および一对の検出端子36の各々の端部は、階段状に屈曲形成されている。各ゲート端子35の端部は、ハンダ接合または超音波接合などにより、対応するゲート配線層271に接続されている。各検出端子36の端部は、ハンダ接合または超音波接合などにより、対応する検出配線層272に接続されている。

[0039] 半導体素子40は、たとえば、炭化ケイ素（SiC）を主とする半導体材料を用いて構成されたMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）である。なお、半導体素子40は、MOSFETに限らずMISFET（Metal-Insulator-Semiconductor Field-Effect Transistor）を含む電界効果トランジスタや、IGBT（Insulated Gate Bipolar Transistor）のようなバイポーラトランジスタでもよい。半導体装置A10の説明においては、半導体素子40は、nチャンネル型のMOSFETである場合を対象とする。

[0040] 図5に示すように、半導体素子40は、素子主面40A、素子裏面40B、主面電極41、裏面電極42およびゲート電極（図示略）を有する。素子主面40Aおよび素子裏面40Bは、厚さ方向zにおいて互いに反対側を向く。素子主面40Aは、厚さ方向zにおいて導電基板20の主面20Aと同じ側を向く。このため、素子裏面40Bは、主面20Aに対向している。

[0041] 図5に示すように、主面電極41は、素子主面40Aに設けられている。主面電極41には、半導体素子40の内部からソース電流が流れる。裏面電極42は、素子裏面40Bに設けられている。裏面電極42には、半導体素子40の内部に向けてドレイン電流が流れる。裏面電極42は、導電性を有する接合層29により導電基板20の主面20Aに電氣的に接合されている。接合層29の構成材料は、たとえば、錫（Sn）を主成分とする鉛フリーハンダ、または焼成銀である。前記ゲート電極（図示略）は、素子主面40Aに設けられ、当該ゲート電極には半導体素子40を駆動するためのゲート電圧が印加される。

[0042] 複数の半導体素子40は、複数の第1素子401と、複数の第2素子402とを含む。図1、図2および図4に示すように、複数の第1素子401は、第1導電部201の主面20Aに電氣的に接合されている。複数の第1素子401は、第1方向xに沿って所定の間隔で配列されている。複数の第1素子401は、半導体装置A10の上アーム回路を構成している。

[0043] 図1～図4に示すように、複数の第2素子402は、第2導電部202の

主面 20A に電氣的に接合されている。複数の第 2 素子 402 は、第 1 方向 x に沿って所定の間隔で配列されている。複数の第 2 素子 402 は、半導体装置 A10 の下アーム回路を構成している。

[0044] 図 2 に示すように、複数の第 1 素子 401 および複数の第 2 素子 402 は、これら全体として導電基板 20 に千鳥配置されている。半導体装置 A10 が示す例においては、第 1 素子 401 および第 2 素子 402 のそれぞれの個数は 3 つである。第 1 素子 401 および第 2 素子 402 のそれぞれの個数は本構成に限定されず、半導体装置 A10 に要求される性能に応じて自在に設定可能である。

[0045] 複数の第 1 素子 401 の主面電極 41 の各々と、第 2 導電部 202 の第 1 配線層 251 とに、たとえば図示しないワイヤが接続されている。これにより、複数の第 1 素子 401 の各主面電極 41 は、前記ワイヤを介して第 2 導電部 202 に導通している。したがって、第 1 出力端子 33 は、第 2 導電部 202 および前記ワイヤを介して複数の第 1 素子 401 の各主面電極 41 に導通している。このため、第 1 出力端子 33 は、複数の第 1 素子 401 のソース端子に相当する。

[0046] また、複数の第 1 素子 401 の裏面電極 42 の各々と、第 1 導電部 201 の第 1 配線層 251 とは、接合層 29 を介して導通している。したがって、第 1 入力端子 31 は、第 1 導電部 201 を介して複数の第 1 素子 401 の各裏面電極 42 に導通している。このため、第 1 入力端子 31 は、複数の第 1 素子 401 のドレイン端子に相当する。

[0047] 複数の第 2 素子 402 の主面電極 41 の各々と、第 3 導電部 203 の第 1 配線層 251 とに、たとえば図示しないワイヤが接続されている。これにより、複数の第 2 素子 402 の各主面電極 41 は、前記ワイヤを介して第 3 導電部 203 に導通している。したがって、第 2 入力端子 32 は、第 3 導電部 203 および前記ワイヤを介して複数の第 2 素子 402 の各主面電極 41 に導通している。このため、第 2 入力端子 32 は、複数の第 2 素子 402 のソース端子に相当する。

- [0048] また、複数の第2素子402の裏面電極42の各々と、第2導電部202の第1配線層251とは、接合層29を介して導通している。したがって、第2出力端子34は、第2導電部202を介して複数の第2素子402の各裏面電極42に導通している。このため、第2出力端子34は、複数の第2素子402のドレイン端子に相当する。
- [0049] さらに、半導体装置A10においては、図示しないゲートワイヤおよび検出ワイヤを備える。前記ゲートワイヤは、複数の第1素子401および複数の第2素子402それぞれに対応して複数設けられている。第1素子401に対応する各ゲートワイヤは、第1素子401のゲート電極（図示略）と、第1導電部201の上に位置する一方のゲート配線層271とに接続されている。第2素子402に対応する各ゲートワイヤは、第2素子402のゲート電極（図示略）と、第2導電部202の上に位置する他方のゲート配線層271とに接続されている。そして、一对のゲート配線層271に接続される一对のゲート端子35の各々には、複数の第1素子401および複数の第2素子402のどちらかを駆動させるためのゲート電圧が印加される。
- [0050] また、前記検出ワイヤは、複数の第1素子401および複数の第2素子402それぞれに対応して複数設けられている。第1素子401に対応する各検出ワイヤは、第1素子401の主面電極41と、第1導電部201の上に位置する一方の検出配線層272とに接続されている。第2素子402に対応する各検出ワイヤは、第2素子402の主面電極41と、第2導電部202の上に位置する他方の検出配線層272とに接続されている。そして、一对の検出配線層272に接続される一对の検出端子36の各々から、複数の第1素子401および複数の第2素子402のどちらかに該当する複数の主面電極41に印加される電圧（ソース電流に対応した電圧）が印加される。
- [0051] 封止樹脂60は、図2～図4に示すように、支持基板10、第1入力端子31、第2入力端子32、第1出力端子33および第2出力端子34のそれぞれ一部ずつと、導電基板20および複数の半導体素子40を覆っている。封止樹脂60は、一对の絶縁層26、一对のゲート配線層271、一对の検

出配線層 272 および前記のワイヤ類を覆っている。さらに、封止樹脂 60 は、一对のゲート端子 35 および一对の検出端子 36 のそれぞれ一部ずつを覆っている。封止樹脂 60 の構成材料は、たとえば黒色のエポキシ樹脂である。

[0052] 図3および図4に示すように、封止樹脂 60 は、頂面 61 および底面 62 を有する。頂面 61 は、厚さ方向 z において支持基板 10 の支持面 10A と同じ側を向く。底面 62 は、厚さ方向 z において頂面 61 とは反対側を向く。底面 62 から底板 13（支持基板 10）の底面 10B が露出している。底面 62 は、底板 13 を囲む枠状である。なお、一对のゲート端子 35 および一对の検出端子 36 において封止樹脂 60 から露出する部分は、半導体装置 A10 の使用形態に応じて適宜屈曲させられる。

[0053] 次に、半導体装置 A10 の作用効果について説明する。

[0054] 半導体装置 A10 は、グラファイトを含む導電基板 20 を備える。導電基板 20 は、それぞれグラファイトからなる第1基層 211 および第2基層 212 と、これら第1基層 211 および第2基層 212 の間に介在する金属層 22 と、を含む。導電基板 20 の主面 20A には、半導体素子 40 が接合される。グラファイトからなる第1基層 211 において、グラフェン 211A の積層方向（第1積層方向 $N1$ ）は、厚さ方向 z に対して直角である。これにより、第1基層 211 を構成するグラフェン 211A の面内方向は、厚さ方向 z に沿う。また、グラファイトからなる第2基層 212 において、グラフェン 212A の積層方向（第2積層方向 $N2$ ）は、厚さ方向 z に対して直角であり、かつグラフェン 211A の積層方向（第1積層方向 $N1$ ）に対して交差する。これにより、第2基層 212 を構成するグラフェン 212A の面内方向は、厚さ方向 z に沿うとともに、第1基層 211 のグラフェン 211A の面内方向に交差する。

[0055] グラファイトにおいてグラフェンの面内方向の熱伝導率は、先述のように約 $1500\text{ W}/(\text{m} \cdot \text{K})$ であり、銅の熱伝導率（ $398\text{ W}/(\text{m} \cdot \text{K})$ ）の約4倍近くある。そして、第1基層 211 および第2基層 212 におい

て高熱伝導率であるグラフェン211Aの面内方向およびグラフェン212Aの面内方向は、いずれも厚さ方向zに沿い、かつ互いに交差する。これにより、半導体素子40において発生した熱は、第1基層211、第2基層212およびこれらの間の金属層22を介して、三次元的に効率よく分散される。したがって、半導体装置A10によれば、その放熱性を向上させることが可能である。

[0056] 半導体装置A10において、第2基層212におけるグラフェン212Aの積層方向（第2積層方向N2）は、厚さ方向zおよび第1基層211におけるグラフェン211Aの積層方向（第1積層方向N1）の双方に直角である。これにより、第1基層211におけるグラフェン211Aの面内方向および第2基層212におけるグラフェン212Aの面内方向は、厚さ方向zに沿い、かつ互いに直角である。このような構成によれば、半導体素子40において発生した熱は、第1基層211および第2基層212によって三次元（x-y-z座標系）においてより等方的に分散させることが可能である。このことは、半導体装置A10の放熱性を向上させる上でより好ましい。

[0057] 金属層22において、第1金属部23（第2層232）と第2金属部24（第2層242）とは、固相拡散により接合されている。このように金属層22が固相拡散接合された構成によれば、第1基層211および第2基層212の間の厚さ方向zにおける熱伝導特性の低下を防止することができる。したがって、半導体装置A10によれば、その放熱性を効率よく向上させることが可能である。

[0058] 半導体装置A10において、複数の半導体素子40（複数の第1素子401および複数の第2素子402）を含む。複数の第1素子401は、所定の間隔を隔てて配列されており、互いに並列に接続される。また、複数の第2素子402は、所定の間隔を隔てて配列されており、互いに並列に接続される。このため、複数の第1素子401、あるいは複数の第2素子402においては、同時に熱が発生するので発熱量が多くなりやすい。これに対し、半導体装置A10においては、先述のように半導体素子40において発生した

熱を第1基層211および第2基層212によって三次元（x y z座標系）においてより等方的に分散させることが可能である。したがって、複数の半導体素子40において発生した熱が導電基板20において局所的に集中することが緩和され、当該熱が導電基板20において広範に、かつ速やかに伝わる。

[0059] 次に、図12に基づき、半導体装置A10の変形例である半導体装置A11について説明する。半導体装置A11は、第1金属部23および第2金属部24の構成が、先述した半導体装置A10におけるこれらの構成と異なる。

[0060] 図12に示すように、半導体装置A11の第1金属部23は、第1層231と第2層232との間に挟まれた第3層233をさらに有する。第3層233の構成材料は、たとえばアルミニウム（Al）を含む。第3層233（第3層233の構成材料がアルミニウムである場合）のヤング率は、70.3 GPaである。このため、先述した第1層231および第2層232の各々のヤング率が示すとおり、第3層233のヤング率は、第1層231および第2層232の各々のヤング率よりも小である。また、第3層233の厚さは、たとえば10～100 μm程度であり、第1層231および第2層232の各々の厚さよりも大である。第3層233の成膜手法は、たとえばスパッタリング法、または真空蒸着が挙げられる。

[0061] 半導体装置A11の第2金属部24は、第1層241と第2層242との間に挟まれた第3層243をさらに有する。第3層243の構成材料は、たとえばアルミニウム（Al）を含む。このため、第3層243のヤング率は、第1層241および第2層242の各々のヤング率よりも小である。また、第3層243の厚さは、たとえば10～100 μm程度であり、第1層241および第2層242の各々の厚さよりも大である。第3層243の成膜手法は、たとえばスパッタリング法、または真空蒸着が挙げられる。

[0062] 半導体装置A11において、第3層233、243のヤング率は、第1層231、241および第2層232、242の各々のヤング率よりも小であ

る。これにより、第1金属部23の第2層232と第2金属部24の第2層242とを固相拡散により互いに接合させる際、第1金属部23および第2金属部24に作用する応力を緩和することができる。したがって、固相拡散により接合された第1金属部23および第2金属部24に蓄積される残留応力が低減されるため、半導体装置A11の使用の際、第1金属部23および第2金属部24に亀裂が発生することを抑制できる。なお、本変形例に係る第1金属部23および第2金属部24の構成は、後述する半導体装置A13、半導体装置A20および半導体装置A21においても適宜採用することができる。

[0063] 次に、図13に基づき、半導体装置A10の他の変形例である半導体装置A12について説明する。半導体装置A12は、金属層22の構成が、先述した半導体装置A10における構成と異なる。

[0064] 図13に示すように、半導体装置A12において、金属層22は、第1金属部23、第2金属部24および金属焼成層220を含む。金属焼成層220は、第1金属部23および第2金属部24の間に介在する。第1金属部23を構成する第1層231および第2層232、ならびに第2金属部24を構成する第1層241および第2層242について、各々の構成材料は先述の半導体装置A10の場合と同様である。その一方、第1金属部23（第2層232）と第2金属部24（第2層242）とは、金属焼成層220を介して接合されている。金属焼成層220の構成材料は、たとえば銅または銅合金を含む。また、金属焼成層220の構成材料は、銀を含んでいてもよい。

[0065] 第1金属部23（第2層232）と第2金属部24（第2層242）との接合は、金属焼成層220の材料である金属ペーストをこれら第1金属部23および第2金属部24の間に介在させ、焼成することにより行う。当該焼成による接合は、高温環境下で加圧しつつ行う。

[0066] 図13に示すように、金属焼成層220には、空隙22Aが形成されている。空隙22Aは、接合材である金属焼成層220を焼成する際に形成され

る。

[0067] 半導体装置A 1 2は、グラファイトを含む導電基板2 0を備える。導電基板2 0は、それぞれグラファイトからなる第1基層2 1 1および第2基層2 1 2と、これら第1基層2 1 1および第2基層2 1 2の間に介在する金属層2 2と、を含む。第1基層2 1 1および第2基層2 1 2の構成は、先述の半導体装置A 1 0と同様である。したがって、半導体装置A 1 2によれば、先述の半導体装置A 1 0と同様に、放熱性を向上させることが可能である。

[0068] 半導体装置A 1 2の金属層2 2において、第1金属部2 3（第2層2 3 2）と第2金属部2 4（第2層2 4 2）とは、金属焼成層2 2 0を介して接合されている。このように金属層2 2が金属焼成層2 2 0により接合された構成によれば、第1基層2 1 1および第2基層2 1 2の間の厚さ方向zにおける熱伝導特性の低下を防止することができる。したがって、半導体装置A 1 2によれば、その放熱性を効率よく向上させることが可能である。なお、本変形例に係る金属層2 2の構成は、後述する半導体装置A 1 3、半導体装置A 2 0および半導体装置A 2 1においても適宜採用することができる。

[0069] 次に、図1 4に基づき、半導体装置A 1 0のさらに他の変形例である半導体装置A 1 3について説明する。半導体装置A 1 3は、基部2 1（導電基板2 0）を構成する第1基層2 1 1および第2基層2 1 2の構成が、先述した半導体装置A 1 0におけるこれらの構成と異なる。

[0070] 半導体装置A 1 3において、第1基層2 1 1におけるグラフェン2 1 1 Aの積層方向（第1積層方向N 1）および第2基層2 1 2におけるグラフェン2 1 2 Aの積層方向（第2積層方向N 2）は、いずれも厚さ方向zに対して直角である。その一方、図1 4に示すように、第1基層2 1 1における前記第1積層方向N 1と第2基層2 1 2における前記第2積層方向N 2とは、厚さ方向zに視て交差するが直角ではない（非直角である）。なお、図1 4においては、厚さ方向zに視て、第1基層2 1 1における第1積層方向N 1と第2基層2 1 2における第2積層方向N 2とのなす角度が4 5°の場合を示しているが、当該第1積層方向N 1と第2積層方向N 2とのなす角度は適宜

変更することができる。厚さ方向 z に視て第1積層方向 $N1$ と第2積層方向 $N2$ とが平行（第1積層方向 $N1$ と第2積層方向 $N2$ とが一致）でなければよい。

[0071] このような構成の半導体装置 $A13$ においても、半導体素子 40 において発生した熱は、第1基層 211 、第2基層 212 およびこれらの間の金属層 22 を介して、三次元的に効率よく分散される。したがって、半導体装置 $A13$ によれば、その放熱性を向上させることが可能である。

[0072] 図15～図17に基づき、本開示の第2実施形態に係る半導体装置 $A20$ について説明する。これらの図において、先述した半導体装置 $A10$ の同一または類似の要素には同一の符号を付して、重複する説明を省略する。なお、図15～図17において、理解の便宜上、封止樹脂 60 を透過している。図15、図16において、透過した封止樹脂 60 を想像線（二点鎖線）で示している。

[0073] 半導体装置 $A20$ は、導電基板 20 における基部 21 の構成が、先述した半導体装置 $A10$ の場合と異なる。

[0074] 図17に示すように、半導体装置 $A20$ において、基部 21 は、第1基層 211 、第2基層 212 、第3基層 213 、金属層 22 および金属層 28 を含む。第1基層 211 、第2基層 212 および第3基層 213 は、導電基板 20 の体積の大半を占めている。

[0075] 半導体装置 $A20$ の基部 21 は、半導体装置 $A10$ の基部 21 と比べて、第3基層 213 および金属層 28 をさらに備える。第3基層 213 は、第2基層 212 に対して第1基層 211 とは反対側に位置する。第3基層 213 の構成材料は、第1基層 211 および第2基層 212 と同様に、単結晶のグラファイトである。

[0076] 図18から理解されるように、第3基層 213 におけるグラフェンの積層方向（第3積層方向 $N3$ ）は、第2基層 212 におけるグラフェン $212A$ の積層方向（第2積層方向 $N2$ ）と異なっている。半導体装置 $A20$ において、たとえば第3基層 213 のグラフェンの積層方向（第3積層方向 $N3$ ）

は、第1基層211のグラフェン211Aの積層方向（第1積層方向N1）と一致する。この場合、第1基層211は先述のようにx-z配向であり、第2基層212はy-z配向であり、第3基層213はx-z配向である。

[0077] 半導体装置A20において、第1基層211および第3基層213の各々の厚さは、第2基層212の厚さよりも小である。各層の厚さの一例を挙げると、第1基層211の厚さが0.5mm程度であり、第2基層212の厚さが1.0mm程度であり、第3基層213の厚さが0.5mm程度である。第1基層211、第2基層212および第3基層213の厚さの割合は、好ましくは1:2:1程度とされる。

[0078] 金属層28は、第2基層212および第3基層213の間に介在し、かつ、これら第2基層212および第3基層213を互いに接合している。金属層28は、金属層22と実質的に同一の構成である。詳細な図示説明は省略するが、金属層28は、金属層22における第1金属部23および第2金属部24に相当する部位を含む。金属層28において金属層22の第1金属部23に相当する部位は、第2基層212上に形成される。また、金属層28において金属層22の第2金属部24に相当する部位は、第3基層213上に形成される。また、金属層28において第1金属部23に相当する部位は、先述の第1層231および第2層232に相当する各層を有し、金属層28において第2金属部24に相当する部位は、先述の第1層241および第2層242に相当する各層をする。

[0079] 金属層28において金属層22の第1金属部23に相当する部位と、金属層28において金属層22の第2金属部24に相当する部位とは、固相拡散により接合される。そして、固相拡散により接合された金属層28においては、金属層22の場合と同様に空隙（図示略）が形成される。

[0080] なお、半導体装置A20において、第1配線層251は、第3基層213に積層されている。

[0081] 次に、半導体装置A20の作用効果について説明する。

[0082] 半導体装置A20は、グラファイトを含む導電基板20を備える。導電基

板20は、それぞれグラファイトからなる第1基層211、第2基層212および第3基層213と、これらの間に介在する金属層22および金属層28と、を含む。第3基層213におけるグラフェンの積層方向（第3積層方向N3）は、第2基層212におけるグラフェン212Aの積層方向（第2積層方向N2）と異なる。このような構成の半導体装置A20によれば、半導体素子40において発生した熱は、第1基層211、第2基層212、第3基層213およびこれらの間の金属層22、28を介して、三次元的に効率よく分散される。したがって、半導体装置A20によれば、その放熱性を向上させることが可能である。

[0083] 半導体装置A20において、第2基層212におけるグラフェン212Aの積層方向（第2積層方向N2）は、厚さ方向zおよび第1基層211におけるグラフェン211Aの積層方向（第1積層方向N1）の双方に直角である。第1基層211はxz配向であり、第2基層212はyz配向である。第3基層213については、グラフェンの積層方向（第3積層方向N3）が第1基層211のグラフェン211Aの積層方向（第1積層方向N1）と一致しており、第1基層211と同じxz配向である。このような構成によれば、半導体素子40において発生した熱は、第1基層211、第2基層212および第3基層213によって三次元（xyz座標系）においてより等方的に分散させることが可能である。

[0084] 半導体装置A20において、第1基層211および第2基層212の間に介在する金属層22、ならびに第2基層212および第3基層213の間に介在する金属層28は、固相拡散により接合されている。このような構成によれば、第1基層211、第2基層212および第3基層213の間の厚さ方向zにおける熱伝導特性の低下を防止することができる。したがって、半導体装置A20によれば、その放熱性を効率よく向上させることが可能である。

[0085] 半導体装置A20において、複数の半導体素子40（複数の第1素子401および複数の第2素子402）を含む。複数の第1素子401は、所定の

間隔を隔てて配列されており、互いに並列に接続される。また、複数の第2素子402は、所定の間隔を隔てて配列されており、互いに並列に接続される。このため、複数の第1素子401、あるいは複数の第2素子402においては、同時に熱が発生するので発熱量が多くなりやすい。これに対し、半導体装置A20においては、先述のように半導体素子40において発生した熱を、第1基層211、第2基層212および第3基層213によって三次元（ $x-y-z$ 座標系）において等方的に分散させることが可能である。したがって、複数の半導体素子40において発生した熱が導電基板20において局所的に集中することが緩和され、当該熱が導電基板20において広範に、かつ速やかに伝わる。

[0086] 第1基層211、第2基層212および第3基層213の構成材料であるグラファイトは、熱伝導率について異方性を有することと対応して、熱膨張率についても異方性を有する。半導体装置A20においては、同一配向（グラフェンの積層方向が一致）の第1基層211および第3基層213により第2基層212を挟んでいる。また、第1基層211および第3基層213の各々の厚さは、第2基層212の厚さよりも小である。このような構成によれば、半導体素子40において発生した熱に起因して導電基板20（第1基層211、第2基層212および第3基層213）が不当に変形（反り等）することは、抑制される。

[0087] 次に、図19および図20に基づき、半導体装置A20の変形例である半導体装置A21について説明する。半導体装置A21は、基部21（導電基板20）を構成する第1基層211、第2基層212および第3基層213の構成が、先述し半導体装置A20におけるこれらの構成と異なる。

[0088] 図19に示すように、半導体装置A21においては、第1基層211、第2基層212および第3基層213それぞれの厚さが略同一とされている。

[0089] また、図20に示すように、半導体装置A21において、第1基層211におけるグラフェン211Aの積層方向（第1積層方向N1）、第2基層212におけるグラフェン212Aの積層方向（第2積層方向N2）および第

3基層213におけるグラフェンの積層方向（第3積層方向N3）は、いずれも厚さ方向zに対して直角である。その一方、第1基層211における前記第1積層方向N1と第2基層212における前記第2積層方向N2と第3基層213における前記第3積層方向N3とは、厚さ方向zに視て互いに交差するが直角ではない（非直角である）。半導体装置A21において、第1積層方向N1、第2積層方向N2および第3積層方向N3は、厚さ方向zに視て互いに60°ずつずれている。

[0090] このような構成の半導体装置A21においても、半導体素子40において発生した熱は、第1基層211、第2基層212、第3基層213およびこれらの間の金属層22、28を介して、三次元的に効率よく分散される。したがって、半導体装置A21によれば、その放熱性を向上させることが可能である。

[0091] 半導体装置A21において、第1基層211、第2基層212および第3基層213それぞれの厚さが略同一である。また、第1積層方向N1、第2積層方向N2および第3積層方向N3は、厚さ方向zに視て略均等にずれている。このような構成によれば、半導体素子40において発生した熱は、第1基層211、第2基層212および第3基層213により三次元（x y x座標系）においてより等方的に分散させることが可能である。

[0092] なお、図21においては、厚さ方向zに視て、第1積層方向N1、第2積層方向N2および第3積層方向N3が互いに60°ずつずれる場合を示しているが、当該第1積層方向N1、第2積層方向N2および第3積層方向N3が互いになす角度については、適宜変更することができる。また、第1基層211、第2基層212および第3基層213それぞれの厚さについても適宜変更可能である。

[0093] 以上、本開示の具体的な実施形態を説明したが、本開示はこれに限定されるものではなく、発明の思想から逸脱しない範囲内で種々な変更が可能である。本開示に係る半導体装置の具体的な構成は、種々に設計変更自在である。

[0094] 本開示は、以下の付記に関する構成を含む。

[0095] [付記 1]

厚さ方向の一方側を向く主面、および前記主面とは反対側を向く裏面を有する導電基板と、

前記主面に電氣的に接合される半導体素子と、を備え、

前記導電基板は、それぞれグラフェンが積層されたグラファイトからなる第 1 基層および第 2 基層と、前記第 1 基層および前記第 2 基層の間に介在する金属層と、を含み、

前記第 1 基層における前記グラフェンは、前記厚さ方向に対して直角である第 1 積層方向に積層し、

前記第 2 基層における前記グラフェンは、前記厚さ方向に対して直角であり、かつ前記第 1 積層方向に対して交差する第 2 積層方向に積層されている、半導体装置。

[付記 2]

前記第 2 積層方向は、前記厚さ方向および前記第 1 積層方向の双方に直角である、付記 1 に記載の半導体装置。

[付記 3]

前記金属層は、前記第 1 基層上に形成された第 1 金属部と、前記第 2 基層上に形成され、前記第 1 金属部に接合される第 2 金属部と、を含む、付記 1 または 2 に記載の半導体装置。

[付記 4]

前記第 1 金属部と前記第 2 金属部との間に空隙が形成されている、付記 3 に記載の半導体装置。

[付記 5]

前記第 1 金属部および前記第 2 金属部の各々は、前記第 1 基層および前記第 2 基層のいずれかを覆う第 1 層と、前記第 1 層に積層された第 2 層と、を有し、

前記第 1 金属部の前記第 2 層と、前記第 2 金属部の前記第 2 層とが、固相

拡散により互いに接合されている、付記 3 または 4 に記載の半導体装置。

[付記 6]

前記第 1 金属部および前記第 2 金属部の各々は、前記第 1 層と前記第 2 層との間に挟まれた第 3 層を有し、

前記第 3 層のヤング率は、前記第 1 層および前記第 2 層の各々のヤング率よりも小である、付記 5 に記載の半導体装置。

[付記 7]

前記金属層は、前記第 1 金属部および前記第 2 金属部の間に介在し、前記第 1 金属部および前記第 2 金属部を接合する金属焼成層を含む、付記 3 または 4 に記載の半導体装置。

[付記 8]

前記第 1 基層および前記第 2 基層の各々の厚さは、前記金属層の厚さよりも大である、付記 1 ないし 7 のいずれかに記載の半導体装置。

[付記 9]

前記導電基板は、前記第 2 基層に対して前記第 1 基層とは反対側に位置し、前記グラファイトからなる第 3 基層と、前記第 2 基層および前記第 3 基層の間に介在する追加の金属層と、を含み、

前記第 3 基層における前記グラフェンは、前記第 2 積層方向とは異なる第 3 積層方向に積層されている、付記 1 ないし 8 のいずれかに記載の半導体装置。

[付記 10]

前記第 1 基層および前記第 3 基層の各々の厚さは、前記第 2 基層の厚さよりも小である、付記 9 に記載の半導体装置。

[付記 11]

前記第 3 積層方向は、前記第 1 積層方向と一致する、付記 10 に記載の半導体装置。

[付記 12]

前記導電基板の前記裏面と対向する支持面を有する支持基板をさらに備え

、

前記導電基板は、前記裏面が前記支持面に対向するように前記支持基板に接合される、付記 1 ないし 1 1 のいずれかに記載の半導体装置。

[付記 1 3]

前記支持基板は、電気絶縁性を有する第 1 支持板と、前記支持面を含み、かつ前記第 1 支持板に積層された金属製の第 2 支持板と、を有する、付記 1 2 に記載の半導体装置。

[付記 1 4]

前記支持基板は、前記支持面とは反対側を向く底面を有し、

前記導電基板および前記半導体素子と、前記支持基板の一部と、を覆う封止樹脂をさらに備え、

前記底面は、前記封止樹脂から露出している、付記 1 2 または 1 3 に記載の半導体装置。

[付記 1 5]

前記導電基板は、前記主面を含む第 1 配線層と、前記裏面を含む第 2 配線層と、を有し、

前記半導体素子は、導電性を有する接合層により前記主面に電氣的に接合されている、付記 1 ないし 1 4 のいずれかに記載の半導体装置。

[付記 1 6]

前記半導体素子を複数備え、複数の前記半導体素子は間隔を隔てて配列されている、付記 1 ないし 1 5 のいずれかに記載の半導体装置。

請求の範囲

- [請求項1] 厚さ方向の一方側を向く主面、および前記主面とは反対側を向く裏面を有する導電基板と、
前記主面に電氣的に接合される半導体素子と、を備え、
前記導電基板は、それぞれグラフェンが積層されたグラファイトからなる第1基層および第2基層と、前記第1基層および前記第2基層の間に介在する金属層と、を含み、
前記第1基層における前記グラフェンは、前記厚さ方向に対して直角である第1積層方向に積層し、
前記第2基層における前記グラフェンは、前記厚さ方向に対して直角であり、かつ前記第1積層方向に対して交差する第2積層方向に積層されている、半導体装置。
- [請求項2] 前記第2積層方向は、前記厚さ方向および前記第1積層方向の双方に直角である、請求項1に記載の半導体装置。
- [請求項3] 前記金属層は、前記第1基層上に形成された第1金属部と、前記第2基層上に形成され、前記第1金属部に接合される第2金属部と、を含む、請求項1または2に記載の半導体装置。
- [請求項4] 前記第1金属部と前記第2金属部との間に空隙が形成されている、請求項3に記載の半導体装置。
- [請求項5] 前記第1金属部および前記第2金属部の各々は、前記第1基層および前記第2基層のいずれかを覆う第1層と、前記第1層に積層された第2層と、を有し、
前記第1金属部の前記第2層と、前記第2金属部の前記第2層とが、固相拡散により互いに接合されている、請求項3または4に記載の半導体装置。
- [請求項6] 前記第1金属部および前記第2金属部の各々は、前記第1層と前記第2層との間に挟まれた第3層を有し、
前記第3層のヤング率は、前記第1層および前記第2層の各々のヤ

ング率よりも小である、請求項 5 に記載の半導体装置。

[請求項7] 前記金属層は、前記第 1 金属部および前記第 2 金属部の間に介在し、前記第 1 金属部および前記第 2 金属部を接合する金属焼成層を含む、請求項 3 または 4 に記載の半導体装置。

[請求項8] 前記第 1 基層および前記第 2 基層の各々の厚さは、前記金属層の厚さよりも大である、請求項 1 ないし 7 のいずれかに記載の半導体装置。

[請求項9] 前記導電基板は、前記第 2 基層に対して前記第 1 基層とは反対側に位置し、前記グラファイトからなる第 3 基層と、前記第 2 基層および前記第 3 基層の間に介在する追加の金属層と、を含み、

前記第 3 基層における前記グラフェンは、前記第 2 積層方向とは異なる第 3 積層方向に積層されている、請求項 1 ないし 8 のいずれかに記載の半導体装置。

[請求項10] 前記第 1 基層および前記第 3 基層の各々の厚さは、前記第 2 基層の厚さよりも小である、請求項 9 に記載の半導体装置。

[請求項11] 前記第 3 積層方向は、前記第 1 積層方向と一致する、請求項 10 に記載の半導体装置。

[請求項12] 前記導電基板の前記裏面と対向する支持面を有する支持基板をさらに備え、

前記導電基板は、前記裏面が前記支持面に対向するように前記支持基板に接合される、請求項 1 ないし 11 のいずれかに記載の半導体装置。

[請求項13] 前記支持基板は、電気絶縁性を有する第 1 支持板と、前記支持面を含み、かつ前記第 1 支持板に積層された金属製の第 2 支持板と、を有する、請求項 12 に記載の半導体装置。

[請求項14] 前記支持基板は、前記支持面とは反対側を向く底面を有し、
前記導電基板および前記半導体素子と、前記支持基板の一部と、を覆う封止樹脂をさらに備え、

前記底面は、前記封止樹脂から露出している、請求項 1 2 または 1 3 に記載の半導体装置。

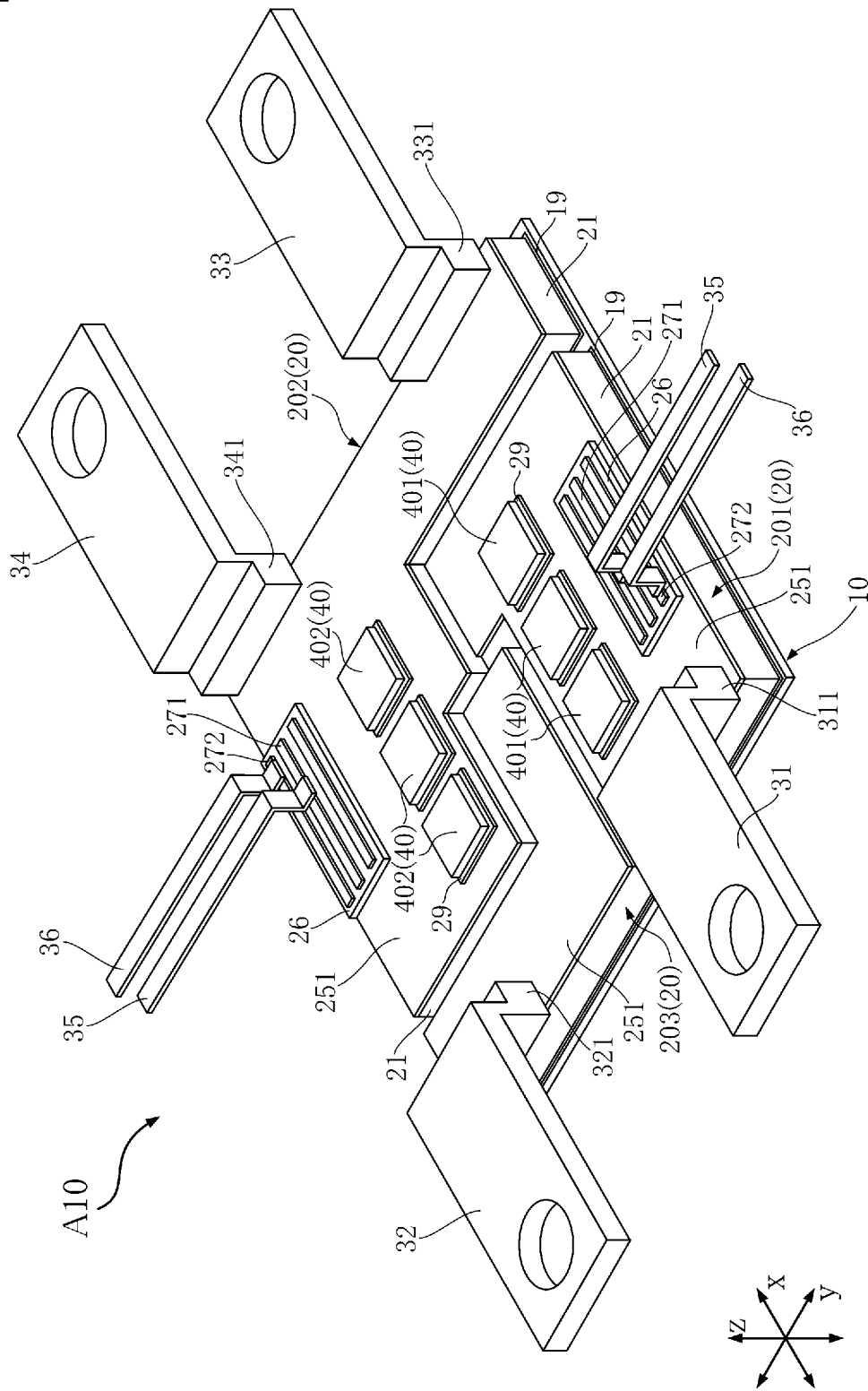
[請求項15] 前記導電基板は、前記主面を含む第 1 配線層と、前記裏面を含む第 2 配線層と、を有し、

前記半導体素子は、導電性を有する接合層により前記主面に電氣的に接合されている、請求項 1 ないし 1 4 のいずれかに記載の半導体装置。

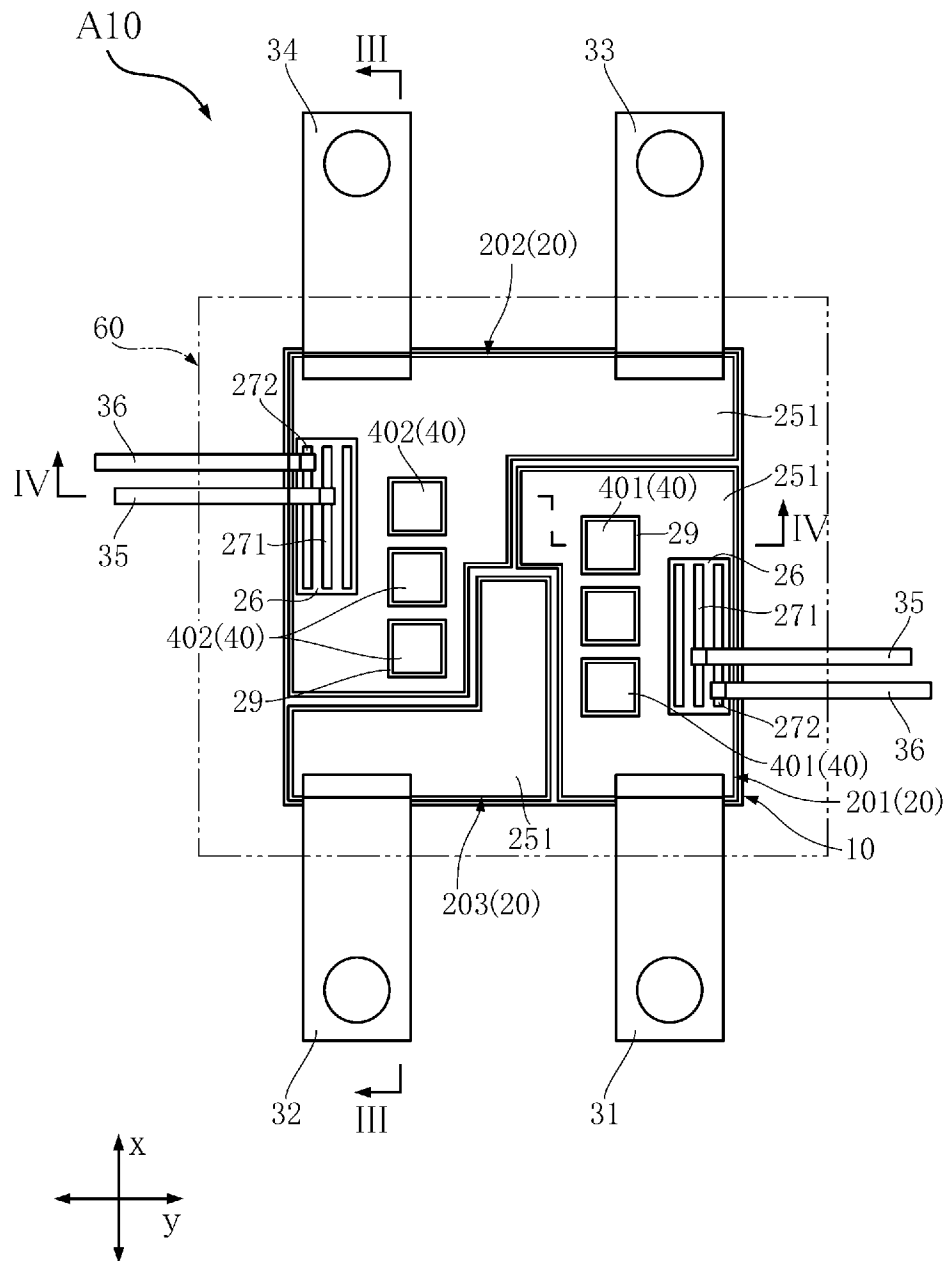
[請求項16] 前記半導体素子を複数備え、複数の前記半導体素子は間隔を隔てて配列されている、請求項 1 ないし 1 5 のいずれかに記載の半導体装置。

[図1]

FIG.1



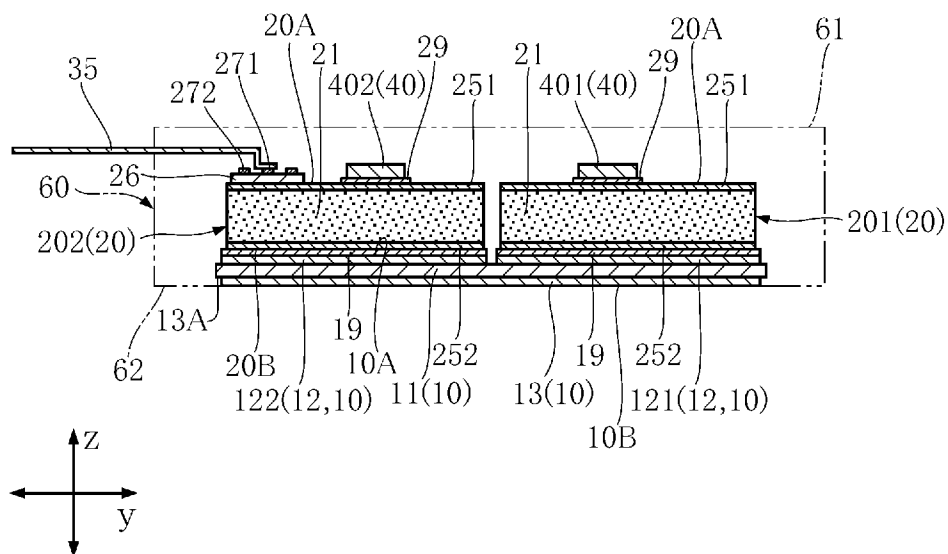
[図2]
FIG.2



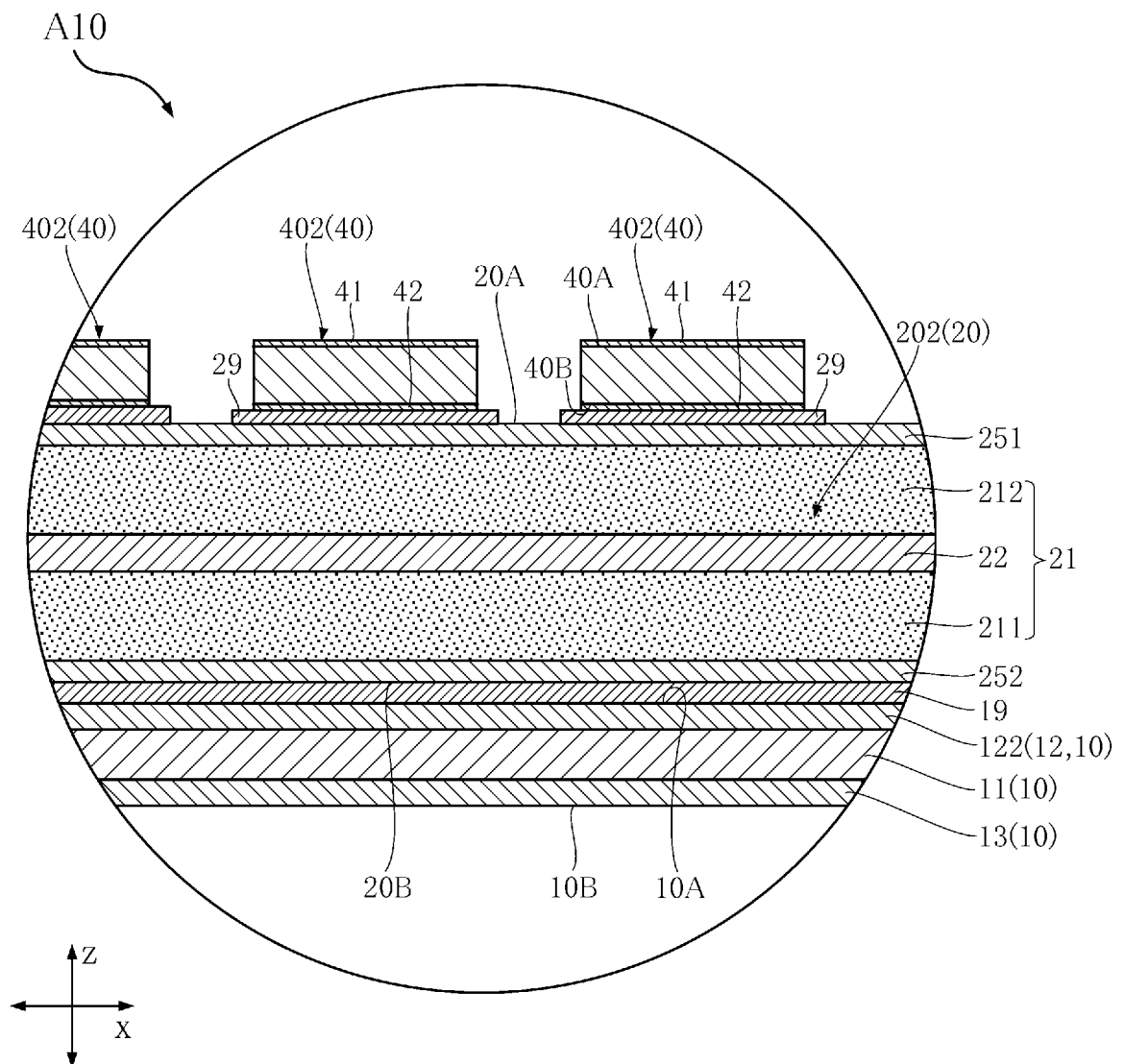
A10



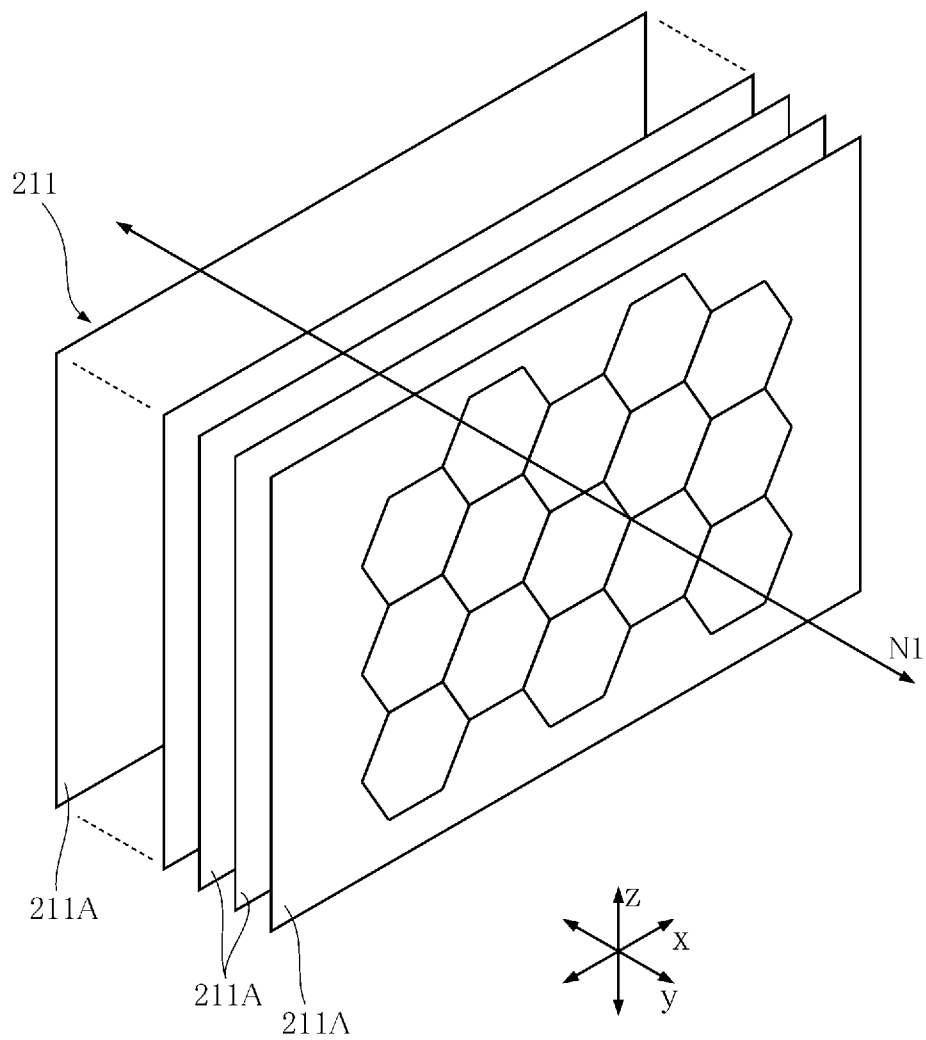
A10



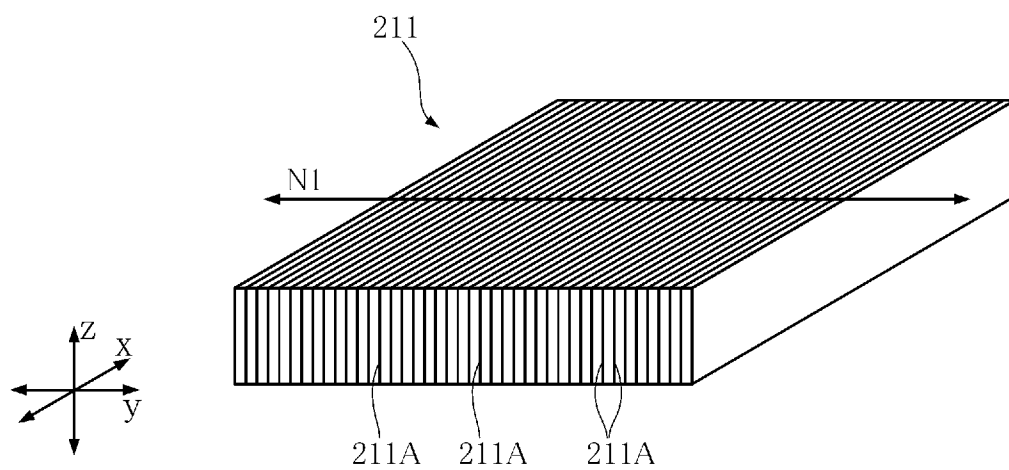
[図5]
FIG.5

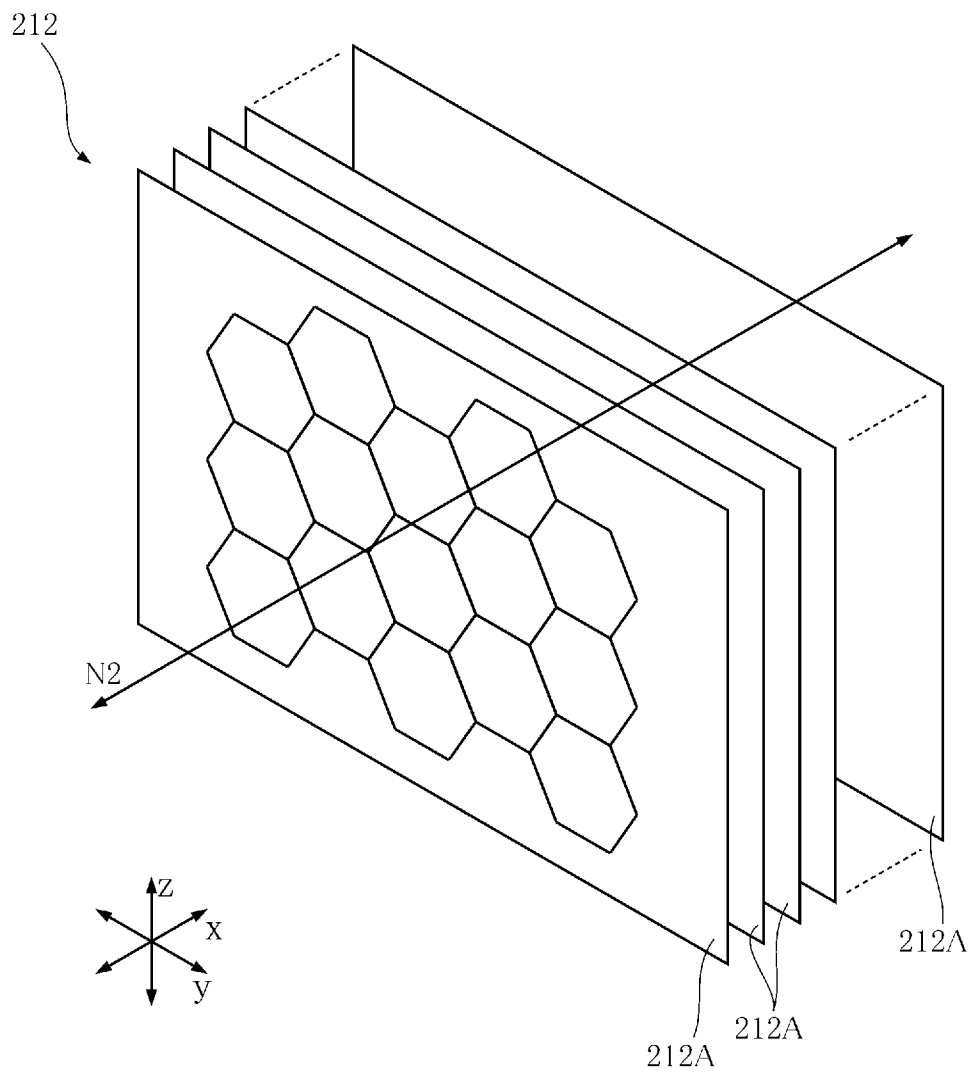
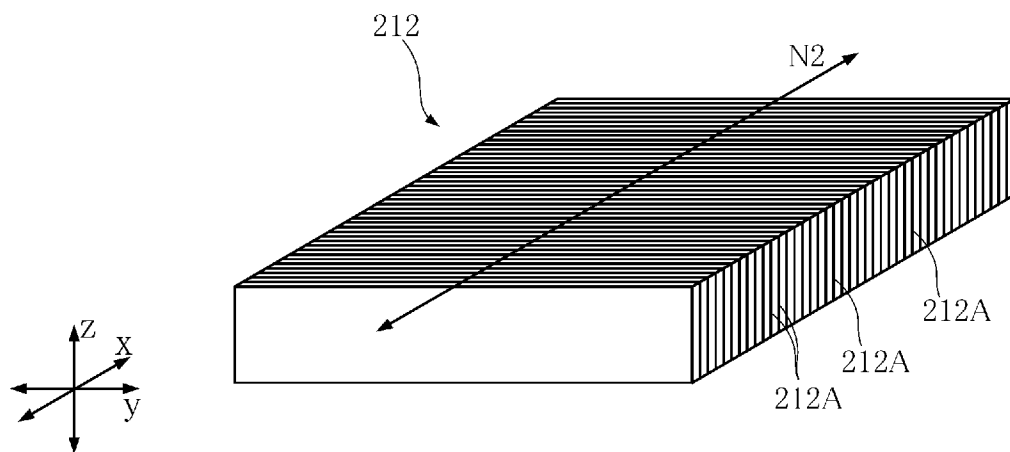


【図6】
FIG.6

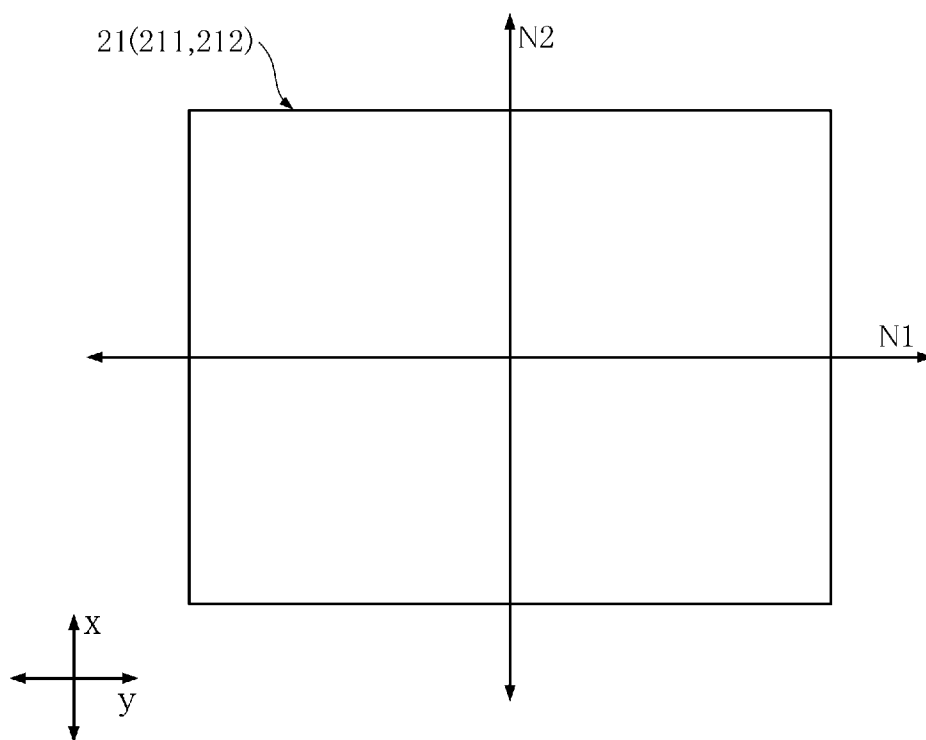


【図7】
FIG.7

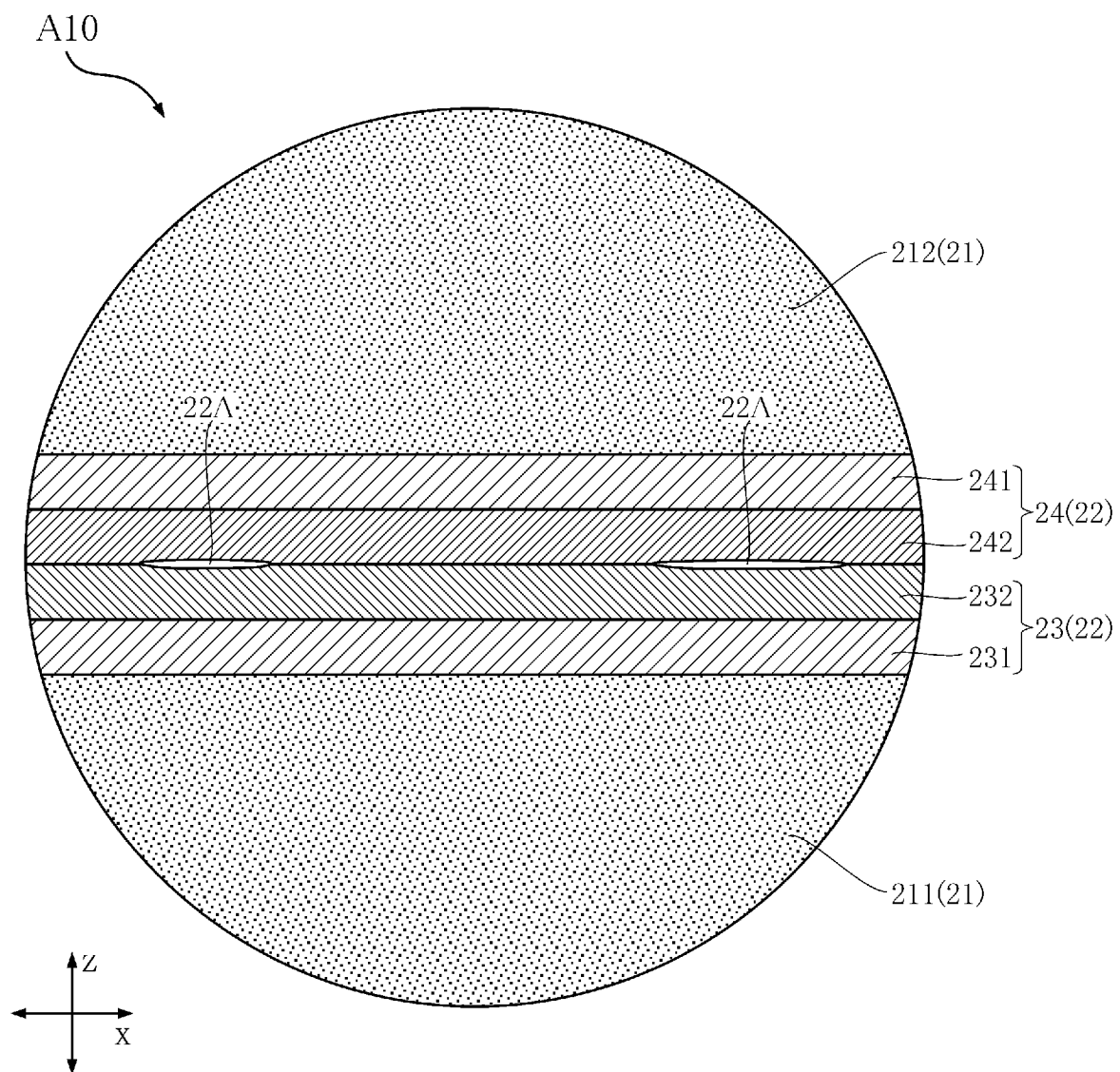


[図8]
FIG.8[図9]
FIG.9

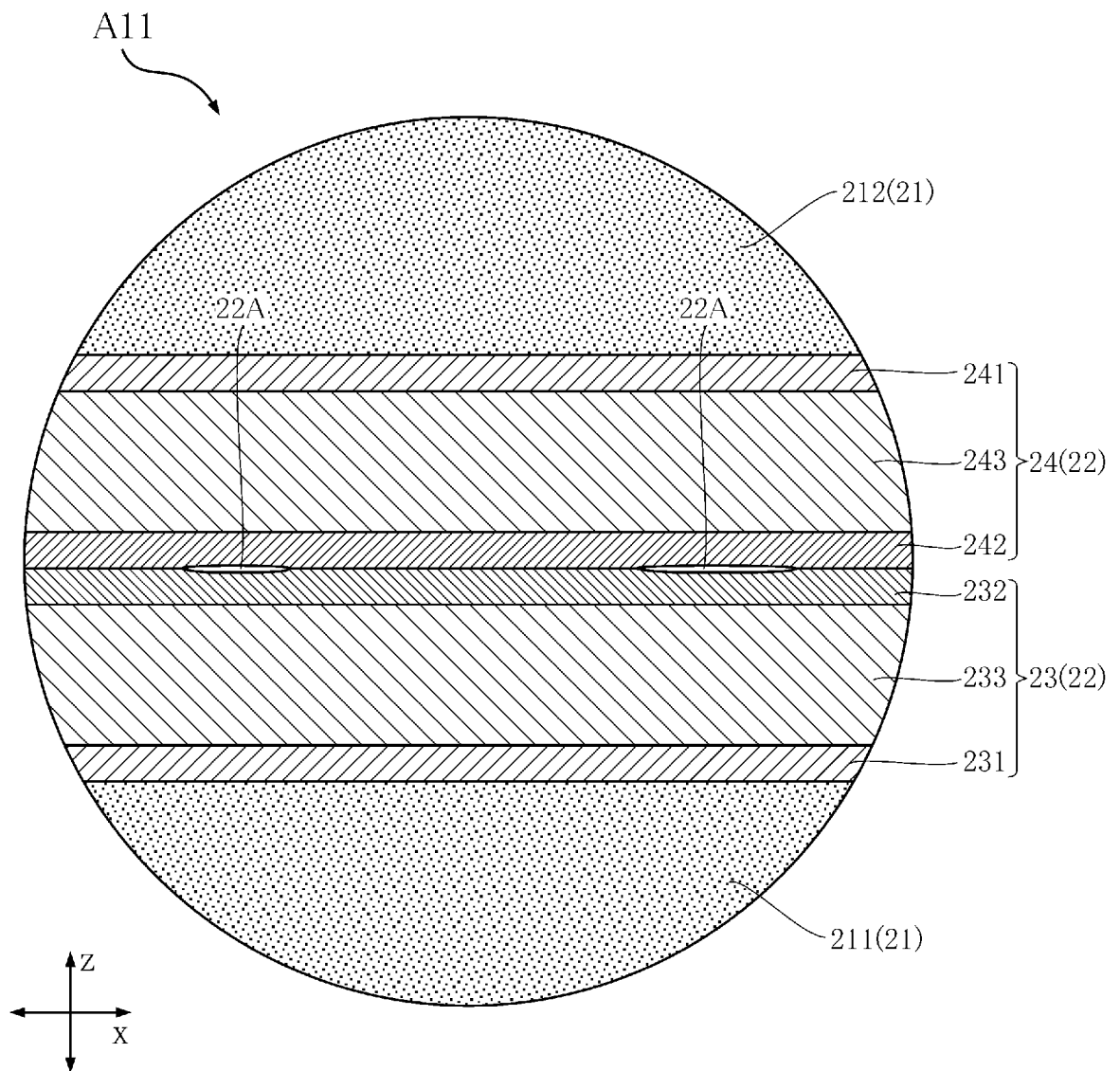
[図10]
FIG.10



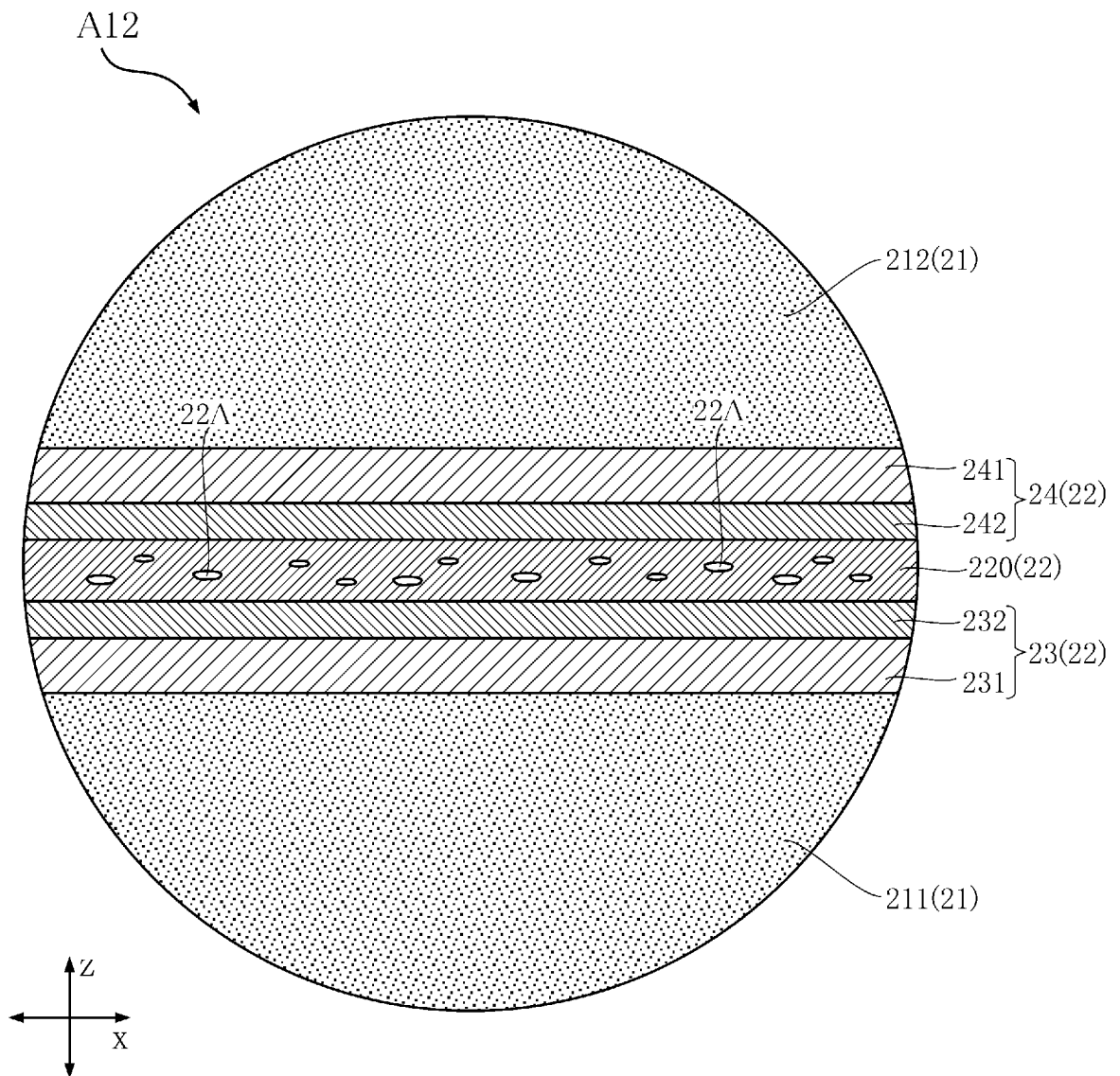
[図11]
FIG.11



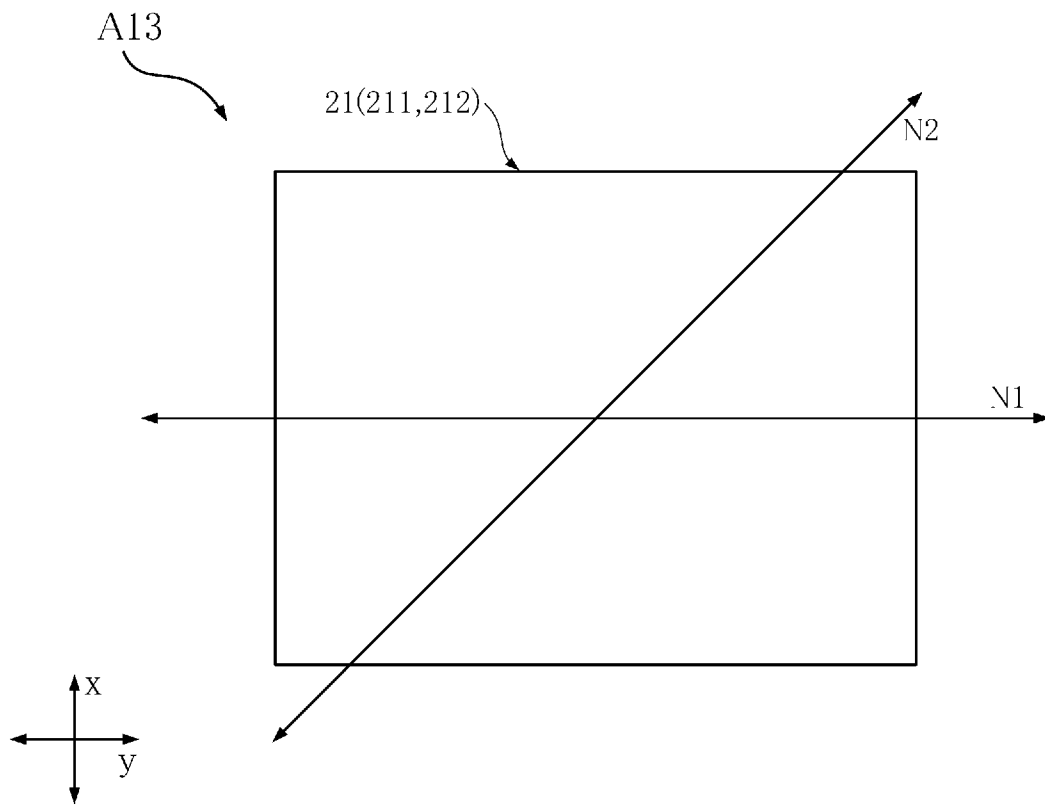
[図12]
FIG.12



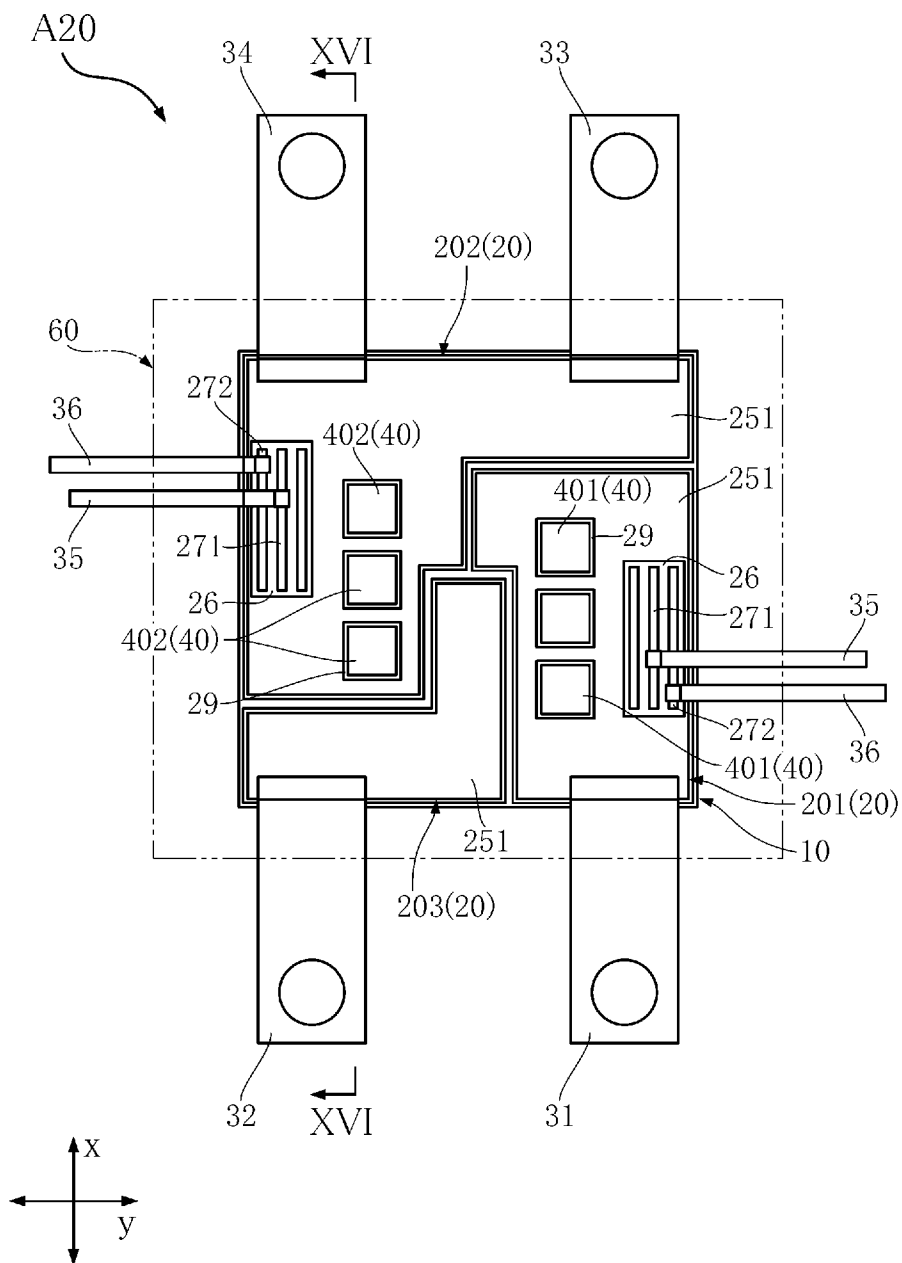
[図13]
FIG.13



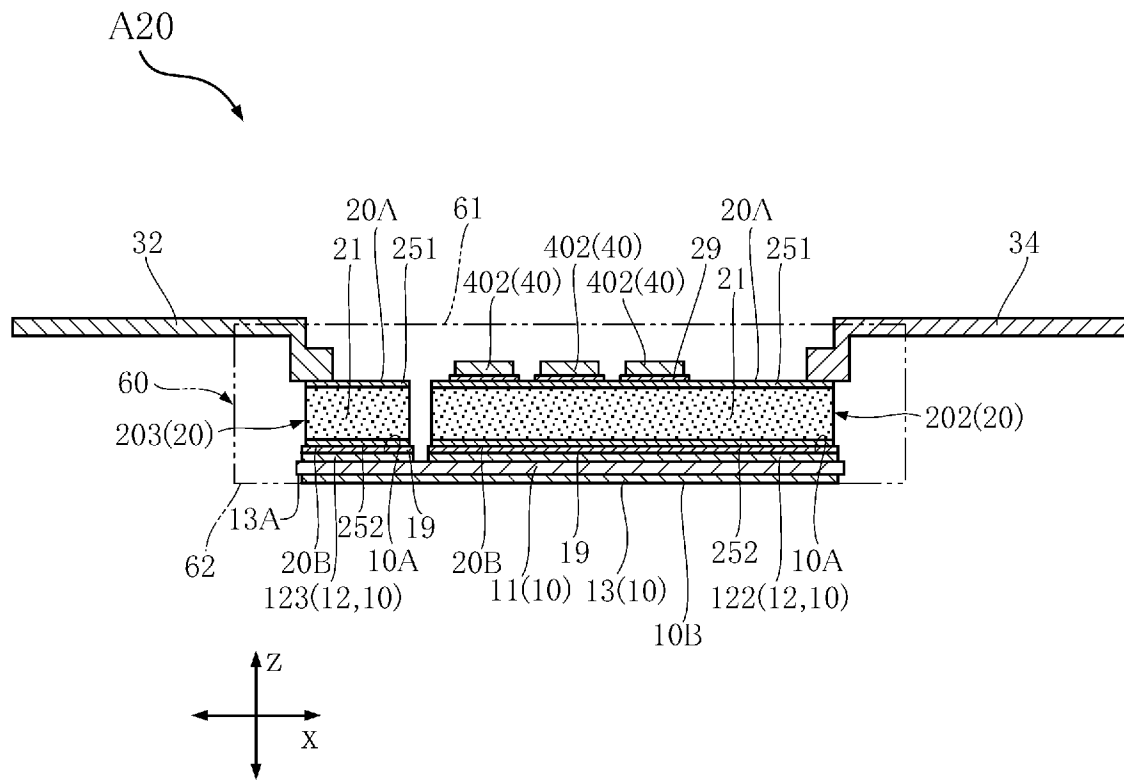
[図14]
FIG.14



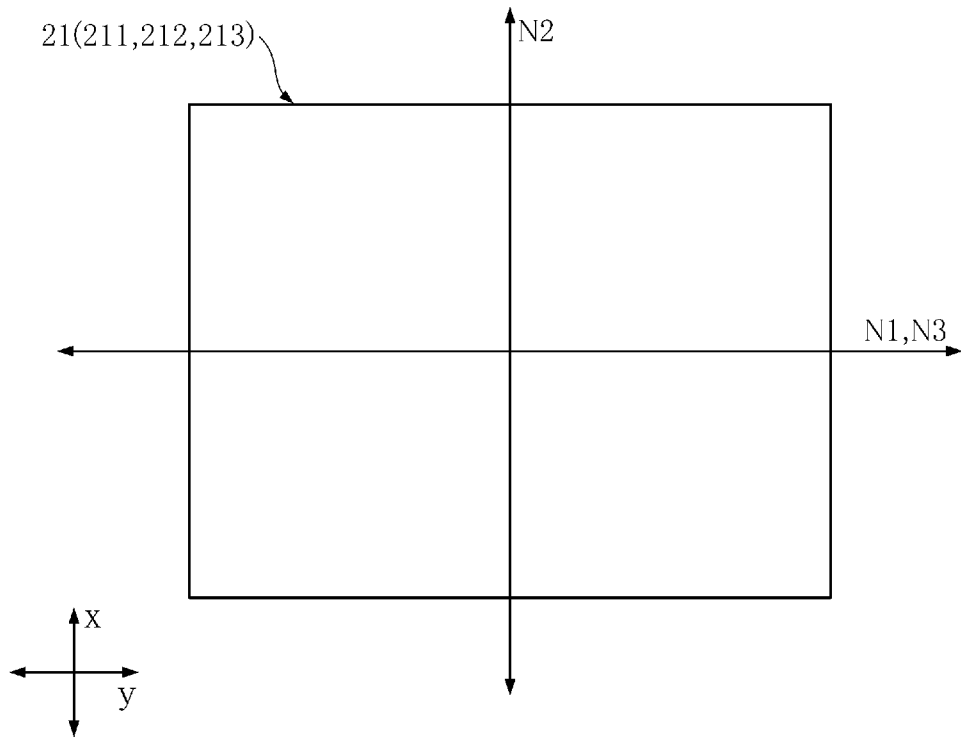
[図15]
FIG.15



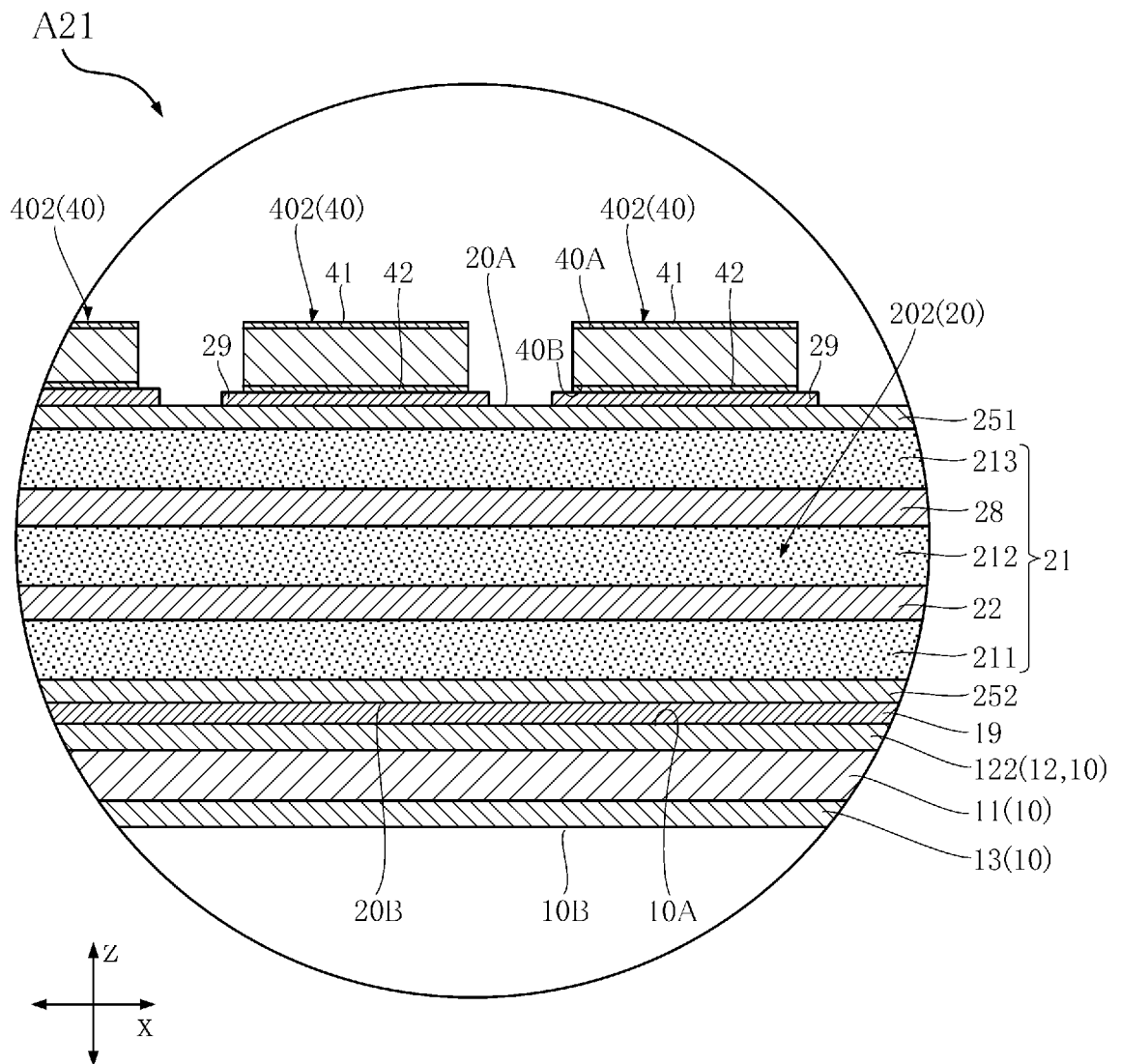
[図16]
FIG.16



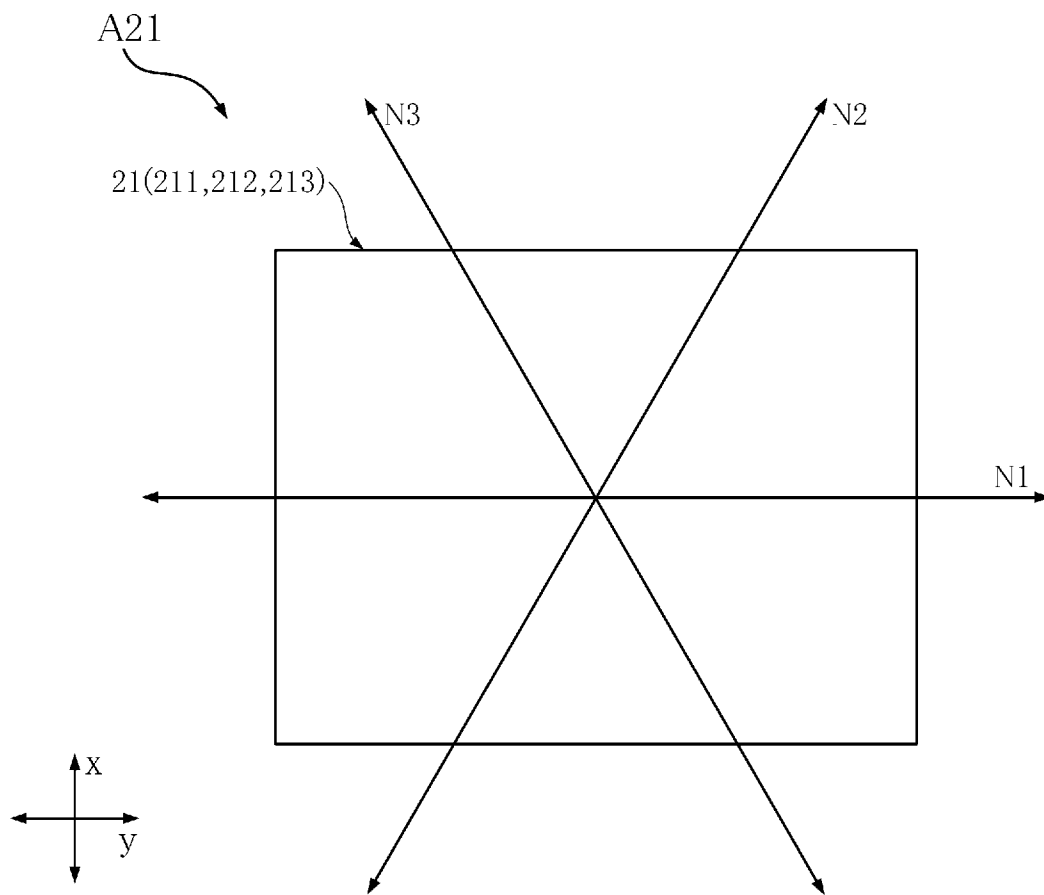
[図18]
FIG.18



[図19]
FIG.19



[図20]
FIG.20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/044625

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L23/36 (2006.01) i

FI: H01L23/36C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L23/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-142547 A (NIPPON SOKEN INC.) 26.07.2012 (2012-07-26), paragraphs [0038], [0039], [0048],	1-4, 7-9, 12, 13, 15
Y	[0049], [0043], [0067]-[0080], [0090], [0096], fig.	10-16
A	3, 8, 9, 11, 14	5, 6
Y	JP 2016-149431 A (TOYOTA CENTRAL R&D LABS., INC.) 18.08.2016 (2016-08-18), fig. 2, 3	10-16
Y	JP 2018-174252 A (ROHM CO., LTD.) 08.11.2018 (2018-11-08), paragraphs [0037]-[0039], [0049], fig. 12, 13	14-16
A	JP 2011-258755 A (DENSO CORPORATION) 22.12.2011 (2011-12-22), entire text, all drawings	1-16
A	JP 2012-222160 A (NIPPON SOKEN INC.) 12.11.2012 (2012-11-12), entire text, all drawings	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29.01.2020

Date of mailing of the international search report
10.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/044625

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-149450 A (TOYOTA CENTRAL R&D LABS., INC.) 18.08.2016 (2016-08-18), entire text, all drawings	1-16

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/044625

JP 2012-142547 A	26.07.2012	US 2012/0152510 A1 paragraphs [0050]-[0052], [0059], [0073], [0074], [0108]-[0127], [0139], [0149], fig. 3, 8, 9, 11, 14
JP 2016-149431 A	18.08.2016	(Family: none)
JP 2018-174252 A	08.11.2018	(Family: none)
JP 2011-258755 A	22.12.2011	US 2011/0303399 A1 entire text, all drawings DE 102011102850 A1
JP 2012-222160 A	12.11.2012	(Family: none)
JP 2016-149450 A	18.08.2016	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/36(2006.01)i FI: H01L23/36 C		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/36		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-142547 A（株式会社日本自動車部品総合研究所）26.07.2012（2012-07-26） 段落【0038】-【0039】、【0048】-【0049】、【0043】、 【0067】-【0080】、【0090】、【0096】、図3、8、9、11、14	1-4, 7-9, 12, 13, 15
Y		10-16
A		5, 6
Y	JP 2016-149431 A（株式会社豊田中央研究所）18.08.2016（2016-08-18） 図2、3	10-16
Y	JP 2018-174252 A（ローム株式会社）08.11.2018（2018-11-08） 段落【0037】-【0039】、【0049】、図12、13	14-16
A	JP 2011-258755 A（株式会社デンソー）22.12.2011（2011-12-22） 全文、全図	1-16
A	JP 2012-222160 A（株式会社日本自動車部品総合研究所）12.11.2012（2012-11-12） 全文、全図	1-16
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 29.01.2020		国際調査報告の発送日 10.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 正山 旭 5F 9276 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-149450 A (株式会社豊田中央研究所) 18.08.2016 (2016 - 08 - 18) 全文、全図	1-16

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/044625

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-142547	A	26.07.2012	US 2012/0152510 A1 段落[0050]-[0052]、 [0059]、[0073]-[0074]、 [0108]-[0127]、[0139]、 [0149]、図3、8、9、11、14	
JP	2016-149431	A	18.08.2016	(ファミリーなし)	
JP	2018-174252	A	08.11.2018	(ファミリーなし)	
JP	2011-258755	A	22.12.2011	US 2011/0303399 A1 全文、全図	
				DE 102011102850 A1	
JP	2012-222160	A	12.11.2012	(ファミリーなし)	
JP	2016-149450	A	18.08.2016	(ファミリーなし)	