



(12)发明专利

(10)授权公告号 CN 105933622 B

(45)授权公告日 2019.07.09

(21)申请号 201610098605.8

(22)申请日 2016.02.23

(65)同一申请的已公布的文献号  
申请公布号 CN 105933622 A

(43)申请公布日 2016.09.07

(30)优先权数据  
2015-039318 2015.02.27 JP

(73)专利权人 佳能株式会社  
地址 日本东京

(72)发明人 小林秀央 山崎和男 樋山拓己

(74)专利代理机构 中国国际贸易促进委员会专  
利商标事务所 11038

代理人 杨小明

(51)Int.Cl.

H04N 5/369(2011.01)

(56)对比文件

US 6703868 B2,2004.03.09,  
CN 1402259 A,2003.03.12,  
CN 101783863 A,2010.07.21,  
CN 104303496 A,2015.01.21,  
CN 102355238 A,2012.02.15,

审查员 许瑞雪

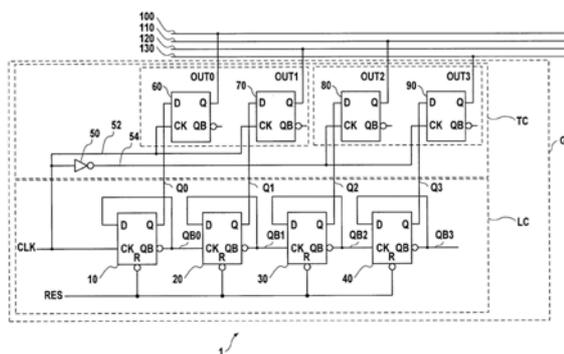
权利要求书2页 说明书8页 附图11页

(54)发明名称

电子电路和照相机

(57)摘要

本发明涉及电子电路和照相机。电子电路包含：用于产生第一组信号和第二组信号的产生电路；和用于传送第一组信号和第二组信号的传送路径。第一组信号由与作为基准时钟的上升缘和下降缘中的一者的第一边缘同步化的信号构成，并且，第二组信号由与作为上升缘和下降缘中的另一者的第二边缘同步化的信号构成。传送路径包含用于传送构成第一组的信号的第一传送线和用于传送构成第二组的信号的第二传送线，并且，第一传送线和第二传送线被交替地布置。



1. 一种电子电路,其特征在于包括:

产生电路(270),具有第一输出节点(OUT2)和第二输出节点(OUT0),第一输出节点(OUT2)被配置为输出第一信号,第二输出节点(OUT0)被配置为输出第二信号,第二信号的周期短于第一信号的周期;

第一解码器(420),具有第一输入节点(420的IN1)和第三输出节点(U1);

第二解码器(440),具有第二输入节点(440的EN)、第三输入节点(440的IN1)和第四输出节点;和

传送路径,包括第一传送线(350)和第二传送线(340),第一传送线(350)电连接到第一输出节点(OUT2),第二传送线(340)电连接到第二输出节点(OUT0),

其中,第一信号与作为基准时钟的上升缘和下降缘中的一者的第一边缘同步化,并且,第二信号与作为基准时钟的上升缘和下降缘中的另一者的第二边缘同步化,

第一输入节点(420的IN1)电连接到第一传送线(350),

第三输出节点(U1)被配置为控制输入到第二输入节点(440的EN)的信号,

第三输入节点(440的IN1)电连接到第二传送线(340),并且

第二解码器(440)输出根据输入到第二输入节点(440的EN)和第三输入节点(440的IN1)的信号产生的解码信号(DOUT)。

2. 根据权利要求1所述的电子电路,

其中,产生电路产生包括第一信号的第一组信号和包括第二信号的第二组信号,

其中,第一组信号与第一边缘同步化,并且第二组信号与第二边缘同步化,

其中,传送路径包含:包括第一传送线的多个第一传送线,每个第一传送线被配置为传送第一组信号中的相应一个;以及,包括第二传送线的多个第二传送线,每个第二传送线被配置为传送第二组信号中的相应的一个,

其中,所述多个第一传送线和所述多个第二传送线交替地布置,

其中,产生电路包含:被配置为通过响应于基准时钟而动作来产生多个位信号的逻辑电路,以及被配置为根据从逻辑电路输出的多个位信号来产生第一组信号和第二组信号的定时调整电路。

3. 根据权利要求2所述的电子电路,其中,定时调整电路包含:被配置为通过根据第一边缘执行同步化来产生第一组信号的多个第一触发器,以及被配置为通过根据第二边缘执行同步化来产生第二组信号的多个第二触发器,以及

被配置为向多个第一触发器提供第一边缘的信号线和被配置为向多个第二触发器提供第二边缘的信号线彼此不相交。

4. 根据权利要求2所述的电子电路,其中,所述逻辑电路包含被配置为响应于基准时钟来执行计数动作的计数器。

5. 根据权利要求3所述的电子电路,其中,逻辑电路包含被配置为响应于基准时钟来执行计数动作的计数器。

6. 根据权利要求4所述的电子电路,其中,计数器包含二进制计数器。

7. 根据权利要求4所述的电子电路,其中,计数器包含格雷码计数器。

8. 根据权利要求7所述的电子电路,其中,计数器具有复位计数值的功能和设定计数值的功能中的至少一个。

9. 根据权利要求4所述的电子电路,还包括:  
包含多个像素的像素阵列;和  
被配置为A/D转换来自像素阵列的信号的A/D转换器,  
其中,来自计数器的计数值被供给到A/D转换器。
10. 根据权利要求5所述的电子电路,还包括:  
包含多个像素的像素阵列;和  
被配置为A/D转换来自像素阵列的信号的A/D转换器,  
其中,来自计数器的计数值被供给到A/D转换器。
11. 根据权利要求4所述的电子电路,还包括:  
包含按行和列布置的多个像素的像素阵列;和  
被配置为选择各行之中的行的选择电路,  
其中,选择电路包含第一解码器和第二解码器。
12. 根据权利要求5所述的电子电路,还包括:  
包含按行和列布置的多个像素的像素阵列;和  
被配置为选择各行之中的行的选择电路,  
其中,选择电路包含第一解码器和第二解码器。
13. 根据权利要求1所述的电子电路,还包括:  
其中,产生电路产生包括第一信号的第一组信号和包括第二信号的第二组信号,  
其中,第一组信号与第一边缘同步,并且第二组信号与第二边缘同步,  
其中,传送路径包含:包括第一传送线的多个第一传送线,每个第一传送线被配置为传  
送第一组信号中的相应一个;以及,包括第二传送线的多个第二传送线,每个第二传送线被  
配置为传送第二组信号中的相应的一个,  
其中,所述多个第一传送线和所述多个第二传送线交替地布置,并且  
其中,所述电子电路还包含:  
同步化电路,所述同步化电路被配置为执行同步化以使得通过传送路径传送的第一组  
信号和第二组信号仅与第一边缘和第二边缘中的一者同步化。
14. 一种照相机,其特征在于包括:  
包含根据权利要求1所述的电子电路的固态图像传感器;和  
处理器,被配置为处理从所述固态图像传感器输出的信号。

## 电子电路和照相机

### 技术领域

[0001] 本发明涉及电子电路和照相机。

### 背景技术

[0002] 当信号线之间的距离减小时,信号线之间的寄生电容成为问题。特别地,当向两个相邻的信号线输出反相的信号时,由于两个信号线之间的寄生电容,因此信号转变延迟。日本专利公开No.2-284449公开了以解决这种当向两个相邻信号线输出反相信号时出现的问题为目的的发明。具体而言,日本专利公开No.2-284449公开了包含由用于传送同相信号的多个信号线构成的第一组信号线和由用于传送相位与第一组的信号线相反的信号的多个信号线构成的第二组信号线的半导体存储装置。在该半导体装置中,第一组信号线与第二组信号线之间的距离比同一组信号线内的信号线之间的距离大。

[0003] 在日本专利公开No.2-284449中公开的这种通过增加信号线之间的距离减少由于寄生电容导致的信号转变延迟的方法增加各组信号线占据的面积,并导致电路面积的增加。

### 发明内容

[0004] 本发明提供有利于抑制电路面积的增加、同时提高信号传送的速度的技术。

[0005] 本发明的方面中的一个提供一种电子电路,该电子电路包括:被配置为产生第一组信号和第二组信号的产生电路;和被配置为传送第一组信号和第二组信号的传送路径,其中,第一组信号由与作为基准时钟的上升缘和下降缘中的一者的第一边缘同步化的多个信号构成,并且,第二组信号由与作为基准时钟的上升缘和下降缘中的另一者的第二边缘同步化的多个信号构成,以及,传送路径包含被配置为传送构成第一组信号的多个信号的多个第一传送线和被配置为传送构成第二组信号的多个信号的多个第二传送线,并且,多个第一传送线和多个第二传送线被交替地布置。

[0006] 本发明的方面中的一个提供一种照相机,该照相机包括:固态图像传感器,其中,固态图像传感器包含电子电路,该电子电路包含:被配置为产生第一组信号和第二组信号的产生电路;和被配置为传送第一组信号和第二组信号的传送路径,其中,第一组信号由与作为基准时钟的上升缘和下降缘中的一者的第一边缘同步化的多个信号构成,并且,第二组信号由与作为基准时钟的上升缘和下降缘中的另一者的第二边缘同步化的多个信号构成,以及,传送路径包含被配置为传送构成第一组信号的多个信号的多个第一传送线和被配置为传送构成第二组信号的多个信号的多个第二传送线,并且,多个第一传送线和多个第二传送线被交替地布置。

[0007] 从参照附图对示例性实施例的以下描述,本发明的其它特征将变得清晰。

### 附图说明

[0008] 图1是示出根据第一实施例的电子电路或计数器的布置的示意图;

- [0009] 图2是示出根据第一实施例的动作例子的定时图；
- [0010] 图3A和图3B是分别例示构成传送路径的多个传送线的布置的示图；
- [0011] 图4是示出根据第二实施例的电子电路或计数器的布置的示图；
- [0012] 图5是示出根据第二实施例的动作例子的定时图；
- [0013] 图6是示出根据第二实施例的另一动作例子的定时图；
- [0014] 图7是示出根据第二实施例的又一动作例子的定时图；
- [0015] 图8是示出根据第三实施例的电子电路或固态图像传感器的布置的示图；
- [0016] 图9是示出根据第三实施例的电子电路或固态图像传感器的一部分的布置的示图；
- [0017] 图10是示出根据第三实施例的电子电路或固态图像传感器的另一部分的布置的示图；以及
- [0018] 图11是示出根据第三实施例的电子电路或固态图像传感器的动作例子的定时图。

### 具体实施方式

[0019] 以下,将参照附图描述本发明的示例性实施例。

[0020] 将参照图1描述根据本发明的第一实施例的电子电路1。电子电路1包含产生第一组信号和第二组信号的产生电路GC以及传送第一组信号和第二组信号的传送路径TP。第一组信号由与作为基准时钟CLK的上升缘和下降缘中的一者的第一边缘同步化的多个信号OUT0和OUT1构成。第二组信号由与作为基准时钟CLK的上升缘和下降缘中的另一者的第二边缘同步化的多个信号OUT2和OUT3构成。传送路径TP包含传送构成第一组信号的多个信号OUT0和OUT1的多个第一传送线100和120以及传送构成第二组信号的多个信号OUT2和OUT3的多个第二传送线110和130。多个第一传送线100和120与多个第二传送线110和130被交替地布置。换句话说,以第一传送线100、第二传送线110、第一传送线120和第二传送线130的次序布置多个第一传送线100和120与多个第二传送线110和130。

[0021] 产生电路GC可包含逻辑电路LC和定时调整电路TC。逻辑电路LC响应于基准时钟CLK动作并且产生多个位信号Q0、Q1、Q2和Q3。定时调整电路TC根据从逻辑电路LC输出的多个位信号Q0、Q1、Q2和Q3产生输出到多个第一传送线100和120的第一组信号和输出到多个第二传送线110和130的第二组信号。

[0022] 定时调整电路TC可包含多个第一触发器60和70与多个第二触发器80和90。多个第一触发器60和70通过根据作为基准时钟CLK的上升缘和下降缘中的一者的第一边缘执行同步化产生构成第一组信号的多个信号OUT0和OUT1。多个第二触发器80和90通过根据作为基准时钟CLK的上升缘和下降缘中的另一者的第二边缘执行同步化产生构成第二组信号的多个信号OUT2和OUT3。

[0023] 定时调整电路TC可包含信号线52和54。信号线52向多个第一触发器60和70提供作为基准时钟CLK的上升缘和下降缘中的一者的第一边缘。信号线54向多个第二触发器80和90提供作为基准时钟CLK的上升缘和下降缘中的另一者的第二边缘。在一个例子中,信号线52是用于供给基准时钟CLK的信号线,并且,信号线54是用于供给通过用反向器50使基准时钟CLK反向获得的反向基准时钟的信号线。

[0024] 信号线52和54优选被布置为不彼此相交。该布置对减少由各信号线52和54传送的

基准时钟和反向基准时钟信号的钝性 (bluntness) 是有利的。在图1所示的例子中, 定义不相互重叠的第一矩形区域和第二矩形区域, 并且, 多个第一触发器60和70被排列于第一矩形区域中, 并且多个第二触发器80和90被排列于第二矩形区域中。这种布置对提供信号线52和54不相交的布置是有利的。另一方面, 例如, 在多个第一触发器60和70与第二触发器80和90被交替地布置的布置中, 信号线52和54可相交。

[0025] 在第一实施例中, 逻辑电路LC可以是响应于基准时钟CLK执行计数动作的计数器。计数器的计数模式可例如为向上计数动作或向下计数动作, 但也可以是另一模式。在另一例子中, 逻辑电路LC可例如为产生分别具有随机值的信号作为多个位信号Q0、Q1、Q2和Q3的电路或者输出通过处理输入信号获得的值的电路。

[0026] 在图1所示的例子中, 逻辑电路LC是通过串联连接多个触发器10、20、30和40构成的计数器。多个触发器10、20、30和40分别包含时钟端子CK、数据输入端子D、数据输出端子Q、反向数据输出端子QB和复位端子R。

[0027] 基准时钟CLK被供给到第一触发器10的时钟端子CK。触发器10的反向数据输出端子QB和触发器10的数据输入端子D连接, 并且, 从触发器10的数据输出端子Q输出信号Q0。

[0028] 第一触发器10的反向数据输出端子QB与第二触发器20的时钟端子CK连接, 并且, 第一触发器10的反向数据输出QB0被供给到第二触发器20的时钟端子CK。触发器20的反向数据输出端子QB和触发器20的数据输入端子D连接, 并且, 从触发器20的数据输出端子Q输出信号Q1。

[0029] 第二触发器20的反向数据输出端子QB与第三触发器30的时钟端子CK连接, 并且, 第二触发器20的反向数据输出QB1被供给到第三触发器30的时钟端子CK。触发器30的反向数据输出端子QB和触发器30的数据输入端子D连接, 并且, 从触发器30的数据输出端子Q输出信号Q2。

[0030] 第三触发器30的反向数据输出端子QB与第四触发器40的时钟端子CK连接, 并且, 第三触发器30的反向数据输出QB2被供给到第四触发器40的时钟端子CK。触发器40的反向数据输出端子QB和触发器40的数据输入端子D连接, 并且, 从触发器40的数据输出端子Q输出信号Q3。复位信号RES在初始化的时间被供给到触发器10、20、30和40的各复位端子R。

[0031] 在图2中描述图1所示的电子电路1的动作。假定各信号Q0、Q1、Q2或Q3在复位信号RES被设定为低电平时被复位到低电平。从第一触发器10输出的信号Q0在基准时钟CLK的第一上升缘的时间 $t_1$ 从低电平转变到高电平, 并且在基准时钟CLK的第二上升缘的时间 $t_2$ 从高电平转变到低电平。以这种方式, 信号Q0根据基准时钟CLK的上升缘切换。

[0032] 第一触发器10的反向数据输出端子QB与第二触发器20的时钟端子CK连接。因此, 第二触发器20响应于从低电平转变到高电平的第一触发器10的反向数据输出QB0改变其输出信号Q1。更具体而言, 在开始计数之后, 在从第一触发器10输出的信号Q0首先从高电平转变到低电平的时间 $t_2$ , 第二触发器20将其输出信号Q1从低电平转变到高电平。然后, 在信号Q0第二次从高电平转变到低电平的时间 $t_4$ , 第二触发器20将信号Q1从高电平转变到低电平。以这种方式, 每当信号Q0从高电平转变到低电平, 即, 根据信号Q0的下降缘 (信号QB0的上升缘), 信号Q1切换。

[0033] 前面的触发器的反向数据输出端子QB与第三和随后触发器30和40的各时钟端子CK连接。因此, 第三和随后触发器30和40的各动作与第二触发器20的动作相同, 并且, 每当

来自前面的触发器的数据输出端子Q的输出从高电平转变到低电平时切换。换句话说,每当来自相应的反向数据输出端子QB的输出从低电平转变到高电平时,触发器30和40切换。

[0034] 如上所述,作为由触发器10、20、30和40构成的逻辑电路LC的计数器通过执行向上计数动作产生信号Q0、Q1、Q2和Q3。信号Q0、Q1、Q2和Q3分别作为信号OUT0、OUT1、OUT2和OUT3通过包含第一触发器60和70与第二触发器80和90的定时调整电路TC被输出到传送线100、110、120和130。

[0035] 基准时钟CLK通过信号线52被供给到第一触发器60和70的各时钟端子CK,并且,信号Q0和Q1被供给到它们的各自的数据输入端子D。因此,从第一触发器60和70的各数据输出端子Q输出的信号OUT0和OUT1变为通过使各信号Q0和Q1延迟基准时钟CLK的一个周期而获得的信号。另一方面,通过使基准时钟CLK反向获得的反向基准时钟通过反向器50和信号线54被供给到第二触发器80和90的各时钟端子CK,并且,信号Q2和Q3被供给到它们的各自的数据输入端子D。因此,从第二触发器80和90的各数据输出端子Q输出的信号OUT2和OUT3变为通过使各信号Q2和Q3延迟基准时钟CLK的周期的一半而获得的信号。换句话说,信号OUT2和OUT3在时间 $t_a$ 、 $t_b$ 和 $t_c$ 根据基准时钟CLK的下降缘转变。

[0036] 信号OUT0、OUT1、OUT2和OUT3被输出到构成传送路径TP的各传送线100、120、110和130。作为计数值的第一和第二位的信号OUT0和OUT1分别被输出到第一传送线100和120。作为计数值的第三和第四位的信号OUT2和OUT3分别被输出到第二传送线110和130。如图1例示的那样,第一传送线100和120以及第二传送线110和130被交替地布置。因此,在输出信号OUT0、OUT1、OUT2和OUT3的传送线100、120、110和130中,相邻传送线的信号将不同时转变。因此,由于传送线100、120、110和130之间的寄生电容导致的信号转变延迟减少。另外,可减小传送线100、120、110和130之间的间隔并且使得其一致化。这种特征对在增加信号传送速度的同时抑制电子电路1的电路面积增大是有利的。

[0037] 图3A和图3B分别示出构成传送路径TP的传送线100、120、110和130的例子。图3A示出传送线100、120、110和130被布置于同一层上的例子,并且,图3B示出传送线100、120、110和130被布置于不同的层上的例子。传送线100、120、110和130通过层间绝缘膜140相互绝缘。传送线100、120、110和130中的每一个可由例如诸如铝或铜的导电材料构成。虽然图3A和图3B没有示出,但可紧临着传送线100(在图3A为左面,在图3B中为上面)以及紧临着传送线130(在图3A为右面,在图3B中为下面)布置伪传送线,以使得传送线100、120、110和130的寄生电容一致化。如果传送线100、120、110和130被长距离引导,那么可以插入缓冲器。同步化电路可被设置在用于传送各信号OUT0、OUT1、OUT2和OUT3的传送线100、120、110和130与信号OUT0、OUT1、OUT2和OUT3的传送目的地电路之间。该同步化电路使信号OUT0、OUT1、OUT2和OUT3与上升缘和下降缘中的仅仅一者同步化。第三实施例是包含这种同步化电路的例子。

[0038] 将参照图4描述根据本发明的第二实施例的电子电路2。注意,没有在第二实施例中提到的事项可遵照第一实施例。第二实施例包括产生第一组信号和第二组信号的产生电路GC2以及替代逻辑电路LC的逻辑电路LC2。逻辑电路LC2是格雷码计数器。逻辑电路LC2包含二进制计数器150和EXOR门(异或门)160、170、180和190。EXOR门160、170、180和190从作为从二进制计数器150输出的二进制代码计数值的信号Q0、Q1、Q2和Q3产生各格雷码信号S0、S1、S2和S3。二进制计数器150可具有例如与根据第一实施例的逻辑电路LC相同的布置,

但也可具有另一布置。在本例子中,二进制计数器150响应于基准时钟CLK执行计数动作并且产生作为二进制代码计数值的信号Q0、Q1、Q2和Q3。当供给到复位端子RS的复位信号RES变为有效电平时,二进制计数器150将信号Q0、Q1、Q2和Q3复位回初始值。

[0039] 在图5中描述图4所示的电子电路2的动作。直到时间 $t_{10}$ 为止,从二进制计数器150输出的信号Q0、Q1、Q2和Q3是与图2中的那些类似的二进制代码计数值。在时间 $t_{10}$ ,供给到二进制计数器150的复位端子RS的复位信号RES变为有效电平,并且,信号Q0、Q1、Q2和Q3均被复位为0。在一个例子中,复位信号RES可由检测信号Q0、Q1、Q2和Q3分别已达到预定值的解码器(未示出)提供。在时间 $t_{11} \sim t_{15}$ ,在复位信号RES变为有效电平之后,分别具有与时间 $t_1 \sim t_5$ 的那些相同的计数值的信号Q0、Q1、Q2和Q3被输出。

[0040] 注意,如图5所示,作为Q0和Q1的EXOR的S0、作为Q1和Q2的EXOR的S1、作为Q2和Q3的EXOR的S2、以及作为Q3和GND(低电平)的EXOR的S3是格雷码计数值。在作为格雷码计数值的信号S0、S1、S2和S3中,在单个定时处转变的信号基本上是1。但是,在二进制计数器150的各计数值在时间 $t_{10}$ 处被复位的定时,信号S0、S2和S3同时转变。因此,即使在格雷码计数器的情况下,例如,多个信号也可在重复从0到9的计数的同时转变。仅与作为基准时钟CLK的上升缘和下降缘中的一者的第一边缘同步化的第一组信号和仅与作为基准时钟CLK的上升缘和下降缘中的另一者的第二边缘同步化的第二组信号由定时调整电路TC产生。传送构成第一组信号的多个信号OUT0和OUT1的多个第一传送线100和120和传送构成第二信号组的多个信号OUT2和OUT3的多个第二传送线110和130被交替地布置。

[0041] 在图5所示的例子中,通过复位各计数值Q0、Q1、Q2或Q3的功能设定计数范围。作为其替代,或者除其以外,如图6例示的那样,可通过设定计数值Q0、Q1、Q2和Q3的功能设定计数范围。在图6所示的例子中,信号Q0、Q1、Q2和Q3的初始值分别被设定为1、0、1、0,并且,计数动作从时间 $t_1$ 开始。在这种情况下,信号S0、S1和S2在时间 $t_1$ 处同时转变。并且,虽然由信号Q0、Q1、Q2或Q3指示的各计数值在图5中逐一地向上计数,但是,即使在向上计数两个或更多值的情况下,构成格雷码的多个信号也可同时转变。在图7所示的例子中,信号Q0、Q1、Q2和Q3以3为步阶向上计数。计数值在时间 $t_1$ 或更早的时间为0,计数值在时间 $t_1 \sim t_2$ 为3,计数值在时间 $t_2 \sim t_3$ 为6,计数值在时间 $t_3 \sim t_4$ 为9。在图7所示的例子中,信号S0、S1和S2在时间 $t_2$ 同时转变。

[0042] 还优选在第二实施例中提供在第一实施例中解释的那样的伪传送线。

[0043] 将参照图8和图9描述根据本发明的第三实施例的电子电路3。电子电路3构成为固态图像传感器。电子电路3包含计数器240和270。计数器240可由根据第一实施例的电子电路1的计数器或根据第二实施例的电子电路2的计数器构成。计数器270可由根据第一实施例的电子电路1的计数器或根据第二实施例的电子电路2的计数器构成。在一个优选的例子中,计数器240由根据第一实施例的电子电路1的计数器构成,并且,计数器270由根据第二实施例的电子电路2的计数器构成。

[0044] 电子电路3可包含像素阵列GA、垂直扫描电路210、水平扫描电路260、A/D(模拟/数字)转换器220、存储器250、参照电压产生器280和输出单元280。像素阵列GA包含多个像素200,多个像素200被排列以构成多个行和列。各像素200包含光电转换器(例如,光电二极管)。各像素200可包含根据由通过光电转换器的光电转换产生的电荷来输出信号的放大单元。垂直扫描电路210和水平扫描电路260中的至少一个是选择像素阵列GA的像素200的选

择电路。

[0045] 垂直扫描电路210以行为单位选择像素阵列GA的像素200。由垂直扫描电路210选择的行的像素200的信号(模拟信号)通过相应的A/D转换器220被转换成数字信号。可对于像素阵列GA的各列设置一个A/D转换器220。计数器240被设置为在多个A/D转换器220之间被共享并且通过计数动作产生n位计数值(n是自然数)。但是,可包含多个计数器240,以例如对各预定数量的A/D转换器220分配一个计数器240。

[0046] 各A/D转换器220可包含例如比较像素200的输出信号和从参照电压产生器230输出的参照信号的比较器。参照信号为随时间改变的信号(例如,斜坡信号)。比较器输出表示像素200的输出信号与参照信号的大小关系的比较结果信号。当像素200的输出信号与参照信号的大小关系逆转时,比较结果信号改变。通过比较结果信号的变化触发,各存储器250保持从计数器240供给的各计数值。根据来自像素200的像素信号各数字值(计数值)由存储器250保持。

[0047] 水平扫描电路260依次选择与像素阵列GA的多个行对应的多个存储器250中的每一个,并且,根据从计数器270供给的计数值向输出单元280传送选择的存储器250的信号。

[0048] 图9示出图8的区域A的布置的特定例子。各存储器250由分别保持1位信号的多个存储器252构成。计数器240可由例如根据第一实施例的电子电路1的计数器构成。由计数器240产生的计数值(上述的信号OUT0、OUT2、OUT1和OUT3)被输出到包含各传送路径100、110、120和130的传送路径TP。虽然各计数值在第一实施例例示的布置中为4位计数值,但在本例子中位数可被自由确定。传送路径TP可被理解为计数器240的部件或另一模块的部件。基准时钟CLK通过基准时钟线90被供给到计数器240。

[0049] 输出到各传送线100、110、120和130的信号(计数值)OUT0、OUT1、OUT2和OUT3通过同步化电路被供给到存储器250。同步化电路使信号OUT0、OUT1、OUT2和OUT3与基准时钟CLK同步化,使得均与基准时钟CLK的上升缘和下降缘中的一者同步化。在图9所示的例子中,输出到各传送线100和120的信号OUT0和OUT1是与基准时钟CLK的上升缘同步化的信号,并且通过缓冲器300和320被供给到分别保持相应的位信号的存储器250。另一方面,输出到各传送线110和130的信号OUT2和OUT3是与基准时钟CLK的下降缘同步化的信号。因此,输出到各传送线110和130的信号OUT2和OUT3通过根据基准时钟CLK的上升缘动作的触发器310和330同步化,并且,被供给到分别保持相应的位信号的存储器250。

[0050] 通过在上述的布置中传送信号OUT0、OUT1、OUT2和OUT3,可减小各传送线100、120、110和130之间的间隔并且使其一致化。

[0051] 另外,根据第三实施例,可以提供以下的效果。在常规的方法中,来自多个传送线的相互电容耦合的影响(信号转变速度)强烈地依赖于计数值(通过各信号转变的位的数量)。因此,如果计数值通过常规的方法被供给到存储器250,那么一个计数值向另一计数值的转变时间强烈依赖于这些计数值,并且,A/D转换的线性可减小。另一方面,在第三实施例中,由于来自传送线100、110、120和130的相互电容耦合的影响减少,因此,使得一个计数值向另一计数值的转变时间一致化且可改善A/D转换的线性。

[0052] 缓冲器300和320的驱动能力和触发器310和330的驱动能力优选彼此相等。另外,在第三实施例中,优选紧临着各传送线100和130设置伪传送线。并且,可在传送线290的两侧设置伪传送线,从而可使得伴随传送线290的寄生电容与伴随传送线100、110、120和130

的寄生电容一致。这是由于触发器310和330的输出响应通过传送线290传送的基准时钟CLK转变。因此,如果传送线290的寄生电容与传送线100和120的寄生电容大大不同,那么来自缓冲器300和320的输出的转变定时与来自触发器310和330的输出的转变定时将偏移。

[0053] 图10示出图8的区域B的布置的特定例子。计数器270由例如根据第二实施例的电子电路2的计数器构成。但是,作为计数值的信号OUT0、OUT2、OUT1和OUT3被输出到各传送线340、350、360和370。传送线340、350、360和370按传送线340、350、360和370的次序被依次布置。

[0054] 水平扫描电路260是由多个单元电路390、400和410构成的解码器。基准时钟CLK通过基准时钟线380被供给到计数器270和构成水平扫描电路260的多个单元电路390、400和410。

[0055] 构成水平扫描电路260的多个单元电路390、400和410中的每一个包含上位解码器420、触发器430和下位解码器440。信号OUT2和OUT3被输入到各上位解码器420的各输入端子IN1和IN2,并且,各上位解码器420的输出被供给到相应的触发器430。各电路单元390、400和410的布置大致相同,但在上位解码器420的哪个输出端子与触发器430的数据端子D连接方面不同。单元电路390的输出端子U1、单元电路400的输出端子U2和单元电路410的输出端子U3分别与相应的触发器430的端子D连接。基准时钟CLK被供给到各触发器430的时钟端子CK,并且,输出端子Q与各下位解码器440的使能端子EN连接。信号OUT0和OUT1被供给到下位解码器440的各输入端子IN1和IN2,并且,解码结果被输出到相应的输出端子OUT<3:0>。

[0056] 图11示出图10所示的布置的定时图。从计数器270输出的信号OUT0、OUT1、OUT2和OUT3是表示格雷码计数值的信号。信号OUT0和OUT1是与基准时钟CLK的上升缘同步化的信号,并且,信号OUT2和OUT3是与基准时钟CLK的下降缘同步化的信号。

[0057] 从计数器270输出的信号OUT0和OUT1是与基准时钟CLK的上升缘同步化地向上计数的格雷码计数值。由各信号OUT0和OUT1构成的计数值分别在时间 $t_1$ 从0变为1、在时间 $t_2$ 从1变为2、在时间 $t_3$ 从2变为3、在时间 $t_4$ 变为0,并且,随后重复相同的动作。即,由各信号OUT0和OUT1构成的计数值分别重复从0到3的计数。另一方面,从计数器270输出的信号OUT2和OUT3是与基准时钟CLK的下降缘同步化地向上计数的格雷码计数值。由信号OUT2和OUT3构成的计数值从0变为3的周期是由信号OUT0和OUT1构成的计数值从0变为3的周期的1/4。由信号OUT2和OUT3构成的计数值分别在时间 $t_b$ 从0变为1、在时间 $t_c$ 从1变为2、在时间 $t_d$ 从2变为3。

[0058] 当由供给到各输入端子IN1和IN2的信号OUT2和OUT3构成的计数值变为0、1和2时,各上位解码器420的输出端子U1、U2和U3变为高电平。因此,作为对于单元电路390的触发器430的输入信号的U1在时间 $t_a \sim t_b$ 变为高电平。作为对于单元电路400的触发器430的输入信号的U2在时间 $t_b \sim t_c$ 变为高电平。作为对于单元电路410的触发器430的输入信号的U3从时间 $t_c$ 到 $t_d$ 变为高电平。

[0059] 单元电路390的触发器430使输入信号U1的上升缘延迟基准时钟CLK的周期的一半(即,与基准时钟CLK的上升缘同步化地将信号EN1变为高电平)。单元电路400的触发器430使输入信号U2的上升缘延迟基准时钟CLK的周期的一半(即,与基准时钟CLK的上升缘同步化地将信号EN2变为高电平)。单元电路410的触发器430使输入信号U3的上升缘延迟基准时钟

CLK的周期的一半(即,与基准时钟CLK的上升缘同步化地将信号EN3变为高电平)。

[0060] 在各下位解码器440中,当使能信号EN<sub>x</sub>(x是1~3)处于低电平时,输出端子OUT<3:0>变为低电平。另一方面,当使能信号EN<sub>x</sub>处于高电平时,当从各输入端子IN1和IN2输入的计数值信号的计数值变为0、1、2和3时,输出信号DOUT<0>、DOUT<1>、DOUT<2>和DOUT<3>分别变为高电平。因此,在使能信号EN1处于高电平的时间t<sub>0</sub>~t<sub>4</sub>,单元电路390的下位解码器440的输出端子OUT<3:0>依次变为高电平。即,输出信号DOUT<0>、<1>、<2>和<3>依次变为高电平。在使能信号EN2处于高电平的时间t<sub>4</sub>~t<sub>8</sub>,单元电路400的下位解码器440的输出端子OUT<3:0>依次变为高电平。即,输出信号DOUT<4>、<5>、<6>和<7>依次变为高电平。在使能信号EN3处于高电平的时间t<sub>8</sub>~t<sub>12</sub>,单元电路410的下位解码器440的输出端子OUT<3:0>依次变为高电平。即,输出信号DOUT<8>、<9>、<10>和<11>依次变为高电平。

[0061] 根据第三实施例,以与减少来自上述的传送线100、110、120和130的相互电容耦合的影响相同的方式,减少来自传送线340、350、360和370的相互电容耦合的影响。因此,使得对于通过相应传送线340、350、360和370传送的计数值,一个计数值向另一计数值的转变一致。这允许输出信号DOUT<0>~<12>的各脉冲宽度被一致化,且允许存储器250的数据被输出到输出单元280的各时段被一致化。因此,变得能够防止产生具有极短的读出时间的列且执行更迅速的读出动作。优选使得伴随各传送线340、350、360、370和380的寄生电容一致化。

[0062] 注意,虽然上述的例子示出计数器270与水平扫描电路260连接的布置,但是它可以是计数器270与垂直扫描电路210连接的布置。在上述的例子中,在与计数器240连接的传送线100~130和与计数器270连接的传送线340~370两者中,交替地布置传送与上升缘同步化的信号的传送线和传送与下降缘同步化的信号的传送线。作为该布置的替代,可在与计数器240连接的传送线100、110、120和130中交替地布置传送与上升缘同步化的信号的传送线和传送与下降缘同步化的信号的传送线。作为替代方案,可在与计数器270连接的传送线340、350、360和370中交替地布置传送与上升缘同步化的信号的传送线和传送与下降缘同步化的信号的传送线。

[0063] 作为根据上述的电子电路中的每一个的固态图像传感器的应用例子,以下将解释包括固态图像传感器的照相机。照相机的概念不仅包括主要目的是成像的装置,而且包括以成像功能为辅助功能的装置(例如,个人计算机或便携式终端)。照相机可包括根据在上述的实施例中例示的本发明的固态图像传感器和处理来自固态图像传感器的输出信号的处理单元。该处理单元可包含A/D转换器和处理从A/D转换器输出的数字数据的处理器。

[0064] 虽然已参照示例性实施例说明了本发明,但应理解,本发明不限于所公开的示例性实施例。所附权利要求的范围应被赋予最宽的解释以包含所有这样的修改以及等同的结构和功能。

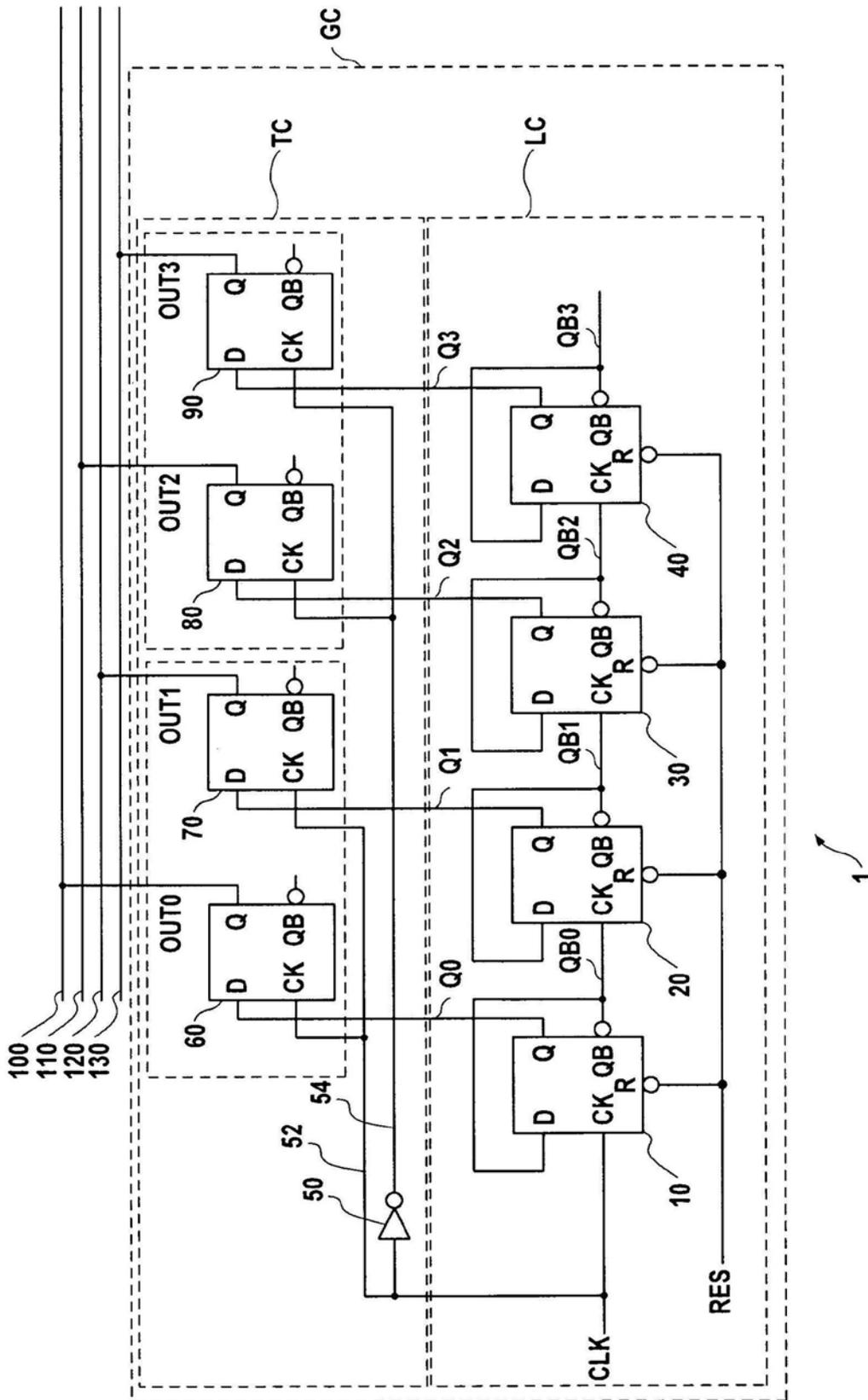


图1

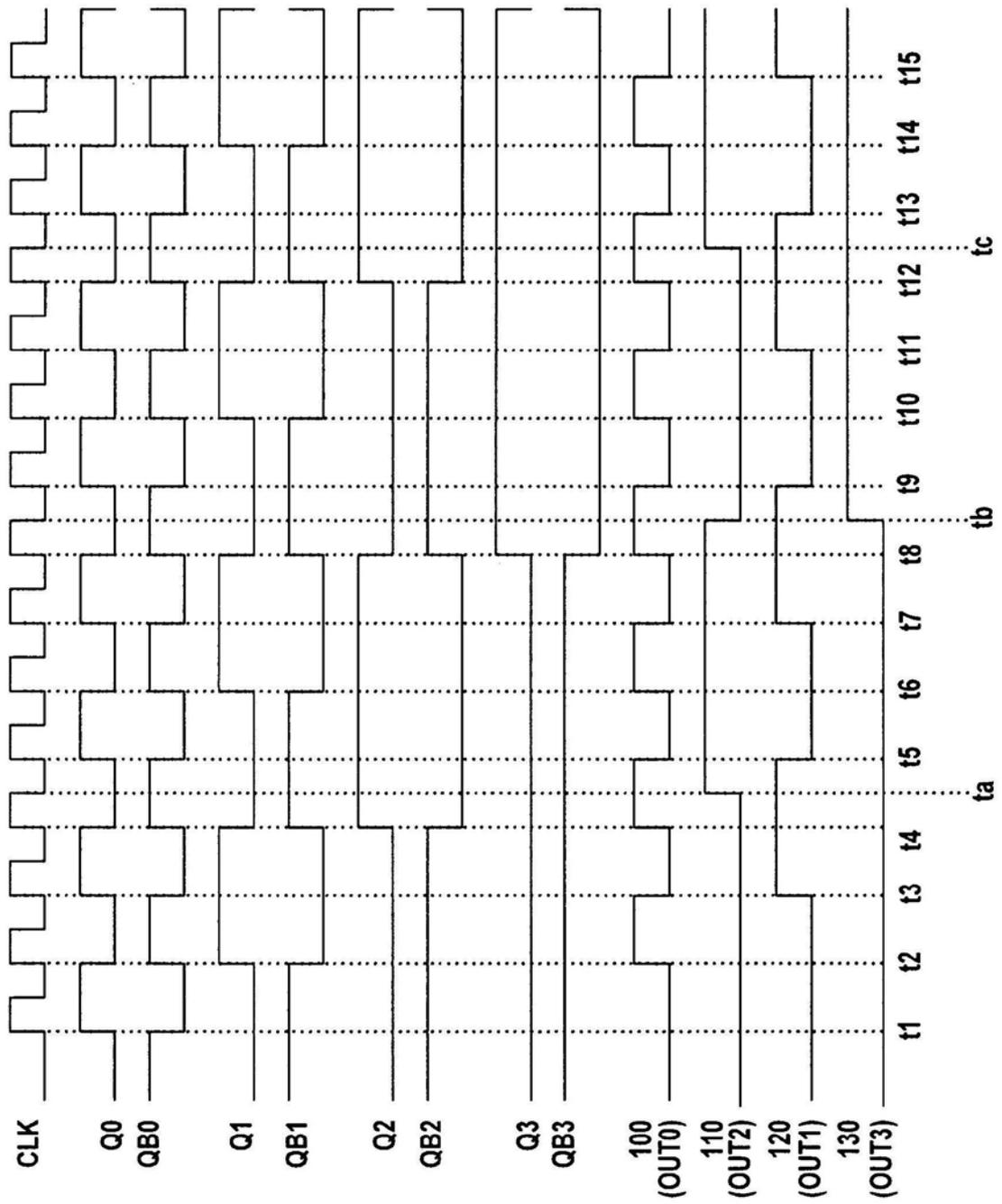


图2

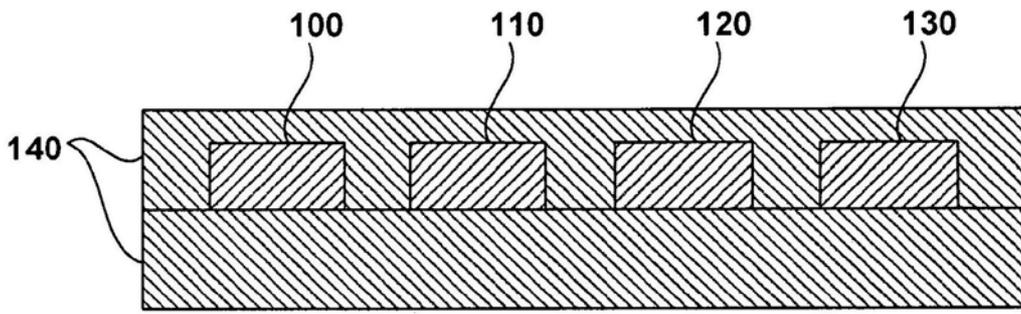


图3A

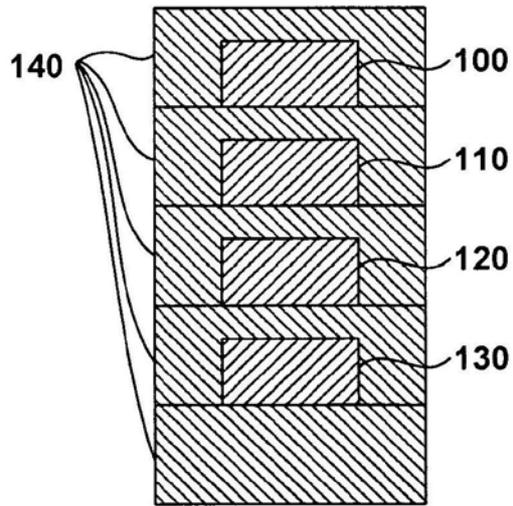


图3B

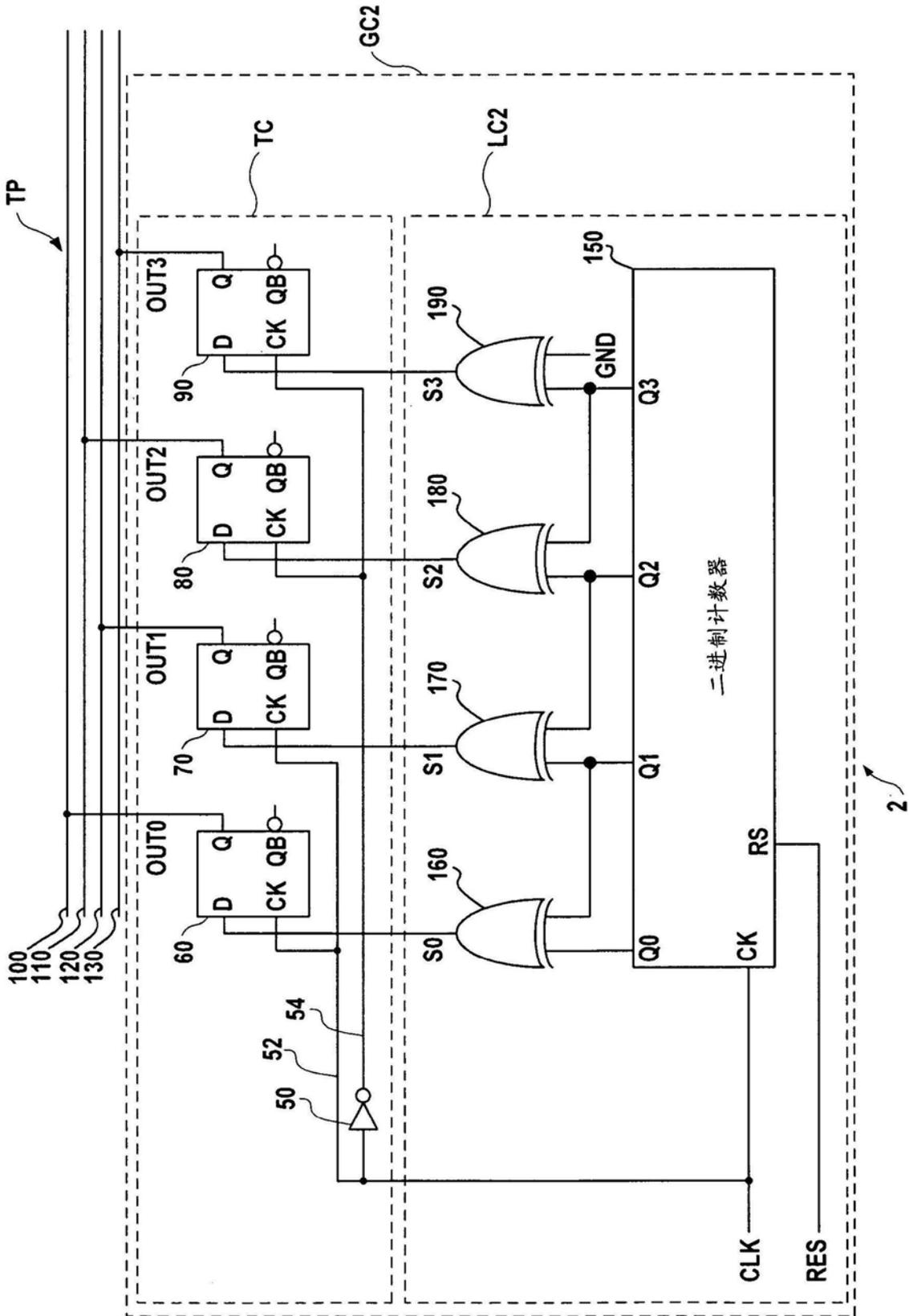


图4

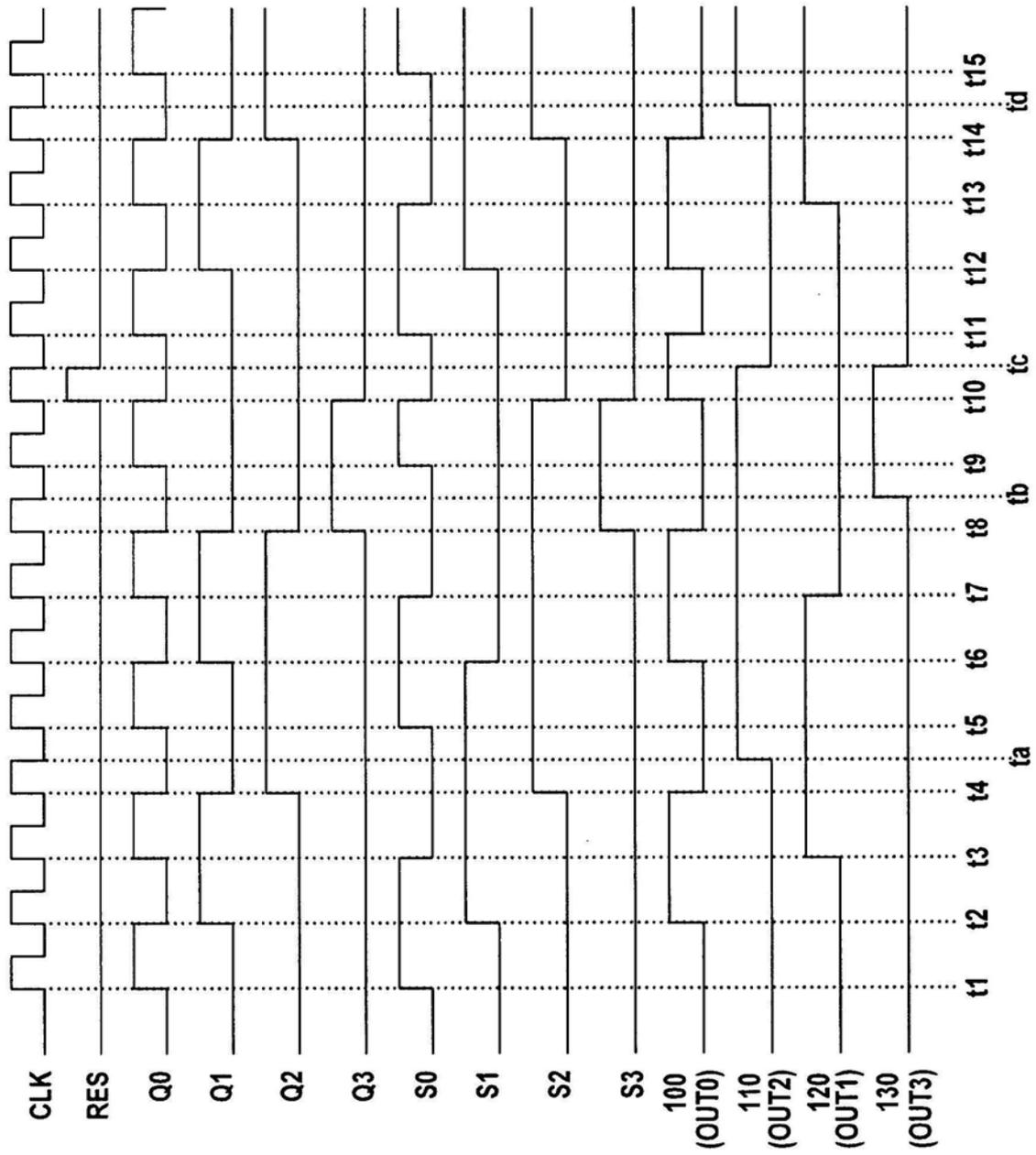


图5

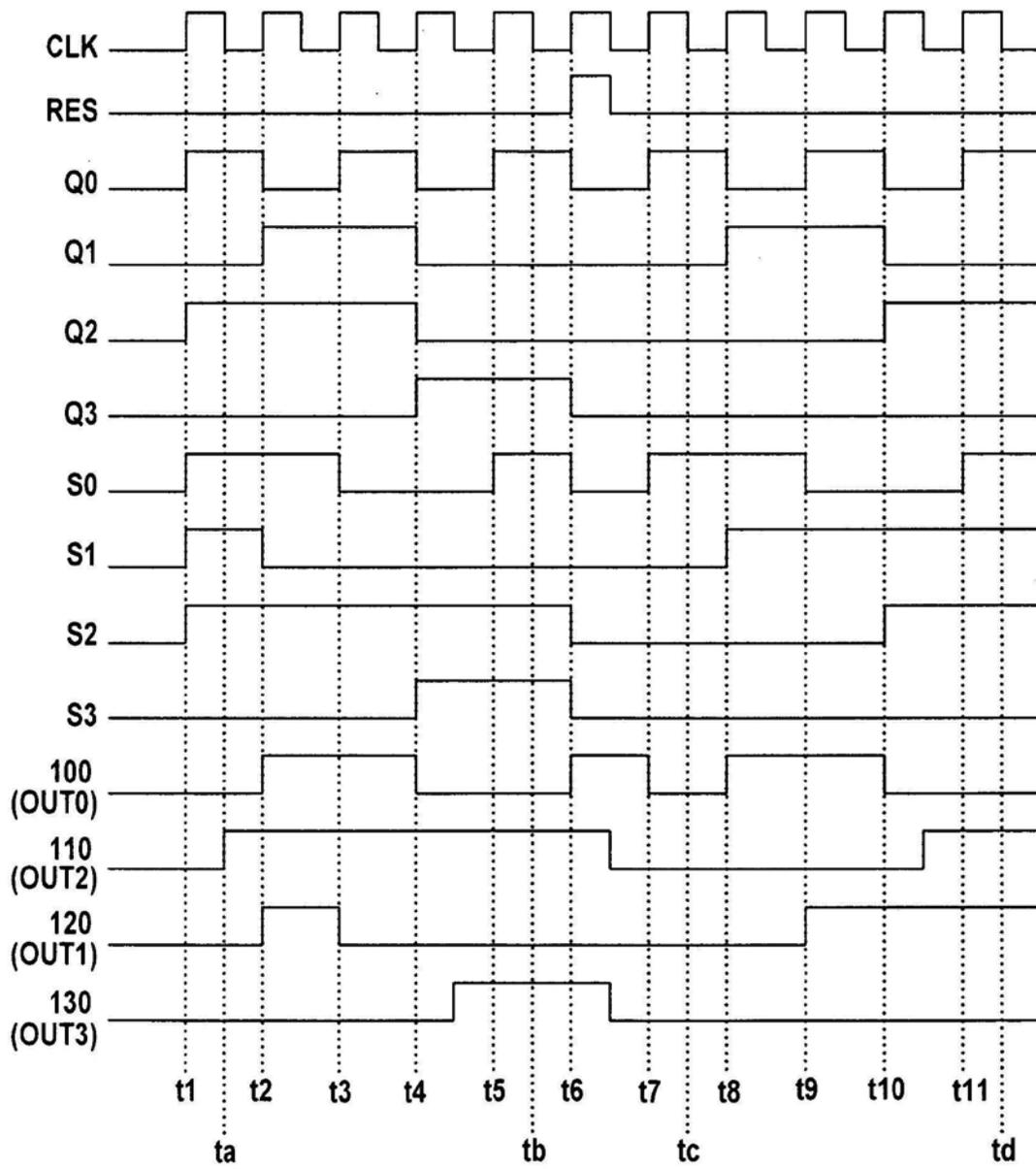


图6

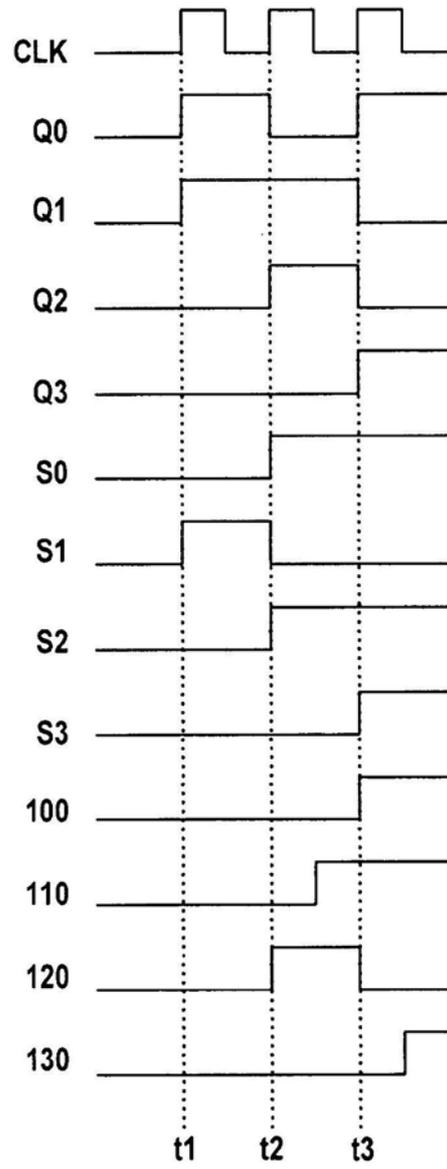


图7

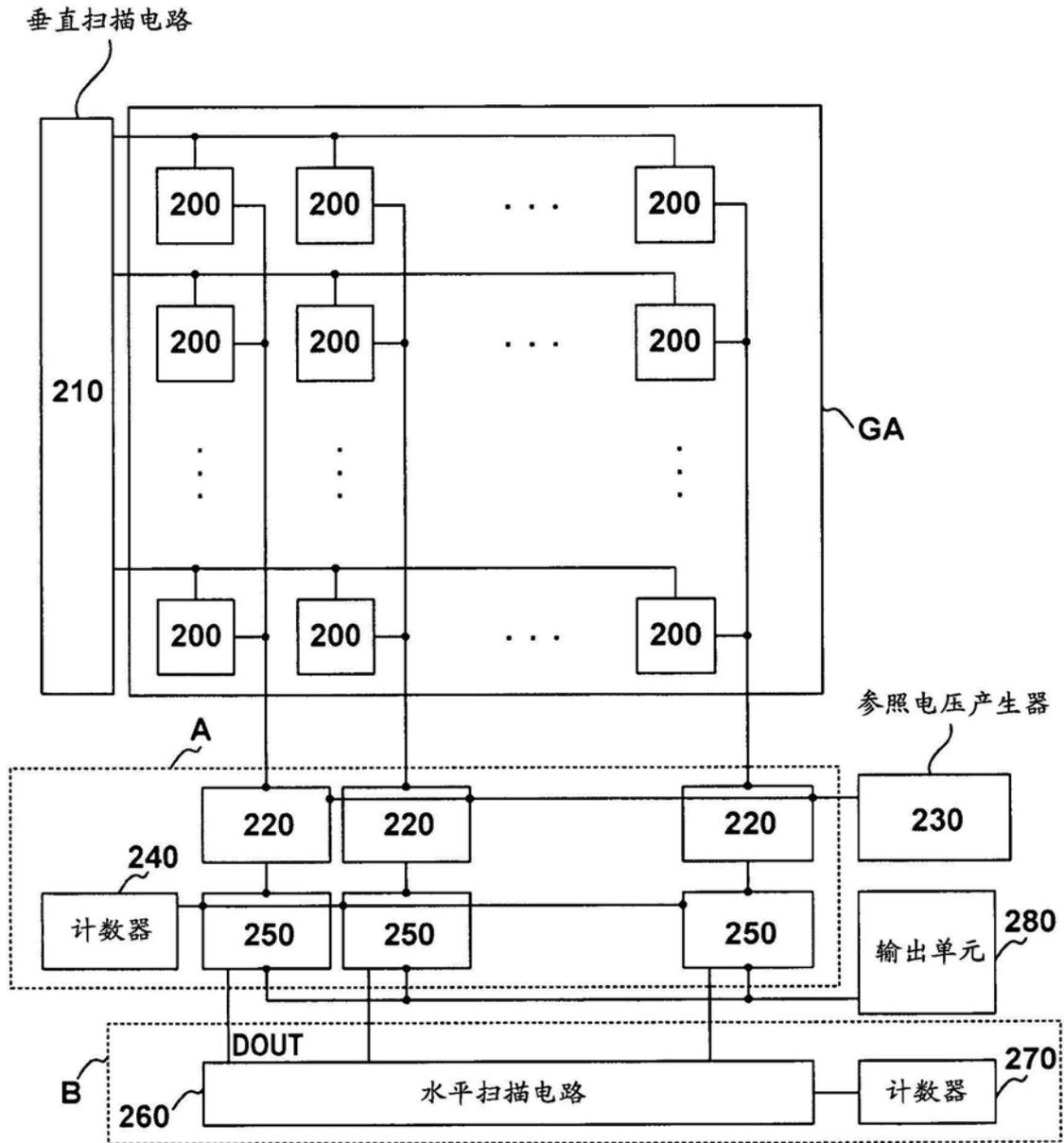


图8



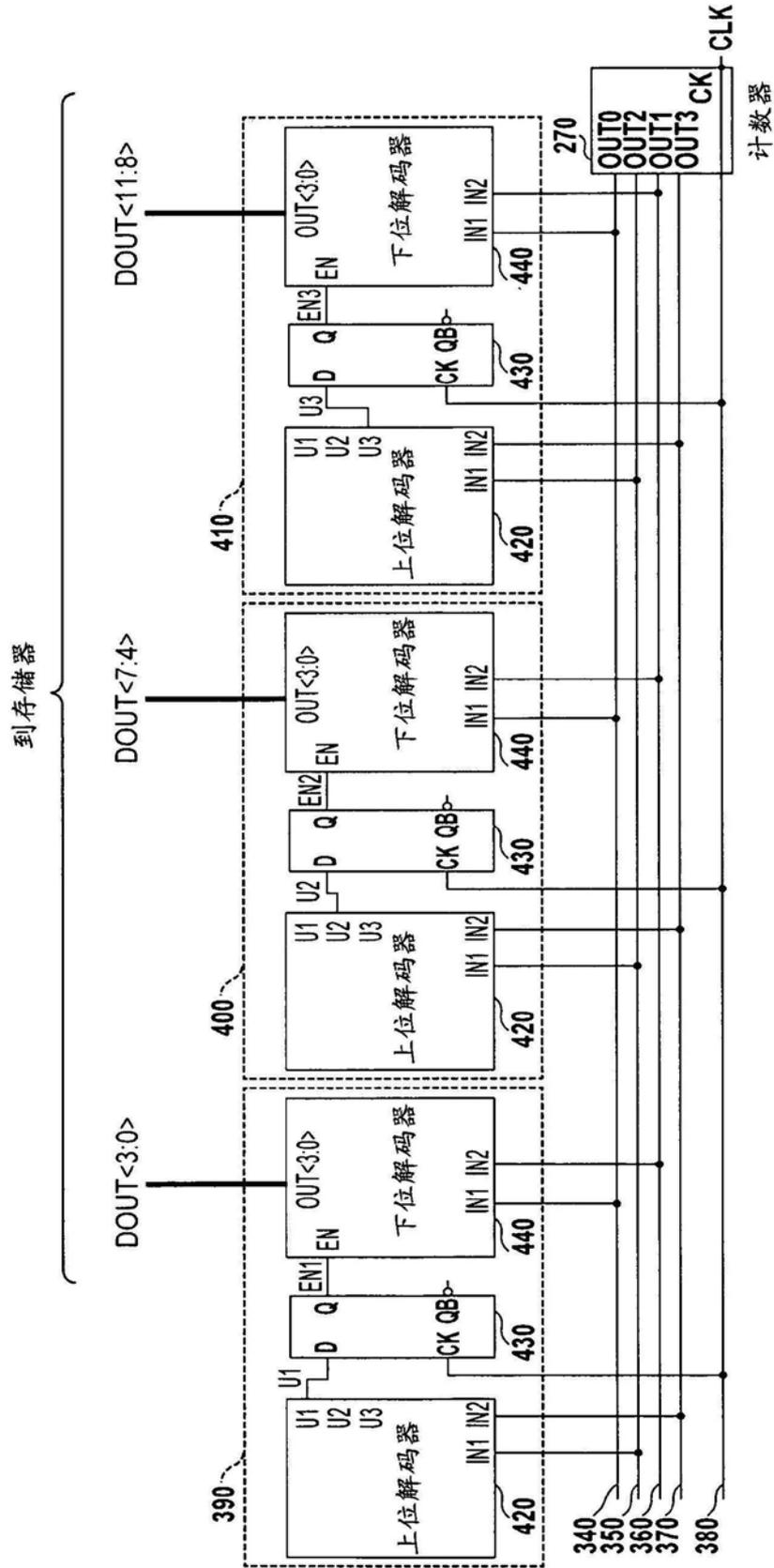


图10

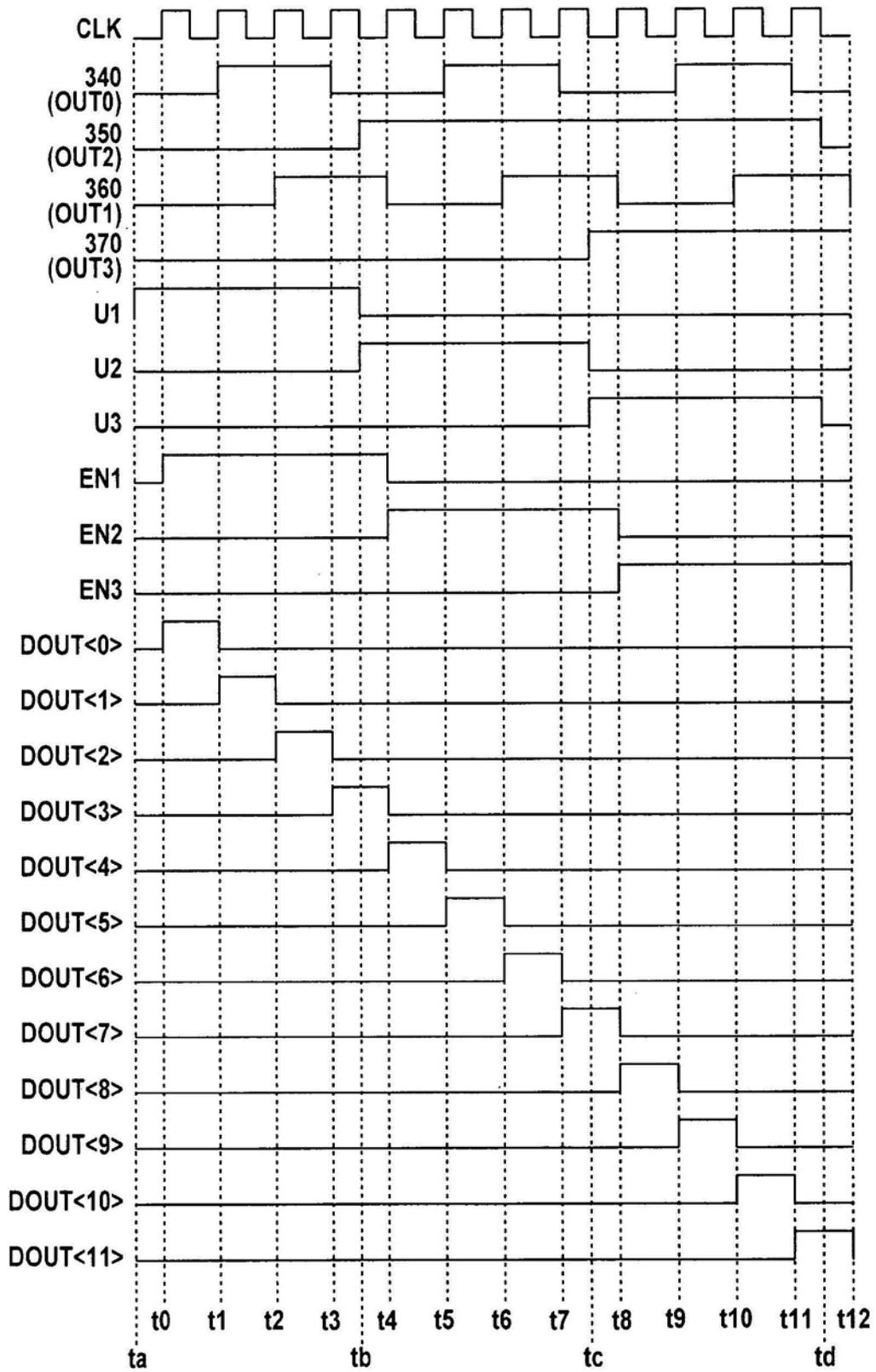


图11