

公告本

申請日期	90.6.29
案 號	90115911
類 別	H01L 29/866

A4
C4

512538

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有摻雜成 P 型及摻雜成 N 型的半導體層的裝置 及其製造方法
	英 文	
二、發明 創作人	姓 名	(1)理查.史皮茲 (2)阿弗瑞德.葛拉克
	國 籍	德 國
	住、居所	(1)德國 72766 洛伊特林根,羅馬石街 56 號 (2)德國 72127 庫斯特丁根,卑斯麥街 70 號
三、申請人	姓 名 (名稱)	羅伯特博斯奇股份有限公司
	國 籍	德 國
	住、居所 (事務所)	德國 D-70442 斯圖加特,韋納街 1 號
	代 表 人 名 姓	(1)拉夫-候格.伯倫斯 (2)尤根.費得曼

裝

訂

線

A6

B6

本案已向：

國(地區) 申請專利, 申請日期 2000.7.5. 案號 100 32 543.2, ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (/)

本發明關於一種具有摻雜成 P 型的半導體層及摻雜成 N 型的半導體層的裝置，該裝置在該摻雜成 P 型之半導體層與摻雜成 N 型的半導體層之間有過渡區，其中該過渡區在施加一股代表一過渡區的特性電壓時，呈現一種齊納(二極體)式貫穿，在該摻雜成 P 型的半導體層與摻雜成 N 型的半導體層)之間有多數過渡區，且該特性電壓另外進入該整個裝置的貫穿電壓。此外還關於一種用於製造此裝置的方法。

[發明的背景]

習知技術係使用半導體構件以限制電壓。為此，特別是利用齊納二極體(Z-二極體)，如果將齊納二極體沿阻斷方向或逆向操作，則它們在較小的貫穿電壓時顯示出一種突出的貫穿性質，一個二極體的貫穿電壓的大小主要依半導體材料的摻雜濃度而定。在高量摻雜的二極體的場合，形成很狹窄的阻斷層，因此只要施加小小的阻斷電壓，則在該 PN 過冷已有很高的電場強度。如果此電場強度超過 10^6Vcm 的度量級，則在該幾乎沒有電荷載體的 PN 過渡區的範圍中的價電子可被其鍵結斷離。在波帶模型(Bändermodell)中，這種效應係呈現禁止的波帶被穿透的形式。因此，在貫穿電壓(亦稱「齊納電」)以下的小電壓時，一般只會流過小得可忽視的「阻斷電流」。當達到齊納電壓時，由於發射電荷載體而使電流大大上升。如此可阻止該電壓進一步上升，在 4.5 伏特以下的貫穿電壓時，稱為純粹齊納式貫穿。在較高的貫穿電壓時，完成另一種

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (2)

貫穿效應，即所謂的崩潰(Avalanche)或羅文氏(Lowinen)的貫穿在 7V 以上的電壓時，這種效應佔優勢且主要係由半導體中的羅文氏衝擊離子化(Stoßionisation)造成，齊納二極體由於有一定且可逆的貫穿作用，故適合作電壓限制器。如果將二個齊納的二極體反串聯(antiseriell)在一齊--換言之即串聯，但是二者的極向相反---則得到一對稱的貫穿性質。

第 6 圖顯示一種此類的電路，圖中顯示一個第一齊納二極體(110)及一個第二齊納二極體(112)，二者係反串聯。如果一般施到接點(114)(116)的電壓的二個極性方向的電壓要受限制，則這種裝置用於限制電壓。

第 7 圖顯示該第 6 圖中所示的電路的對應的電流-電壓特性曲線。在第 7 圖之座標圖中，流過齊納二極體(110)(112)的電流對施加在接點(114)(116)上的電壓作圖。只要由於自身發熱造成軌道的電阻及貫穿電壓的上升情事可忽略，則該裝置的貫穿電壓為 $U_{Z1} + U_F$ 。在此， U_{E1} 表示其中一齊納二極體(這些齊納二極體在此情形中係視為相同者)之一的貫穿電壓，而 U_F 表示沿導通方向一個二極體的電壓降，但如果我們想要將這種電壓限制電路設計成供較大界限電壓用，則可用第 7 圖中所示的貫穿電壓的正溫度途徑。第 7 圖中的實線顯示在室溫(RT)時的特性線，而虛線表示溫度大大提高(HT)時的特性線，所見到的正溫度途徑主要是由於當二極體係設計成用於較高貫穿電壓時，羅文氏貫穿作用佔優勢。

五、發明說明(3)

第 7 圖中所示的特性線與溫度的關係乃是不想要者，如此，依第 6 圖的電壓限制電路的缺點為：需要二個分別的構件以作實施，這點又造成額外的電路成本。

[本發明的優點]

依申請專利範圍第 1 項那種裝置，本發明的特徵在於：在摻雜成 P 型的半導體層與摻雜成 N 型的半導體層之間有多數過渡區，且該特性電壓呈加成方式(additiv)進入整個裝置的貫穿電壓中。因此不再需要二個分別的構件，以對電壓的二個極向各作電壓限制。反而是在摻雜 P 型的半導體層與摻雜成 N 型的半導體之間具有數個過渡區的單一個裝置就可將二個極向作電壓限制。此外，由於過渡區的特性電壓(其中該過渡區顯示一種齊納式貫穿性質)呈加成方式進入整個裝置的貫穿電壓中，故可將個別的貫穿電壓選設成很小，並藉加入個別的貫穿電壓將界限升到高的電壓。由於在個別的過渡區的特性電壓很小時(舉例而言在 4.2 伏特)，齊納效果大大地佔優勢，換言之，羅文氏貫穿作用並無作用或只扮演無足輕重的角色，儘管界限電壓提高，特性線的走勢實際上仍不受溫度影響。

最好高半導體層為高量摻雜者，高摻雜者是造成小的貫穿電壓，且因此該裝置如願地不受溫度影響。

如果該半導體層有恆定的摻雜量，則甚有利。這點使製造方面簡單。此外，該貫穿電壓由於在摻雜量為恆定之時，在層間的過渡區的性質相同，故可用簡單方式計算。

如果該摻雜成 P 型的半導體層與摻雜成 N 型的半導體

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (4)

層以相同濃度摻雜，則同樣地很有利。如此貧化(Verarmung 英：impoverish) (晶格中電子或質子缺乏) 的區域可均勻地形成到摻雜成 N 型的半導體層及摻雜成 P 型的半導體層中。如此可造成程序的均勻構造。

一種有利做法，係使該摻雜成 P 型的半導體層至少構成二個組，各組用不同的濃度摻雜。依此方式，可以得到一種在電壓極向方面不對稱的特性線，這和在所有摻雜成 P 型或所有摻雜成 N 型的層都有單一種摻雜時的情形不同，在後者的場合係相對稱的特性線。因此可以各依電壓極性而定準備各種不同的電壓界限值。

基於相同理由，另一種有利做法，係使該摻雜成 N 型的半導體層至少構成二個組，各組用不同的濃度摻雜。

該半導體層可設在一個摻雜成 N 型的基質上。

同樣地，也可將該半導體層設在一摻雜成 P 型的基質上。因此不必限定將基質作一定量的摻雜，如此，該裝置就製造及應用上就很有彈性。

距基質最遠的半導體層的種類及摻雜量可以相當於該基質的種類。

但另一方面也可使該距基質最遠的半導體層的種類及摻雜量與基質的種類與摻雜量不同，此處，就該裝置的製造及應用領域方面而言，也可很有彈性而不限於最外面的半導體層的特定的摻雜種類。

如果該半導體層的厚度約 $4\mu\text{m}$ ，則甚有利，這種厚度在實用的貫穿電壓時配合個別的過渡區以及與之有關的貧

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (5)

化區域的厚度，則甚有利，換言之即充分地高。利用相關的厚度可避免以下情事：該經由過渡區(它們沿流通方向而呈現極性)被「注射」了電荷的少數(Minorität)電荷載體到達一個相鄰之過渡區的空間電荷區域，該過渡區域係呈阻斷的極性。這點是絕對一定需要，因為否則的話，整個裝置都將會「觸發」(閘流體效應)。

如果該基質厚度約 $500\ \mu\text{m}$ ，則可以很有用。且利用這種基質厚度可確保充分的機械穩定性。

該摻雜的濃度宜在 2×10^{19} 原子/ cm^3 範圍。在這種高摻雜濃度時，在所要的低齊納電壓在各過渡區可得到齊納效果，因此受溫度的影響就對應地很小。

在一特定實施例中，在該摻雜成 P 型及摻雜成 N 型的半導體間設有約十個過渡區，因此，舉例而言，當齊納電壓在 4.2V 範圍而導通電壓在 0.7V 範圍時，可得到總貫穿電壓 50V，而沒有明顯的溫度相依性，如果想要利用背景技術的傳統構造--亦即利用個別的齊納二極體--實施這種電壓限制，則由於羅文效應大大佔優勢，因此溫度相依性相當顯著且無法容忍。

該裝置的上側及下側宜各具有金屬接點，它們延伸過裝置上下側的整個面積範圍。因此該裝置用於作進一步加工，一如在半導體構件一般所做者。

該半導體層宜為矽層。利用矽可用特別有利的方式作高摻雜及作所要的層構造。

此外，依申請專利範圍第 17 項，本發明更關於一種製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (6)

造具有摻雜式 P 型及 N 型的半導體層的裝置的方法，該裝置在該摻雜成 P 型及摻雜成 N 型的半導體層之間有過渡區，其中，這些過渡區在施加一股代表一過渡區特性的電壓時，顯示出一些一種齊納式貫穿，在該摻雜成 P 型與 N 型的半導體層之間有多數過渡區，且該特性電壓呈加成方式進入該整個裝置的貫穿電壓中，其中該方法利用外延法 (Epitaxie) 施覆半導體層，該外延法係用於構成本發明的層狀構造特別適合的方法。

該外延法宜在約 1180°C 發生。這種溫度顯示對於無瑕疵的層的形成特別有利。

同樣地，如果這種外延層以約 $4\mu\text{m}/\text{分鐘}$ 的生長速率達成，也很有用。如此可確保高品質的層狀構造，其中該製造程序有足夠的速度。

最好將金屬接點濺鍍 (aufspattern) 到該裝置的上側與下側。利用這些金屬接點 (它們宜蓋住該裝置的整個上側與整個下側) 可使該裝置供作進一步加工，濺鍍方法顯示對於施覆薄金屬方面特別令人滿意。

最好該裝置在金屬接點濺鍍上去後切分成個別的晶片 (Chip)。舉例而言，最初所用的矽基質的直徑為 125mm 。如此，由此方法造成的晶片 (舉例而言，它們可利用一圓鋸造成) 舉例而言，其面積為 20mm^2 。

特別有利的做法，係將晶片的邊緣分開。舉例而言，如果該晶片利用一種切鋸過程產生，則在晶片邊緣造成結晶損害，這種情事對該構件的電性質有負面影響。舉例而

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

言，這種在晶片邊緣受損的半導體區域，舉例而言，一直分離到約 $50\mu\text{m}$ 的深度中。這點舉例而言，可在 KOH 中刻蝕而達成。如果該晶片隨前側及後側軟焊到一銅殼體中，則刻蝕作業往往先做。然後，進一步的封裝作業以二極體技術的一般方式方法達成。

除了利用外延法的層狀裝置的構造方法外，也可利用晶圓結合(Waferbonden)將薄的矽片組合在一起，如此，就製造方面有很多變化。

本發明係根據一項出乎意料的知識為礎，即：可利用由摻雜成 P 型及 N 型的半導體層的相關的層裝置得到一種雙極向的電壓限制，且其受溫度之影響(溫度相依性)可以忽略。個別的 PN 過渡區的貫穿電壓可藉適當的摻雜而選設成使得一種實用上純粹的齊納式貫穿作用可達成。由於這種層狀裝置設計成使個別的 PN 過渡區的貫穿電壓呈加成方式進入整個裝置的貫穿電壓中。故可以使所產生的電壓限制作用即使對於高電壓也絕少受溫度影響。

[圖式的說明]

本發明在以下配合附圖利用實施例說明如下。圖式中：

第 1 圖係以示意方式顯示一個本發明的裝置的橫截面圖。

第 2 圖係顯示依第 1 圖之裝置的一特性線。

第 3 圖係依第 1 圖之裝置的摻雜量輪廓圖。

第 4 圖係以示意方式顯示一本發明裝置的另一實施例

五、發明說明 (8)

的一橫截面圖。

第 5 圖係依第 4 圖之裝置的一特性線。

第 6 圖係背景技術的一電路圖。

第 7 圖係依第 6 圖的裝置的一特性線。

[圖號說明]

- | | |
|------------|----------------------|
| (10) | 摻雜成 N 型的矽基質 |
| (12) | 摻雜成 P 型的半導體層 |
| (14) | 摻雜成 N 型的半導體層 |
| (16) | 金屬電極 |
| (18) | 金屬電極 |
| (20) | P 型半導體層 |
| (22) | P ⁺ 型半導體層 |
| (110) | 第一齊納二極體 |
| (112) | 第二齊納二極體 |
| (114)(116) | 接點 |

[實施例的說明]

第 1 圖以示意方式顯示一個本發明的裝置的一橫截面。在一個摻雜成 N 型的矽基質(10)上設有多數摻雜成 P 型的半導體層(12)及摻雜成 N 型的半導體層(14)。在該摻雜成 P 型的半導體層(12)與摻雜成 N 型的半導體層(14)之間有多數的半導體過渡區。摻雜成 P 型的半導體層(12)的厚度 TP，而摻雜成 N 型的半導體層的厚度 TN。在此情形中，厚度 TP 與 TN 大約相等。且約為 4 μ m。在此實例中，基質的厚度 TS 約 525 μ m。由於全部的十個摻雜成 P 型的

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (9)

半導體層和十個摻雜成 N 型的半導體層(14)設在該基質(10)上。故由這些數值，該裝置的總厚度 T 為 $605\ \mu\text{m}$ ，在此實中，選用矽作半導體。在該摻雜成 N 型的基質(10)和最上面的半導體層[它在此情形中係為摻雜成 N 型的半導體層(14)]上有金屬接點(16)(18)，它們係利用一濺鍍過程施覆。半導體層(12)(14)具有各約 2×10^{19} 原子/ cm^3 的恆定摻雜量。層(12)(14)係利用外延法(Epitaxie)施到位於其下方的層上。在一較佳實施例中，該外延層發生的方式使得所選設的溫度為 1180°C ，而生長速率為 $4\ \mu\text{m}/\text{分鐘}$ 。在第 1 圖的此實例中，層狀構造選設成使其最上的層與最下方的層(基質)有相同的摻雜類型。在此情形中，係為摻雜成 N 型。此外，也可使該二個外側之半導體層摻雜成 P 型。此外，該二外層的摻雜類型也可不同(不論是在摻雜成 N 型的基質或摻雜成 P 型的基質的場合)。

第二圖以簡化方式顯示第 1 圖 2 該裝置的特性線走勢圖。如果我們施一股電壓 U[它比起電極(16)來更正電性]到該金屬電極上，則一直到達到該阻擋電壓 U_Z 為止，除了一股較小的阻擋電流外，並有任何電流流過。如果試著將電壓 U 再繼續升高，則流過該裝置的電流由於在半導體層之間的個別過渡區的齊納式貫穿而大大增加。由於該裝置係呈對稱構造，因此當所施加的電壓 U 的極性弄混了時，這種電性質的正負號會反過來。在 n 個摻雜式 P 型的外延層(Epitaxieschicht)及 n 個摻雜成 N 型的外延層的場合，以下的公式適用於貫穿電壓 U_Z ：

五、發明說明 (/ ○)

$$UZ=n \times (UZ1+UF)$$

在此，UZ1 為一個個別的過渡區的貫穿電壓，而 UF 為一個個別的 PN 二極體的流通電壓。第 2 圖中的實線顯示在室溫(RT)時該裝置的電流-電壓關係，虛線表示在溫度大大提高(HT)時的關係，圖中可看出，一直到很高的電流為止，實際上都不會由於溫度而對特性線有影響。只有當電流密度極高時(大約 $200\text{A}/\text{cm}^3$ 以上的範圍)才會再有不能忽視的正溫度係數存在。

在第 3 圖中顯示第 1 圖的裝置的摻雜量輪廓圖，其中摻雜原子數密度 N 對地點 X 作圖。實線代表摻雜成 N 型的矽。虛線代表摻雜成 P 型的矽。第 3 圖中的座標圖的左邊對應於第 1 圖的摻雜成 N 型的矽層，它係鄰界到金屬電極(18)，而第 3 圖中座標圖的右邊對應於第 1 圖的基質(10)，該基質鄰界到第 1 圖的金屬電極(16)。圖中可看出，存在一恆定的摻雜濃度 2×10^{19} 原子/ cm^2 。

第 4 圖以示意方式顯示一本發明裝置的另一實施例的一橫截面。該實施例同樣地在任何電壓極向的場合有限制電壓的效果。前面提到過，第 1 圖的裝置對於所施加電壓的極向方面有一對稱的特性線走勢。反之，利用第 4 圖中所示的裝置則得到不對稱的特性線走勢。此裝置特別之處在於：存在二種摻雜成 P 型的半導體層。第一種摻雜成 P 型的半導體層(20)的摻雜濃度小於第二種摻雜成 P⁺型的半導體層(22)。N-半導體層的摻雜濃度則為一致。如此所得之二極體具有不同貫穿電壓，分別對應於過渡區 N(P⁺P)及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

(P⁺P)N。如果該二極體沿阻斷方向受到負載，則該(P⁺P)N二極體的貫穿電壓 U_{Z1} 大於 N(P+P)二極體的貫穿電壓 U_{Z2} 。在 n 個過渡區的場合，在金屬接點(18)相對於金屬接點(18)呈正電壓時，則得到如下的貫穿電壓：

$$U_Z = n \times (U_{Z2} + U_F)$$

在電壓的極向相反時，該貫穿電壓為

$$U_Z = -n \times (U_{Z1} + U_F)$$

又，第 4 圖的裝置，就最外的半導體層及摻雜類型方面而言，原則上是可變化的。因此也可以不採用 N-基質而用 P-基質。對應地，在一種 P 基質可使用較高摻雜量的 N⁺-層以及較低摻雜量的 N-層。半導體裝置的最外層就摻雜類型方面也可相同或不同。

第 5 圖顯示第 4 圖裝置的一條特性線，當適當地作度量設計時(不論就幾何性質方面以及就溫度方面)再度得到實際上不受溫度影響的特性線走勢，這點示於第 5 圖中。第 5 圖的原理構造相當於第 2 圖，而其中在此處該不對稱之特性線走勢係決定性者。

上述依本發明之實施例的說明只用於說明的目的，但不限制本發明的範圍於茲。在本發明的範疇中可作種種變化與變更，而不脫離本發明及其等效技術的範圍。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

四、中文發明摘要（發明之名稱：_____）

具有摻雜成 P 型及摻雜成 N 型的半導體層的裝置及其製造方法

一種具有摻雜成 P 型的半導體層(12)及摻雜成 N 型的半導體層的裝置，該裝置在該摻雜成 P 型之半導體層(12)與摻雜成 N 型的半導體層(14)(10)之間有過渡區，其中該過渡區在施加一股代表一過渡區的特性電壓時，呈現一種齊納(二極體)式貫穿，在該摻雜成 P 型的半導體層(12)與摻雜成 N 型的半導體層(14)(10)之間有多數過渡區，且該特性電壓另外進入該整個裝置的貫穿電壓。此外還關於一種用於製造此裝置的方法。

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

線

英文發明摘要（發明之名稱：_____）

六、申請專利範圍

1.一種具有摻雜成 P 型的半導體層(12)及摻雜成 N 型的半導體層的裝置，該裝置在該摻雜成 P 型之半導體層(12)與摻雜成 N 型的半導體層(14)(10)之間有過渡區，其中該過渡區在施加一股代表一過渡區的特性電壓時，呈現一種齊納(二極體)式貫穿，在該摻雜成 P 型的半導體層(12)與摻雜成 N 型的半導體層(14)(10)之間有多數過渡區，且該特性電壓另外進入該整個裝置的貫穿電壓。

2.如申請專利範圍第 1 項之裝置，其中：
該半導體層(10)(12)(14)(20)(22)為高量摻雜者。

3.如申請專利範圍第 1 或 2 項之裝置，其中：
該半導體層(10)(12)(14)(20)有恆定的摻雜量。

4.如申請專利範圍第 1 或 2 項之裝置，其中：
該摻雜成 P 型的半導體層(12)及摻雜成 N 型的半導體層(14)以相同之濃度摻雜。

5.如申請專利範圍第 1 或 2 項之裝置，其中：
該摻雜成 P 型的半導體層(20)(22)至少構成二個組，該二組分別以不同濃度摻雜。

6.如申請專利範圍第 1 或 2 項之裝置，其中：
該摻雜成 N 型的半導體層至少構成二個組，該二組分別以不同濃度摻雜。

7.如申請專利範圍第 1 或 2 項之裝置，其中：
該半導體層(12)(14)(20)(22)設在一摻雜成 N 型的基質(10)上。

8.如申請專利範圍第 1 或 2 項之裝置，其中：

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

該半導體層設在一摻雜成 P 型的基質上。

9.如申請專利範圍第 1 或 2 項之裝置，其中：

該距基質(10)最遠的半導體層的摻雜類型與基質(10)的摻雜類型相同。

10.如申請專利範圍第 1 或 2 項之裝置，其中：

該距基質最遠的半導體層的摻雜類型與基質的摻雜類型不同。

11.如申請專利範圍第 1 或 2 項之裝置，其中：

該半導體層(12)(14)(20)(22)的厚度約 $4\mu\text{m}$ 。

12.如申請專利範圍第 1 或 2 項之裝置，其中：

該基質(10)厚度 $500\mu\text{m}$ 。

13.如申請專利範圍第 1 或 2 項之裝置，其中：

該摻雜濃度在 2×10^{19} 原子/ cm^3 範圍中。

14.如申請專利範圍第 1 或 2 項之裝置，其中：

該摻雜成 P 型的半導體層(12)與摻雜成 N 型的半導體層(14)之間有 10 個過渡區。

15.如申請專利範圍第 1 或 2 項之裝置，其中：

該裝置的上側及下側上各有金屬接點(16)(18)，延伸過其整個面積範圍。

16.如申請專利範圍第 1 或 2 項之裝置，其中：

該半導體層(10)(12)(20)(22)為矽層。

17.一種具有摻雜成 P 型的半導體層(12)(20)(22)及摻雜成 N 型的半導體層(14)(10)的裝置的製造方法，該裝置在該摻雜成 P 型的半導體層(12)(20)(22)與摻雜成 N 型的半導

訂

線

六、申請專利範圍

體層(14)(10)的裝置的製造方法，該裝置在該摻雜成 P 型的半導體層(12)(20)(22)與摻雜成 N 型的半導體層(14)(10)之間有過渡區，其中該過渡區在施加一股代表一過渡區特性的電壓時顯示一種齊納式貫穿，在該摻雜成 P 型的半導體層(12)(20)(22)與摻雜式 N 型的半導體層(14)(10)之間有多數過渡區，且該特性電壓呈加成方式進到整個裝置的貫穿電壓中，其中該方法包含利用外延法施覆該半導體層(12)(14)(20)(22)。

18.如申請專利範圍第 17 項之方法，其中：

該外延法在 1180℃ 發生。

19.如申請專利範圍第 17 或 18 項之方法，其中：

該外延法以 4 μ m/分的生長速度達成。

20.如申請專利範圍第 17 或 18 項之方法，其中：

在該裝置的上側及下側濺鍍上金屬接點。

21.如申請專利範圍第 17 或 18 項之方法，其中：

該裝置在金屬接點(16)(18)濺鍍上去後，切分成個別的晶片。

22.如申請專利範圍第 17 或 18 項之方法，其中：

將該晶片的邊緣分開。

23.如申請專利範圍第 17 或 18 項之方法，其中：

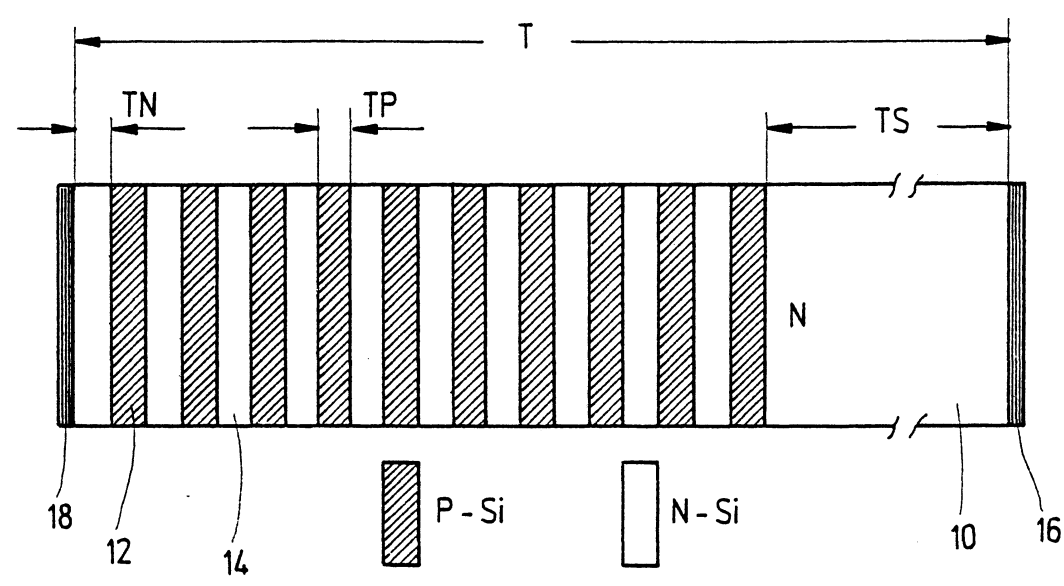
該薄矽板利用晶圓結合而組合成。

訂

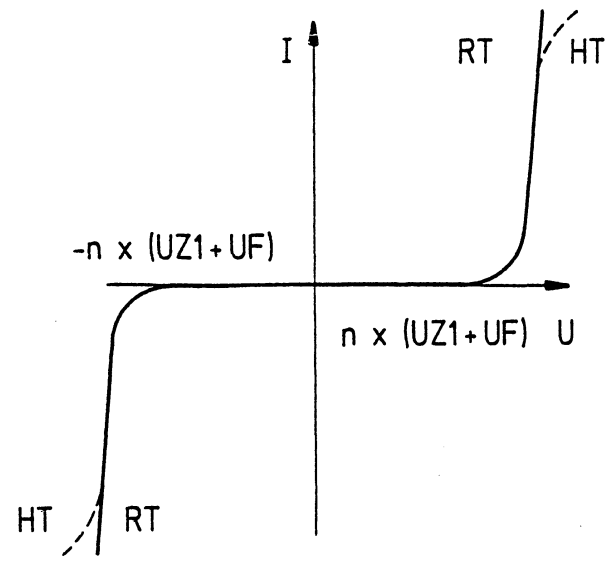
線

90115911

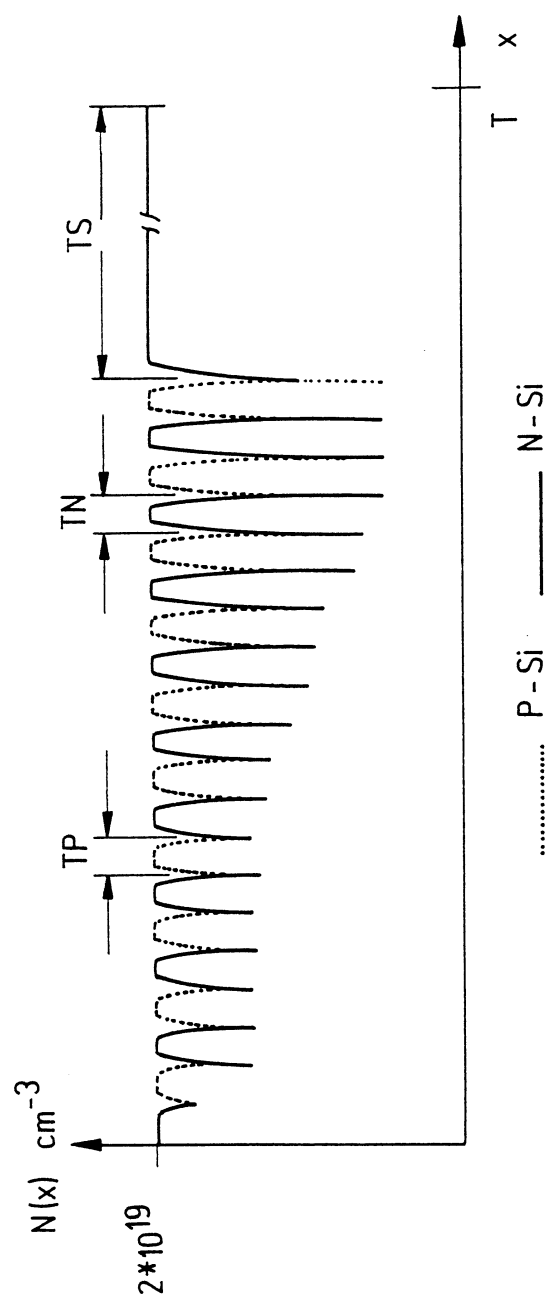
第 1 圖



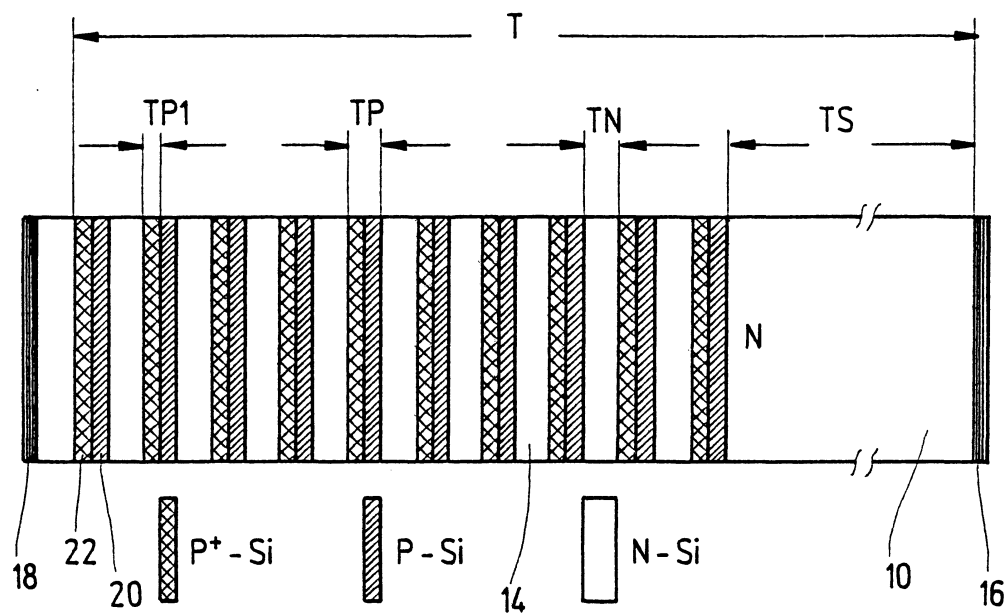
第 2 圖



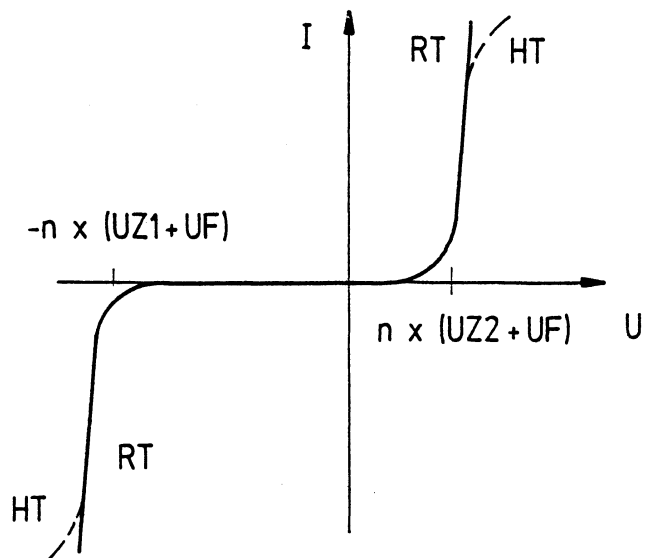
第 3 圖



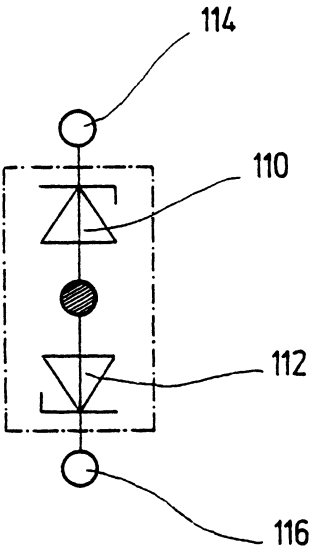
第 4 圖



第 5 圖



第 6 圖



第 7 圖

