(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月15日(15.02.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/033736 A1

(51) 国際特許分類:
G06N 3/063 (2023.01) *G06G 7/60* (2006.01)

(21) 国際出願番号： PCT/IB2023/057606

(22) 国際出願日： 2023年7月27日(27.07.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-127917 2022年8月10日(10.08.2022) JP

(71) 出願人: 株式会社半導体エネルギー研究所 **(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.)** [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

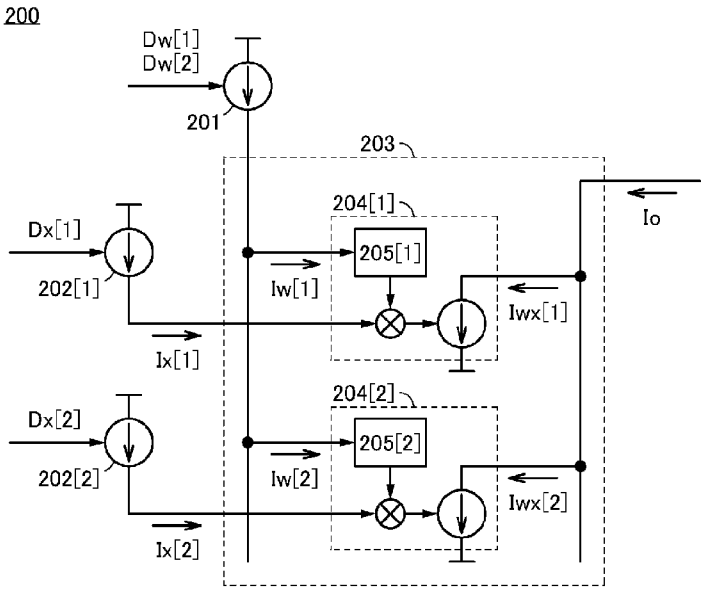
(72) 発明者: 黒川義元 **(KUROKAWA, Yoshiyuki).** 大下智 **(OHSHITA, Satoru).** 力丸英史 **(RIKIMARU, Hidefumi).**

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: COMPUTATION PROCESSING DEVICE

(54) 発明の名称： 演算処理装置

図1



(57) Abstract: The present invention provides a novel computation processing device. The present invention comprises a first current generation unit, a second current generation unit, a third current generation unit, and a multiply-accumulate computation unit. The first current generation unit has a function for outputting a first current amount that corresponds to first data, and a second current amount that corresponds to second data. The second current generation unit has a function for outputting a third current amount that corresponds to third data. The third current generation unit has a function

WO 2024/033736 A1

[続葉有]

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

for outputting a fourth current amount that corresponds to fourth data. The multiply-accumulate computation unit has a function for outputting a current amount that corresponds to a sum obtained by adding together the product of the first and third current amounts and the product of the second and fourth current amounts. The first data and/or the second data is zero.

(57) 要約:新規な演算処理装置を提供する。 第１電流生成部と、第２電流生成部と、第３電流生成部と、積和演算部と、を備え、第１電流生成部は、第１データに応じた第１電流量を出力する機能と、第２データに応じた第２電流量を出力する機能と、を有し、第２電流生成部は、第３データに応じた第３電流量を出力する機能を有し、第３電流生成部は、第４データに応じた第４電流量を出力する機能を有し、積和演算部は、第１電流量と第３電流量との乗算と、第２電流量と第４電流量との乗算と、の加算に応じた電流量を出力する機能を有し、第１データおよび第２データの少なくとも一は、ゼロである。

明細書

発明の名称

演算処理装置

技術分野

［０００１］

本発明の一態様は、演算処理装置に関する。特に、積和演算が可能な演算処理装置に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、駆動方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。より具体的には、本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、光学装置、撮像装置、照明装置、演算装置、制御装置、記憶装置、入力装置、出力装置、入出力装置、信号処理装置、演算処理装置、電子計算機、電子機器、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

［０００３］

近年、人間の脳の仕組みを模した集積回路の開発が盛んに進められている。当該集積回路は、脳の仕組みが電子回路として組み込まれており、人間の脳の「ニューロン」と「シナプス」に相当する回路を有する。そのため、そのような集積回路を、「ニューロモーフィック」、「ブレインモーフィック」、または「ブレインインスパイア」と呼ぶこともある。当該集積回路は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行える可能性がある。

［０００４］

「ニューロン」と「シナプス」とを有する神経回路網を模した情報処理のモデルは、人工ニューラルネットワーク（ＡＮＮ：Ａｒｔｉｆｉｃｉａｌ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ）（単に、ニューラルネットワークという場合もある）と呼ばれる。ニューラルネットワークを用いることで、人間並み、もしくは、人間を超える精度での推論も可能である。ニューラルネットワークでは、複数の人工ニューロン（Ａｒｔｉｆｉｃｉａｌ　Ｎｅｕｒｏｎ）（単に、ニューロンという場合もある）の出力を重み付けして足し合わせる演算、すなわち、積和演算が主要な演算である。

［０００５］

特許文献１には、ニューラルネットワークの積和演算を実行する回路として、チャネル形成領域に酸化物半導体を有するトランジスタを利用した構成が提案されている。

［０００６］

また、非特許文献１には、ニューラルネットワークの演算に必要な消費電力を低減する方法が提案されている。

［先行技術文献］

［特許文献］

［０００７］

［特許文献１］国際公開第２０２０／２５４９０９号

［非特許文献］

［０００８］

［非特許文献１］Ａｔｓｕｔａｋｅ Ｋｏｓｕｇｅ ｅｔ ａｌ．，“Ａ １６ ｎＪ／Ｃｌａｓｓｉｆｉｃａｔｉｏｎ ＦＰＧＡ－Ｂａｓｅｄ Ｗｉｒｅｄ－Ｌｏｇｉｃ ＤＮＮ Ａｃｃｅｌｅｒａｔｏｒ Ｕｓｉｎｇ Ｆｉｘｅｄ－Ｗｅｉｇｈｔ Ｎｏｎ－Ｌｉｎｅａｒ Ｎｅｕｒａｌ Ｎｅｔ”，ＩＥＥＥ Ｊｏｕｒｎａｌ ｏｎ Ｅｍｅｒｇｉｎｇ ａｎｄ Ｓｅｌｅｃｔｅｄ Ｔｏｐｉｃｓ ｉｎ Ｃｉｒｃｕｉｔｓ ａｎｄ Ｓｙｓｔｅｍｓ，ｖｏｌ．１１，ｎｏ．４，ｐｐ．７５１－７６１，Ｄｅｃ． ２０２１

発明の概要

発明が解決しようとする課題

［０００９］

ニューラルネットワークの演算に必要な消費電力を低減する方法として、モデル軽量化（モデル圧縮ともいう）が行われる。モデル軽量化の技術として、例えば、低ビット化（量子化という場合もある）、プルーニング、またはゼロスキップなどが知られており、これらの一または複数が用いられる。

［００１０］

なお、本明細書等において、ニューラルネットワークにおけるニューロン同士のつながりを「ネット」、つながりの強さを「重みデータ（重み係数という場合もある）」、ネットを介して伝達する信号を「ネットデータ」という場合がある。

［００１１］

低ビット化は、ニューラルネットワークの演算におけるデータのビット数を低減する方法である。例えば、通常の科学技術計算などでは、浮動小数点数のデータが使われ、当該データのビット数は、３２ビットなどである。例えば、当該データを８ビット程度の整数にしても、ニューラルネットワークの推論精度はほとんど低下しないことがある。低ビット化により、データを格納するメモリ容量を小さくすることができる。また、演算を行う回路（例えば乗算回路および加算回路など）の回路規模を小さくすることができる。また、例えば、重みデータを１ビットにすることで、乗算回路を加算回路に置き換えることもできる。これらにより回路規模が小さくなることで、低消費電力化が可能となる。

［００１２］

プルーニングは、積和演算の項数を低減する方法である。ニューラルネットワークにおいて、ネットを間引く（刈り取るという場合もある）ことに相当する。重みデータの値がゼロ、もしくは小さい場合、対応するネットの積和演算に対する寄与はゼロ、もしくは小さくなる。そのため、当該ネットが無いものとしても、ニューラルネットワークの推論精度はほとんど低下しないことがある。プルーニングにより、演算数を低減することができるため、低消費電力化が可能となる。なお、プルーニングによる低消費電力化の効果を得るためには、刈り取ったネットを回路的に削除する仕組みが必要になる。

［００１３］

ゼロスキップは、重みデータおよびネットデータの少なくとも一がゼロの場合に、対応する項の演算を実施しない方法である。なお、ニューラルネットワークでは、重みデータはゼロ付近に多く分布することが知られており、低ビット化によって、ゼロ付近の重みデータがゼロとなる確率が高くなる場合がある。重みデータがゼロの場合、当該重みデータに対応する項の乗算はゼロであり、積

和演算における当該項の加算もゼロである。つまり、当該項の乗算および加算の演算は不要である。そのため、乗算自体および加算自体を実施しないことで、乗算回路および加算回路において電力を消費しないため、低消費電力化が可能となる。なお、ゼロスキップでは、データがゼロであることを判定する回路が必要になる。

［００１４］

本発明の一態様は、消費電力が低減した半導体装置または演算処理装置を提供することを課題の一つとする。または、演算効率が向上した半導体装置または演算処理装置を提供することを課題の一つとする。または、新規な半導体装置または演算処理装置を提供することを課題の一つとする。

［００１５］

なお、上記列挙した課題は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、上記列挙した課題の全てを解決する必要はないものとする。なお、上記列挙した課題以外の他の課題は、本明細書、図面、または特許請求の範囲等の記載から、自ずと明らかとなるものであり、本明細書、図面、または特許請求の範囲等の記載から、上記列挙した課題以外の他の課題を抽出することが可能である。

課題を解決するための手段

［００１６］

本発明は、上記課題を鑑みてなされたものであり、例えば、特許文献１で開示されている電流書き込み方式のアナログインメモリのＡＩ（Ａｒｔｉｆｉｃｉａｌ　Ｉｎｔｅｌｌｉｇｅｎｃｅ）チップにおいて、プルーニングなどによって軽量化されたニューラルネットワークのモデルを適用することができる。その際、プルーニングされたネットに対応する重みデータに、ゼロを入力する。

［００１７］

当該ＡＩチップでは、多ビットの演算が可能である。また、当該ＡＩチップでは、ネットデータがゼロの場合、当該データを入力する際の消費電力はゼロになる。さらに、重みデータおよびネットデータの少なくとも一がゼロの場合、乗算を行うメモリセルにおける消費電力はゼロになる。

［００１８］

（１）

本発明の一態様は、第１半導体装置と、第２半導体装置と、第３半導体装置と、を備え、第１半導体装置と、第２半導体装置と、第３半導体装置と、のそれぞれは、第１電流生成部と、第２電流生成部と、第３電流生成部と、積和演算部と、を備え、積和演算部は、第１セルと、第２セルと、を備え、第１電流生成部は、第１データに応じた第１電流量を出力する機能と、第２データに応じた第２電流量を出力する機能と、を有し、第２電流生成部は、第３データに応じた第３電流量を出力する機能を有し、第３電流生成部は、第４データに応じた第４電流量を出力する機能を有し、第１セルは、第１電流量を記憶する機能と、第１電流量と第３電流量との乗算に応じた第５電流量を出力する機能と、を有し、第２セルは、第２電流量を記憶する機能と、第２電流量と第４電流量との乗算に応じた第６電流量を出力する機能と、を有し、積和演算部は、第５電流量と第６電流量との加算に応じた第７電流量を出力する機能を有し、第１データがゼロの場合における第１電流量と、第２データがゼロの場合における第２電流量と、第３データがゼロの場合における第３電流量と、第４データがゼロの場合における第４電流量と、のそれぞれは、1×10^{-11}Ａ以下であり、第１半導体装置と、第２半導体装置と、第３半導体装置と、のそれぞれは、プルーニングされたニューラルネットワークの一部を構成し、第２半導体装置における第７電流量に相当するデータは、第１

半導体装置における第３データとして入力され、第３半導体装置における第７電流量に相当するデータは、第１半導体装置における第４データとして入力され、第１半導体装置における第１データおよび第２データの少なくとも一は、ゼロである、演算処理装置である。

［００１９］

（２）

また、上記（１）において、制御部を備え、制御部は、プルーニングによって、第１半導体装置における第１データおよび第２データの少なくとも一をゼロにする機能を有してもよい。

［００２０］

（３）

また、上記（１）または上記（２）において、第１半導体装置と、第２半導体装置と、第３半導体装置と、のそれぞれは、チャネル形成領域に酸化物半導体を含むトランジスタを備えてもよい。

［００２１］

（４）

また、上記（１）または上記（２）において、第１半導体装置と、第２半導体装置と、第３半導体装置と、のそれぞれは、複数の電流源を備え、複数の電流源のそれぞれが出力する電流量は、１．０×１０$^{-8}$Ａ以下であることが好ましい。

［００２２］

（５）

また、上記（１）または上記（２）において、第１半導体装置と、第２半導体装置と、第３半導体装置と、のそれぞれは、サブスレッショルド領域で動作するトランジスタを備えてもよい。

［００２３］

（６）

また、上記（１）または上記（２）において、第１層と、第１層の上に位置する第２層と、を備え、第１半導体装置における第１電流生成部および積和演算部は、第１層または第２層の一方に設けられ、第２半導体装置における第１電流生成部および積和演算部と、第３半導体装置における第１電流生成部および積和演算部と、のそれぞれは、第１層または第２層の他方に設けられてもよい。

［００２４］

（７）

また、上記（１）または上記（２）において、第１セルは、第１演算セルと、第１駆動セルと、を備え、第２セルは、第２演算セルと、第２駆動セルと、を備え、第１演算セルは、第１配線を介して、第１電流生成部に電気的に接続され、第１演算セルは、第２配線を介して、第２電流生成部に電気的に接続され、第１駆動セルは、第２配線を介して、第２電流生成部に電気的に接続され、第２演算セルは、第１配線を介して、第１電流生成部に電気的に接続され、第２演算セルは、第３配線を介して、第３電流生成部に電気的に接続され、第２駆動セルは、第３配線を介して、第３電流生成部に電気的に接続され、第１電流生成部は、第１電流量または第２電流量を第１配線に流す機能を有し、第２電流生成部は、第１参照電流または第３電流量を第２配線に流す機能と、を有し、第３電流生成部は、第２参照電流または第４電流量を第３配線に流す機能と、を有し、第１演算セルは、第１電流量に相当する第１電位を保持する機能を有し、第１駆動セルは、第１参照電流に相当する第２電位を保持する機能を有し、第１演算セルは、第１演算セルに第１電位が保持され、第１駆動セルに第２電位が保持されている状態で、第２電流生成部が第２配線に流す電流を第１参照

電流から第３電流量に変更したとき、第１電流量と第３電流量との積に応じた第５電流量を第１配線に流す機能を有し、第２演算セルは、第２電流量に相当する第３電位を保持する機能を有し、第２駆動セルは、第２参照電流に相当する第４電位を保持する機能を有し、第２演算セルは、第２演算セルに第３電位が保持され、第２駆動セルに第４電位が保持されている状態で、第３電流生成部が第３配線に流す電流を第２参照電流から第４電流量に変更したとき、第２電流量と第４電流量との積に応じた第６電流量を第１配線に流す機能を有してもよい。

発明の効果

［００２５］

本発明の一態様の演算処理装置に、ニューラルネットワークのモデルを適用することで、例えば、プルーニングにおいて、刈り取ったネットを回路的に削除することなく、プルーニングと同様の低消費電力化の効果を得ることができる。また、例えば、ゼロスキップにおいて、データがゼロであることを判定する回路を別に設けることなく、ゼロスキップと同様の低消費電力化の効果を得ることができる。

［００２６］

本発明の一態様によって、消費電力が低減した半導体装置または演算処理装置を提供することができる。または、演算効率が向上した半導体装置または演算処理装置を提供することができる。または、新規な半導体装置または演算処理装置を提供することができる。

［００２７］

なお、上記列挙した効果は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、上記列挙した効果の全てを有する必要はない。なお、上記列挙した効果以外の他の効果は、本明細書、図面、または特許請求の範囲等の記載から、自ずと明らかとなるものであり、本明細書、図面、または特許請求の範囲等の記載から、上記列挙した効果以外の他の効果を抽出することが可能である。

図面の簡単な説明

［００２８］

図１は、半導体装置の構成例を説明する図である。

図２Ａ及び図２Ｂは、演算処理装置の構成例を説明する図である。

図３Ａ乃至図３Ｃは、ニューラルネットワークを説明する図である。

図４は、演算処理装置の構成例を説明する図である。

図５は、半導体装置の構成例を示すブロック図である。

図６Ａ乃至図６Ｃは、半導体装置に含まれている回路の構成例を示すブロック図である。

図７Ａ乃至図７Ｄは、半導体装置に含まれている回路の構成例を示す回路図である。

図８Ａ乃至図８Ｄは、半導体装置に含まれている回路の構成例を示す回路図である。

図９は、半導体装置に含まれている回路の構成例を示す回路図である。

図１０は、半導体装置の構成例を示すブロック図である。

図１１は、半導体装置の構成例を示すブロック図である。

図１２は、半導体装置の動作例を示すタイミングチャートである。

図１３は、半導体装置の構成例を示すブロック図である。

図１４Ａ乃至図１４Ｃは、半導体装置に含まれている回路の構成例を示すブロック図である。

図１５は、半導体装置に含まれている回路の構成例を示すブロック図である。

図１６Ａは、半導体装置に含まれている回路の構成例を示す回路図である。図１６Ｂは、半導体装

置に含まれている回路の構成例を示すブロック図である。

図１７Ａ及び図１７Ｂは、半導体装置に含まれている回路の構成例を示すブロック図である。図１７Ｃは、半導体装置に含まれている回路の構成例を示す回路図である。

図１８は、半導体装置の構成例を示すブロック図である。

図１９Ａ及び図１９Ｂは、階層型のニューラルネットワークを説明する図である。

図２０は、半導体装置の構成例を示すブロック図である。

図２１は、半導体装置の構成例を示すブロック図である。

図２２は、半導体装置の構成例を示すブロック図である。

図２３Ａ及び図２３Ｂは、電子部品の一例を示す図である。

図２４Ａ及び図２４Ｂは、電子機器の一例を示す図である。図２４Ｃ乃至図２４Ｅは、大型計算機の一例を示す図である。

図２５は、宇宙用機器の一例を示す図である。

図２６は、データセンターに適用可能なストレージシステムの一例を示す図である。

発明を実施するための形態

［００２９］

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、例えば、半導体素子（例えば、トランジスタ、またはダイオードなど）を含む回路、または同回路を有する装置などをいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、半導体素子を含む集積回路、集積回路を備えたチップ、チップをパッケージに収納した電子部品、または電子部品を実装した電子機器などは、半導体装置の一例である。また、例えば、表示装置、発光装置、蓄電装置、光学装置、撮像装置、照明装置、演算装置、制御装置、記憶装置、入力装置、出力装置、入出力装置、信号処理装置、電子計算機、または電子機器などは、それ自体が半導体装置であり、かつ、半導体装置を有している場合がある。

［００３０］

以下、実施の形態について、図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能である。よって、その趣旨および範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、実施の形態の記載内容に限定して解釈されるものではない。

［００３１］

また、本明細書等において、各実施の形態に示す構成を、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることが可能である。また、１つの実施の形態の中に複数の構成が示される場合、それらの構成を適宜組み合わせて、本発明の一態様とすることが可能である。

［００３２］

なお、実施の形態を説明する図面は、発明の構成において、同一部分または同様な機能を有する部分に、同一の符号を異なる図面間で共通して用いることで、その繰り返しの説明を省略する場合がある。また、図面は、同様の機能を指す場合、例えば、ハッチングパターンなどを同じくし、特に符号を付さない場合がある。また、図面は、理解しやすくするため、例えば、斜視図または上面図（「平面図」ともいう）などにおいて、一部の構成要素の記載を省略する場合がある。また、図面は、例えば、一部の隠れ線の記載を省略する場合がある。また、図面は、例えば、ハッチングパターンなどの記載を省略する場合がある。

［００３３］

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、図面は、例えば、その大きさまたは縦横比などに限定されない。なお、図面は、理想的な例を模式的に示したものであり、例えば、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により、層またはレジストマスクなどが意図せずに目減りすることがあるが、理解を容易にするため、これらを図面に反映しない場合がある。また、例えば、実際の回路動作において、ノイズまたはタイミングのずれなどにより、電圧または電流などのばらつきが生じることがあるが、理解を容易にするため、これらを図面に反映しない場合がある。

［００３４］

また、本明細書および図面等において、本発明の構成要素を機能毎に分類し、互いに独立した要素として示す場合がある。しかしながら、構成要素を機能毎に切り分けることが難しく、一つの要素に複数の機能が関わる場合、または、複数の要素にわたって一つの機能が関わる場合、がある。そのため、本明細書および図面等に示す要素は、その説明に限定されず、状況に応じて適切に言い換えることができる場合がある。

［００３５］

また、本明細書および図面等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に、例えば、“Ａ”、“ｂ”、“＿１”、“［ｎ］”、または“［ｍ，ｎ］”などの識別用の符号を付して記載する場合がある。

［００３６］

なお、本明細書等において、トランジスタの「導通状態」または「オン状態」とは、例えば、トランジスタのソースとドレインが電気的に短絡されているとみなせる状態、または、ソースとドレインとの間に電流を流すことができる状態、などをいう。例えば、ｎチャネル型トランジスタにおいて、ゲートとソースとの間の電圧がしきい値電圧よりも高い状態、または、ｐチャネル型トランジスタにおいて、ゲートとソースとの間の電圧がしきい値電圧よりも低い状態、などを、「導通状態」または「オン状態」という場合がある。また、トランジスタの「非導通状態」、「遮断状態」、または「オフ状態」とは、トランジスタのソースとドレインが電気的に遮断されているとみなせる状態をいう。例えば、ｎチャネル型トランジスタにおいて、ゲートとソースとの間の電圧がしきい値電圧よりも低い状態、または、ｐチャネル型トランジスタにおいて、ゲートとソースとの間の電圧がしきい値電圧よりも高い状態、などを、「非導通状態」、「遮断状態」、または「オフ状態」という場合がある。

［００３７］

また、本明細書等において、トランジスタの「オフ電流」とは、特に断りがない場合、トランジスタがオフ状態にあるときの、ソースとドレインの間に流れる電流（ドレイン電流ともいう）をいう。なお、本明細書等において、トランジスタがオフ状態にあるときの、ドレイン電流、および、ゲートとソースまたはドレインの間に流れる電流（ゲートリーク電流ともいう）を、リーク電流という場合がある。

［００３８］

（実施の形態１）

本発明の一態様に係る半導体装置および演算処理装置について、図面を参照しながら説明する。な

お、本発明の一態様に係る半導体装置および演算処理装置は、例えば、ニューラルネットワークの一部として、好適に用いられてもよい。特に、例えばプルーニングなどによって軽量化されたニューラルネットワークの一部として、好適に用いられてもよい。

［００３９］

＜半導体装置の構成例＞

図１は、本発明の一態様に係る半導体装置２００の構成例を説明する模式図である。

［００４０］

図１に示す半導体装置２００は、第１電流生成部２０１と、第２電流生成部２０２［１］と、第２電流生成部２０２［２］と、積和演算部２０３と、を備える。積和演算部２０３は、セル２０４［１］と、セル２０４［２］と、を備える。セル２０４［１］は、記憶部２０５［１］を備える。セル２０４［２］は、記憶部２０５［２］を備える。

［００４１］

第１電流生成部２０１は、第１データＤｗ［１］に応じた第１電流量Ｉｗ［１］を出力する機能を有する。例えば、第１電流量Ｉｗ［１］は、第１データＤｗ［１］に比例（Ｉｗ［１］∝Ｄｗ［１］）する。また、第１データＤｗ［２］に応じた第１電流量Ｉｗ［２］を出力する機能を有する。例えば、第１電流量Ｉｗ［２］は、第１データＤｗ［２］に比例（Ｉｗ［２］∝Ｄｗ［２］）する。

［００４２］

第２電流生成部２０２［１］は、第２データＤｘ［１］に応じた第２電流量Ｉｘ［１］を出力する機能を有する。例えば、第２電流量Ｉｘ［１］は、第２データＤｘ［１］に比例（Ｉｘ［１］∝Ｄｘ［１］）する。

［００４３］

第２電流生成部２０２［２］は、第２データＤｘ［２］に応じた第２電流量Ｉｘ［２］を出力する機能を有する。例えば、第２電流量Ｉｘ［２］は、第２データＤｘ［２］に比例（Ｉｘ［２］∝Ｄｘ［２］）する。

［００４４］

セル２０４［１］は、記憶部２０５［１］において、第１電流量Ｉｗ［１］を記憶する機能を有する。また、第１電流量Ｉｗ［１］と第２電流量Ｉｘ［１］との乗算に応じた第３電流量Ｉｗｘ［１］を出力する機能を有する。例えば、第３電流量Ｉｗｘ［１］は、第１電流量Ｉｗ［１］と第２電流量Ｉｘ［１］との積に比例（Ｉｗｘ［１］∝Ｉｗ［１］×Ｉｘ［１］）する。

［００４５］

セル２０４［２］は、記憶部２０５［２］において、第１電流量Ｉｗ［２］を記憶する機能を有する。また、第１電流量Ｉｗ［２］と第２電流量Ｉｘ［２］との乗算に応じた第３電流量Ｉｗｘ［２］を出力する機能を有する。例えば、第３電流量Ｉｗｘ［２］は、第１電流量Ｉｗ［２］と第２電流量Ｉｘ［２］との積に比例（Ｉｗｘ［２］∝Ｉｗ［２］×Ｉｘ［２］）する。

［００４６］

積和演算部２０３は、第３電流量Ｉｗｘ［１］と第３電流量Ｉｗｘ［２］との加算に応じた第４電流量Ｉｏを出力する機能を有する。例えば、第４電流量Ｉｏは、第３電流量Ｉｗｘ［１］と第３電流量Ｉｗｘ［２］との和に比例（Ｉｏ∝Ｉｗｘ［１］＋Ｉｗｘ［２］）する。

［００４７］

すなわち、第４電流量Ｉｏは、第１電流量（Ｉｗ［１］およびＩｗ［２］）と第２電流量（Ｉｘ［１］およびＩｘ［２］）との積和に比例（Ｉｏ∝Ｉｗ［１］×Ｉｘ［１］＋Ｉｗ［２］×Ｉｘ［２］）する。

［００４８］

よって、半導体装置２００は、入力された第２データ（Ｄｘ［１］およびＤｘ［２］）と、セル２０４［１］およびセル２０４［２］に記憶された第１データ（Ｄｗ［１］およびＤｗ［２］）と、の積和演算に応じた第４電流量Ｉｏを出力する機能を有する。

［００４９］

なお、ここでは、第２電流生成部２０２［１］および第２電流生成部２０２［２］によって、第２データ（Ｄｘ［１］およびＤｘ［２］）に応じた第２電流量（Ｉｘ［１］およびＩｘ［２］）を生成する構成例を示しているが、これに限らない。例えば、第２電流生成部を設けずに、第２電流量（Ｉｘ［１］およびＩｘ［２］）を第２データとして直接入力する構成としてもよい。

［００５０］

また、ここでは、第４電流量Ｉｏを直接出力する構成例を示しているが、これに限らない。例えば、第４電流量Ｉｏに対して、任意の関数に相当する演算を行って出力してもよい。当該関数として、例えば、シグモイド関数、ｔａｎｈ関数、ソフトマックス関数、ＲｅＬＵ関数、またはしきい値関数などの非線形関数が挙げられる。

［００５１］

半導体装置２００において、第１データＤｗ［１］がゼロの場合における第１電流量Ｉｗ［１］と、第１データＤｗ［２］がゼロの場合における第１電流量Ｉｗ［２］と、第２データＤｘ［１］がゼロの場合における第２電流量Ｉｘ［１］と、第２データＤｘ［２］がゼロの場合における第２電流量Ｉｘ［２］と、のそれぞれは、データゼロ電流量であるとする。

［００５２］

データゼロ電流量は、第１電流生成部２０１と、第２電流生成部２０２［１］と、第２電流生成部２０２［２］と、のそれぞれを構成するトランジスタのオフ電流（トランジスタがオフ状態であるときにソースとドレインの間に流れる電流）によって、僅かに流れる電流の値となる。そのため、当該データゼロ電流量は、例えば１×１０^{-11}Ａ以下であり、好ましくは１×１０^{-15}Ａ以下であり、より好ましくは１×１０^{-18}Ａ以下であるとよい。

［００５３］

第１電流生成部２０１と、第２電流生成部２０２［１］と、第２電流生成部２０２［２］と、のそれぞれは、例えば、電流を出力するかしないかを制御するための、スイッチとして機能するトランジスタを備える。すなわち、当該トランジスタをオフ状態にした際に流れるオフ電流の値が、データゼロ電流量となる。当該トランジスタとして、例えば、Ｓｉトランジスタ（チャネル形成領域にシリコンを含むトランジスタ）、またはＯＳトランジスタ（チャネル形成領域に酸化物半導体を含むトランジスタ）などが挙げられる。

［００５４］

ＯＳトランジスタは、チャネルが形成される酸化物半導体のバンドギャップが２ｅＶ以上であるため、オフ電流が極めて低いという特性を有する。室温下における、チャネル幅１μｍあたりのＯＳトランジスタのオフ電流値は、１ａＡ（１×１０^{-18}Ａ）以下、１ｚＡ（１×１０^{-21}Ａ）以下、または１ｙＡ（１×１０^{-24}Ａ）以下とすることができる。なお、Ｓｉトランジスタの場合、室温

下における、チャネル幅１μｍあたりのオフ電流値は、１ｆＡ（１×１０$^{-15}$Ａ）以上かつ１ｐＡ（１×１０$^{-12}$Ａ）以下である。したがって、ＯＳトランジスタのオフ電流は、Ｓｉトランジスタのオフ電流よりも１０桁程度低いともいえる。

［００５５］

また、ＯＳトランジスタは、高温環境下でもオフ電流がほとんど増加しない。具体的には、室温以上２００℃以下の環境温度下でもオフ電流がほとんど増加しない。また、ＯＳトランジスタは、高温環境下でもオン電流が低下しにくい。一方で、Ｓｉトランジスタは、高温環境下においてオン電流が低下する。すなわち、ＯＳトランジスタは、高温環境下において、Ｓｉトランジスタよりも、オン電流が高くなる。また、ＯＳトランジスタは、１２５℃以上かつ１５０℃以下といった環境温度下においても、オン電流とオフ電流の比が大きいため、良好なスイッチング動作を行うことができる。よって、ＯＳトランジスタを含む半導体装置は、高温環境下においても動作が安定し、高い信頼性が得られる。

［００５６］

ＯＳトランジスタの半導体層は、インジウムおよび亜鉛の少なくとも一を含むと好ましい。また、ＯＳトランジスタの半導体層は、例えば、インジウムと、Ｍ（Mは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム、およびアンチモン、から選ばれた一種または複数種）と、亜鉛と、を有することが好ましい。特に、Mは、ガリウム、アルミニウム、イットリウム、およびスズ、から選ばれた一種または複数種であることが好ましい。

［００５７］

特に、半導体層としては、インジウム（Ｉｎ）、ガリウム（Ｇａ）、および亜鉛（Ｚｎ）を含む酸化物（「ＩＧＺＯ」とも記す）を用いることが好ましい。または、半導体層としては、インジウム（Ｉｎ）、アルミニウム（Ａｌ）、および亜鉛（Ｚｎ）を含む酸化物（「ＩＡＺＯ」とも記す）を用いてもよい。または、半導体層としては、インジウム（Ｉｎ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、および亜鉛（Ｚｎ）を含む酸化物（「ＩＡＧＺＯ」とも記す）を用いてもよい。

［００５８］

半導体層がＩｎ－Ｍ－Ｚｎ酸化物の場合、当該Ｉｎ－Ｍ－Ｚｎ酸化物におけるＩｎの原子数比は、Mの原子数比以上であることが好ましい。このようなＩｎ－Ｍ－Ｚｎ酸化物の金属元素の原子数比としては、例えば、Ｉｎ：Ｍ：Ｚｎ＝１：１：１またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝２：１：３またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝３：１：２またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝４：２：３またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝５：１：３またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝５：１：６またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝５：１：７またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝５：１：８またはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝６：１：６またはその近傍の組成、または、Ｉｎ：Ｍ：Ｚｎ＝５：２：５またはその近傍の組成、などが挙げられる。また、当該Ｉｎ－Ｍ－Ｚｎ酸化物におけるＩｎの原子数比は、Mの原子数比より小さくてもよい場合がある。このようなＩｎ－Ｍ－Ｚｎ酸化物の金属元素の原子数比としては、例えば、Ｉｎ：Ｍ：Ｚｎ＝１：３：２またはその近傍の組成、または、Ｉｎ：Ｍ：Ｚｎ＝１：３：４またはその近傍の組成、などが挙げられる。なお、近傍の組成とは、所望の原子数比の、プラスマイ

ナス３０％の範囲を含む。

［００５９］

例えば、第１電流生成部２０１は、ＯＳトランジスタを用いることで、第１データＤｗ［１］がゼロの場合における第１電流量Ｉｗ［１］と、第１データＤｗ［２］がゼロの場合における第１電流量Ｉｗ［２］と、を極めて小さくすることができるため、消費電力の低減を図ることができる。また、第２電流生成部２０２［１］は、ＯＳトランジスタを用いることで、第２データＤｘ［１］がゼロの場合における第２電流量Ｉｘ［１］を極めて小さくすることができるため、消費電力の低減を図ることができる。また、第２電流生成部２０２［２］は、ＯＳトランジスタを用いることで、第２データＤｘ［２］がゼロの場合における第２電流量Ｉｘ［２］を極めて小さくすることができるため、消費電力の低減を図ることができる。

［００６０］

第１電流生成部２０１と、第２電流生成部２０２［１］と、第２電流生成部２０２［２］と、のそれぞれは、例えば、複数の電流源を備え、電流源ごとに電流を出力するかしないかを制御することで、データに応じた電流量を生成することができる。その際、一つの電流源が出力する電流量が、当該データの最下位ビット（ＬＳＢ：Ｌｅａｓｔ　Ｓｉｇｎｉｆｉｃａｎｔ　Ｂｉｔ）に相当する電流量になる。よって、一つの電流源が出力する電流量が小さいほど、消費電力を低減させることができる。そのため、一つの電流源が出力する電流量は、例えば1.0×10^{-8}Ａ以下であり、好ましくは1.0×10^{-12}Ａ以下であり、より好ましくは1.0×10^{-15}Ａ以下であるとよい。

［００６１］

なお、上述したデータゼロ電流量は、例えば、上記の最下位ビットに相当する電流量に対して、２桁低い電流量であり、好ましくは３桁低い電流量であり、より好ましくは４桁低い電流量であってもよい。

［００６２］

第１電流生成部２０１と、第２電流生成部２０２［１］と、第２電流生成部２０２［２］と、のそれぞれは、例えば、データに応じた電流量を生成するために、電流源として機能するトランジスタを備える。当該トランジスタは、例えば、サブスレッショルド領域（トランジスタのゲート－ソース間電圧がしきい値電圧よりも低く、ドレイン電流がゲート－ソース間電圧に対して指数関数的に変化する領域）で動作するとよい。すなわち、当該トランジスタは、しきい値電圧が適切な範囲内である場合、サブスレッショルド領域で動作するときの広い電流範囲の電流を流すことができる。当該トランジスタとして、例えば、Ｓｉトランジスタ、またはＯＳトランジスタなどが挙げられる。

［００６３］

記憶部２０５［１］および記憶部２０５［２］のそれぞれは、例えば、一つのトランジスタと一つの容量とで構成することができる。当該トランジスタとしてＯＳトランジスタを用いることで、データ（電流量に相当する電圧値）を長期間記憶することができる。

［００６４］

なお、半導体装置２００が備える各構成要素の具体的な構成例については、後述する実施の形態２および実施の形態３の説明を参酌することができる。例えば、第１電流生成部２０１は、後述する回路ＷＣＳに相当する。また、第２電流生成部２０２［１］および第２電流生成部２０２［２］は、後述する回路ＸＣＳに相当する。また、積和演算部２０３は、後述するセルアレイＣＡに相当する。

［００６５］

なお、ここでは、説明を簡単にするために、二つの第１データと、二つの第２データと、の積和演算を行う構成例について説明したが、本発明の一態様は、これに限らない。本発明の一態様は、三つ以上の第１データと、三つ以上の第２データと、の積和演算を行う構成であってもよい。

［００６６］

すなわち、本発明の一態様の半導体装置２００は、第１電流生成部２０１と、第２電流生成部２０２［１］乃至第２電流生成部２０２［Ｎ］（ここでのＮは２以上の整数である）と、積和演算部２０３と、を備える構成であってもよい。

［００６７］

当該半導体装置２００において、第１電流生成部２０１は、第１データＤｗ［１］乃至第１データＤｗ［Ｎ］のそれぞれに応じた、第１電流量Ｉｗ［１］乃至第１電流量Ｉｗ［Ｎ］のそれぞれを出力する機能を有する。また、第２電流生成部２０２［１］乃至第２電流生成部２０２［Ｎ］のそれぞれは、第２データＤｘ［１］乃至第２データＤｘ［Ｎ］のそれぞれに応じた、第２電流量Ｉｘ［１］乃至第２電流量Ｉｘ［Ｎ］のそれぞれを出力する機能を有する。また、積和演算部２０３は、第１電流量（Ｉｗ［１］乃至Ｉｗ［Ｎ］）と第２電流量（Ｉｘ［１］乃至Ｉｘ［Ｎ］）との積和（Ｉｗ［１］×Ｉｘ［１］乃至Ｉｗ［Ｎ］×Ｉｘ［Ｎ］の総和）に応じた第４電流量Ｉｏを出力する機能を有する。

［００６８］

よって、当該半導体装置２００は、入力された第２データ（Ｄｘ［１］乃至Ｄｘ［Ｎ］）と、積和演算部２０３が備えるセル２０４［１］乃至セル２０４［Ｎ］に記憶された第１データ（Ｄｗ［１］乃至Ｄｗ［Ｎ］）と、の積和演算に応じた第４電流量Ｉｏを出力する機能を有する。

［００６９］

＜演算処理装置の構成例＞

図２Ａは、本発明の一態様に係る演算処理装置３００の構成例を説明する模式図である。

［００７０］

図２Ａに示す演算処理装置３００は、半導体装置３０１と、半導体装置３０２［１］と、半導体装置３０２［２］と、を備える。

［００７１］

半導体装置３０１と、半導体装置３０２［１］と、半導体装置３０２［２］と、のそれぞれに、上述した半導体装置２００を適用することができる。

［００７２］

半導体装置３０２［１］の出力は、半導体装置３０１に入力される（図中において実線矢印で示す）。例えば、半導体装置３０２［１］における第４電流量Ｉｏに相当するデータ（第４電流量Ｉｏに対して、任意の関数に相当する演算を行ったデータ）が、半導体装置３０１における第２データＤｘ［１］として入力される。

［００７３］

半導体装置３０２［２］の出力は、半導体装置３０１に入力される（図中において実線矢印で示す）。例えば、半導体装置３０２［２］における第４電流量Ｉｏに相当するデータ（第４電流量Ｉｏに対して、任意の関数に相当する演算を行ったデータ）が、半導体装置３０１における第２データＤｘ［２］として入力される。

［００７４］

半導体装置３０１は、入力された第２データ（Ｄｘ［１］およびＤｘ［２］）と、半導体装置３０１に記憶された第１データ（Ｄｗ［１］およびＤｗ［２］）と、の積和演算に応じたデータを出力する。例えば、当該積和演算に対して、任意の関数に相当する演算を行った、ｆ（Ｄｗ［１］×Ｄｘ［１］＋Ｄｗ［２］×Ｄｘ［２］）を出力する。

［００７５］

なお、演算処理装置３００は、積層構造とすることができる。例えば、半導体装置３０１が設けられた層と、半導体装置３０２［１］および半導体装置３０２［２］が設けられた層と、が積層された構成とすることができる。なお、積層構造の構成例については、後述する実施の形態５の説明を参酌することができる。

［００７６］

なお、ここでは、説明を簡単にするために、半導体装置３０２［１］および半導体装置３０２［２］のそれぞれの出力が、半導体装置３０１に入力される構成例について示したが、本発明の一態様は、これに限らない。本発明の一態様の演算処理装置３００は、半導体装置３０２［１］乃至半導体装置３０２［Ｎ］（ここでのＮは２以上の整数である）のそれぞれの出力が、半導体装置３０１に入力される構成であってもよい。すなわち、当該演算処理装置３００は、半導体装置３０１と、半導体装置３０２［１］乃至半導体装置３０２［Ｎ］と、を備える構成であってもよい。

［００７７］

当該演算処理装置３００において、半導体装置３０１は、入力された第２データ（Ｄｘ［１］乃至Ｄｘ［Ｎ］）と、半導体装置３０１に記憶された第１データ（Ｄｗ［１］乃至Ｄｗ［Ｎ］）と、の積和演算に応じたデータを出力する。例えば、当該積和演算に対して、任意の関数に相当する演算を行った、ｆ（Ｄｗ［１］×Ｄｘ［１］乃至Ｄｗ［Ｎ］×Ｄｘ［Ｎ］の総和）を出力する。

［００７８］

＜ニューラルネットワークへの適用例＞

本発明の一態様の演算処理装置３００は、ニューラルネットワークの一部を構成することができる。なお、ニューラルネットワークの構成例については、後述する実施の形態４の説明を参酌することができる。

［００７９］

演算処理装置３００によって構成されたニューラルネットワークは、プルーニングによって、半導体装置３０１における第１データＤｗ［１］および第１データＤｗ［２］の少なくとも一をゼロにする機能を有する。

［００８０］

つまり、プルーニングされたニューラルネットワークの一部を構成する演算処理装置３００が備える半導体装置３０１において、刈り取ったネットに対応する第１データＤｗ［１］および第１データＤｗ［２］の少なくとも一は、ゼロである。

［００８１］

図２Ｂは、演算処理装置３００によって構成されたニューラルネットワークにおいて、プルーニングによって、例えば、半導体装置３０１と半導体装置３０２［１］との間のネットを刈り取った場合を示す模式図である。

［００８２］

図２Ｂに示すように、半導体装置３０１と半導体装置３０２［１］との間のネットを刈り取った

（図中において点線矢印で示す）場合、半導体装置３０１における第１データＤｗ［１］をゼロ（Ｄｗ［１］＝“０”）にすればよい。すると、半導体装置３０１における積和演算において、Ｄｗ［１］×Ｄｘ［１］の項がゼロになるため、半導体装置３０１は、例えば、ｆ（Ｄｗ［２］×Ｄｘ［２］）を出力する。

［００８３］

すなわち、当該ニューラルネットワークにおいて、プルーニングによって刈り取ったネットに対応する第１データをゼロにすることで、当該第１データに対応する第１電流量がデータゼロ電流量になる。そのため、当該第１データに対応する項の乗算がゼロであり、かつ、当該乗算に伴う消費電力をほぼゼロにすることができる。つまり、刈り取ったネットを回路的に削除することなく、または、データがゼロであることを判定する回路を別に設けることなく、ゼロの乗算をほぼゼロの消費電力で行うことができる。よって、演算処理装置３００によって構成されたニューラルネットワークの消費電力を低減させることができる。

［００８４］

なお、本発明の一態様の演算処理装置３００が、半導体装置３０２［１］乃至半導体装置３０２［Ｎ］を備える構成である場合、当該演算処理装置３００によって構成されたニューラルネットワークは、プルーニングによって、半導体装置３０１における第１データＤｗ［１］乃至第１データＤｗ［Ｎ］の少なくとも一をゼロにする機能を有する。

［００８５］

つまり、プルーニングされたニューラルネットワークの一部を構成する当該演算処理装置３００が備える半導体装置３０１において、刈り取ったネットに対応する第１データＤｗ［１］乃至第１データＤｗ［Ｎ］の少なくとも一は、ゼロである。

［００８６］

図３Ａ乃至図３Ｃは、ニューラルネットワークのモデル軽量化の一例を説明する模式図である。図３Ａ乃至図３Ｃを用いて、軽量化されたニューラルネットワークのモデルを本発明の一態様の演算処理装置３００に適用する一例について説明する。

［００８７］

図３Ａ乃至図３Ｃに示すように、ニューラルネットワークは、複数の演算処理装置３００（図中では代表して二つに符号を付している）によって構成されている。図３Ａ乃至図３Ｃにおいて、重みデータの極性（正または負）および大きさを、ネットの線種（実線または点線）および太さで表している。

［００８８］

まず、図３Ａに例示する一般的なＤＮＮ（Ｄｅｅｐ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ）に対して、低ビット化を実施し、重みデータのビット数を低減する。すると、図３Ｂに例示する低ビット化を実施したニューラルネットワーク（図中において、低ビット化したネットを細くして表している）が得られる。低ビット化によって、ゼロとなる重みデータの割合が増える。なお、例えば、低ビット化によって、重みデータを１ビットにしてもよい。重みデータを１ビットにすることで、例えば、乗算回路を加算回路に置き換えることができ、回路規模を小さくすることができる。

［００８９］

次に、図３Ｂに例示する低ビット化を実施したニューラルネットワークに対して、プルーニングを実施し、ゼロとなるネットを刈り取る。すると、図３Ｃに例示する低ビット化およびプルーニング

を実施したニューラルネットワーク（図中において、刈り取ったネットを削除して表している）が得られる。上記の低ビット化によって、ゼロとなる重みデータの割合が増えるため、ゼロとなるネット、すなわち、刈り取ることのできるネットの数も増える。

［００９０］

図３Ｃに例示する低ビット化およびプルーニングを実施したニューラルネットワークは、複数の演算処理装置３００のそれぞれにおいて、適宜第１データをゼロとすることによって構成することができる。当該ニューラルネットワークにおいて、例えば、重みデータがゼロの場合、当該演算処理装置３００が備える半導体装置３０１において、第１データがゼロとなり、第１データに応じた第１電流量もデータゼロ電流量となる。また、例えば、ネットデータがゼロの場合、当該演算処理装置３００が備える半導体装置３０１において、第２データがゼロとなり、第２データに応じた第２電流量もデータゼロ電流量となる。

［００９１］

よって、例えば、ネットデータがゼロの場合、当該演算処理装置３００が備える半導体装置３０１において、第２電流生成部における消費電力をほぼゼロにすることができる。また、例えば、重みデータおよびネットデータの少なくとも一がゼロの場合、当該演算処理装置３００が備える半導体装置３０１において、第１データと第２データとの乗算を行うセルにおける消費電力をほぼゼロにすることができる。

［００９２］

つまり、演算処理装置３００によって構成されたニューラルネットワークは、プルーニングによって刈り取ったネットを回路的に削除することなく、または、ゼロスキップによってデータがゼロであることを判定する回路を別に設けることなく、プルーニングおよびゼロスキップと同様の低消費電力化の効果を得ることができる。

［００９３］

なお、低ビット化およびプルーニングによって、ニューラルネットワークの推論精度が低下する場合がある。そこで、推論精度の低下分を取り戻すため、例えば、演算処理装置３００において、半導体装置３０１と、半導体装置３０２［１］乃至半導体装置３０２［Ｎ］と、のそれぞれの出力に対して、任意の関数（例えば、シグモイド関数、ｔａｎｈ関数、ソフトマックス関数、ＲｅＬＵ関数、またはしきい値関数など）に相当する演算を行えばよい。例えば、非特許文献１で開示されている非線形関数の最適化を行ってもよい。

［００９４］

なお、演算処理装置３００が備える、半導体装置３０１と、半導体装置３０２［１］乃至半導体装置３０２［Ｎ］と、のそれぞれは、後述する実施の形態２で説明するように、多ビットの演算が可能である。そのため、演算処理装置３００によって構成されたニューラルネットワークは、上記の非線形関数の最適化を行うことなく、推論精度を高めることが可能となる。例えば、プルーニングを実施したニューラルネットワークに対して、重みデータを８ビットとして再学習することで推論精度を高める、といったことなどが可能となる。

［００９５］

なお、演算処理装置３００の消費電力は、半導体装置３０１と、半導体装置３０２［１］乃至半導体装置３０２［Ｎ］と、のそれぞれにおいて、第１データに応じた第１電流量と、第２データに応じた第２電流量と、の乗算に比例する。そのため、第１データおよび第２データのそれぞれがゼロ

に近いほど、消費電力は低くなる。よって、演算処理装置３００によって構成されたニューラルネットワークは、例えば、重み減衰によって、重みデータをゼロ付近に多く分布させることで、消費電力の低減を図ることができる。

［００９６］

図４は、本発明の一態様に係る演算処理装置４００の構成例を説明する模式図である。

［００９７］

図４に示す演算処理装置４００は、複数の演算処理装置３００（図中では代表して一つに符号を付している）によって構成されたニューラルネットワーク４０１と、制御部４０２と、を備える。

［００９８］

制御部４０２は、プルーニングを実施したニューラルネットワーク４０１のモデルを読み込み、演算処理装置３００が備える半導体装置３０１に対して、刈り取ったネットに対応する重みデータがゼロとなるように、第１データＤｗ［１］乃至第１データＤｗ［Ｎ］を入力する機能を有する。すなわち、制御部４０２は、プルーニングによって、半導体装置３０１における第１データＤｗ［１］乃至第１データＤｗ［Ｎ］の少なくとも一をゼロにする機能を有する。

［００９９］

図４では、一例として、プルーニングによって、半導体装置３０１と半導体装置３０２［２］との間のネットを刈り取った場合（図中において、当該ネットを削除して表している）を示している。この場合、制御部４０２は、演算処理装置３００が備える半導体装置３０１に対して、第１データＤｗ［２］をゼロ（Ｄｗ［２］＝“０”）にして、入力すればよい。

［０１００］

なお、制御部４０２は、ニューラルネットワーク４０１に対して、例えば、学習、低ビット化、プルーニング、ゼロスキップ、関数の最適化、重み減衰、または再学習などを行う機能を有してもよい。

［０１０１］

演算処理装置４００は、制御部４０２によって、第１データＤｗ［１］乃至第１データＤｗ［Ｎ］の少なくとも一をゼロにすることで、プルーニングによって刈り取ったネットを回路的に削除することなく、または、ゼロスキップによってデータがゼロであることを判定する回路を別に設けることなく、プルーニングおよびゼロスキップと同様の低消費電力化の効果を得ることができる。

［０１０２］

なお、本発明の一態様に係る半導体装置および演算処理装置は、本実施の形態で説明した半導体装置および演算処理装置に限定されない。本実施の形態で例示した構成例、動作例、およびそれらに対応する図面等は、少なくともその一部を、本明細書等に記載する他の構成例、他の動作例、他の図面、および他の実施の形態等と適宜組み合わせることができる。

［０１０３］

（実施の形態２）

本実施の形態では、本発明の一態様の半導体装置である、積和演算、及び関数系の演算が可能な回路の一例について説明する。

［０１０４］

＜演算回路の構成例１＞

図５は、正、又は“０”の第１データと、正、又は“０”の第２データと、の積和演算を行う演算

回路の構成例を示している。図５に示す演算回路ＭＡＣ１は、各セルに保持した電位に応じた第１データと、入力された第２データと、の積和演算を行い、かつ当該積和演算の結果を用いて活性化関数の演算を行う回路である。なお、第１データ、及び第２データは、一例としては、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

［０１０５］

演算回路ＭＡＣ１は、回路ＷＣＳと、回路ＸＣＳと、回路ＷＳＤと、回路ＳＷＳ１と、回路ＳＷＳ２と、セルアレイＣＡと、回路ＩＴＳと、を有する。

［０１０６］

セルアレイＣＡは、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］（ここでのｍは１以上の整数であり、また、ここでのｎは１以上の整数である。）と、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］と、を有する。セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれは、第１データに応じた電流量に相当する電位を生成し保持する機能を有し、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］は、保持した第１データとの積和演算を行うために必要になる第２データに応じた電流量に相当する電位を生成し保持する機能を有する。また、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれは、第２データを与えることで、第１データに応じた電流量と第２データに応じた電流量との積に応じた電流量を流す機能を有する。

［０１０７］

なお、本明細書等において、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］を、「演算セル」と呼称する場合がある。また、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］を、「駆動セル」と呼称する場合がある。

［０１０８］

なお、図５のセルアレイＣＡは、セルが行方向にｎ＋１個、列方向にｍ個、マトリクス状に配置されているが、セルアレイＣＡは、セルが行方向に２個以上、列方向に１個以上、マトリクス状に配置されている構成であればよい。

［０１０９］

セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれは、一例として、トランジスタＦ１と、トランジスタＦ２と、容量Ｃ５と、を有し、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれは、一例として、トランジスタＦ１ｍと、トランジスタＦ２ｍと、容量Ｃ５ｍと、を有する。

［０１１０］

特に、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに含まれているトランジスタＦ１のサイズ（例えば、チャネル長及びチャネル幅）、及び構成などは互いに等しいことが好ましく、また、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに含まれているトランジスタＦ２のサイズは互いに等しいことが好ましい。また、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに含まれているトランジスタＦ１ｍのサイズは互いに等しいことが好ましく、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに含まれているトランジスタＦ２ｍのサイズは互いに等しいことが好ましい。また、トランジスタＦ１とトランジスタＦ１ｍのサイズは互いに等しいことが好ましく、トランジスタＦ２とトランジスタＦ２ｍのサイズは互いに等しいことが好ましい。

［０１１１］

トランジスタのサイズを互いに等しくすることによって、それぞれのトランジスタの電気特性をほぼ等しくすることができる。そのため、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに

含まれているトランジスタＦ１のサイズを等しくし、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに含まれているトランジスタＦ２のサイズを等しくすることによって、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれは、互いに同一の条件である場合において、ほぼ同じ動作を行うことができる。ここでの同一の条件とは、例えば、トランジスタＦ１のソース、ドレイン、及びゲートなどへの入力電位、トランジスタＦ２のソース、ドレイン、及びゲートなどへの入力電位、並びに、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれに入力されている電圧、などを指す。また、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに含まれているトランジスタＦ１ｍのサイズを等しくし、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに含まれているトランジスタＦ２ｍのサイズを等しくすることによって、例えば、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］は、動作、及び当該動作の結果をほぼ同一にすることができる。互いに同一の条件である場合において、ほぼ同じ動作を行うことができる。ここでの同一の条件とは、例えば、トランジスタＦ１ｍのソース、ドレイン、及びゲートなどへの入力電位、トランジスタＦ２ｍのソース、ドレイン、及びゲートなどへの入力電位、並びに、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに入力されている電圧、などを指す。

［０１１２］

なお、トランジスタＦ１及びトランジスタＦ１ｍは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧のそれぞれは、線形領域で動作する電圧範囲である場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタＦ１及びトランジスタＦ１ｍは、オン状態のときは飽和領域で動作してもよく、また、線形領域で動作する場合と飽和領域で動作する場合とが混在してもよい。

［０１１３］

また、トランジスタＦ２及びトランジスタＦ２ｍは、特に断りの無い場合は、サブスレッショルド領域で動作する場合（つまり、トランジスタＦ２又はトランジスタＦ２ｍにおいて、ゲートーソース間電圧がしきい値電圧よりも低い場合、より好ましくは、ドレイン電流がゲートーソース間電圧に対して指数関数的に増大する場合）を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧のそれぞれは、サブスレッショルド領域で動作する電圧範囲である場合を含むものとする。このため、トランジスタＦ２及びトランジスタＦ２ｍは、ソースードレイン間にオフ電流が流れるように動作する場合を含む。

［０１１４］

また、トランジスタＦ１及びトランジスタＦ１ｍは、一例として、ＯＳトランジスタであることが好ましい。加えて、トランジスタＦ１及びトランジスタＦ１ｍのチャネル形成領域は、インジウム、ガリウム、及び亜鉛の少なくとも一を含む酸化物であることがより好ましい。また、当該酸化物の代わりとしては、インジウム、元素Ｍ（元素Ｍとしては、例えば、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム、及びアンチモンから選ばれた、一種又は複数種などが挙げられる。）、及び亜鉛の少なくとも一を含む酸化物を用いてもよい。

［０１１５］

トランジスタＦ１及びトランジスタＦ１ｍとして、ＯＳトランジスタを用いることにより、トラン

ジスタＦ１及びトランジスタＦ１ｍのオフ電流を抑えることができるため、演算回路の消費電力を低減することができる。具体的には、トランジスタＦ１及びトランジスタＦ１ｍが非導通状態である場合において、保持ノードから配線ＷＣＬ、又は配線ＸＣＬへリークする電流を非常に小さくすることができるため、保持ノードの電位のリフレッシュ動作を少なくすることができる。また、リフレッシュ動作を少なくすることによって、演算回路の消費電力を低減することができる。また、保持ノードから配線ＷＣＬ、又は配線ＸＣＬへリークする電流を非常に小さくすることによって、セルは保持ノードの電位を長い時間保持できるため、演算回路の演算精度を高くすることができる。

［０１１６］

また、トランジスタＦ２及びトランジスタＦ２ｍに対しても、ＯＳトランジスタを用いることにより、サブスレッショルド領域の広い電流範囲で動作させることができるため、消費電力を低減することができる。また、トランジスタＦ２及びトランジスタＦ２ｍに対しても、ＯＳトランジスタを用いることで、トランジスタＦ１及びトランジスタＦ１ｍと同時に作製することができるため、演算回路の作製工程を短縮することができる場合がある。また、トランジスタＦ２及びトランジスタＦ２ｍは、ＯＳトランジスタ以外としては、チャネル形成領域にシリコンを含むトランジスタ（以下、Ｓｉトランジスタと呼称する）とすることができる。シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンと呼称する場合がある）、微結晶シリコン、多結晶シリコン、又は単結晶シリコンなどを用いることができる。

［０１１７］

ところで、例えば、半導体装置などを、チップなどに高集積化した場合、当該チップには、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の変化、又は動作周波数の低下が起こることがある。ＯＳトランジスタは、Ｓｉトランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また動作周波数の低下も起こりにくい。さらに、ＯＳトランジスタは、温度が高くなっても、ドレイン電流がゲート－ソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、ＯＳトランジスタを用いることにより、高い温度環境下でも、例えば演算及び処理などを実施しやすい。そのため、駆動による発熱に強い半導体装置を構成する場合、トランジスタとしては、ＯＳトランジスタを適用するのが好ましい。

［０１１８］

セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］のそれぞれにおいて、トランジスタＦ１の第１端子は、トランジスタＦ２のゲートと電気的に接続されている。トランジスタＦ２の第１端子は、配線ＶＥと電気的に接続されている。容量Ｃ５の第１端子は、トランジスタＦ２のゲートと電気的に接続されている。

［０１１９］

また、セルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれにおいて、トランジスタＦ１ｍの第１端子は、トランジスタＦ２ｍのゲートと電気的に接続されている。トランジスタＦ２ｍの第１端子は、配線ＶＥと電気的に接続されている。容量Ｃ５ｍの第１端子は、トランジスタＦ２ｍのゲートと電気的に接続されている。

［０１２０］

図５において、トランジスタＦ１、トランジスタＦ２、トランジスタＦ１ｍ、及びトランジスタＦ２ｍには、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、

当該バックゲートの電気的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を大きくする（オン抵抗を小さくする）ために、ゲートとバックゲートとを電気的に接続してもよい。つまり、例えば、トランジスタＦ１のゲートとバックゲートとを電気的に接続してもよいし、また、トランジスタＦ１ｍのゲートとバックゲートとを電気的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるために、又は、そのトランジスタのオフ電流を小さくするために、そのトランジスタのバックゲートと、外部回路などと、を電気的に接続するための配線を設けて、当該外部回路によってそのトランジスタのバックゲートに電位を与える構成としてもよい。

［０１２１］

また、図５に図示しているトランジスタＦ１、及びトランジスタＦ２は、バックゲートを有しているが、本発明の一態様の半導体装置は、これに限定されない。例えば、図５に図示しているトランジスタＦ１、及びトランジスタＦ２は、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。

［０１２２］

また、図５に図示しているトランジスタＦ１、及びトランジスタＦ２は、ｎチャネル型トランジスタとしているが、本発明の一態様の半導体装置は、これに限定されない。例えば、トランジスタＦ１、及びトランジスタＦ２の、一部又は全部をｐチャネル型トランジスタに置き換えてもよい。なお、トランジスタＦ１、及びトランジスタＦ２の、一部又は全部をｐチャネル型トランジスタに置き換える場合、トランジスタＦ１、及びトランジスタＦ２が所望の動作をするように、必要に応じて本明細書等に記載している、例えば、配線が与える電位、ノードＮＮの電位、及びノードＮＮｒｅｆの電位などを変更してもよい。

［０１２３］

なお、上記のトランジスタの構造又は極性に関する変更例は、トランジスタＦ１、及びトランジスタＦ２だけに限定されない。例えば、トランジスタＦ１ｍ、トランジスタＦ２ｍ、後述するトランジスタＦ３［１］乃至トランジスタＦ３［ｎ］、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］、更に、本明細書等の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様に構造又は極性を変更してもよい。

［０１２４］

配線ＶＥは、セルＩＭ［１，１］、セルＩＭ［ｍ，１］、セルＩＭ［１，ｎ］、及びセルＩＭ［ｍ，ｎ］のそれぞれのトランジスタＦ２の第１端子－第２端子間に電流を流すための配線であって、また、セルＩＭｒｅｆ［１］、及びセルＩＭｒｅｆ［ｍ］のそれぞれのトランジスタＦ２ｍの第１端子－第２端子間に電流を流すための配線として機能する。一例としては、配線ＶＥは、定電位を供給する配線として機能する。当該定電位としては、例えば、低レベル電位、又は接地電位などとすることができる。

［０１２５］

セルＩＭ［１，１］において、トランジスタＦ１の第２端子は、配線ＷＣＬ［１］と電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［１］と電気的に接続されている。トランジスタＦ２の第２端子は、配線ＷＣＬ［１］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ

［１］と電気的に接続されている。なお、図５では、セルＩＭ［１，１］において、トランジスタＦ１の第１端子と、トランジスタＦ２のゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮ［１，１］としている。

［０１２６］

セルＩＭ［ｍ，１］において、トランジスタＦ１の第２端子は、配線ＷＣＬ［１］と電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［ｍ］と電気的に接続されている。トランジスタＦ２の第２端子は、配線ＷＣＬ［１］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［ｍ］と電気的に接続されている。なお、図５では、セルＩＭ［ｍ，１］において、トランジスタＦ１の第１端子と、トランジスタＦ２のゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮ［ｍ，１］としている。

［０１２７］

セルＩＭ［１，ｎ］において、トランジスタＦ１の第２端子は、配線ＷＣＬ［ｎ］と電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［１］と電気的に接続されている。トランジスタＦ２の第２端子は、配線ＷＣＬ［ｎ］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［１］と電気的に接続されている。なお、図５では、セルＩＭ［１，ｎ］において、トランジスタＦ１の第１端子と、トランジスタＦ２のゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮ［１，ｎ］としている。

［０１２８］

セルＩＭ［ｍ，ｎ］において、トランジスタＦ１の第２端子は、配線ＷＣＬ［ｎ］と電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［ｍ］と電気的に接続されている。トランジスタＦ２の第２端子は、配線ＷＣＬ［ｎ］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［ｍ］と電気的に接続されている。なお、図５では、セルＩＭ［ｍ，ｎ］において、トランジスタＦ１の第１端子と、トランジスタＦ２のゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮ［ｍ，ｎ］としている。

［０１２９］

セルＩＭｒｅｆ［１］において、トランジスタＦ１ｍの第２端子は、配線ＸＣＬ［１］と電気的に接続され、トランジスタＦ１ｍのゲートは、配線ＷＳＬ［１］と電気的に接続されている。トランジスタＦ２ｍの第２端子は、配線ＸＣＬ［１］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［１］と電気的に接続されている。なお、図５では、セルＩＭｒｅｆ［１］において、トランジスタＦ１ｍの第１端子と、トランジスタＦ２ｍのゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮｒｅｆ［１］としている。

［０１３０］

セルＩＭｒｅｆ［ｍ］において、トランジスタＦ１ｍの第２端子は、配線ＸＣＬ［ｍ］と電気的に接続され、トランジスタＦ１ｍのゲートは、配線ＷＳＬ［ｍ］と電気的に接続されている。トランジスタＦ２ｍの第２端子は、配線ＸＣＬ［ｍ］と電気的に接続され、容量Ｃ５の第２端子は、配線ＸＣＬ［ｍ］と電気的に接続されている。なお、図５では、セルＩＭｒｅｆ［ｍ］において、トランジスタＦ１ｍの第１端子と、トランジスタＦ２ｍのゲートと、容量Ｃ５の第１端子と、の接続箇所をノードＮＮｒｅｆ［ｍ］としている。

［０１３１］

なお、ノードＮＮ［１，１］乃至ノードＮＮ［ｍ，ｎ］、及びノードＮＮｒｅｆ［１］乃至ノード

ＮＮｒｅｆ［m］は、それぞれのセルの保持ノードとして機能する。

［０１３２］

セルＩＭ［１，１］乃至セルＩＭ［m，ｎ］において、例えば、トランジスタＦ１がオン状態となっているとき、トランジスタＦ２はダイオード接続の構成となる。配線ＶＥが与える定電位を接地電位（ＧＮＤ）として、トランジスタＦ１がオン状態で、かつ配線ＷＣＬからトランジスタＦ２の第２端子に電流量Ｉの電流が流れた時、トランジスタＦ２のゲート（ノードＮＮ）の電位は、電流量Ｉに応じて決まる。なお、トランジスタＦ２の第２端子の電位は、トランジスタＦ１がオン状態であるため、理想的には、トランジスタＦ２のゲート（ノードＮＮ）と等しくなる。ここで、トランジスタＦ１をオフ状態にすることによって、トランジスタＦ２のゲート（ノードＮＮ）の電位は保持される。これにより、トランジスタＦ２は、トランジスタＦ２の第１端子の接地電位と、トランジスタＦ２のゲート（ノードＮＮ）の電位に応じた電流量Ｉの電流をトランジスタＦ２のソースードレイン間に流すことができる。本明細書等では、このような動作を例えば「セルＩＭのトランジスタＦ２のソースードレイン間に流れる電流を電流量Ｉに設定する（プログラミングする）」などと呼称する。

［０１３３］

回路ＳＷＳ１は、一例として、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］を有する。トランジスタＦ３［１］の第１端子は、配線ＷＣＬ［１］に電気的に接続され、トランジスタＦ３［１］の第２端子は、回路ＷＣＳに電気的に接続され、トランジスタＦ３［１］のゲートは、配線ＳＷＬ１に電気的に接続されている。トランジスタＦ３［ｎ］の第１端子は、配線ＷＣＬ［ｎ］に電気的に接続され、トランジスタＦ３［ｎ］の第２端子は、回路ＷＣＳに電気的に接続され、トランジスタＦ３［ｎ］のゲートは、配線ＳＷＬ１に電気的に接続されている。

［０１３４］

トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれとしては、例えば、トランジスタＦ１、又はトランジスタＦ２に適用できるトランジスタを用いることができる。特に、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれとしては、ＯＳトランジスタを用いることが好ましい。

［０１３５］

回路ＳＷＳ１は、回路ＷＣＳと、配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］のそれぞれと、の間を、導通状態又は非導通状態にする回路として機能する。

［０１３６］

回路ＳＷＳ２は、一例として、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］を有する。トランジスタＦ４［１］の第１端子は、配線ＷＣＬ［１］に電気的に接続され、トランジスタＦ４［１］の第２端子は、変換回路ＩＴＲＺ［１］の入力端子に電気的に接続され、トランジスタＦ４［１］のゲートは、配線ＳＷＬ２に電気的に接続されている。トランジスタＦ４［ｎ］の第１端子は、配線ＷＣＬ［ｎ］に電気的に接続され、トランジスタＦ４［ｎ］の第２端子は、変換回路ＩＴＲＺ［ｎ］の入力端子に電気的に接続され、トランジスタＦ４［ｎ］のゲートは、配線ＳＷＬ２に電気的に接続されている。

［０１３７］

トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれとしては、例えば、トランジスタＦ１、又はトランジスタＦ２に適用できるトランジスタを用いることができる。特に、トランジス

タＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれとしては、ＯＳトランジスタを用いることが好ましい。

［０１３８］

回路ＳＷＳ２は、配線ＷＣＬ［１］と変換回路ＩＴＲＺ［１］との間、及び配線ＷＣＬ［ｎ］と変換回路ＩＴＲＺ［ｎ］との間を、導通状態又は非導通状態にする機能を有する。

［０１３９］

回路ＷＣＳは、セルアレイＣＡが有するそれぞれのセルに格納するためのデータを供給する機能を有する。

［０１４０］

回路ＸＣＳは、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］に電気的に接続されている。回路ＸＣＳは、セルアレイＣＡが有するセルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］のそれぞれに対して、後述する参照データに応じた電流量（参照電流ともいう）、又は第２データに応じた電流量を流す機能を有する。

［０１４１］

回路ＷＳＤは、配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］に電気的に接続されている。回路ＷＳＤは、セルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］に第１データを書き込む際に、配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］に所定の信号を供給することによって、第１データの書き込み先となるセルアレイＣＡの行を選択する機能を有する。つまり、配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］は、書き込みワード線として機能する。

［０１４２］

また、回路ＷＳＤは、一例として、配線ＳＷＬ１と、配線ＳＷＬ２と、に電気的に接続されている。回路ＷＳＤは、配線ＳＷＬ１に所定の信号を供給することによって、回路ＷＣＳとセルアレイＣＡとの間を導通状態又は非導通状態にする機能と、配線ＳＷＬ２に所定の信号を供給することによって、変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］とセルアレイＣＡとの間を導通状態又は非導通状態にする機能と、を有する。

［０１４３］

回路ＩＴＳは、一例として、変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］を有する。

［０１４４］

変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］のそれぞれは、一例として、入力端子と、出力端子と、を有する。例えば、変換回路ＩＴＲＺ［１］の出力端子は、配線ＯＬ［１］に電気的に接続され、変換回路ＩＴＲＺ［ｎ］の出力端子は、配線ＯＬ［ｎ］に電気的に接続されている。

［０１４５］

変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］のそれぞれは、入力端子に電流が入力されることで、当該電流の量に応じた電圧に変換して、出力端子から当該電圧を出力する機能を有する。当該電圧としては、例えば、アナログ電圧、又はデジタル電圧などとすることができる。また、変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］のそれぞれは、関数系の演算回路を有してもよい。この場合、例えば、変換された電圧を用いて、当該演算回路によって関数の演算を行って、演算の結果を配線ＯＬ［１］乃至配線ＯＬ［ｎ］に出力してもよい。

［０１４６］

特に、階層型のニューラルネットワークの演算を行う場合、上述した関数としては、例えば、シグ

モイド関数、ｔａｎｈ関数、ソフトマックス関数、ＲｅＬＵ関数、又はしきい値関数を用いることができる。

［０１４７］

＜＜回路ＷＣＳ、回路ＸＣＳ＞＞

ここでは、回路ＷＣＳ、及び回路ＸＣＳの具体例について説明する。

［０１４８］

初めに、回路ＷＣＳについて説明する。図６Ａは、回路ＷＣＳの一例を示したブロック図である。なお、図６Ａには、回路ＷＣＳの周辺の回路との電気的な接続を示すため、回路ＳＷＳ１、トランジスタＦ３、配線ＳＷＬ１、及び配線ＷＣＬも図示している。また、トランジスタＦ３は、図５の演算回路ＭＡＣ１に含まれているトランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のいずれか一であり、配線ＷＣＬは、図５の演算回路ＭＡＣ１に含まれている配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］のいずれか一である。

［０１４９］

図６Ａに示す回路ＷＣＳは、一例として、スイッチＳＷＷを有する。スイッチＳＷＷの第１端子は、トランジスタＦ３の第２端子に電気的に接続され、スイッチＳＷＷの第２端子は、配線ＶＩＮＩＬ１に電気的に接続されている。配線ＶＩＮＩＬ１は、配線ＷＣＬに初期化用の電位を与える配線として機能し、初期化用の電位としては、例えば、接地電位（ＧＮＤ）、低レベル電位、又は高レベル電位などとすることができる。なお、スイッチＳＷＷは、配線ＷＣＬに初期化用の電位を与えるときのみオン状態となり、それ以外のときはオフ状態となるものとする。

［０１５０］

スイッチＳＷＷとしては、例えば、アナログスイッチ、又はトランジスタの電気的なスイッチなどを適用することができる。なお、スイッチＳＷＷとして、例えば、トランジスタを適用する場合、当該トランジスタは、トランジスタＦ１及びトランジスタＦ２と同様の構造のトランジスタとすることができる。また、電気的なスイッチ以外では、機械的なスイッチを適用してもよい。

［０１５１］

また、図６Ａの回路ＷＣＳは、一例として、複数の電流源ＣＳを有する。具体的には、回路ＷＣＳはＫビット（2^{K}値）（Ｋは１以上の整数）の第１データを電流量として出力する機能を有し、この場合、回路ＷＣＳは、$2^{K}-1$個の電流源ＣＳを有する。なお、回路ＷＣＳは、１ビット目の値に相当する情報を電流として出力する電流源ＣＳを１個有し、２ビット目の値に相当する情報を電流として出力する電流源ＣＳを２個有し、Ｋビット目の値に相当する情報を電流として出力する電流源ＣＳを2^{K-1}個有する。

［０１５２］

図６Ａにおいて、それぞれの電流源ＣＳは、端子Ｔ１と、端子Ｔ２と、を有する。それぞれの電流源ＣＳの端子Ｔ１は、回路ＳＷＳ１が有するトランジスタＦ３の第２端子に電気的に接続されている。また、１個の電流源ＣＳの端子Ｔ２は配線ＤＷ［１］に電気的に接続され、２個の電流源ＣＳの端子Ｔ２のそれぞれは配線ＤＷ［２］に電気的に接続され、2^{K-1}個の電流源ＣＳの端子Ｔ２のそれぞれは配線ＤＷ［Ｋ］に電気的に接続されている。

［０１５３］

回路ＷＣＳが有する複数の電流源ＣＳは、それぞれ同一の定電流I_{Wut}を端子Ｔ１から出力する機能を有する。なお、実際には、演算回路ＭＡＣ１の作製段階において、それぞれの電流源ＣＳに含

まれているトランジスタの電気特性のバラツキによって誤差が現れることがある。そのため、複数の電流源ＣＳの端子Ｔ１のそれぞれから出力される定電流I_{Wut}の誤差は１０％以内が好ましく、５％以内であることがより好ましく、１％以内であることがより好ましい。なお、本実施の形態では、回路ＷＣＳに含まれている複数の電流源ＣＳの端子Ｔ１から出力される定電流I_{Wut}の誤差は無いものとして説明する。

［０１５４］

配線ＤＷ［１］乃至配線ＤＷ［Ｋ］は、電気的に接続されている電流源ＣＳから定電流I_{Wut}を出力するための制御信号を送信する配線として機能する。具体的には、例えば、配線ＤＷ［１］に高レベル電位が与えられているとき、配線ＤＷ［１］に電気的に接続されている電流源ＣＳは、定電流としてI_{Wut}をトランジスタＦ３の第２端子に流し、また、配線ＤＷ［１］に低レベル電位が与えられているとき、配線ＤＷ［１］に電気的に接続されている電流源ＣＳは、I_{Wut}を出力しない。また、例えば、配線ＤＷ［２］に高レベル電位が与えられているとき、配線ＤＷ［２］に電気的に接続されている２個の電流源ＣＳは、合計２I_{Wut}の定電流をトランジスタＦ３の第２端子に流し、また、配線ＤＷ［２］に低レベル電位が与えられているとき、配線ＤＷ［２］に電気的に接続されている電流源ＣＳは、合計２I_{Wut}の定電流を出力しない。また、例えば、配線ＤＷ［Ｋ］に高レベル電位が与えられているとき、配線ＤＷ［Ｋ］に電気的に接続されている2^{K-1}個の電流源ＣＳは、合計$2^{K-1}I_{Wut}$の定電流をトランジスタＦ３の第２端子に流し、また、配線ＤＷ［Ｋ］に低レベル電位が与えられているとき、配線ＤＷ［Ｋ］に電気的に接続されている電流源ＣＳは、合計$2^{K-1}I_{Wut}$の定電流を出力しない。

［０１５５］

配線ＤＷ［１］に電気的に接続されている１個の電流源ＣＳが流す電流は、１ビット目の値に相当し、配線ＤＷ［２］に電気的に接続されている２個の電流源ＣＳが流す電流は、２ビット目の値に相当し、配線ＤＷ［Ｋ］に電気的に接続されているＫ個の電流源ＣＳが流す電流量は、Ｋビット目の値に相当する。ここで、Ｋを２とした場合の回路ＷＣＳを考える。例えば、１ビット目の値が“１”、２ビット目の値が“０”とき、配線ＤＷ［１］には高レベル電位が与えられ、配線ＤＷ［２］には低レベル電位が与えられる。このとき、回路ＷＣＳから、回路ＳＷＳ１のトランジスタＦ３の第２端子に定電流としてI_{Wut}が流れる。また、例えば、１ビット目の値が“０”、２ビット目の値が“１”のとき、配線ＤＷ［１］には低レベル電位が与えられ、配線ＤＷ［２］には高レベル電位が与えられる。このとき、回路ＷＣＳから、回路ＳＷＳ１のトランジスタＦ３の第２端子に定電流として２I_{Wut}が流れる。また、例えば、１ビット目の値が“１”、２ビット目の値が“１”のとき、配線ＤＷ［１］及び配線ＤＷ［２］には高レベル電位が与えられる。このとき、回路ＷＣＳから、回路ＳＷＳ１のトランジスタＦ３の第２端子に定電流として３I_{Wut}が流れる。また、例えば、１ビット目の値が“０”、２ビット目の値が“０”のとき、配線ＤＷ［１］及び配線ＤＷ「２」には低レベル電位が与えられる。このとき、回路ＷＣＳから、回路ＳＷＳ１のトランジスタＦ３の第２端子に定電流は流れない。

［０１５６］

なお、図６ＡではＫが３以上の整数である場合の回路ＷＣＳを図示しているが、Ｋが１である場合は、図６Ａの回路ＷＣＳを、配線ＤＷ［２］乃至配線ＤＷ［Ｋ］に電気的に接続されている電流源ＣＳを設けない構成にすればよい。また、Ｋが２である場合は、図６Ａの回路ＷＣＳを、配線ＤＷ［３］（図示せず）乃至配線ＤＷ［Ｋ］に電気的に接続されている電流源ＣＳを設けない構成にす

ればよい。

［０１５７］

次に、電流源ＣＳの具体的な構成例について説明する。

［０１５８］

図７Ａに示す電流源ＣＳ１は、図６Ａの回路ＷＣＳに含まれる電流源ＣＳに適用できる回路であって、電流源ＣＳ１は、トランジスタＴｒ１と、トランジスタＴｒ２と、を有する。

［０１５９］

トランジスタＴｒ１の第１端子は、配線ＶＤＤＬに電気的に接続され、トランジスタＴｒ１の第２端子は、トランジスタＴｒ１のゲートと、トランジスタＴｒ１のバックゲートと、トランジスタＴｒ２の第１端子と、に電気的に接続されている。トランジスタＴｒ２の第２端子は、トランジスタＴｒ２のバックゲートと、端子Ｔ１と、に電気的に接続され、トランジスタＴｒ２のゲートは、端子Ｔ２に電気的に接続されている。また、端子Ｔ２は、配線ＤＷに電気的に接続されている。

［０１６０］

配線ＤＷは、図６Ａの配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のいずれか一である。

［０１６１］

配線ＶＤＤＬは、定電位を与える配線として機能する。当該定電位としては、例えば、高レベル電位とすることができる。

［０１６２］

配線ＶＤＤＬが与える定電位を高レベル電位としたとき、トランジスタＴｒ１の第１端子には高レベル電位が入力される。また、トランジスタＴｒ１の第２端子の電位は、当該高レベル電位よりも低い電位とする。このとき、トランジスタＴｒ１の第１端子はドレインとして機能し、トランジスタＴｒ１の第２端子はソースとして機能する。また、トランジスタＴｒ１のゲートと、トランジスタＴｒ１の第２端子と、は、互いに電気的に接続されているため、トランジスタＴｒ１のゲート－ソース間電圧は０Ｖとなる。このため、トランジスタＴｒ１のしきい値電圧が適切な範囲内である場合、トランジスタＴｒ１の第１端子－第２端子間には、サブスレッショルド領域で動作するときの電流範囲の電流が流れる。当該電流の量としては、トランジスタＴｒ１がＯＳトランジスタである場合、例えば、１．０×１０$^{-8}$Ａ以下であることが好ましく、また、１．０×１０$^{-12}$Ａ以下であることがより好ましく、また、１．０×１０$^{-15}$Ａ以下であることがより好ましい。また、例えば、当該電流はゲート－ソース間電圧に対して指数関数的に増大する範囲内であることがより好ましい。つまり、トランジスタＴｒ１は、サブスレッショルド領域で動作するときの電流範囲の電流を流すための電流源として機能する。なお、当該電流は上述したI_{Wut}、又は後述するI_{Xut}に相当する。

［０１６３］

トランジスタＴｒ２は、スイッチング素子として機能する。ところで、トランジスタＴｒ２の第１端子の電位がトランジスタＴｒ２の第２端子の電位よりも高い場合、トランジスタＴｒ２の第１端子はドレインとして機能し、トランジスタＴｒ２の第２端子はソースとして機能する。また、トランジスタＴｒ２のバックゲートと、トランジスタＴｒ２の第２端子と、は、互いに電気的に接続されているため、バックゲート－ソース間電圧は０Ｖとなる。このため、トランジスタＴｒ２のしきい値電圧が適切な範囲内である場合、トランジスタＴｒ２のゲートに高レベル電位が入力されることで、トランジスタＴｒ２はオン状態となるものとし、トランジスタＴｒ２のゲートに低レベル電

位が入力されることで、トランジスタＴｒ２はオフ状態となるものとする。具体的には、トランジスタＴｒ２がオン状態のとき、上述したサブスレッショルド領域で動作するときの電流範囲の電流がトランジスタＴｒ１の第２端子から端子Ｔ１に流れ、トランジスタＴｒ２がオフ状態のとき、当該電流はトランジスタＴｒ１の第２端子から端子Ｔ１に流れないものとする。

［０１６４］

トランジスタＴｒ１、及びトランジスタＴｒ２のそれぞれには、例えば、Ｓｉトランジスタ、またはＯＳトランジスタを用いることができる。また、例えば、トランジスタＦ１、トランジスタＦ２、トランジスタＦ３、又はトランジスタＦ４に適用できるトランジスタを用いることができる。

［０１６５］

なお、図６Ａの回路ＷＣＳに含まれる電流源ＣＳに適用できる回路は、図７Ａの電流源ＣＳ１に限定されない。例えば、電流源ＣＳ１は、トランジスタＴｒ２のバックゲートとトランジスタＴｒ２の第２端子とが電気的に接続されている構成となっているが、トランジスタＴｒ２のバックゲートは別の配線に電気的に接続されている構成としてもよい。このような構成例を図７Ｂに示す。図７Ｂに示す電流源ＣＳ２は、トランジスタＴｒ２のバックゲートが配線ＶＴＨＬに電気的に接続されている構成となっている。電流源ＣＳ２は、配線ＶＴＨＬが例えば外部回路などと電気的に接続されることで、当該外部回路によって配線ＶＴＨＬに所定の電位を与えて、トランジスタＴｒ２のバックゲートに当該所定の電位を与えることができる。これにより、トランジスタＴｒ２のしきい値電圧を変動させることができる。特に、トランジスタＴｒ２のしきい値電圧を高くすることによって、トランジスタＴｒ２のオフ電流を小さくすることができる。

［０１６６］

また、例えば、電流源ＣＳ１は、トランジスタＴｒ１のバックゲートとトランジスタＴｒ１の第２端子とが電気的に接続されている構成となっているが、トランジスタＴｒ１のバックゲートとトランジスタＴｒ１の第２端子との間は容量によって電圧を保持する構成としてもよい。このような構成例を図７Ｃに示す。図７Ｃに示す電流源ＣＳ３は、トランジスタＴｒ１、及びトランジスタＴｒ２に加えて、トランジスタＴｒ３と、容量Ｃ６と、を有する。電流源ＣＳ３は、トランジスタＴｒ１の第２端子とトランジスタＴｒ１のバックゲートとが容量Ｃ６を介して電気的に接続されている点と、トランジスタＴｒ１のバックゲートとトランジスタＴｒ３の第１端子とが電気的に接続されている点と、で電流源ＣＳ１と異なる。また、電流源ＣＳ３は、トランジスタＴｒ３の第２端子が配線ＶＴＬに電気的に接続され、トランジスタＴｒ３のゲートが配線ＶＷＬに電気的に接続されている構成となっている。電流源ＣＳ３は、配線ＶＷＬに高レベル電位を与えて、トランジスタＴｒ３をオン状態にすることによって、配線ＶＴＬとトランジスタＴｒ１のバックゲートとの間を導通状態にすることができる。このとき、配線ＶＴＬからトランジスタＴｒ１のバックゲートに所定の電位を入力することができる。そして、配線ＶＷＬに低レベル電位を与えて、トランジスタＴｒ３をオフ状態にすることによって、容量Ｃ６により、トランジスタＴｒ１の第２端子とトランジスタＴｒ１のバックゲートとの間の電圧を保持することができる。つまり、配線ＶＴＬがトランジスタＴｒ１のバックゲートに与える電位を定めることによって、トランジスタＴｒ１のしきい値電圧を変動させることができ、かつトランジスタＴｒ３と容量Ｃ６とによって、トランジスタＴｒ１のしきい値電圧を固定することができる。

［０１６７］

また、例えば、図６Ａの回路ＷＣＳに含まれる電流源ＣＳに適用できる回路としては、図７Ｄに示

す電流源ＣＳ４としてもよい。電流源ＣＳ４は、図７Ｃの電流源ＣＳ３において、トランジスタＴｒ２のバックゲートをトランジスタＴｒ２の第２端子でなく、配線ＶＴＨＬに電気的に接続した構成となっている。つまり、電流源ＣＳ４は、図７Ｂの電流源ＣＳ２と同様に、配線ＶＴＨＬが与える電位によって、トランジスタＴｒ２のしきい値電圧を変動させることができる。

［０１６８］

電流源ＣＳ４において、トランジスタＴｒ１の第１端子－第２端子間に大きな電流が流れる場合、端子Ｔ１から電流源ＣＳ４の外部に当該電流を流すために、トランジスタＴｒ２のオン抵抗を小さくする必要がある。この場合、電流源ＣＳ４は、配線ＶＴＨＬに高レベル電位を与えて、トランジスタＴｒ２のしきい値電圧を低くして、トランジスタＴｒ２のオン抵抗を小さくすることによって、トランジスタＴｒ１の第１端子－第２端子間に流れる大きな電流を、端子Ｔ１から電流源ＣＳ４の外部に流すことができる。

［０１６９］

図６Ａの回路ＷＣＳに含まれる電流源ＣＳとして、図７Ａ乃至図７Ｄに示した電流源ＣＳ１乃至電流源ＣＳ４を適用することによって、回路ＷＣＳは、Ｋビットの第１データに応じた電流を出力することができる。また、当該電流の量は、例えば、トランジスタＴｒ１がサブスレッショルド領域で動作する範囲内における第１端子－第２端子間に流れる電流量とすることができる。

［０１７０］

また、図６Ａの回路ＷＣＳとしては、図６Ｂに示す回路ＷＣＳを適用してもよい。図６Ｂの回路ＷＣＳは、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそれぞれに、図７Ａの電流源ＣＳが１つずつ接続された構成となっている。なお、図６Ｂには、配線ＤＷ［１］に接続された電流源ＷＣＳが有するトランジスタＴｒ１［１］及びトランジスタＴｒ２［１］と、配線ＤＷ［２］に接続された電流源ＷＣＳが有するトランジスタＴｒ１［２］及びトランジスタＴｒ２［２］と、配線ＤＷ［Ｋ］に接続された電流源ＷＣＳが有するトランジスタＴｒ１［Ｋ］及びトランジスタＴｒ２［Ｋ］と、を図示している。また、トランジスタＴｒ１［１］のチャネル幅をｗ［１］、トランジスタＴｒ１［２］のチャネル幅をｗ［２］、トランジスタＴｒ１［Ｋ］のチャネル幅をｗ［Ｋ］としたとき、それぞれのチャネル幅の比は、ｗ［１］：ｗ［２］：ｗ［Ｋ］＝１：２：2^{K-1}となっている。サブスレッショルド領域で動作するトランジスタのソース－ドレイン間に流れる電流は、チャネル幅に比例するため、図６Ｂに示す回路ＷＣＳは、図６Ａの回路ＷＣＳと同様に、Ｋビットの第１データに応じた電流を出力することができる。

［０１７１］

なお、トランジスタＴｒ１（トランジスタＴｒ１［１］乃至トランジスタＴｒ１［Ｋ］を含む）、トランジスタＴｒ２（トランジスタＴｒ２［１］乃至トランジスタＴｒ２［Ｋ］を含む）、及びトランジスタＴｒ３のそれぞれには、例えば、Ｓｉトランジスタ、またはＯＳトランジスタを用いることができる。また、例えば、トランジスタＦ１、トランジスタＦ２、トランジスタＦ３、又はトランジスタＦ４に適用できるトランジスタを用いることができる。

［０１７２］

次に、回路ＸＣＳの具体例について説明する。

［０１７３］

図６Ｃは、回路ＸＣＳの一例を示したブロック図である。なお、図６Ｃには、回路ＸＣＳの周辺の回路との電気的な接続を示すため、配線ＸＣＬも図示している。また、配線ＸＣＬは、図５の演算

回路ＭＡＣ１に含まれている配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のいずれか一である。

［０１７４］

図６Ｃに示す回路ＸＣＳは、一例として、スイッチＳＷＸを有する。スイッチＳＷＸの第１端子は、配線ＸＣＬと、複数の電流源ＣＳと、に電気的に接続され、スイッチＳＷＸの第２端子は、配線ＶＩＮＩＬ２に電気的に接続されている。配線ＶＩＮＩＬ２は、配線ＸＣＬに初期化用の電位を与える配線として機能し、初期化用の電位としては、例えば、接地電位（ＧＮＤ）、低レベル電位、又は高レベル電位などとすることができる。また、配線ＶＩＮＩＬ２が与える初期化用の電位は、配線ＶＩＮＩＬ１が与える電位と等しくしてもよい。なお、スイッチＳＷＸは、配線ＸＣＬに初期化用の電位を与えるときのみオン状態となり、それ以外のときはオフ状態となるものとする。

［０１７５］

スイッチＳＷＸとしては、例えば、スイッチＳＷＷに適用できるスイッチとすることができる。

［０１７６］

また、図６Ｃの回路ＸＣＳの回路構成は、図７Ａの回路ＷＣＳとほぼ同様の構成にすることができる。具体的には、回路ＸＣＳは、参照データを電流量（参照電流）として出力する機能と、Ｌビット（2^{L}値）（Ｌは１以上の整数）の第２データを電流量として出力する機能と、を有し、この場合、回路ＸＣＳは、$2^{L}-1$個の電流源ＣＳを有する。なお、回路ＸＣＳは、１ビット目の値に相当する情報を電流として出力する電流源ＣＳを１個有し、２ビット目の値に相当する情報を電流として出力する電流源ＣＳを２個有し、Ｌビット目の値に相当する情報を電流として出力する電流源ＣＳを2^{L-1}個有している。

［０１７７］

ところで、回路ＸＣＳが電流として出力する参照データとしては、例えば、１ビット目の値が“１”、２ビット目以降の値が“０”の情報とすることができる。

［０１７８］

図６Ｃにおいて、１個の電流源ＣＳの端子Ｔ２は配線ＤＸ［１］に電気的に接続され、２個の電流源ＣＳの端子Ｔ２のそれぞれは配線ＤＸ［２］に電気的に接続され、2^{L-1}個の電流源ＣＳの端子Ｔ２のそれぞれは配線ＤＸ［Ｌ］に電気的に接続されている。

［０１７９］

回路ＸＣＳが有する複数の電流源ＣＳは、それぞれ同一の定電流としてI_{Xut}を端子Ｔ１から出力する機能を有する。また、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］は、電気的に接続されている電流源ＣＳからI_{Xut}を出力するための制御信号を送信する配線として機能する。つまり、回路ＸＣＳは、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］から送られるＬビットの情報に応じた電流量を、配線ＸＣＬに流す機能を有する。

［０１８０］

具体的には、ここで、Ｌを２とした場合の回路ＸＣＳを考える。例えば、１ビット目の値が“１”、２ビット目の値が“０”とき、配線ＤＸ［１］には高レベル電位が与えられ、配線ＤＸ［２］には低レベル電位が与えられる。このとき、回路ＸＣＳから、配線ＸＣＬに定電流としてI_{Xut}が流れる。また、例えば、１ビット目の値が“０”、２ビット目の値が“１”のとき、配線ＤＸ［１］には低レベル電位が与えられ、配線ＤＸ［２］には高レベル電位が与えられる。このとき、回路ＸＣＳから、配線ＸＣＬに定電流として$2I_{Xut}$が流れる。また、例えば、１ビット目の値が“１”、２ビット目の値が“１”のとき、配線ＤＸ［１］及び配線ＤＸ［２］には高レベル電位が与えられ

る。このとき、回路ＸＣＳから、配線ＸＣＬに定電流として３I_{Xut}が流れる。また、例えば、１ビット目の値が“０”、２ビット目の値が“０”のとき、配線ＤＸ［１］及び配線ＤＸ［２］には低レベル電位が与えられる。このとき、回路ＸＣＳから、配線ＸＣＬに定電流は流れない。なお、このとき、本明細書等において、回路ＸＣＳから配線ＸＣＬに電流量０の電流が流れると言い換える場合がある。また、回路ＸＣＳが出力する電流量（例えば、０、I_{Xut}、２I_{Xut}、又は３I_{Xut}など）は、回路ＸＣＳが出力する第２データとすることができ、特に、回路ＸＣＳが出力する電流量I_{Xut}は、回路ＸＣＳが出力する参照データとすることができる。

［０１８１］

なお、回路ＸＣＳが有する、それぞれの電流源ＣＳに含まれているトランジスタの電気特性のバラツキによって誤差が生じている場合、複数の電流源ＣＳの端子Ｔ１のそれぞれから出力される定電流I_{Xut}の誤差は１０％以内が好ましく、５％以内であることがより好ましく、１％以内であることがより好ましい。なお、本実施の形態では、回路ＸＣＳに含まれている複数の電流源ＣＳの端子Ｔ１から出力される定電流I_{Xut}の誤差は無いものとして説明する。

［０１８２］

また、回路ＸＣＳの電流源ＣＳとしては、回路ＷＣＳの電流源ＣＳと同様に、図７Ａ乃至図７Ｄの電流源ＣＳ１乃至電流源ＣＳ４のいずれかを適用することができる。この場合、図７Ａ乃至図７Ｄに図示している配線ＤＷを配線ＤＸに置き換えればよい。これにより、回路ＸＣＳは、参照データ、又はＬビットの第２データとして、サブスレッショルド領域で動作するときの電流範囲の電流を配線ＸＣＬに流すことができる。

［０１８３］

また、図６Ｃの回路ＸＣＳとしては、図６Ｂに示す回路ＷＣＳと同様の回路構成を適用することができる。この場合、図６Ｂに示す回路ＷＣＳを回路ＸＣＳに置き換え、配線ＤＷ［１］を配線ＤＸ［１］に置き換え、配線ＤＷ［２］を配線ＤＸ［２］に置き換え、配線ＤＷ［Ｋ］を配線ＤＸ［Ｌ］に置き換え、スイッチＳＷＷをスイッチＳＷＸに置き換え、配線ＶＩＮＩＬ１を配線ＶＩＮＩＬ２に置き換えて考えればよい。

［０１８４］

＜＜変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］＞＞

ここでは、図５の演算回路ＭＡＣ１に含まれる変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］に適用できる回路の具体例について説明する。

［０１８５］

図８Ａに示す変換回路ＩＴＲＺ１は、図５の変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］に適用できる回路の一例である。なお、図８Ａには、変換回路ＩＴＲＺ１の周辺の回路との電気的な接続を示すため、回路ＳＷＳ２、配線ＷＣＬ、配線ＳＷＬ２、及びトランジスタＦ４も図示している。また、配線ＷＣＬは、図５の演算回路ＭＡＣ１に含まれている配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］のいずれか一であり、トランジスタＦ４は、図５の演算回路ＭＡＣ１に含まれているトランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のいずれか一である。

［０１８６］

図８Ａの変換回路ＩＴＲＺ１は、トランジスタＦ４を介して配線ＷＣＬに電気的に接続されている。また、変換回路ＩＴＲＺ１は、配線ＯＬに電気的に接続されている。変換回路ＩＴＲＺ１は、変換回路ＩＴＲＺ１から配線ＷＣＬに流れる電流量、又は配線ＷＣＬから変換回路ＩＴＲＺ１に流れる

電流量をアナログ電圧に変換して、配線ＯＬに当該アナログ電圧を出力する機能を有する。つまり、変換回路ＩＴＲＺ１は、電流電圧変換回路を有する。

［０１８７］

図８Ａの変換回路ＩＴＲＺ１は、一例として、抵抗Ｒ５と、オペアンプＯＰ１と、を有する。

［０１８８］

オペアンプＯＰ１の反転入力端子は、抵抗Ｒ５の第１端子と、トランジスタＦ４の第２端子と、に電気的に接続されている。オペアンプＯＰ１の非反転入力端子は、配線ＶＲＬに電気的に接続されている。オペアンプＯＰ１の出力端子は、抵抗Ｒ５の第２端子と、配線ＯＬと、に電気的に接続されている。

［０１８９］

配線ＶＲＬは、定電位を与える配線として機能する。当該定電位としては、例えば、接地電位（ＧＮＤ）、又は低レベル電位などとすることができる。

［０１９０］

変換回路ＩＴＲＺ１は、図８Ａの構成にすることによって、配線ＷＣＬから、トランジスタＦ４を介して、変換回路ＩＴＲＺ１に流れる電流量、又は、変換回路ＩＴＲＺ１から、トランジスタＦ４を介して、配線ＷＣＬに流れる電流量を、アナログ電圧に変換して配線ＯＬに出力することができる。

［０１９１］

特に、配線ＶＲＬが与える定電位を接地電位（ＧＮＤ）とすることによって、オペアンプＯＰ１の反転入力端子は仮想接地となるため、配線ＯＬに出力されるアナログ電圧は接地電位（ＧＮＤ）を基準とした電圧とすることができる。

［０１９２］

また、図８Ａの変換回路ＩＴＲＺ１は、アナログ電圧を出力する構成となっているが、図５に示す変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］は、アナログ電流を出力する構成としてもよい。

［０１９３］

図８Ｂに示す変換回路ＩＴＲＺ１Ａは、配線ＷＣＬに流れるアナログ電流と同じ量の電流を配線ＯＬに流す回路となっている。変換回路ＩＴＲＺ１Ａは、トランジスタＴｒ１１と、トランジスタＴｒ１１ｍと、トランジスタＴｒ１２と、トランジスタＴｒ１２ｍと、を有する。

［０１９４］

トランジスタＴｒ１１、トランジスタＴｒ１１ｍ、トランジスタＴｒ１２、及びトランジスタＴｒ１２ｍのそれぞれには、例えば、Ｓｉトランジスタ、またはＯＳトランジスタを用いることができる。また、例えば、トランジスタＦ１、トランジスタＦ２、トランジスタＦ３、又はトランジスタＦ４に適用できるトランジスタを用いることができる。

［０１９５］

トランジスタＴｒ１１の第１端子は、配線ＶＣＥ１に電気的に接続され、トランジスタＴｒ１１の第２端子は、トランジスタＴｒ１１のゲートと、トランジスタＴｒ１２の第１端子と、トランジスタＴｒ１２のゲートと、トランジスタＴｒ１２ｍのゲートと、回路ＳＷＳ２のトランジスタＦ４の第２端子と、に電気的に接続され、トランジスタＴｒ１２の第２端子は、配線ＶＣＥ２に電気的に接続されている。

［０１９６］

トランジスタＴｒ１１ｍの第１端子は、配線ＶＣＥ１に電気的に接続され、トランジスタＴｒ１１ｍの第２端子は、トランジスタＴｒ１１ｍのゲートと、トランジスタＴｒ１２ｍの第１端子と、配線ＯＬと、に電気的に接続され、トランジスタＴｒ１２ｍの第２端子は、配線ＶＣＥ２に電気的に接続されている。

［０１９７］

配線ＶＣＥ１は、トランジスタＴｒ１１、及びトランジスタＴｒ１１ｍのそれぞれの第１端子に、電位を与える配線として機能する。また、当該定電位としては、例えば、高レベル電位とすることができる。

［０１９８］

また、配線ＶＣＥ２は、トランジスタＴｒ１２、及びトランジスタＴｒ１２ｍのそれぞれの第２端子に、電位を与える配線として機能する。また、当該定電位としては、例えば、接地電位、低レベル電位、又は負電位とすることができる。

［０１９９］

トランジスタＴｒ１１、及びトランジスタＴｒ１１ｍのそれぞれは、ゲートと第２端子とが電気的に接続されており、かつ第１端子と高レベル電位を与える配線ＶＣＥ１とが電気的に接続されている。したがって、トランジスタＴｒ１１、及びトランジスタＴｒ１１ｍのそれぞれのゲートーソース間電圧は０Ｖとなり、トランジスタＴｒ１１、及びトランジスタＴｒ１１ｍのそれぞれのしきい値電圧が適切な範囲内である場合、トランジスタＴｒ１１、及びトランジスタＴｒ１１ｍのそれぞれの第１端子ー第２端子間には、サブスレッショルド領域で動作するときの電流範囲の電流が流れる。つまり、トランジスタＴｒ１１、及びトランジスタＴｒ１１ｍのそれぞれは定電流源として機能する。

［０２００］

また、図８Ｂにおいて、トランジスタＴｒ１２の第１端子が、トランジスタＴｒ１２のゲートと、トランジスタＴｒ１２ｍのゲートと、に電気的に接続されているため、トランジスタＴｒ１２及びトランジスタＴｒ１２ｍの接続構成は、カレントミラー回路となっている。つまり、理想的には、トランジスタＴｒ１２のソースードレイン間に流れる電流量は、トランジスタＴｒ１２ｍのソースードレイン間に流れる電流量と等しくなる。

［０２０１］

なお、図８ＢにおけるトランジスタＴｒ１２及びトランジスタＴｒ１２ｍの接続構成のカレントミラー回路は、カスコード接続されたカレントミラー回路に置き換えてもよい（図示しない）。

［０２０２］

トランジスタＦ４がオン状態のとき、トランジスタＴｒ１１、及びトランジスタＴｒ１１ｍのそれぞれのソースードレイン間に流れる電流の量をそれぞれI_{SC}とし、回路ＩＴＲＺ１Ａから配線ＷＣＬに流れる電流量をI_{OP}としたとき、トランジスタＴｒ１２のソースードレイン間に流れる電流量は、$I_{SC}-I_{OP}$となる。このため、トランジスタＴｒ１１ｍのソースードレイン間に流れる電流量も$I_{SC}-I_{OP}$となる。したがって、回路ＩＴＲＺ１Ａから配線ＯＬに流れる電流量は、$I_{SC}-(I_{SC}-I_{OP})=I_{OP}$となる。これにより、回路ＩＴＲＺ１Ａは、配線ＷＣＬに流れる電流の量と等しい電流の量を配線ＯＬに出力することができる。

［０２０３］

図８Ａの変換回路ＩＴＲＺ１は、アナログ電圧を出力する構成となっており、図８Ｂの変換回路ＩＴＲＺ１Ａは、アナログ電流を出力する構成となっているが、図５の変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］に適用できる回路構成は、これに限定されない。例えば、変換回路ＩＴＲＺ１は、図８Ｃに示すとおり、アナログデジタル変換回路ＡＤＣを有する構成としてもよい。具体的には、図８Ｃの変換回路ＩＴＲＺ２は、アナログデジタル変換回路ＡＤＣの入力端子がオペアンプＯＰ１の出力端子と、抵抗Ｒ５の第２端子と、に電気的に接続され、アナログデジタル変換回路ＡＤＣの出力端子が配線ＯＬに電気的に接続されている構成となっている。このような構成にすることによって、図８Ｃの変換回路ＩＴＲＺ２は、配線ＯＬにデジタル信号を出力することができる。

［０２０４］

また、変換回路ＩＴＲＺ２において、配線ＯＬに出力されるデジタル信号を１ビット（２値）とする場合、変換回路ＩＴＲＺ２は、図８Ｄに示す変換回路ＩＴＲＺ３に置き換えてもよい。図８Ｄの変換回路ＩＴＲＺ３は、図８Ａの変換回路ＩＴＲＺ１にコンパレータＣＭＰ１を設けた構成となっている。具体的には、変換回路ＩＴＲＺ３は、コンパレータＣＭＰ１の第１入力端子がオペアンプＯＰ１の出力端子と、抵抗Ｒ５の第２端子と、に電気的に接続され、コンパレータＣＭＰ１の第２入力端子が配線ＶＲＬ２に電気的に接続され、コンパレータＣＭＰ１の出力端子が配線ＯＬに電気的に接続されている構成となっている。配線ＶＲＬ２は、コンパレータＣＭＰ１の第１端子の電位と比較するための電位を与える配線として機能する。このような構成にすることによって、図８Ｄの変換回路ＩＴＲＺ３は、電流電圧変換回路によってトランジスタＦ４のソースードレイン間に流れる電流量から変換された電圧と、配線ＶＲＬ２が与える電圧と、との大小に応じて、配線ＯＬに低レベル電位又は高レベル電位（２値のデジタル信号）を出力することができる。

［０２０５］

また、図５の演算回路ＭＡＣ１に適用できる変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］は、図８Ａ乃至図８Ｄのそれぞれに示した変換回路ＩＴＲＺ１乃至変換回路ＩＴＲＺ３に限定されない。例えば、階層型のニューラルネットワークの演算として、演算回路ＭＡＣ１を用いる場合、変換回路ＩＴＲＺ１乃至変換回路ＩＴＲＺ３には、関数系の演算回路を有することが好ましい。また、関数系の演算回路としては、例えば、シグモイド関数、ｔａｎｈ関数、ソフトマックス関数、ＲｅＬＵ関数、又はしきい値関数などの演算回路とすることができる。

［０２０６］

例えば、関数系の演算回路としてＲｅＬＵ関数とする場合、変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］には、図９に示す変換回路ＩＴＲＺ４を適用すればよい。

［０２０７］

変換回路ＩＴＲＺ４は、図８Ｂの変換回路ＩＴＲＺ１Ａの変更例であって、変換回路ＩＴＲＺ４は、トランジスタＴｒ１１、トランジスタＴｒ１１ｍ、トランジスタＴｒ１２、及びトランジスタＴｒ１２ｍに加えて、トランジスタＴｒ１３、トランジスタＴｒ１３ｍ、トランジスタＴｒ１４、及びトランジスタＴｒ１４ｍを有する。

［０２０８］

トランジスタＴｒ１３、トランジスタＴｒ１３ｍ、トランジスタＴｒ１４、及びトランジスタＴｒ１４ｍのそれぞれには、例えば、Ｓｉトランジスタ、またはＯＳトランジスタを用いることができる。また、例えば、トランジスタＦ１、トランジスタＦ２、トランジスタＦ３、又はトランジスタＦ４に適用できるトランジスタを用いることができる。

［０２０９］

トランジスタＴｒ１３の第１端子は、配線ＶＣＥ１に電気的に接続され、トランジスタＴｒ１３の第２端子は、トランジスタＴｒ１３のゲートと、トランジスタＴｒ１４の第１端子と、トランジスタＴｒ１４のゲートと、トランジスタＴｒ１４ｍのゲートと、トランジスタＴｒ１１ｍの第２端子と、トランジスタＴｒ１１ｍのゲートと、トランジスタＴｒ１２ｍの第１端子と、配線ＩＳＬと、に電気的に接続され、トランジスタＴｒ１４の第２端子は、配線ＶＣＥ２に電気的に接続されている。

［０２１０］

トランジスタＴｒ１３ｍの第１端子は、配線ＶＣＥ１に電気的に接続され、トランジスタＴｒ１３ｍの第２端子は、トランジスタＴｒ１３ｍのゲートと、トランジスタＴｒ１４ｍの第１端子と、配線ＯＬと、に電気的に接続され、トランジスタＴｒ１４ｍの第２端子は、配線ＶＣＥ２に電気的に接続されている。

［０２１１］

つまり、変換回路ＩＴＲＺ４のトランジスタＴｒ１３、及びトランジスタＴｒ１３ｍは、トランジスタＴｒ１１、及びトランジスタＴｒ１１ｍと同様に定電流源として機能し、また、変換回路ＩＴＲＺ４のトランジスタＴｒ１４、及びトランジスタＴｒ１４ｍは、トランジスタＴｒ１２、及びトランジスタＴｒ１２ｍと同様にカレントミラー回路として機能する。

［０２１２］

配線ＩＳＬは、一例として、電流量I_{STD}の定電流を変換回路ＩＴＲＺ４から排出するための配線として機能する。I_{STD}は、変換回路ＩＴＲＺ４におけるＲｅＬＵ関数の基準となる値に相当する。

［０２１３］

変換回路ＩＴＲＺ４から配線ＷＣＬに電流量I_{OP}の電流が出力されたとき、I_{OP}がI_{STD}より大きい場合には、変換回路ＩＴＲＺ４は、配線ＯＬに対して、電流量$I_{OP}-I_{STD}$の電流を出力する。また、I_{OP}がI_{STD}以下である場合には、配線ＯＬに対して電流を出力しない。

［０２１４］

なお、本発明の一態様は、本実施の形態で述べた演算回路ＭＡＣ１の回路構成に限定されない。演算回路ＭＡＣ１は、状況に応じて、回路構成を変更することができる。

［０２１５］

例えば、演算回路ＭＡＣ１は、図１０に示す演算回路ＭＡＣ１Ａの通り、回路ＳＷＳ１を設けない構成に変更してもよい。演算回路ＭＡＣ１の場合、回路ＳＷＳ１によって、回路ＷＣＳから配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］に流れる電流を停止することができるが、演算回路ＭＡＣ１Ａの場合、回路ＷＣＳによって、回路ＷＣＳから配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］に流れる電流を停止すればよい。具体的には、例えば、演算回路ＭＡＣ１Ａに含まれる回路ＷＣＳとして図６Ａの回路ＷＣＳを適用し、電流源ＣＳとして図７Ａの電流源ＣＳ１を適用したとき、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそれぞれに低レベル電位を入力し、かつスイッチＳＷＷをオフ状態にすればよい。回路ＷＣＳをこのように動作を行うことで、回路ＷＣＳから配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］に流れる電流を停止することができる。このように回路ＷＣＳを、回路ＷＣＳから配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］に流れる電流を停止することにより、演算回路ＭＡＣ１の代わりに演算回路ＭＡＣ１Ａを用いて演算を行うことができる。

［０２１６］

また、例えば、演算回路ＭＡＣ１は、図１１に示す演算回路ＭＡＣ１Ｂの通り、セルＩＭにおいて、トランジスタＦ２と配線ＷＣＬとの間にトランジスタＦ２ｃを設け、かつセルＩＭｒｅｆにおいて、トランジスタＦ２ｍと配線ＸＣＬとの間にトランジスタＦ２ｃｍを設けてもよい。トランジスタＦ２ｃ、及びトランジスタＦ２ｃｍは、一例として、クランプトランジスタ（クランプＦＥＴと呼ばれる場合がある）として機能する。このため、トランジスタＦ２ｃ、及びトランジスタＦ２ｃｍのそれぞれのゲートには、定電位が与えられることが好ましい。図１１では、トランジスタＦ２ｃ、及びトランジスタＦ２ｃｍのそれぞれのゲートには、配線ＶＢが電気的に接続されており、上記のとおり、配線ＶＢには定電位が与えられていることが好ましい。トランジスタＦ２ｃ、及びトランジスタＦ２ｃｍを設けることにより、トランジスタＦ２、及びトランジスタＦ２ｍにおけるドレイン誘起障壁低下（ＤＩＢＬ）を防ぐことができる。

［０２１７］

トランジスタＦ２ｃ、及びトランジスタＦ２ｃｍのそれぞれには、例えば、トランジスタＦ２、及びトランジスタＦ２ｍのそれぞれに適用できるトランジスタを用いることができる。

［０２１８］

＜演算回路の動作例１＞

次に、演算回路ＭＡＣ１の動作例について説明する。

［０２１９］

図１２に演算回路ＭＡＣ１の動作例のタイミングチャートを示す。図１２のタイミングチャートは、時刻Ｔ１１から時刻Ｔ２３までの間、及びそれらの近傍における、配線ＳＷＬ１、配線ＳＷＬ２、配線ＷＳＬ［ｉ］（ｉは１以上ｍ－１以下の整数とする。）、配線ＷＳＬ［ｉ＋１］、配線ＸＣＬ［ｉ］、配線ＸＣＬ［ｉ＋１］、ノードＮＮ［ｉ，ｊ］（ｊは１以上ｎ－１以下の整数とする。）、ノードＮＮ［ｉ＋１，ｊ］、ノードＮＮｒｅｆ［ｉ］、及びノードＮＮｒｅｆ［ｉ＋１］の、それぞれの電位の変動を示している。更に、図１２のタイミングチャートには、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２の第１端子－第２端子間に流れる電流量I_{F2}［ｉ，ｊ］と、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ２ｍの第１端子－第２端子間に流れる電流量I_{F2m}［ｉ］と、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ２の第１端子－第２端子間に流れる電流量I_{F2}［ｉ＋１，ｊ］と、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ２ｍの第１端子－第２端子間に流れる電流量I_{F2m}［ｉ＋１］と、のそれぞれの変動についても示している。なお、図５等には図示していないが、ここでは、任意のセルを、セルＩＭ［ｉ，１］、セルＩＭ［ｉ，ｊ］、セルＩＭ［ｉ，ｎ］、セルＩＭ［ｉ＋１，１］、セルＩＭ［ｉ＋１，ｊ］、またはセルＩＭ［ｉ＋１，ｎ］などのように表す。ｉは１以上ｍ以下の整数であり、ｊは１以上ｎ以下の整数である。また、セルＩＭｒｅｆ［ｉ］、またはセルＩＭｒｅｆ［ｉ＋１］などのように表す。また、任意のセル内のノードＮＮを、ノードＮＮ［ｉ，１］、ノードＮＮ［ｉ，ｎ］、ノードＮＮ［ｉ＋１，１］、ノードＮＮ［ｉ＋１，ｎ］などのように表す。また、任意の変換回路ＩＴＲＺを、変換回路ＩＴＲＺ［ｊ］などのように表す。

［０２２０］

なお、演算回路ＭＡＣ１の回路ＷＣＳとしては、図６Ａの回路ＷＣＳを適用し、演算回路ＭＡＣ１の回路ＸＣＳとしては、図６Ｃの回路ＸＣＳを適用するものとする。

［０２２１］

なお、本動作例において、配線ＶＥの電位は接地電位ＧＮＤとする。また、時刻Ｔ１１より前では、

初期設定として、ノードＮＮ［ｉ，ｊ］、ノードＮＮ［ｉ＋１，ｊ］、ノードＮＮｒｅｆ［ｉ］、及びノードＮＮｒｅｆ［ｉ＋１］のそれぞれの電位を、接地電位ＧＮＤにしているものとする。具体的には、例えば、図６Ａの配線ＶＩＮＩＬ１の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＷと、トランジスタＦ３と、セルＩＭ［ｉ，ｊ］及びセルＩＭ［ｉ＋１，ｊ］に含まれているそれぞれのトランジスタＦ１と、をオン状態にすることによって、ノードＮＮ［ｉ，ｊ］及びノードＮＮ［ｉ＋１，ｊ］の電位を接地電位ＧＮＤにすることができる。また、例えば、図６Ｃの配線ＶＩＮＩＬ２の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＸと、セルＩＭｒｅｆ［ｉ］及びセルＩＭｒｅｆ［ｉ＋１］に含まれているそれぞれのトランジスタＦ１ｍと、をオン状態にすることによって、ノードＮＮｒｅｆ［ｉ，ｊ］及びノードＮＮｒｅｆ［ｉ＋１，ｊ］の電位を接地電位ＧＮＤにすることができる。

［０２２２］

＜＜時刻Ｔ１１から時刻Ｔ１２まで＞＞

時刻Ｔ１１から時刻Ｔ１２までの間において、配線ＳＷＬ１に高レベル電位（図１２ではＨｉｇｈと表記している。）が印加され、配線ＳＷＬ２に低レベル電位（図１２ではＬｏｗと表記している。）が印加されている。これにより、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれのゲートに高レベル電位が印加されて、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれがオン状態となり、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれのゲートに低レベル電位が印加されて、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれがオフ状態となる。

［０２２３］

また、時刻Ｔ１１から時刻Ｔ１２までの間では、配線ＷＳＬ［ｉ］及び配線ＷＳＬ［ｉ＋１］には低レベル電位が印加されている。これにより、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍのゲートと、に低レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオフ状態となる。また、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍのゲートと、に低レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオフ状態となる。

［０２２４］

また、時刻Ｔ１１から時刻Ｔ１２までの間では、配線ＸＣＬ［ｉ］、及び配線ＸＣＬ［ｉ＋１］には接地電位ＧＮＤが印加されている。具体的には、例えば、図６Ｃに記載の配線ＸＣＬが、配線ＸＣＬ［ｉ］及び配線ＸＣＬ［ｉ＋１］のそれぞれである場合において、配線ＶＩＮＩＬ２の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＸをオン状態にすることにより、配線ＸＣＬ［ｉ］、及び配線ＸＣＬ［ｉ＋１］の電位を接地電位ＧＮＤにすることができる。

［０２２５］

また、時刻Ｔ１１から時刻Ｔ１２までの間では、図６Ａに記載の配線ＷＣＬが配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］のそれぞれである場合において、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］には第１データが入力されていない。また、図６Ｃに記載の配線ＸＣＬが配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれである場合において、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］には第２データが入力されていない。ここでは、図６Ａの回路ＷＣＳにおいて、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそ

れぞれには低レベル電位が入力されているものとし、また、図６Ｃの回路ＸＣＳにおいて、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］のそれぞれには低レベル電位が入力されているものとする。

［０２２６］

また、時刻Ｔ１１から時刻Ｔ１２までの間では、配線ＷＣＬ［ｊ］、配線ＸＣＬ［ｉ］、及び配線ＸＣＬ［ｉ＋１］には電流が流れない。そのため、I_{F2}［ｉ，ｊ］、I_{F2m}［ｉ］、I_{F2}［ｉ＋１，ｊ］、及びI_{F2m}［ｉ＋１］は０となる。

［０２２７］

＜＜時刻Ｔ１２から時刻Ｔ１３まで＞＞

時刻Ｔ１２から時刻Ｔ１３までの間において、配線ＷＳＬ［ｉ］に高レベル電位が印加される。これにより、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍのゲートと、に高レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオン状態になる。また、時刻Ｔ１２から時刻Ｔ１３までの間において、配線ＷＳＬ［ｉ］を除く配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］には低レベル電位が印加されており、セルアレイＣＡのｉ行目以外のセルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］に含まれているトランジスタＦ１と、ｉ行目以外のセルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］に含まれているトランジスタＦ１ｍと、は、オフ状態になっているものとする。

［０２２８］

更に、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］には時刻Ｔ１２以前から引き続き接地電位ＧＮＤが印加されている。

［０２２９］

＜＜時刻Ｔ１３から時刻Ｔ１４まで＞＞

時刻Ｔ１３から時刻Ｔ１４までの間において、回路ＷＣＳから、トランジスタＦ３［ｊ］を介してセルアレイＣＡに第１データとして電流量I_0［ｉ，ｊ］の電流が流れる。具体的には、図６Ａに記載の配線ＷＣＬが配線ＷＣＬ［ｊ］である場合において、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそれぞれに第１データに応じた信号が入力されることによって、回路ＷＣＳからトランジスタＦ３［ｊ］の第２端子に電流I_0［ｉ，ｊ］が流れる。つまり、第１データとして入力されたＫビットの信号の値を α［ｉ，ｊ］（α［ｉ，ｊ］を０以上2^K-1以下の整数とする）としたとき、I_0［ｉ，ｊ］＝α［ｉ，ｊ］×I_{Wut}となる。

［０２３０］

なお、α［ｉ，ｊ］が０のとき、I_0［ｉ，ｊ］＝０となるため、厳密には、回路ＷＣＳから、トランジスタＦ３［ｊ］を介してセルアレイＣＡに電流は流れないが、本明細書等では、例えば「I_0［ｉ，ｊ］＝０の電流が流れる」などと記載する場合がある。

［０２３１］

時刻Ｔ１３から時刻Ｔ１４までの間において、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ１の第１端子と配線ＷＣＬ［ｊ］との間が導通状態となっており、かつセルアレイＣＡのｉ行目以外のセルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に含まれているトランジスタＦ１の第１端子と配線ＷＣＬ［ｊ］との間が非導通状態となっているため、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ，ｊ］に電流量I_0［ｉ，ｊ］の電流が流れる。

［０２３２］

ところで、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ１がオン状態になることによって、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２はダイオード接続の構成となる。そのため、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ，ｊ］に電流が流れるとき、トランジスタＦ２のゲートと、トランジスタＦ２の第２端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、例えば、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ，ｊ］に流れる電流量、及び、トランジスタＦ２の第１端子の電位（ここではＧＮＤ）、などによって定められる。本動作例では、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ，ｊ］に電流量$Ｉ_{0}$［ｉ，ｊ］の電流が流れることによって、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）の電位は、$Ｖ_{g}$［ｉ，ｊ］になるものとする。つまり、トランジスタＦ２において、ゲートーソース間電圧が$Ｖ_{g}$［ｉ，ｊ］－ＧＮＤとなり、トランジスタＦ２の第１端子ー第２端子間に流れる電流として、電流量$Ｉ_{0}$［ｉ，ｊ］が設定される。

［０２３３］

ここで、トランジスタＦ２のしきい値電圧を$Ｖ_{th}$［ｉ，ｊ］としたとき、トランジスタＦ２がサブスレッショルド領域で動作する場合の電流量$Ｉ_{0}$［ｉ，ｊ］は次の式の通りに記述できる。

［０２３４］

［数１］

$$I_0[i,j] = I_a \exp\{J(V_g[i,j] - V_{th}[i,j])\} \quad \cdots(1.1)$$

［０２３５］

なお、$Ｉ_{a}$は$Ｖ_{g}$［ｉ，ｊ］が$Ｖ_{th}$［ｉ，ｊ］であるときのドレイン電流であって、Ｊは、例えば温度及びデバイス構造などによって定められる補正係数である。

［０２３６］

また、時刻Ｔ１３から時刻Ｔ１４までの間において、回路ＸＣＳから、配線ＸＣＬ［ｉ］に、参照データとして電流量$Ｉ_{ref0}$の電流が流れる。具体的には、図６Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ］である場合において、配線ＤＸ［１］に高レベル電位、配線ＤＸ［２］乃至配線ＤＸ［Ｌ］のそれぞれに低レベル電位が入力されて、回路ＸＣＳから配線ＸＣＬ［ｉ］に電流$Ｉ_{ref0}$が流れる。つまり、$Ｉ_{ref0}＝Ｉ_{Xut}$となる。

［０２３７］

時刻Ｔ１３から時刻Ｔ１４までの間において、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍの第１端子と配線ＸＣＬ［ｉ］との間が導通状態となっているため、配線ＸＣＬ［ｉ］からセルＩＭｒｅｆ［ｉ］に電流量$Ｉ_{ref0}$の電流が流れる。

［０２３８］

セルＩＭ［ｉ，ｊ］と同様に、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍがオン状態になることによって、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ２ｍはダイオード接続の構成となる。そのため、配線ＸＣＬ［ｉ］からセルＩＭｒｅｆ［ｉ］に電流が流れるとき、トランジスタＦ２ｍのゲートと、トランジスタＦ２ｍの第２端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、例えば、配線ＸＣＬ［ｉ］からセルＩＭｒｅｆ［ｉ］に流れる電流量、及び、トランジスタＦ２ｍの第１端子の電位（ここではＧＮＤ）、などによって定められる。本動作例では、配線ＸＣＬ［ｉ］からセルＩＭｒｅｆ［ｉ］に電流量$Ｉ_{ref0}$の電流が流れることによって、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ］）は$Ｖ_{gm}$［ｉ］になるものとし、また、このときの配線ＸＣＬ［ｉ］の電位も$Ｖ_{gm}$［ｉ］とする。つまり、トランジスタＦ２ｍにおいて、ゲー

トーソース間電圧がV_{gm}［ｉ］－ＧＮＤとなり、トランジスタＦ２ｍの第１端子－第２端子間に流れる電流として、電流量I_{ref0}が設定される。

［０２３９］

ここで、トランジスタＦ２ｍのしきい値電圧をV_{thm}［ｉ］としたとき、トランジスタＦ２ｍがサブスレッショルド領域で動作する場合の電流量I_{ref0}は次の式の通りに記述できる。なお、補正係数Ｊは、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２と同一とする。例えば、トランジスタのデバイス構造、及びサイズ（チャネル長及びチャネル幅）を同一とする。また、製造上のばらつきにより、各トランジスタの補正係数Ｊはばらつくが、後述の議論が実用上十分な精度で成り立つ程度にばらつきが抑えられているものとする。

［０２４０］

［数２］

$$I_{\mathrm{ref0}} = I_{\alpha}\exp\{J(V_{\mathrm{gm}}[i] - V_{\mathrm{thm}}[i])\} \qquad \cdots(1.2)$$

［０２４１］

ここで、第１データであるｗ［ｉ，ｊ］を次の通りに定義する。

［０２４２］

［数３］

$$w[i,j] = \exp\{J(V_{\mathrm{g}}[i,j] - V_{\mathrm{th}}[i,j] - V_{\mathrm{gm}}[i] + V_{\mathrm{thm}}[i])\} \qquad \cdots(1.3)$$

［０２４３］

したがって、式（１．３）、式（１．４）、I_0［ｉ，ｊ］＝α［ｉ，ｊ］×I_{Wut}、及びI_{ref0}＝I_{Xut}を用いると、式（１．１）は、次の式に書き換えることができる。

［０２４４］

［数４］

$$I_0[i,j] = w[i,j]I_{\mathrm{ref0}} \qquad \cdots(1.4)$$
$$\leftrightarrow \alpha[i,j]I_{\mathrm{Wut}} = w[i,j]I_{\mathrm{Xut}}$$

［０２４５］

なお、図６Ａの回路ＷＣＳの電流源ＣＳが出力する電流I_{Wut}と、図６Ｃの回路ＸＣＳの電流源ＣＳが出力する電流I_{Xut}と、が等しい場合、ｗ［ｉ，ｊ］＝α［ｉ，ｊ］となる。つまり、I_{Wut}と、I_{Xut}と、が等しい場合、α［ｉ，ｊ］は、第１データの値に相当するため、I_{Wut}と、I_{Xut}と、は互いに等しいことが好ましい。

［０２４６］

＜＜時刻Ｔ１４から時刻Ｔ１５まで＞＞

時刻Ｔ１４から時刻Ｔ１５までの間において、配線ＷＳＬ［ｉ］に低レベル電位が印加される。これにより、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍのゲート

と、に低レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオフ状態となる。

［０２４７］

セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ１がオフ状態になることによって、容量Ｃ５には、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）の電位と、配線ＸＣＬ［ｉ］の電位と、の差である$Ｖ_{ｇ}$［ｉ，ｊ］－$Ｖ_{ｇｍ}$［ｉ］が保持される。また、セルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ１ｍがオフ状態になることによって、容量Ｃ５ｍには、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ］）の電位と、配線ＸＣＬ［ｉ］の電位と、の差である０が保持される。なお、容量Ｃ５ｍが保持する電圧は、時刻Ｔ１３から時刻Ｔ１４までの動作においてトランジスタＦ１ｍ、及びトランジスタＦ２ｍのトランジスタ特性に応じて０ではない電圧（ここでは、例えば、$Ｖ_{ｄｓ}$とする）となる場合もある。この場合、ノードＮＮｒｅｆ［ｉ］の電位は、配線ＸＣＬ［ｉ］の電位に$Ｖ_{ｄｓ}$を加えた電位として考えればよい。

［０２４８］

＜＜時刻Ｔ１５から時刻Ｔ１６まで＞＞

時刻Ｔ１５から時刻Ｔ１６までの間において、配線ＸＣＬ［ｉ］にＧＮＤが印加される。具体的には、例えば、図６Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ］である場合において、配線ＶＩＮＩＬ２の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＸをオン状態にすることにより、配線ＸＣＬ［ｉ］の電位を接地電位ＧＮＤにすることができる。

［０２４９］

このため、ｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］のそれぞれに含まれている容量Ｃ５による容量結合によってノードＮＮ［ｉ，１］乃至ノードＮＮ［ｉ，ｎ］の電位が変化し、セルＩＭｒｅｆ［ｉ］に含まれている容量Ｃ５ｍによる容量結合によってノードＮＮｒｅｆ［ｉ］の電位が変化する。

［０２５０］

ノードＮＮ［ｉ，１］乃至ノードＮＮ［ｉ，ｎ］の電位の変化量は、配線ＸＣＬ［ｉ］の電位の変化量に、セルアレイＣＡに含まれているそれぞれのセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量Ｃ５の容量、トランジスタＦ２のゲート容量、及び寄生容量によって算出される。セルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］のそれぞれにおいて、容量Ｃ５による容量結合係数をｐとしたとき、セルＩＭ［ｉ，ｊ］のノードＮＮ［ｉ，ｊ］の電位は、時刻Ｔ１４から時刻Ｔ１５までの間の時点における電位から、ｐ（$Ｖ_{ｇｍ}$［ｉ］－ＧＮＤ）低下する。

［０２５１］

同様に、配線ＸＣＬ［ｉ］の電位が変化することによって、セルＩＭｒｅｆ［ｉ］に含まれている容量Ｃ５ｍによる容量結合によって、ノードＮＮｒｅｆ［ｉ］の電位も変化する。容量Ｃ５ｍによる容量結合係数を、容量Ｃ５と同様にｐとしたとき、セルＩＭｒｅｆ［ｉ］のノードＮＮｒｅｆ［ｉ］の電位は、時刻Ｔ１４から時刻Ｔ１５までの間における電位から、ｐ（$Ｖ_{ｇｍ}$［ｉ］－ＧＮＤ）低下する。なお、図１２のタイミングチャートでは、一例として、ｐ＝１としている。このため、時刻Ｔ１５から時刻Ｔ１６までの間におけるノードＮＮｒｅｆ［ｉ］の電位は、ＧＮＤとなる。

［０２５２］

これによって、セルＩＭ［ｉ，ｊ］のノードＮＮ［ｉ，ｊ］の電位が低下するため、トランジスタ

Ｆ２はオフ状態となり、同様に、セルＩＭｒｅｆ［ｉ］のノードＮＮｒｅｆ［ｉ］の電位が低下するため、トランジスタＦ２ｍもオフ状態となる。そのため、時刻Ｔ１５から時刻Ｔ１６までの間において、I_{F2}［ｉ，ｊ］、及びI_{F2m}［ｉ］のそれぞれは０となる。

［０２５３］

＜＜時刻Ｔ１６から時刻Ｔ１７まで＞＞

時刻Ｔ１６から時刻Ｔ１７までの間において、配線ＷＳＬ［ｉ＋１］に高レベル電位が印加される。これにより、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍのゲートと、に高レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオン状態となる。また、時刻Ｔ１６から時刻Ｔ１７までの間において、配線ＷＳＬ［ｉ＋１］を除く配線ＷＳＬ［１］乃至配線ＷＳＬ［ｍ］には低レベル電位が印加されており、セルアレイＣＡのｉ＋１行目以外のセルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］に含まれているトランジスタＦ１と、ｉ＋１行目以外のセルＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］に含まれているトランジスタＦ１ｍと、は、オフ状態になっているものとする。

［０２５４］

更に、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］には時刻Ｔ１６以前から引き続き接地電位ＧＮＤが印加されている。

［０２５５］

＜＜時刻Ｔ１７から時刻Ｔ１８まで＞＞

時刻Ｔ１７から時刻Ｔ１８までの間において、回路ＷＣＳから、トランジスタＦ３［ｊ］を介してセルアレイＣＡに第１データとして電流量I_0［ｉ＋１，ｊ］の電流が流れる。具体的には、図６Ａに記載の配線ＷＣＬが配線ＷＣＬ［ｊ＋１］である場合において、配線ＤＷ［１］乃至配線ＤＷ［Ｋ］のそれぞれに第１データに応じた信号が入力されることによって、回路ＷＣＳからトランジスタＦ３［ｊ］の第２端子に電流I_0［ｉ＋１，ｊ］が流れる。つまり、第１データとして入力されたＫビットの信号の値を α［ｉ＋１，ｊ］（α［ｉ＋１，ｊ］は０以上2^K-1以下の整数とする。）としたとき、I_0［ｉ＋１，ｊ］＝α［ｉ＋１，ｊ］×I_{Wut}となる。

［０２５６］

なお、α［ｉ＋１，ｊ］が０のとき、I_0［ｉ＋１，ｊ］＝０となるため、厳密には、回路ＷＣＳから、トランジスタＦ３［ｊ］を介してセルアレイＣＡに電流は流れないが、本明細書等では、I_0［ｉ，ｊ］＝０の場合と同様に、例えば「I_0［ｉ＋１，ｊ］＝０の電流が流れる」などと記載する場合がある。

［０２５７］

このとき、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ１の第１端子と配線ＷＣＬ［ｊ］との間が導通状態となっており、かつセルアレイＣＡのｉ＋１行目以外のセルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に含まれているトランジスタＦ１の第１端子と配線ＷＣＬ［ｊ］との間が非導通状態となっているため、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ＋１，ｊ］に電流量I_0［ｉ＋１，ｊ］の電流が流れる。

［０２５８］

ところで、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ１がオン状態になることによって、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ２はダイオード接続の構成となる。そ

のため、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ＋１，ｊ］に電流が流れるとき、トランジスタＦ２のゲートと、トランジスタＦ２の第２端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、例えば、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ＋１，ｊ］に流れる電流量、及び、トランジスタＦ２の第１端子の電位（ここではＧＮＤ）、などによって定められる。本動作例では、配線ＷＣＬ［ｊ］からセルＩＭ［ｉ＋１，ｊ］に電流量$Ｉ_{0}$［ｉ＋１，ｊ］の電流が流れることによって、トランジスタＦ２のゲート（ノードＮＮ［ｉ＋１，ｊ］）の電位は、$Ｖ_{g}$［ｉ＋１，ｊ］になるものとする。つまり、トランジスタＦ２において、ゲートーソース間電圧が$Ｖ_{g}$［ｉ＋１，ｊ］－ＧＮＤとなり、トランジスタＦ２の第１端子ー第２端子間に流れる電流として、電流量$Ｉ_{0}$［ｉ＋１，ｊ］が設定される。

［０２５９］

ここで、トランジスタＦ２のしきい値電圧を$Ｖ_{th}$［ｉ＋１，ｊ］としたとき、トランジスタＦ２がサブスレッショルド領域で動作する場合の電流量$Ｉ_{0}$［ｉ＋１，ｊ］は次の式の通りに記述できる。なお、補正係数は、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２、及びセルＩＭｒｅｆ［ｉ］に含まれているトランジスタＦ２ｍと同様のＪとしている。

［０２６０］

［数５］

$$I_0[i+1,j] = I_a \exp\{J(V_g[i+1,j] - V_{th}[i+1,j])\} \qquad \cdots(1.5)$$

［０２６１］

また、時刻Ｔ１７から時刻Ｔ１８までの間において、回路ＸＣＳから、配線ＸＣＬ［ｉ＋１］に参照データとして電流量$Ｉ_{ref0}$の電流が流れる。具体的には、時刻Ｔ１３から時刻Ｔ１４までの間と同様に、図６Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ＋１］である場合において、配線ＤＸ［１］に高レベル電位、配線ＤＸ［２］乃至配線ＤＸ［Ｌ］のそれぞれに低レベル電位が入力されて、回路ＸＣＳから配線ＸＣＬ［ｉ＋１］に電流$Ｉ_{ref0}＝Ｉ_{Xut}$が流れる。

［０２６２］

時刻Ｔ１７から時刻Ｔ１８までの間において、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍの第１端子と配線ＸＣＬ［ｉ＋１］との間が導通状態となるため、配線ＸＣＬ［ｉ＋１］からセルＩＭｒｅｆ［ｉ＋１］に電流量$Ｉ_{ref0}$の電流が流れる。

［０２６３］

セルＩＭ［ｉ＋１，ｊ］と同様に、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍがオン状態になることによって、セルＩＭｒｅｆ［ｉ＋１，ｊ］に含まれているトランジスタＦ２ｍはダイオード接続の構成となる。そのため、配線ＸＣＬ［ｉ＋１］からセルＩＭｒｅｆ［ｉ＋１］に電流が流れるとき、トランジスタＦ２ｍのゲートと、トランジスタＦ２ｍの第２端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、例えば、配線ＸＣＬ［ｉ＋１］からセルＩＭｒｅｆ［ｉ＋１］に流れる電流量、及び、トランジスタＦ２ｍの第１端子の電位（ここではＧＮＤ）、などによって定められる。本動作例では、配線ＸＣＬ［ｉ＋１］からセルＩＭｒｅｆ［ｉ＋１］に電流量$Ｉ_{ref0}$の電流が流れることによって、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ＋１］）は$Ｖ_{gm}$［ｉ＋１］になるものとし、また、このときの配線ＸＣＬ［ｉ＋１］の電位も$Ｖ_{gm}$［ｉ＋１］とする。つまり、トランジスタＦ２ｍにおいて、ゲートーソース間電圧が$Ｖ_{gm}$［ｉ＋１］

－ＧＮＤとなり、トランジスタＦ２ｍの第１端子－第２端子間に流れる電流として、電流量Ｉ$_{ref0}$が設定される。

［０２６４］

ここで、トランジスタＦ２ｍのしきい値電圧をＶ$_{thm}$［ｉ＋１，ｊ］としたとき、トランジスタＦ２ｍがサブスレッショルド領域で動作する場合の電流量Ｉ$_{ref0}$は次の式の通りに記述できる。なお、補正係数Ｊは、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ２と同一とする。

［０２６５］

［数６］

$$I_{\mathrm{ref0}} = I_a \exp\{J(V_{\mathrm{gm}}[i+1] - V_{\mathrm{thm}}[i+1])\} \quad \cdots(1.6)$$

［０２６６］

ここで、第１データであるｗ［ｉ＋１，ｊ］を次の通りに定義する。

［０２６７］

［数７］

$$w[i+1,j] = \exp\{J(V_{\mathrm{g}}[i+1,j] - V_{\mathrm{th}}[i+1,j] - V_{\mathrm{gm}}[i+1] + V_{\mathrm{thm}}[i+1])\} \quad \cdots(1.7)$$

［０２６８］

したがって、式（１．３）、式（１．６）、Ｉ$_{0}$［ｉ＋１，ｊ］＝α［ｉ＋１，ｊ］×Ｉ$_{Wut}$、及びＩ$_{ref0}$＝Ｉ$_{Xut}$を用いると、式（１．５）は、次の式に書き換えることができる。

［０２６９］

［数８］

$$I_0[i+1,j] = w[i+1,j] I_{\mathrm{ref0}} \leftrightarrow \alpha[i+1,j] I_{\mathrm{Wut}} = w[i+1,j] I_{\mathrm{Xut}} \quad \cdots(1.8)$$

［０２７０］

なお、図６Ａの回路ＷＣＳの電流源ＣＳが出力する電流Ｉ$_{Wut}$と、図６Ｃの回路ＸＣＳの電流源ＣＳが出力する電流Ｉ$_{Xut}$と、が等しい場合、ｗ［ｉ＋１，ｊ］＝α［ｉ＋１，ｊ］となる。つまり、Ｉ$_{Wut}$と、Ｉ$_{Xut}$と、が等しい場合、α［ｉ＋１，ｊ］は、第１データの値に相当するため、Ｉ$_{Wut}$と、Ｉ$_{Xut}$と、は互いに等しいことが好ましい。

［０２７１］

＜＜時刻Ｔ１８から時刻Ｔ１９まで＞＞

時刻Ｔ１８から時刻Ｔ１９までの間において、配線ＷＳＬ［ｉ＋１］に低レベル電位が印加される。これにより、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］に含まれているトランジスタＦ１のゲートと、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍのゲートと、に低レベル電位が印加されて、それぞれのトランジスタＦ１とトランジスタＦ１ｍとがオフ状態となる。

［０２７２］

セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ１がオフ状態になることによって、容量Ｃ５には、トランジスタＦ２のゲート（ノードＮＮ［ｉ＋１，ｊ］）の電位と、配線ＸＣＬ［ｉ＋１］の電位と、の差である$Ｖ_{ｇ}$［ｉ＋１，ｊ］－$Ｖ_{ｇｍ}$［ｉ＋１］が保持される。また、セルＩＭｒｅｆ［ｉ＋１］に含まれているトランジスタＦ１ｍがオフ状態になることによって、容量Ｃ５ｍには、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ＋１］）の電位と、配線ＸＣＬ［ｉ＋１］の電位と、の差である０が保持される。なお、容量Ｃ５ｍが保持する電圧は、時刻Ｔ１８から時刻Ｔ１９までの動作においてトランジスタＦ１ｍ、及びトランジスタＦ２ｍのトランジスタ特性に応じて０ではない電圧（ここでは、例えば、$Ｖ_{ｄｓ}$とする）となる場合もある。この場合、ノードＮＮｒｅｆ［ｉ＋１］の電位は、配線ＸＣＬ［ｉ＋１］の電位に$Ｖ_{ｄｓ}$を加えた電位として考えればよい。

［０２７３］

＜＜時刻Ｔ１９から時刻Ｔ２０まで＞＞

時刻Ｔ１９から時刻Ｔ２０までの間において、配線ＸＣＬ［ｉ＋１］に接地電位ＧＮＤが印加される。具体的には、例えば、図６Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ＋１］である場合において、配線ＶＩＮＩＬ２の初期化用の電位を接地電位ＧＮＤとし、スイッチＳＷＸをオン状態にすることにより、配線ＸＣＬ［ｉ＋１］の電位を接地電位ＧＮＤにすることができる。

［０２７４］

このため、ｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］のそれぞれに含まれている容量Ｃ５による容量結合によってノードＮＮ［ｉ＋１，１］乃至ノードＮＮ［ｉ＋１，ｎ］の電位が変化し、セルＩＭｒｅｆ［ｉ＋１］に含まれている容量Ｃ５ｍによる容量結合によってノードＮＮｒｅｆ［ｉ＋１］の電位が変化する。

［０２７５］

ノードＮＮ［ｉ＋１，１］乃至ノードＮＮ［ｉ＋１，ｎ］の電位の変化量は、配線ＸＣＬ［ｉ＋１］の電位の変化量に、セルアレイＣＡに含まれているそれぞれのセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、例えば、容量Ｃ５の容量、トランジスタＦ２のゲート容量、及び寄生容量などによって算出される。セルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］のそれぞれにおいて、容量Ｃ５による容量結合係数を、セルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］のそれぞれにおける容量Ｃ５による容量結合係数と同様の、ｐとしたとき、セルＩＭ［ｉ＋１，ｊ］のノードＮＮ［ｉ＋１，ｊ］の電位は、時刻Ｔ１８から時刻Ｔ１９までの間の時点における電位から、ｐ（$Ｖ_{ｇｍ}$［ｉ＋１］－ＧＮＤ）低下する。

［０２７６］

同様に、配線ＸＣＬ［ｉ＋１］の電位が変化することによって、セルＩＭｒｅｆ［ｉ＋１］に含まれている容量Ｃ５ｍによる容量結合によって、ノードＮＮｒｅｆ［ｉ＋１］の電位も変化する。容量Ｃ５ｍによる容量結合係数を、容量Ｃ５と同様にｐとしたとき、セルＩＭｒｅｆ［ｉ＋１］のノードＮＮｒｅｆ［ｉ＋１］の電位は、時刻Ｔ１８から時刻Ｔ１９までの間における電位から、ｐ（$Ｖ_{ｇｍ}$［ｉ＋１］－ＧＮＤ）低下する。なお、図１２のタイミングチャートでは、一例として、ｐ＝１としている。このため、時刻Ｔ２０から時刻Ｔ２１までの間におけるノードＮＮｒｅｆ［ｉ＋１］の電位は、ＧＮＤとなる。

［０２７７］

これによって、セルＩＭ［ｉ＋１，ｊ］のノードＮＮ［ｉ＋１，ｊ］の電位が低下するため、トランジスタＦ２はオフ状態となり、同様に、セルＩＭｒｅｆ［ｉ＋１］のノードＮＮｒｅｆ［ｉ＋１］の電位が低下するため、トランジスタＦ２ｍもオフ状態となる。そのため、時刻Ｔ１９から時刻Ｔ２０までの間において、I_{F2}［ｉ＋１，ｊ］、及びI_{F2m}［ｉ＋１］のそれぞれは０となる。

［０２７８］

＜＜時刻Ｔ２０から時刻Ｔ２１まで＞＞

時刻Ｔ２０から時刻Ｔ２１までの間において、配線ＳＷＬ１に低レベル電位が印加されている。これにより、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれのゲートに低レベル電位が印加されて、トランジスタＦ３［１］乃至トランジスタＦ３［ｎ］のそれぞれがオフ状態となる。

［０２７９］

＜＜時刻Ｔ２１から時刻Ｔ２２まで＞＞

時刻Ｔ２１から時刻Ｔ２２までの間において、配線ＳＷＬ２に高レベル電位が印加されている。これにより、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれのゲートに高レベル電位が印加されて、トランジスタＦ４［１］乃至トランジスタＦ４［ｎ］のそれぞれがオン状態となる。

［０２８０］

＜＜時刻Ｔ２２から時刻Ｔ２３まで＞＞

時刻Ｔ２２から時刻Ｔ２３までの間において、回路ＸＣＳから、配線ＸＣＬ［ｉ］に第２データとして電流量I_{ref0}のｘ［ｉ］倍であるｘ［ｉ］I_{ref0}の電流が流れる。つまり、回路ＸＣＳから配線ＸＣＬ［ｉ］に流れる電流が、電流量I_{ref0}から電流量ｘ［ｉ］I_{ref0}に変更される。具体的には、例えば、図６Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ］である場合において、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］のそれぞれに、ｘ［ｉ］の値に応じて、高レベル電位又は低レベル電位が入力されて、回路ＸＣＳから配線ＸＣＬ［ｉ］に電流量としてｘ［ｉ］I_{ref0}＝ｘ［ｉ］I_{Xut}が流れる。なお、本動作例では、ｘ［ｉ］は、第２データの値に相当する。このとき、配線ＸＣＬ［ｉ］の電位は、０からV_{gm}［ｉ］＋ΔＶ［ｉ］に変化するものとする。

［０２８１］

配線ＸＣＬ［ｉ］の電位が変化することによって、セルアレイＣＡのｉ行目のセルＩＭ［ｉ，１］乃至セルＩＭ［ｉ，ｎ］のそれぞれに含まれている容量Ｃ５による容量結合によって、ノードＮＮ［ｉ，１］乃至ノードＮＮ［ｉ，ｎ］の電位も変化する。そのため、セルＩＭ［ｉ，ｊ］のノードＮＮ［ｉ，ｊ］の電位は、V_{g}［ｉ，ｊ］＋ｐΔＶ［ｉ］となる。

［０２８２］

同様に、配線ＸＣＬ［ｉ］の電位が変化することによって、セルＩＭｒｅｆ［ｉ］に含まれている容量Ｃ５ｍによる容量結合によって、ノードＮＮｒｅｆ［ｉ］の電位も変化する。そのため、セルＩＭｒｅｆ［ｉ］のノードＮＮｒｅｆ［ｉ］の電位は、V_{gm}［ｉ］＋ｐΔＶ［ｉ］となる。

［０２８３］

これによって、時刻Ｔ２２から時刻Ｔ２３までの間において、トランジスタＦ２の第１端子－第２端子間に流れる電流量I_{1}［ｉ，ｊ］、及びトランジスタＦ２ｍの第１端子－第２端子間に流れる電流量I_{ref1}［ｉ，ｊ］は、それぞれ次の通りに記述できる。

［０２８４］

［数９］

$$I_1[i,j] = I_a\exp\{J(V_g[i,j] + p\Delta V[i] - V_{th}[i,j])\}$$
$$= I_0[i,j]\exp(\ Jp\Delta V[i]\ ) \quad \cdots(1.9)$$

［０２８５］

［数１０］

$$I_{ref1}[i] = I_a\exp\{J(V_{gm}[i] + p\Delta V[i] - V_{thm}[i])\}$$
$$= x[i]I_{ref0} \quad \cdots(1.10)$$

［０２８６］

式（１．９）、及び式（１．１０）より、ｘ［ｉ］は次の式で表すことができる。

［０２８７］

［数１１］

$$x[i] = \exp(\ Jp\Delta V[i]\ ) \quad \cdots(1.11)$$

［０２８８］

そのため、式（１．９）は、次の式に書き換えることができる。

［０２８９］

［数１２］

$$I_1[i,j] = x[i]w[i,j]I_{ref0} \quad \cdots(1.12)$$

［０２９０］

つまり、セルＩＭ［ｉ，ｊ］に含まれているトランジスタＦ２の第１端子－第２端子間に流れる電流量は、第１データｗ［ｉ，ｊ］と、第２データｘ［ｉ］と、の積に比例する。

［０２９１］

また、時刻Ｔ２２から時刻Ｔ２３までの間において、回路ＸＣＳから、配線ＸＣＬ［ｉ＋１］に第２データとして電流量$Ｉ_{ｒｅｆ０}$のｘ［ｉ＋１］倍であるｘ［ｉ＋１］$Ｉ_{ｒｅｆ０}$の電流が流れる。つまり、回路ＸＣＳから配線ＸＣＬ［ｉ＋１］に流れる電流が、電流量$Ｉ_{ｒｅｆ０}$から電流量ｘ［ｉ＋１］$Ｉ_{ｒｅｆ０}$に変更される。具体的には、例えば、図６Ｃに記載の配線ＸＣＬが配線ＸＣＬ［ｉ＋１］である場合において、配線ＤＸ［１］乃至配線ＤＸ［Ｌ］のそれぞれに、ｘ［ｉ＋１］の値に応じて、高レベル電位又は低レベル電位が入力されて、回路ＸＣＳから配線ＸＣＬ［ｉ＋１］に電流量としてｘ［ｉ＋１］$Ｉ_{ｒｅｆ０}$＝ｘ［ｉ＋１］$Ｉ_{Ｘｕｔ}$が流れる。なお、本動作例では、ｘ［ｉ＋１］は、第２データの値に相当する。このとき、配線ＸＣＬ［ｉ＋１］の電位は、０から$Ｖ_{ｇｍ}$［ｉ＋１］＋ΔＶ［ｉ＋１］に変化するものとする。

［０２９２］

配線ＸＣＬ［ｉ＋１］の電位が変化することによって、セルアレイＣＡのｉ＋１行目のセルＩＭ［ｉ＋１，１］乃至セルＩＭ［ｉ＋１，ｎ］のそれぞれに含まれている容量Ｃ５による容量結合に

よって、ノードＮＮ［ｉ＋１，１］乃至ノードＮＮ［ｉ＋１，ｎ］の電位も変化する。そのため、セルＩＭ［ｉ＋１，ｊ］のノードＮＮ［ｉ＋１，ｊ］の電位は、V_g［ｉ＋１，ｊ］＋ｐΔＶ［ｉ＋１］となる。

［０２９３］

同様に、配線ＸＣＬ［ｉ＋１］の電位が変化することによって、セルＩＭｒｅｆ［ｉ＋１］に含まれている容量Ｃ５ｍによる容量結合によって、ノードＮＮｒｅｆ［ｉ＋１］の電位も変化する。そのため、セルＩＭｒｅｆ［ｉ＋１］のノードＮＮｒｅｆ［ｉ＋１］の電位は、V_{gm}［ｉ＋１］＋ｐΔＶ［ｉ＋１］となる。

［０２９４］

これによって、時刻Ｔ２２から時刻Ｔ２３までの間において、トランジスタＦ２の第１端子ー第２端子間に流れる電流量I_1［ｉ＋１，ｊ］、トランジスタＦ２ｍの第１端子ー第２端子間に流れる電流量I_{ref1}［ｉ＋１，ｊ］は、次の通りに記述できる。

［０２９５］

［数１３］

$$\begin{aligned} & I_1[i+1,j] \\ = \quad & I_a \exp\{J(V_{\mathrm{g}}[i+1,j]+p\Delta V[i+1]-V_{\mathrm{th}}[i+1,j])\} \\ = \quad & I_0[i+1,j]\exp(\ Jp\Delta V[i+1]\ ) \end{aligned} \qquad \cdots(1.13)$$

［０２９６］

［数１４］

$$\begin{aligned} & I_{\mathrm{ref1}}[i+1] \\ = \quad & I_a \exp\{J(V_{\mathrm{gm}}[i+1]+p\Delta V[i+1]-V_{\mathrm{thm}}[i+1])\} \\ = \quad & x[i+1]I_{\mathrm{ref0}} \end{aligned} \qquad \cdots(1.14)$$

［０２９７］

式（１．１３）、及び式（１．１４）より、ｘ［ｉ＋１］は次の式で表すことができる。

［０２９８］

［数１５］

$$x[i+1] = \exp(\ Jp\Delta V[i+1]\ ) \qquad \cdots(1.15)$$

［０２９９］

そのため、式（１．１３）は、次の式に書き換えることができる。

［０３００］

［数１６］

$$I_1[i+1,j] = x[i+1]w[i+1,j]I_{\mathrm{ref0}} \qquad \cdots(1.16)$$

［０３０１］

つまり、セルＩＭ［ｉ＋１，ｊ］に含まれているトランジスタＦ２の第１端子ー第２端子間に流れる電流量は、第１データであるｗ［ｉ＋１，ｊ］と、第２データであるｘ［ｉ＋１］と、の積に比例する。

［０３０２］

ここで、変換回路ＩＴＲＺ［ｊ］から、トランジスタＦ４［ｊ］と配線ＷＣＬ［ｊ］とを介して、セルＩＭ［ｉ，ｊ］及びセルＩＭ［ｉ＋１，ｊ］に流れる電流量の総和を考える。当該電流量の総和をI_S［ｊ］とすると、I_S［ｊ］は、式（１．１２）、及び式（１．１６）より、次の式で表すことができる。

［０３０３］

［数１７］

$$I_S[j] = I_1[i,j] + I_1[i+1,j]$$
$$= I_{ref0}(x[i]w[i,j] + x[i+1]w[i+1,j]) \quad \cdots(1.17)$$

［０３０４］

したがって、変換回路ＩＴＲＺ［ｊ］から出力される電流量は、第１データであるｗ［ｉ，ｊ］及びｗ［ｉ＋１，ｊ］と、第２データであるｘ［ｉ］及びｘ［ｉ＋１］と、の積和に比例した電流量となる。

［０３０５］

なお、上述の動作例では、セルＩＭ［ｉ，ｊ］、及びセルＩＭ［ｉ＋１，ｊ］に流れる電流量の総和について扱ったが、複数のセルとして、セルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］のそれぞれに流れる電流量の総和についても扱ってもよい。この場合、式（１．１７）は、次の式に書き直すことができる。

［０３０６］

［数１８］

$$I_S[j] = I_{ref0}\sum_{i=1}^{m} x[i]w[i,j] \quad \cdots(1.18)$$

［０３０７］

このため、３行以上且つ２列以上のセルアレイＣＡを有する演算回路ＭＡＣ１の場合でも、上記の通り、積和演算を行うことができる。この場合の演算回路ＭＡＣ１は、複数列のうち１列を、電流量としてI_{ref0}、及びｘI_{ref0}を保持するセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。

［０３０８］

なお、上述した演算回路ＭＡＣ１の動作例は、正の第１データと正の第２データとの積和を演算する場合に好適である。なお、正又は負の第１データと、正の第２データとの積和を演算する動作例、また、正又は負の第１データと、正又は負の第２データと、の積和を演算する動作例については、

実施の形態３で説明する。

［０３０９］

また、本実施の形態では、演算回路ＭＡＣ１に含まれているトランジスタをＯＳトランジスタ、又はＳｉトランジスタとした場合について説明したが、本発明の一態様は、これに限定されない。演算回路ＭＡＣ１に含まれているトランジスタは、例えば、Ｇｅなどがチャネル形成領域に含まれるトランジスタ、ＺｎＳｅ、ＣｄＳ、ＧａＡｓ、ＩｎＰ、ＧａＮ、若しくはＳｉＧｅなどの化合物半導体がチャネル形成領域に含まれるトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、又は、有機半導体がチャネル形成領域に含まれるトランジスタ、などを用いることができる。

［０３１０］

なお、本実施の形態は、本明細書等で示す他の実施の形態等と適宜組み合わせることができる。

［０３１１］

（実施の形態３）

実施の形態２では、正、又は“０”の第１データと正、又は“０”の第２データとの積和を行う演算回路、及びその動作例について説明したが、本実施の形態では、正、負、又は“０”の第１データと、正、又は“０”の第２データと、の積和演算、及び、正、負、又は“０”の第１データと、正、負、又は“０”の第２データと、の積和演算が可能な演算回路について説明する。

［０３１２］

＜演算回路の構成例１＞

図１３は、正、負、又は“０”の第１データと、正、又は“０”の第２データとの積和演算を行う演算回路の構成例を示している。図１３に示す演算回路ＭＡＣ２は、図５の演算回路ＭＡＣ１を変更した構成となっている。そのため、演算回路ＭＡＣ２の説明において、演算回路ＭＡＣ１の説明と重複する部分については省略する。

［０３１３］

図１３に示すセルアレイＣＡは、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］を有し、回路ＣＥＳ［１，ｊ］は、セルＩＭ［１，ｊ］と、セルＩＭｒ［１，ｊ］と、を有し、回路ＣＥＳ［ｍ，ｊ］は、セルＩＭ［ｍ，ｊ］と、セルＩＭｒ［ｍ，ｊ］と、を有する。なお、図１３では、回路ＣＥＳ［１，ｊ］と回路ＣＥＳ［ｍ，ｊ］とを抜粋して図示している。また、セルＩＭ［１，ｊ］が有するトランジスタＦ２のゲートをノードＮＮ［１，ｊ］と示し、セルＩＭｒ［１，ｊ］が有するトランジスタＦ２ｒのゲートをノードＮＮｒ［１，ｊ］と示し、セルＩＭ［ｍ，ｊ］が有するトランジスタＦ２のゲートをノードＮＮ［ｍ，ｊ］と示し、セルＩＭｒ［ｍ，ｊ］が有するトランジスタＦ２ｒのゲートをノードＮＮｒ［ｍ，ｊ］と示し、セルＩＭｒｅｆ［１］が有するトランジスタＦ２ｍのゲートをノードＮＮｒｅｆ［１］と示し、セルＩＭｒｅｆ［ｍ］が有するトランジスタＦ２ｍのゲートをノードＮＮｒｅｆ［ｍ］と示している。また、本明細書等では、例えば、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］、セルＩＭ［１，ｊ］、セルＩＭｒ［１，ｊ］、セルＩＭ［ｍ，ｊ］、及びセルＩＭｒ［ｍ，ｊ］などを説明する際、それぞれの符号に付記している［ｍ，ｎ］などを省略する場合がある。

［０３１４］

セルＩＭは、図５の演算回路ＭＡＣ１のセルアレイＣＡに含まれているセルＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］と同様の構成とすることができる。

［０３１５］
また、セルＩＭｒは、セルＩＭと同様の構成とすることができる。図１３のセルＩＭｒは、一例として、セルＩＭと同様の構成として図示している。また、セルＩＭとセルＩＭｒとのそれぞれに含まれている例えばトランジスタ及び容量などを互いに区別できるように、セルＩＭｒに含まれているトランジスタ及び容量を示す符号には「ｒ」を付している。

［０３１６］
具体的には、セルＩＭｒは、トランジスタＦ１ｒと、トランジスタＦ２ｒと、容量Ｃ５ｒと、を有する。なお、トランジスタＦ１ｒはセルＩＭのトランジスタＦ１に相当し、トランジスタＦ２ｒはセルＩＭのトランジスタＦ２に相当し、容量Ｃ５ｒはセルＩＭの容量Ｃ５に相当する。そのため、トランジスタＦ１ｒと、トランジスタＦ２ｒと、容量Ｃ５ｒと、のそれぞれの電気的な接続構成については、実施の形態２のＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］の説明を参酌する。

［０３１７］
また、セルＩＭｒにおいて、トランジスタＦ１ｒの第１端子と、トランジスタＦ２ｒのゲートと、容量Ｃ５ｒの第１端子と、の接続箇所をノードＮＮｒとしている。

［０３１８］
回路ＣＥＳ［１，ｊ］において、容量Ｃ５の第２端子は、配線ＸＣＬ［１］に電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［１］に電気的に接続され、トランジスタＦ１の第２端子とトランジスタＦ２の第２端子とは、配線ＷＣＬ［ｊ］に電気的に接続されている。また、容量Ｃ５ｒの第２端子は、配線ＸＣＬ［１］に電気的に接続され、トランジスタＦ１ｒのゲートは、配線ＷＳＬ［１］に電気的に接続され、トランジスタＦ１ｒの第２端子とトランジスタＦ２ｒの第２端子とは、配線ＷＣＬｒ［ｊ］に電気的に接続されている。

［０３１９］
同様に、回路ＣＥＳ［ｍ，ｊ］において、容量Ｃ５の第２端子は、配線ＸＣＬ［ｍ］に電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［ｍ］に電気的に接続され、トランジスタＦ１の第２端子とトランジスタＦ２の第２端子とは、配線ＷＣＬ［ｊ］に電気的に接続されている。また、容量Ｃ５ｒの第２端子は、配線ＸＣＬ［ｍ］に電気的に接続され、トランジスタＦ１ｒのゲートは、配線ＷＳＬ［ｍ］に電気的に接続され、トランジスタＦ１ｒの第２端子とトランジスタＦ２ｒの第２端子とは、配線ＷＣＬｒ［ｊ］に電気的に接続されている。

［０３２０］
配線ＷＣＬ［ｊ］及び配線ＷＣＬｒ［ｊ］のそれぞれは、実施の形態２で説明した配線ＷＣＬ［１］乃至配線ＷＣＬ［ｎ］と同様に、一例として、回路ＷＣＳから回路ＣＥＳに含まれているセルＩＭとセルＩＭｒに電流を流す配線として機能する。また、一例として、変換回路ＩＴＲＺＤ［ｊ］から回路ＣＥＳに含まれているセルＩＭとセルＩＭｒに電流を流す配線として機能する。

［０３２１］
また、図１３の演算回路ＭＡＣ２において、回路ＳＷＳ１は、トランジスタＦ３［ｊ］と、トランジスタＦ３ｒ［ｊ］と、を有する。トランジスタＦ３［ｊ］の第１端子は、配線ＷＣＬ［ｊ］に電気的に接続され、トランジスタＦ３［ｊ］の第２端子は、回路ＷＣＳに電気的に接続され、トランジスタＦ３［ｊ］のゲートは、配線ＳＷＬ１に電気的に接続されている。また、トランジスタＦ３ｒ［ｊ］の第１端子は、配線ＷＣＬｒ［ｊ］に電気的に接続され、トランジスタＦ３ｒ［ｊ］の第２端子は、回路ＷＣＳに電気的に接続され、トランジスタＦ３ｒ［ｊ］のゲートは、配線ＳＷＬ１

に電気的に接続されている。

［０３２２］

また、図１３の演算回路ＭＡＣ２において、回路ＳＷＳ２は、トランジスタＦ４［ｊ］と、トランジスタＦ４ｒ［ｊ］と、を有する。トランジスタＦ４［ｊ］の第１端子は、配線ＷＣＬ［ｊ］に電気的に接続され、トランジスタＦ４［ｊ］の第２端子は、変換回路ＩＴＲＺＤ［ｊ］に電気的に接続され、トランジスタＦ４［ｊ］のゲートは、配線ＳＷＬ２に電気的に接続されている。また、トランジスタＦ４ｒ［ｊ］の第１端子は、配線ＷＣＬｒ［ｊ］に電気的に接続され、トランジスタＦ４ｒ［ｊ］の第２端子は、変換回路ＩＴＲＺＤ［ｊ］に電気的に接続され、トランジスタＦ４ｒ［ｊ］のゲートは、配線ＳＷＬ２に電気的に接続されている。

［０３２３］

変換回路ＩＴＲＺＤ［ｊ］は、演算回路ＭＡＣ１における変換回路ＩＴＲＺ［１］乃至変換回路ＩＴＲＺ［ｎ］に相当する回路であって、例えば、変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬ［ｊ］に流れる電流の量と、変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬｒ［ｊ］に流れる電流の量と、の差分に応じた電圧を生成して、配線ＯＬ［ｊ］に出力する機能を有する。

［０３２４］

変換回路ＩＴＲＺＤ［ｊ］の具体的な構成例を図１４Ａに示す。図１４Ａに示す変換回路ＩＴＲＺＤ１は、図１３の変換回路ＩＴＲＺＤ［ｊ］に適用できる回路の一例である。なお、図１４Ａには、変換回路ＩＴＲＺＤ１の周辺の回路との電気的な接続を示すため、回路ＳＷＳ２、配線ＷＣＬ、配線ＷＣＬｒ、配線ＳＷＬ２、トランジスタＦ４、及びトランジスタＦ４ｒも図示している。また、配線ＷＣＬ及び配線ＷＣＬｒのそれぞれは、一例として、図１３の演算回路ＭＡＣ２に含まれている配線ＷＣＬ［ｊ］及び配線ＷＣＬｒ［ｊ］とし、トランジスタＦ４及びトランジスタＦ４ｒは、一例として、図１３の演算回路ＭＡＣ２に含まれているトランジスタＦ４［ｊ］及びトランジスタＦ４ｒ［ｊ］とすることができる。

［０３２５］

図１４Ａの変換回路ＩＴＲＺＤ１は、トランジスタＦ４を介して配線ＷＣＬに電気的に接続されている。また、変換回路ＩＴＲＺＤ１は、トランジスタＦ４ｒを介して配線ＷＣＬｒに電気的に接続されている。また、変換回路ＩＴＲＺＤ１は、配線ＯＬに電気的に接続されている。変換回路ＩＴＲＺＤ１は、変換回路ＩＴＲＺＤ１から配線ＷＣＬに流れる電流量、又は配線ＷＣＬから変換回路ＩＴＲＺＤ１に流れる電流量を第１の電圧に変換する機能と、変換回路ＩＴＲＺＤ１から配線ＷＣＬｒに流れる電流量、又は配線ＷＣＬｒから変換回路ＩＴＲＺＤ１に流れる電流量を第２の電圧に変換する機能と、第１の電圧と第２の電圧との差に応じたアナログ電圧を配線ＯＬに出力する機能と、を有する。

［０３２６］

図１４Ａの変換回路ＩＴＲＺＤ１は、一例として、抵抗ＲＰと、抵抗ＲＭと、オペアンプＯＰＰと、オペアンプＯＰＭと、オペアンプＯＰ２と、を有する。

［０３２７］

オペアンプＯＰＰの反転入力端子は、抵抗ＲＰの第１端子と、トランジスタＦ４の第２端子と、に電気的に接続されている。オペアンプＯＰＰの非反転入力端子は、配線ＶＲＰＬに電気的に接続されている。オペアンプＯＰＰの出力端子は、抵抗ＲＰの第２端子と、オペアンプＯＰ２の非反転入力端子と、に電気的に接続されている。また、オペアンプＯＰＭの反転入力端子は、抵抗ＲＭの第

１端子と、トランジスタＦ４ｒの第２端子と、に電気的に接続されている。オペアンプＯＰＭの非反転入力端子は、配線ＶＲＭＬに電気的に接続されている。オペアンプＯＰＭの出力端子は、抵抗ＲＭの第２端子と、オペアンプＯＰ２の反転入力端子と、に電気的に接続されている。オペアンプＯＰ２の出力端子は、配線ＯＬに電気的に接続されている。

［０３２８］

配線ＶＲＰＬは、定電位を与える配線として機能する。当該定電位としては、例えば、接地電位（ＧＮＤ）、又は低レベル電位などとすることができる。また、配線ＶＲＭＬは、定電位を与える配線として機能する。当該定電位としては、例えば、接地電位（ＧＮＤ）、又は低レベル電位などとすることができる。また、配線ＶＲＰＬ及び配線ＶＲＭＬのそれぞれが与える定電位は、互いに等しくてもよいし、互いに異なっていてもよい。特に、配線ＶＲＰＬ及び配線ＶＲＭＬのそれぞれが与える定電位を接地電位（ＧＮＤ）にすることによって、オペアンプＯＰＰの反転入力端子、及びオペアンプＯＰＭの反転入力端子のそれぞれを仮想接地にすることができる。

［０３２９］

変換回路ＩＴＲＺＤ１は、図１４Ａの構成にすることによって、配線ＷＣＬから、トランジスタＦ４を介して、変換回路ＩＴＲＺＤ１に流れる電流量、又は、変換回路ＩＴＲＺＤ１から、トランジスタＦ４を介して、配線ＷＣＬに流れる電流量を、第１の電圧に変換することができる。また、配線ＷＣＬｒから、トランジスタＦ４ｒを介して、変換回路ＩＴＲＺＤ１に流れる電流量、又は、変換回路ＩＴＲＺＤ１から、トランジスタＦ４ｒを介して、配線ＷＣＬｒに流れる電流量を、第２の電圧に変換することができる。そして、第１の電圧と第２の電圧との差に応じたアナログ電圧を配線ＯＬに出力することができる。

［０３３０］

また、図１４Ａの変換回路ＩＴＲＺＤ１は、アナログ電圧を出力する構成となっているが、図１３の変換回路ＩＴＲＺＤ［ｊ］に適用できる回路構成は、これに限定されない。例えば、変換回路ＩＴＲＺＤ１は、図８Ｃと同様に、図１４Ｂに示すとおり、アナログデジタル変換回路ＡＤＣを有する構成としてもよい。具体的には、図１４Ｂの変換回路ＩＴＲＺＤ２は、アナログデジタル変換回路ＡＤＣの入力端子がオペアンプＯＰ２の出力端子に電気的に接続され、アナログデジタル変換回路ＡＤＣの出力端子が配線ＯＬに電気的に接続されている構成となっている。このような構成にすることによって、図１４Ｂの変換回路ＩＴＲＺＤ２は、配線ＯＬにデジタル信号を出力することができる。

［０３３１］

また、変換回路ＩＴＲＺＤ２において、配線ＯＬに出力されるデジタル信号を１ビット（２値）とする場合、変換回路ＩＴＲＺ２は、図１４Ｃに示す変換回路ＩＴＲＺＤ３に置き換えてもよい。図１４Ｃの変換回路ＩＴＲＺ３は、図８Ｃと同様に、図１４Ａの変換回路ＩＴＲＺＤ１にコンパレータＣＭＰ２を設けた構成となっている。具体的には、変換回路ＩＴＲＺＤ３は、コンパレータＣＭＰ２の第１入力端子がオペアンプＯＰ２の出力端子に電気的に接続され、コンパレータＣＭＰ２の第２入力端子が配線ＶＲＬ３に電気的に接続され、コンパレータＣＭＰ２の出力端子が配線ＯＬに電気的に接続されている構成となっている。配線ＶＲＬ３は、コンパレータＣＭＰ２の第１端子の電位と比較するための電位を与える配線として機能する。このような構成にすることによって、図１４Ｃの変換回路ＩＴＲＺＤ３は、トランジスタＦ４のソースードレイン間に流れる電流量から変換された第１の電圧とトランジスタＦ４ｒのソースードレイン間に流れる電流量から変換された第

２の電圧との差と、配線ＶＲＬ３が与える電圧と、との大小に応じて、配線ＯＬに低レベル電位又は高レベル電位（２値のデジタル信号）を出力することができる。

［０３３２］

＜＜第１データの保持の例＞＞

次に、図１３の演算回路ＭＡＣ２において、正、負、又は“０”の第１データと、正、又は“０”の第２データとの積和演算を行うための、第１データを回路ＣＥＳに保持する一例について説明する。

［０３３３］

回路ＣＥＳは、セルＩＭと、セルＩＭｒと、を有するため、回路ＣＥＳは、第１データの保持として、セルＩＭと、セルＩＭｒと、の２つの回路を用いることができる。つまり、回路ＣＥＳは、２つの電流量を設定して、それぞれの電流量に応じた電位をセルＩＭと、セルＩＭｒと、に保持することができる。このため、第１データを、セルＩＭで設定される電流量と、セルＩＭｒで設定される電流量と、で表すことができる。ここで、回路ＣＥＳに保持される、正の第１データ、負の第１データ、又は“０”の第１データを次の通りに定義する。

［０３３４］

回路ＣＥＳ［１，ｊ］に正の第１データを保持する場合、セルＩＭ［１，ｊ］には、一例として、セルＩＭ［１，ｊ］のトランジスタＦ２の第１端子－第２端子間に正の第１データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［１，ｊ］）に当該電流量に応じた電位を保持する。一方、セルＩＭｒ［１，ｊ］には、一例として、セルＩＭｒ［１，ｊ］のトランジスタＦ２ｒの第１端子－第２端子間に電流が流れないように設定する。具体的には、トランジスタＦ２ｒのゲート（ノードＮＮｒ［１，ｊ］）には、例えば、配線ＶＥが与える電位、又は、図６Ａの回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位、などが保持されていればよい。

［０３３５］

また、回路ＣＥＳ［１，ｊ］に負の第１データを保持する場合、セルＩＭｒ［１，ｊ］には、一例として、セルＩＭｒ［１，ｊ］のトランジスタＦ２ｒには負の第１データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２ｒのゲート（ノードＮＮｒ［１，ｊ］）に当該電流量に応じた電位を保持する。一方、セルＩＭ［１，ｊ］は、一例として、セルＩＭ［１，ｊ］のトランジスタＦ２には電流が流れないように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［１，ｊ］）には、例えば、配線ＶＥが与える電位、又は、図６Ａの回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位、などが保持されていればよい。

［０３３６］

また、回路ＣＥＳ［１，ｊ］に“０”の第１データを保持する場合、一例として、セルＩＭ［１，ｊ］のトランジスタＦ２、及びセルＩＭｒ［１，ｊ］のトランジスタＦ２ｒのそれぞれには電流が流れないように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［１，ｊ］）及びトランジスタＦ２ｒのゲート（ノードＮＮｒ［１，ｊ］）には、例えば、配線ＶＥが与える電位、又は、図６Ａの回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位、などが保持されていればよい。

［０３３７］

なお、他の回路ＣＥＳについても、正の第１データ、又は負の第１データを保持するとき、上述し

た回路ＣＥＳ［１，ｊ］と同様に、セルＩＭと配線ＷＣＬとの間、又は、セルＩＭｒと配線ＷＣＬｒとの間、の一方には第１データに応じた電流量が流れるように設定し、セルＩＭと配線ＷＣＬとの間、又は、セルＩＭｒと配線ＷＣＬｒとの間、の他方には電流が流れないように設定すればよい。また、他の回路ＣＥＳに、“０”の第１データを保持するとき、上述した回路ＣＥＳ［１，ｊ］と同様に、セルＩＭと配線ＷＣＬとの間、及びセルＩＭｒと配線ＷＣＬｒとの間には電流が流れないように設定すればよい。

［０３３８］

例えば、“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、及び“－３”のそれぞれの場合を第１データとして回路ＣＥＳに保持するとき、配線ＷＣＬからセルＩＭに流れる電流量の設定、及び配線ＷＣＬｒからセルＩＭｒに流れる電流量の設定を上記のとおりに従うことで、第１データ“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、及び“－３”のそれぞれは、次表のとおりに定義することができる。

［０３３９］

［表１］

第１データ	配線ＷＣＬから セルＩＭに流れる電流	配線ＷＣＬｒから セルＩＭｒに流れる電流
＋３	$3I_{Wut}$	0
＋２	$2I_{Wut}$	0
＋１	I_{Wut}	0
0	0	0
－１	0	I_{Wut}
－２	0	$2I_{Wut}$
－３	0	$3I_{Wut}$

［０３４０］

ここで、図１３の演算回路ＭＡＣ２において、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］のそれぞれに第１データが保持され、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれに第２データが入力された場合を考える。このとき、配線ＳＷＬ１に低レベル電位を与えてトランジスタＦ３［ｊ］、及びトランジスタＦ３ｒ［ｊ］をオフ状態にし、このとき、配線ＳＷＬ２に高レベル電位を与えてトランジスタＦ４［ｊ］、及びトランジスタＦ４ｒ［ｊ］をオン状態にする。これにより、変換回路ＩＴＲＺＤ［ｊ］と配線ＷＣＬ［ｊ］との間が導通状態となるため、変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬ［ｊ］に電流が流れる場合がある。また、変換回路ＩＴＲＺＤ［ｊ］と配線ＷＣＬｒ［ｊ］との間が導通状態となるため、変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬｒ［ｊ］に電流が流れる場合がある。変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬ［ｊ］に流れる電流量の総和をI_{S}［ｊ］とし、及び変換回路ＩＴＲＺＤ［ｊ］から配線ＷＣＬｒ［ｊ］に流れる電流量の総和をI_{Sr}［ｊ］として、実施の形態２で説明した演算回路ＭＡＣ１の動作例を参酌すると、I_{S}［ｊ］及びI_{Sr}［ｊ］は、次の式で表すことができる。

［０３４１］

［数１９］

$$I_{S}[j] = I_{ref0}\sum_{i=1}^{m} x[i]w[i,j] \quad \cdots(2.1)$$

$$I_{Sr}[j] = I_{ref0}\sum_{i=1}^{m} x[i]w_{r}[i,j] \quad \cdots(2.2)$$

［０３４２］

なお、式（２．１）に示すｗ［ｉ，ｊ］は、セルＩＭ［ｉ，ｊ］に書き込まれる第１データの値であり、式（２．２）に示すｗｒ［ｉ，ｊ］は、セルＩＭｒ［ｉ，ｊ］に書き込まれる第１データの値である。なお、ｗ［ｉ，ｊ］、又はｗｒ［ｉ，ｊ］の一方が“０”でない値であるとき、ｗ［ｉ，ｊ］、又はｗｒ［ｉ，ｊ］の他方は“０”の値とすることによって、回路ＣＥＳ［ｉ，ｊ］に保持される第１データは、例えば、表１に示した定義などに従うことができる。

［０３４３］

変換回路ＩＴＲＺＤ［ｊ］は、例えば、配線ＷＣＬに流れる電流量の総和Ｉｓ［ｊ］を第１の電圧に変換し、配線ＷＣＬｒに流れる電流量の総和Ｉｓｒ［ｊ］を第２の電圧に変換する。そして、変換回路ＩＴＲＺＤ［ｊ］は、第１の電圧と第２の電圧との差に応じた電圧を配線ＯＬに出力することができる。

［０３４４］

ところで、図１４Ａ乃至図１４Ｃのそれぞれに示した変換回路ＩＴＲＺＤ１乃至変換回路ＩＴＲＺＤ３は、配線ＯＬに電圧を出力する回路構成としたが、本発明の一態様は、これに限定されない。例えば、図１３の演算回路ＭＡＣ２に含まれている変換回路ＩＴＲＺＤ［ｊ］は、電流を出力する回路構成としてもよい。

［０３４５］

図１５に示す変換回路ＩＴＲＺＤ４は、図１３の演算回路ＭＡＣ２に含まれている変換回路ＩＴＲＺＤ［ｊ］に適用することができる回路であり、積和演算及び活性化関数の演算の結果を電流量として出力する回路構成となっている。

［０３４６］

なお、図１５には、変換回路ＩＴＲＺＤ４の周辺の回路との電気的な接続を示すため、回路ＳＷＳ２、配線ＷＣＬ、配線ＷＣＬｒ、配線ＯＬ、トランジスタＦ４、及びトランジスタＦ４ｒも図示している。また、配線ＷＣＬ及び配線ＷＣＬｒのそれぞれは、一例として、図１３の演算回路ＭＡＣ２に含まれている配線ＷＣＬ［ｊ］及び配線ＷＣＬｒ［ｊ］とし、トランジスタＦ４及びトランジスタＦ４ｒは、一例として、図１３の演算回路ＭＡＣ２に含まれているトランジスタＦ４［ｊ］及びトランジスタＦ４ｒ［ｊ］とすることができる。

［０３４７］

図１５の変換回路ＩＴＲＺＤ４は、トランジスタＦ４を介して配線ＷＣＬに電気的に接続されている。また、変換回路ＩＴＲＺＤ４は、トランジスタＦ４ｒを介して配線ＷＣＬｒに電気的に接続されている。また、変換回路ＩＴＲＺＤ４は、配線ＯＬに電気的に接続されている。変換回路ＩＴＲＺＤ４は、変換回路ＩＴＲＺＤ４から配線ＷＣＬに流れる電流量、又は配線ＷＣＬから変換回路ＩＴＲＺＤ４に流れる電流量の一方と、変換回路ＩＴＲＺＤ４から配線ＷＣＬｒに流れる電流量、又は配線ＷＣＬｒから変換回路ＩＴＲＺＤ４に流れる電流量の一方と、の差分電流を取得する機能を

有する。また、当該差分電流を、変換回路ＩＴＲＺＤ４と配線ＯＬとの間に流す機能を有する。

［０３４８］

図１５の変換回路ＩＴＲＺＤ４は、一例として、トランジスタＦ５と、電流源ＣＩと、電流源ＣＩｒと、カレントミラー回路ＣＭ１と、を有する。

［０３４９］

トランジスタＦ４の第２端子は、カレントミラー回路ＣＭ１の第１端子と、電流源ＣＩの出力端子と、に電気的に接続され、トランジスタＦ４ｒの第２端子は、カレントミラー回路ＣＭ１の第２端子と、電流源ＣＩｒの出力端子と、トランジスタＦ５の第１端子と、に電気的に接続されている。また、電流源ＣＩの入力端子は、配線ＶＨＥに電気的に接続され、電流源ＣＩｒの入力端子は、配線ＶＨＥに電気的に接続されている。また、カレントミラー回路ＣＭ１の第３端子は、配線ＶＳＥに電気的に接続され、カレントミラー回路ＣＭ１の第４端子は、配線ＶＳＥに電気的に接続されている。

［０３５０］

トランジスタＦ５の第２端子は、配線ＯＬに電気的に接続され、トランジスタＦ５のゲートは、配線ＯＥＬに電気的に接続されている。

［０３５１］

カレントミラー回路ＣＭ１は、一例として、カレントミラー回路ＣＭ１の第１端子の電位に応じた電流量を、カレントミラー回路ＣＭ１の第１端子と第３端子との間と、カレントミラー回路ＣＭ１の第２端子と第４端子との間と、に流す機能を有する。

［０３５２］

配線ＶＨＥは、例えば、定電位を与える配線として機能する。具体的には、当該定電位としては、例えば、高レベル電位などとすることができる。

［０３５３］

配線ＶＳＥは、例えば、定電位を与える配線として機能する。具体的には、当該定電位としては、例えば、低レベル電位、又は接地電位などとすることができる。

［０３５４］

配線ＯＥＬは、例えば、トランジスタＦ５をオン状態、又はオフ状態に切り替えるための信号を送信するための配線として機能する。具体的には、例えば、配線ＯＥＬには、高レベル電位、又は低レベル電位を入力すればよい。

［０３５５］

電流源ＣＩは、電流源ＣＩの入力端子と出力端子との間に定電流を流す機能を有する。また、電流源ＣＩｒは、電流源ＣＩｒの入力端子と出力端子との間に定電流を流す機能を有する。なお、図１５の変換回路ＩＴＲＺＤ４において、電流源ＣＩが流す電流の大きさと、電流源ＣＩｒが流す電流の大きさと、は等しいことが好ましい。

［０３５６］

ここで、図１５の変換回路ＩＴＲＺＤ４の動作例について、説明する。

［０３５７］

初めに、変換回路ＩＴＲＺＤ４からトランジスタＦ４を介して配線ＷＣＬに流れる電流の量をI_sとし、変換回路ＩＴＲＺＤ４からトランジスタＦ４ｒを介して配線ＷＣＬｒに流れる電流の量をI_{sr}とする。また、電流源ＣＩ及び電流源ＣＩｒのそれぞれが流す電流の量をI_0とする。

［０３５８］

I_Sは、図１３の演算回路ＭＡＣ２において、例えば、ｊ列目に位置するセルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に流れる電流量の総和とする。また、I_{Sr}は、図１３の演算回路ＭＡＣ２において、例えば、ｊ列目に位置するセルＩＭｒ［１，ｊ］乃至セルＩＭｒ［ｍ，ｊ］に流れる電流量の総和とする。

［０３５９］

配線ＳＷＬ２に高レベル電位が入力されることによって、トランジスタＦ４、及びトランジスタＦ４ｒはオン状態となる。このため、カレントミラー回路ＣＭ１の第１端子から第３端子に流れる電流量は、I_0-I_Sとなる。また、カレントミラー回路ＣＭ１によって、カレントミラー回路ＣＭ１の第２端子から第４端子にI_0-I_Sの電流量が流れる。

［０３６０］

次に、配線ＯＥＬに高レベル電位が入力されて、トランジスタＦ５がオン状態となる。このとき、配線ＯＬに流れる電流量をI_{out}とすると、$I_{out}=I_0-(I_0-I_S)-I_{Sr}=I_S-I_{Sr}$となる。

［０３６１］

ここで、図１３の演算回路ＭＡＣ２において、正、負、又は“０”の第１データと、正、又は“０”の第２データとの積和演算を行うための、第１データの回路ＣＥＳへの保持については、上記の第１データの保持の例を参酌する。

［０３６２］

つまり、回路ＣＥＳ［ｉ，ｊ］に正の第１データを保持する場合、セルＩＭ［ｉ，ｊ］には、セルＩＭ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に正の第１データの値の絶対値に応じた電流量が流れるように設定し、セルＩＭｒ［ｉ，ｊ］には、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒの第１端子－第２端子間に電流が流れないように設定する。また、回路ＣＥＳ［ｉ，ｊ］に負の第１データを保持する場合、セルＩＭ［ｉ，ｊ］には、セルＩＭ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に電流が流れないように設定し、セルＩＭｒ［ｉ，ｊ］には、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒの第１端子－第２端子間に負の第１データの値の絶対値に応じた電流量が流れるように設定する。また、回路ＣＥＳ［ｉ，ｊ］に“０”の第１データを保持する場合、セルＩＭ［ｉ，ｊ］には、セルＩＭ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に電流が流れないように設定し、セルＩＭｒ［ｉ，ｊ］には、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒの第１端子－第２端子間に電流が流れないように設定する。

［０３６３］

ここで、図１３の演算回路ＭＡＣ２の配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれに第２データが入力された場合、セルＩＭ［ｉ，ｊ］のトランジスタＦ２の第１端子－第２端子間に流れる電流量、及びセルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒの第１端子－第２端子間に流れる電流量のそれぞれは、第２データに比例する。

［０３６４］

I_Sはｊ列目に位置するセルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に流れる電流量の総和である。そのため、I_Sは、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］のうち、正の第１データが保持された回路ＣＥＳに含まれている、セルＩＭに流れる電流量の総和となり、例えば、式（２．１）と同様に表すことができる。つまり、I_Sは、正の第１データの絶対値と第２データとの積和演算

の結果に対応する。また、I_{Sr}はｊ列目に位置するセルＩＭｒ［１，ｊ］乃至セルＩＭｒ［ｍ，ｊ］に流れる電流量の総和である。そのため、I_{Sr}は、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］のうち、負の第１データが保持された回路ＣＥＳに含まれている、セルＩＭｒに流れる電流量の総和となり、例えば、式（２．２）と同様に表すことができる。つまり、I_{Sr}は、負の第１データの絶対値と第２データとの積和演算の結果に対応する。

［０３６５］

このため、配線ＯＬに流れる電流量$I_{out}=I_S-I_{Sr}$は、正の第１データの絶対値と第２データとの積和演算の結果と、負の第１データの絶対値と第２データとの積和演算の結果と、の差に対応する。つまり、$I_{out}=I_S-I_{Sr}$は、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］に保持されている、負、“０”、又は正の第１データと、配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］のそれぞれに入力される第２データとの積和演算の結果に対応する。

［０３６６］

ところで、セルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に流れる電流量の総和が、セルＩＭｒ［１，ｊ］乃至セルＩＭｒ［ｍ，ｊ］に流れる電流量の総和よりも大きいとき、すなわちI_SがI_{Sr}よりも大きいとき、I_{out}は０よりも大きい電流量となり、変換回路ＩＴＲＺＤ４から配線ＯＬに流れる。一方、セルＩＭ［１，ｊ］乃至セルＩＭ［ｍ，ｊ］に流れる電流量の総和が、セルＩＭｒ［１，ｊ］乃至セルＩＭｒ［ｍ，ｊ］に流れる電流量の総和よりも小さいとき、すなわちI_SがI_{Sr}よりも小さいとき、配線ＯＬから変換回路ＩＴＲＺＤ４に電流が流れない場合がある。つまり、I_SがI_{Sr}よりも小さいとき、I_{out}は概ね０とすることができる。このため、変換回路ＩＴＲＺＤ４は、例えば、ＲｅＬＵ関数として作用するとみなすことができる。

［０３６７］

ＲｅＬＵ関数は、例えば、階層型のニューラルネットワークの活性化関数に利用することができる。階層型のニューラルネットワークの演算では、前層のニューロンのそれぞれの信号の値（例えば、第２データとすることができる）と、対応する重み係数（例えば、第１データとすることができる）と、の積和を算出する必要がある。また、積和の結果に応じて活性化関数の値を計算する必要がある。このため、階層型のニューラルネットワークの活性化関数をＲｅＬＵ関数とした場合、当該ニューラルネットワークの演算は、変換回路ＩＴＲＺＤ４を含む演算回路ＭＡＣ２を用いることによって行うことができる。

［０３６８］

なお、階層型のニューラルネットワークについては、実施の形態４で後述する。

［０３６９］

次に、図１５の変換回路ＩＴＲＺＤ４の具体的な回路構成の例について説明する。

［０３７０］

図１６Ａに示す変換回路ＩＴＲＺＤ４は、図１５の変換回路ＩＴＲＺＤ４の一例である。具体的には、図１６Ａでは、カレントミラー回路ＣＭ１、電流源ＣＩ、及び電流源ＣＩｒのそれぞれの構成の例を示している。

［０３７１］

図１６Ａの変換回路ＩＴＲＺＤ４において、カレントミラー回路ＣＭ１は、一例として、トランジスタＦ６と、トランジスタＦ６ｒと、を有し、電流源ＣＩは、一例として、トランジスタＦ７を有し、電流源ＣＩｒは、一例として、トランジスタＦ７ｒを有する。なお、トランジスタＦ６、トラ

ンジスタＦ６ｒ、トランジスタＦ７、及びトランジスタＦ７ｒは、ｎチャネル型トランジスタとしている。

［０３７２］

例えば、カレントミラー回路ＣＭ１の第１端子は、トランジスタＦ６の第１端子と、トランジスタＦ６のゲートと、トランジスタＦ６ｒのゲートと、に電気的に接続され、カレントミラー回路ＣＭ１の第３端子は、トランジスタＦ６の第２端子に電気的に接続されている。また、カレントミラー回路ＣＭ１の第２端子は、トランジスタＦ６ｒの第１端子に電気的に接続され、カレントミラー回路ＣＭ１の第４端子は、トランジスタＦ６ｒの第２端子に電気的に接続されている。

［０３７３］

また、例えば、電流源ＣＩの出力端子は、トランジスタＦ７の第１端子と、トランジスタＦ７のゲートと、に電気的に接続され、電流源ＣＩの入力端子は、トランジスタＦ７の第２端子に電気的に接続されている。

［０３７４］

また、例えば、電流源ＣＩｒの出力端子は、トランジスタＦ７ｒの第１端子と、トランジスタＦ７ｒのゲートと、に電気的に接続され、電流源ＣＩｒの入力端子は、トランジスタＦ７ｒの第２端子に電気的に接続されている。

［０３７５］

トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれは、ゲートと第１端子とが電気的に接続されており、かつ第２端子と配線ＶＨＥとが電気的に接続されている。したがって、トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれのゲートーソース間電圧は０Ｖとなり、トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれのしきい値電圧が適切な範囲内である場合、トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれの第１端子ー第２端子間には、サブスレッショルド領域で動作するときの電流範囲の電流が流れる。つまり、トランジスタＦ７、及びトランジスタＦ７ｒのそれぞれは定電流源として機能する。

［０３７６］

なお、図１５の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒの構成は、図１６Ａに示した電流源ＣＩ、及び電流源ＣＩｒに限定されない。変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれの構成は、状況に応じて、変更を行ってもよい。

［０３７７］

例えば、図１５の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれは、図１６Ｂに示す構成としてもよい。

［０３７８］

図１６Ｂの電流源ＣＩ（電流源ＣＩｒ）は、一例として、複数の電流源ＣＳＡを有する。また、複数の電流源ＣＳＡのそれぞれは、トランジスタＦ７と、トランジスタＦ７ｓと、端子Ｕ１と、端子Ｕ２と、端子Ｕ３と、を有する。

［０３７９］

電流源ＣＳＡは、一例として、端子Ｕ２と端子Ｕ１との間に電流量としてI_{CSA}を流す機能を有する。また、電流源ＣＩ（電流源ＣＩｒ）は、例えば、$2^{P}-1$個（Ｐは１以上の整数である）の電流源ＣＳＡを有するものとしたとき、電流源ＣＩ（電流源ＣＩｒ）は、出力端子に電流量として$s\times I_{CSA}$（ｓは０以上$2^{P}-1$以下の整数である）を流すことができる。

［０３８０］

なお、実際には、電流源ＣＩ（電流源ＣＩｒ）の作製段階において、それぞれの電流源ＣＳＡに含まれているトランジスタの電気特性のバラツキによって誤差が現れることがある。そのため、複数の電流源ＣＳＡの端子Ｕ１のそれぞれから出力される定電流I_{CSA}の誤差は１０％以内が好ましく、５％以内であることがより好ましく、１％以内であることがより好ましい。なお、本実施の形態では、電流源ＣＩ（電流源ＣＩｒ）に含まれている複数の電流源ＣＳＡの端子Ｕ１から出力される定電流I_{CSA}の誤差は無いものとして説明する。

［０３８１］

複数の電流源ＣＳＡの一において、トランジスタＦ７ｓの第１端子は、端子Ｕ１に電気的に接続され、トランジスタＦ７ｓのゲートは、端子Ｕ３に電気的に接続されている。トランジスタＦ７の第１端子は、トランジスタＦ７のゲートと、トランジスタＦ７ｓの第２端子と、に電気的に接続されている。トランジスタＦ７の第２端子は、端子Ｕ２に電気的に接続されている。

［０３８２］

複数の電流源ＣＳＡのそれぞれの端子Ｕ１は、電流源ＣＩ（電流源ＣＩｒ）の出力端子に電気的に接続されている。また、複数の電流源ＣＳＡのそれぞれの端子Ｕ２は、電流源ＣＩ（電流源ＣＩｒ）の入力端子に電気的に接続されている。つまり、複数の電流源ＣＳＡのそれぞれの端子Ｕ２と、配線ＶＨＥと、の間は導通となっている。

［０３８３］

また、１個の電流源ＣＳＡの端子Ｕ３は配線ＣＬ［１］に電気的に接続され、２個の電流源ＣＳＡの端子Ｕ３のそれぞれは配線ＣＬ［２］に電気的に接続され、2^{P-1}個の電流源ＣＳの端子Ｕ３のそれぞれは配線ＣＬ［Ｐ］に電気的に接続されている。

［０３８４］

配線ＣＬ［１］乃至配線ＣＬ［Ｐ］は、電気的に接続されている電流源ＣＳＡから定電流I_{CSA}を出力するための制御信号を送信する配線として機能する。具体的には、例えば、配線ＣＬ［１］に高レベル電位が与えられているとき、配線ＣＬ［１］に電気的に接続されている電流源ＣＳＡは、定電流としてI_{CSA}を端子Ｕ１に流し、また、配線ＣＬ［１］に低レベル電位が与えられているとき、配線ＣＬ［１］に電気的に接続されている電流源ＣＳＡは、I_{CSA}を出力しない。また、例えば、配線ＣＬ［２］に高レベル電位が与えられているとき、配線ＣＬ［２］に電気的に接続されている２個の電流源ＣＳＡは、合計$2I_{CSA}$を定電流として端子Ｕ１に流し、また、配線ＣＬ［２］に低レベル電位が与えられているとき、配線ＣＬ［２］に電気的に接続されている電流源ＣＳＡは、合計$2I_{CSA}$の定電流を出力しない。また、例えば、配線ＣＬ［Ｐ］に高レベル電位が与えられているとき、配線ＣＬ［Ｐ］に電気的に接続されている2^{P-1}個の電流源ＣＳＡは、合計$2^{P-1}I_{CSA}$を定電流として端子Ｕ１に流し、また、配線ＣＬ［Ｐ］に低レベル電位が与えられているとき、配線ＣＬ［Ｐ］に電気的に接続されている電流源ＣＳＡは、合計$2^{P-1}I_{CSA}$の定電流を出力しない。

［０３８５］

このため、電流源ＣＩ（電流源ＣＩｒ）は、配線ＣＬ［１］乃至配線ＣＬ［Ｐ］から選ばれた一本以上の配線に高レベル電位を与えることによって、電流源ＣＩ（電流源ＣＩｒ）の出力端子に電流を流すことができる。また、当該電流の量は、高レベル電位を入力する、配線ＣＬ［１］乃至配線ＣＬ［Ｐ］から選ばれた一本以上の配線の組み合わせによって定めることができる。例えば、配線

ＣＬ［１］及び配線ＣＬ［２］に高レベル電位が与えられ、配線ＣＬ［３］（図示せず）乃至配線ＣＬ［Ｐ］に低レベル電位が与えられているとき、電流源ＣＩ（電流源ＣＩｒ）は、電流源ＣＩ（電流源ＣＩｒ）の出力端子に合計３I_{CSA}の電流を流すことができる。

［０３８６］

上記の通り、図１６Ｂの電流源ＣＩ（電流源ＣＩｒ）を用いることによって、状況に応じて、電流源ＣＩ（電流源ＣＩｒ）が出力端子に流す電流量を変化させることができる。

［０３８７］

また、図１５の変換回路ＩＴＲＺＤ４として、図１６Ａの変換回路ＩＴＲＺＤ４を適用することによって、変換回路ＩＴＲＺＤ４に含まれるすべてのトランジスタをＯＳトランジスタとすることができる。また、例えば、演算回路ＭＡＣ２のセルアレイＣＡ、回路ＷＣＳ、及び回路ＸＣＳなどは、ＯＳトランジスタのみで構成することができるため、変換回路ＩＴＲＺＤ４は、セルアレイＣＡ、回路ＷＣＳ、及び回路ＸＣＳなどと同時に作製することができる。そのため、演算回路ＭＡＣ２の作製工程を短縮することができる場合がある。なお、これは、図１６Ａの変換回路ＩＴＲＺＤ４の電流源ＣＩ及び電流源ＣＩｒに図１６Ｂの電流源ＣＩ（電流源ＣＩｒ）を適用した場合についても同様である。

［０３８８］

例えば、図１５の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれは、互いに同じ電流を流す必要があるため、電流源ＣＩ、及び電流源ＣＩｒのそれぞれをカレントミラー回路に置き換えてもよい。

［０３８９］

図１７Ａに示す変換回路ＩＴＲＺＤ４は、図１５の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれをカレントミラー回路ＣＭ２に置き換えた構成となっている。カレントミラー回路ＣＭ２は、一例として、トランジスタＦ８と、トランジスタＦ８ｒと、を有する。なお、トランジスタＦ８、及びトランジスタＦ８ｒは、ｐチャネル型トランジスタとしている。

［０３９０］

トランジスタＦ８の第１端子は、トランジスタＦ８のゲートと、トランジスタＦ８ｒのゲートと、トランジスタＦ４の第２端子と、カレントミラー回路ＣＭ１の第１端子と、に電気的に接続されている。トランジスタＦ８の第２端子は、配線ＶＨＥに電気的に接続されている。トランジスタＦ８ｒの第１端子は、トランジスタＦ４ｒの第２端子と、カレントミラー回路ＣＭ１の第２端子と、に電気的に接続されている。トランジスタＦ８ｒの第２端子は、配線ＶＨＥに電気的に接続されている。

［０３９１］

図１７Ａの変換回路ＩＴＲＺＤ４のとおり、図１５の変換回路ＩＴＲＺＤ４に含まれる電流源ＣＩ、及び電流源ＣＩｒのそれぞれをカレントミラー回路ＣＭ２に置き換えることによって、トランジスタＦ４の第２端子とカレントミラー回路ＣＭ１の第１端子との接続点、及びトランジスタＦ４ｒの第２端子とカレントミラー回路ＣＭ１の第２端子とトランジスタＦ５の第１端子との接続点のそれぞれに互いにほぼ等しい電流量を流すことができる。

［０３９２］

なお、図１７Ａでは、カレントミラー回路ＣＭ２をトランジスタＦ８と、トランジスタＦ８ｒと、からなる構成として図示したが、カレントミラー回路ＣＭ２の回路構成は、これに限定されない。

例えば、カレントミラー回路ＣＭ２は、後述する図１７Ｃと同様に、カレントミラー回路ＣＭ２に含まれるトランジスタをカスコード接続した構成としてもよい。このように、図１７Ａのカレントミラー回路ＣＭ２の回路構成は、状況に応じて変更を行ってもよい。

［０３９３］

なお、図１７Ａの変換回路ＩＴＲＺＤ４は、図１７Ｂに示す変換回路ＩＴＲＺＤ４に構成のとおり、カレントミラー回路ＣＭ１を設けない構成としてもよい。図１７Ｂに示す変換回路ＩＴＲＺＤ４は、カレントミラー回路ＣＭ２の第１端子からトランジスタＦ４の第２端子に流れる電流量と、カレントミラー回路ＣＭ２の第２端子からトランジスタＦ４ｒの第２端子とトランジスタＦ５の第１端子との接続点に流れる電流量と、を互いにほぼ等しくすることができる。そのため、I_SがI_{Sr}よりも大きい場合に、図１７Ｂの配線ＯＬに流れる電流量は、図１５の変換回路ＩＴＲＺＤ４と同様にI_S-I_{Sr}とすることができる。

［０３９４］

図１７Ｂの変換回路ＩＴＲＺＤ４は、カレントミラー回路ＣＭ１を設けない構成となっているため、図１７Ａの変換回路ＩＴＲＺＤ４よりも回路面積を低減することができる。また、カレントミラー回路ＣＭ２からカレントミラー回路ＣＭ１に流れる定常電流が無くなるため、図１７Ｂの変換回路ＩＴＲＺＤ４は、図１７Ａの変換回路ＩＴＲＺＤ４よりも消費電力を低減することができる。

［０３９５］

なお、図１７Ｂでは、トランジスタＦ８、及びトランジスタＦ８ｒを図示せず、カレントミラー回路ＣＭ２をブロック図として図示している。そのため、図１７Ｂのカレントミラー回路ＣＭ２は、図１７Ａのカレントミラー回路ＣＭ２と同様に、状況に応じて、構成を決めることができる。

［０３９６］

また、図１５の変換回路ＩＴＲＺＤ４に含まれるカレントミラー回路ＣＭ１は、図１６Ａに示したカレントミラー回路ＣＭ１に限定されない。図１６Ａの変換回路ＩＴＲＺＤ４に含まれるカレントミラー回路ＣＭ１の構成は、状況に応じて、変更を行ってもよい。

［０３９７］

例えば、図１５の変換回路ＩＴＲＺＤ４に含まれるカレントミラー回路ＣＭ１は、図１７Ｃに示すカレントミラー回路ＣＭ１としてもよい。図１７Ｃに示すカレントミラー回路ＣＭ１は、図１６Ａに示すカレントミラー回路ＣＭ１に更にｎチャネル型トランジスタであるトランジスタＦ６ｓ及びトランジスタＦ６ｓｒを設けて、トランジスタＦ６とトランジスタＦ６ｓとでカスコード接続し、トランジスタＦ６ｒとトランジスタＦ６ｓｒとでカスコード接続した構成となっている。図１７Ｃのとおり、カレントミラー回路に含まれるトランジスタをカスコード接続することによって、当該カレントミラー回路の動作をより安定させることができる。

［０３９８］

＜演算回路の構成例２＞

図１８は、正、負、又は“０”の第１データと、正、負、又は“０”の第２データと、の積和演算を行う演算回路の構成例を示している。図１８に示す演算回路ＭＡＣ３は、図１３の演算回路ＭＡＣ２を変更した構成となっている。そのため、演算回路ＭＡＣ３の説明において、演算回路ＭＡＣ１及び演算回路ＭＡＣ２の説明と重複する部分については省略する。

［０３９９］

図１８に示す回路ＣＥＳ［ｉ，ｊ］は、セルＩＭ［ｉ，ｊ］と、セルＩＭｒ［ｉ，ｊ］と、に加え、

セルＩＭｓ［ｉ，ｊ］と、セルＩＭｓｒ［ｉ，ｊ］と、を有する。なお、図１８では、回路ＣＥＳ［ｉ，ｊ］を図示しており、それ以外の回路ＣＥＳについては省略する。また、本明細書等では、例えば、回路ＣＥＳ［ｉ，ｊ］、セルＩＭ［ｉ，ｊ］、セルＩＭｒ［ｉ，ｊ］、セルＩＭｓ［ｉ，ｊ］、及びセルＩＭｓｒ［ｉ，ｊ］などを説明する際、それぞれの符号に付記している［ｉ，ｊ］などを省略する場合がある。

［０４００］

セルＩＭｓ及びセルＩＭｓｒは、セルＩＭと同様の構成とすることができる。図１８のセルＩＭｓ及びセルＩＭｓｒは、一例として、セルＩＭと同様の構成として図示している。また、セルＩＭとセルＩＭｓとセルＩＭｓｒとのそれぞれに含まれている例えばトランジスタ及び容量などを互いに区別できるように、セルＩＭｓに含まれているトランジスタ及び容量を示す符号には「ｓ」を付し、セルＩＭｓｒに含まれているトランジスタ及び容量を示す符号には「ｓｒ」を付している。

［０４０１］

具体的には、セルＩＭｓは、トランジスタＦ１ｓと、トランジスタＦ２ｓと、容量Ｃ５ｓと、を有する。なお、トランジスタＦ１ｓはセルＩＭのトランジスタＦ１に相当し、トランジスタＦ２ｓはセルＩＭのトランジスタＦ２に相当し、容量Ｃ５ｓはセルＩＭの容量Ｃ５に相当する。そのため、トランジスタＦ１ｓと、トランジスタＦ２ｓと、容量Ｃ５ｓと、のそれぞれの電気的な接続構成については、実施の形態２のＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］の説明を参酌する。

［０４０２］

また、セルＩＭｓｒは、トランジスタＦ１ｓｒと、トランジスタＦ２ｓｒと、容量Ｃ５ｓｒと、を有する。なお、トランジスタＦ１ｓｒはセルＩＭのトランジスタＦ１に相当し、トランジスタＦ２ｓｒはセルＩＭのトランジスタＦ２に相当し、容量Ｃ５ｓｒはセルＩＭの容量Ｃ５に相当する。そのため、トランジスタＦ１ｓｒと、トランジスタＦ２ｓｒと、容量Ｃ５ｓｒと、のそれぞれの電気的な接続構成については、セルＩＭｒと同様に、実施の形態２のＩＭ［１，１］乃至セルＩＭ［ｍ，ｎ］の説明を参酌する。

［０４０３］

また、セルＩＭｓにおいて、トランジスタＦ１ｓの第１端子と、トランジスタＦ２ｓのゲートと、容量Ｃ５ｓの第１端子と、の接続箇所をノードＮＮｓとし、セルＩＭｓｒにおいて、トランジスタＦ１ｓｒの第１端子と、トランジスタＦ２ｓｒのゲートと、容量Ｃ５ｓｒの第１端子と、の接続箇所をノードＮＮｓｒとしている。

［０４０４］

回路ＣＥＳ［ｉ，ｊ］において、容量Ｃ５の第２端子は、配線ＸＣＬ［ｉ］に電気的に接続され、トランジスタＦ１のゲートは、配線ＷＳＬ［ｉ］に電気的に接続され、トランジスタＦ１の第２端子とトランジスタＦ２の第２端子とは、配線ＷＣＬ［ｊ］に電気的に接続されている。また、容量Ｃ５ｒの第２端子は、配線ＸＣＬ［ｉ］に電気的に接続され、トランジスタＦ１ｒのゲートは、配線ＷＳＬ［ｉ］に電気的に接続され、トランジスタＦ１ｒの第２端子とトランジスタＦ２ｒの第２端子とは、配線ＷＣＬｒ［ｊ］に電気的に接続されている。

［０４０５］

また、容量Ｃ５ｓの第２端子は、配線ＸＣＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｓのゲートは、配線ＷＳＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｓの第２端子とトランジスタＦ２ｓの第２端子とは、配線ＷＣＬ［ｊ］に電気的に接続されている。また、容量Ｃ５ｓｒの第

２端子は、配線ＸＣＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｓｒのゲートは、配線ＷＳＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｓｒの第２端子とトランジスタＦ２ｓｒの第２端子とは、配線ＷＣＬｒ［ｊ］に電気的に接続されている。

［０４０６］

図１８に示す回路ＣＥＳｒｅｆ［ｉ］は、セルＩＭｒｅｆ［ｉ］に加え、セルＩＭｒｅｆｓ［ｉ］を有する。なお、図１８では、回路ＣＥＳｒｅｆ［ｉ］を図示しており、それ以外の回路ＣＥＳｒｅｆについては省略する。また、本明細書等では、例えば、回路ＣＥＳｒｅｆ［ｉ］、セルＩＭｒｅｆ［ｉ］、及びセルＩＭｒｅｆｓ［ｉ］などを説明する際、それぞれの符号に付記している［ｉ］などを省略する場合がある。

［０４０７］

セルＩＭｒｅｆｓは、セルＩＭｒｅｆと同様の構成とすることができる。図１８のセルＩＭｒｅｆｓは、一例として、セルＩＭｒｅｆと同様の構成として図示している。また、セルＩＭｒｅｆとセルＩＭｒｅｆｓとのそれぞれに含まれている例えばトランジスタ及び容量などを互いに区別できるように、セルＩＭｒｅｆｓに含まれているトランジスタ及び容量を示す符号には「ｓ」を付している。

［０４０８］

具体的には、セルＩＭｒｅｆｓは、トランジスタＦ１ｍｓと、トランジスタＦ２ｍｓと、容量Ｃ５ｍｓと、を有する。なお、トランジスタＦ１ｍｓはセルＩＭｒｅｆのトランジスタＦ１ｍに相当し、トランジスタＦ２ｍｓはセルＩＭｒｅｆのトランジスタＦ２ｍに相当し、容量Ｃ５ｍｓはセルＩＭｒｅｆの容量Ｃ５ｍに相当する。そのため、トランジスタＦ１ｍｓと、トランジスタＦ２ｍｓと、容量Ｃ５ｍｓと、のそれぞれの電気的な接続構成については、実施の形態２のＩＭｒｅｆ［１］乃至セルＩＭｒｅｆ［ｍ］の説明を参酌する。

［０４０９］

また、セルＩＭｒｅｆｓにおいて、トランジスタＦ１ｍｓの第１端子と、トランジスタＦ２ｍｓのゲートと、容量Ｃ５ｍｓの第１端子と、の接続箇所をノードＮＮｒｅｆｓとしている。

［０４１０］

回路ＣＥＳｒｅｆ［ｉ］において、容量Ｃ５ｍの第２端子は、配線ＸＣＬ［ｉ］に電気的に接続され、トランジスタＦ１ｍのゲートは、配線ＷＳＬ［ｉ］に電気的に接続され、トランジスタＦ１ｍの第２端子とトランジスタＦ２ｍの第２端子とは、配線ＸＣＬ［ｉ］に電気的に接続されている。また、容量Ｃ５ｍｓの第２端子は、配線ＸＣＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｍｓのゲートは、配線ＷＳＬｓ［ｉ］に電気的に接続され、トランジスタＦ１ｍｓの第２端子とトランジスタＦ２ｍｓの第２端子とは、配線ＸＣＬｓ［ｉ］に電気的に接続されている。

［０４１１］

配線ＸＣＬ［ｉ］及び配線ＸＣＬｓ［ｉ］のそれぞれは、実施の形態２で説明した配線ＸＣＬ［１］乃至配線ＸＣＬ［ｍ］と同様に、一例として、回路ＸＣＳから回路ＣＥＳに含まれているセルＩＭとセルＩＭｒとセルＩＭｓとセルＩＭｓｒとに電流を流す配線、また、一例として、回路ＸＣＳから回路ＣＥＳｒｅｆに含まれているセルＩＭｒｅｆとセルＩＭｒｅｆｓとに電流を流す配線、として機能する。

［０４１２］

配線ＷＳＬ［ｉ］及び配線ＷＳＬｓ［ｉ］のそれぞれは、実施の形態２で説明した配線ＷＳＬ［１］

乃至配線ＷＳＬ［ｍ］と同様に、一例として、回路ＷＳＤから回路ＣＥＳに含まれているセルＩＭとセルＩＭｒとセルＩＭｓとセルＩＭｓｒとに対して、第１データを書き込むための選択信号を送信する配線、また、一例として、回路ＷＳＤから回路ＣＥＳｒｅｆに含まれているセルＩＭｒｅｆとセルＩＭｒｅｆｓとに対して、参照データを書き込むための選択信号を送信する配線として機能する。

［０４１３］

図１８の演算回路ＭＡＣ３に含まれる変換回路ＩＴＲＺＤ［ｊ］としては、図１３の演算回路ＭＡＣ２に含まれる変換回路ＩＴＲＺＤ［ｊ］に適用できる回路を用いることができる。つまり、演算回路ＭＡＣ３に含まれる変換回路ＩＴＲＺＤ［ｊ］としては、例えば、図１４Ａ乃至図１４Ｃに示す変換回路ＩＴＲＺＤ１乃至変換回路ＩＴＲＺＤ３を適用することができる。

［０４１４］

＜＜第１データの保持及び第２データの入力の例＞＞

次に、図１８の演算回路ＭＡＣ３において、正、負、又は“０”の第１データと、正、負、又は“０”の第２データとの積和演算を行うための、第１データを回路ＣＥＳに保持する一例、及び第２データを回路ＣＥＳに入力する一例について説明する。

［０４１５］

回路ＣＥＳは、セルＩＭと、セルＩＭｒと、セルＩＭｓと、セルＩＭｓｒと、を有するため、回路ＣＥＳは、第１データの保持として、セルＩＭと、セルＩＭｒと、セルＩＭｓと、セルＩＭｓｒと、の４つの回路を用いることができる。つまり、回路ＣＥＳは、４つの電流量を設定して、それぞれの電流量に応じた電位をセルＩＭと、セルＩＭｒと、セルＩＭｓと、セルＩＭｓｒと、に保持することができる。このため、第１データを、セルＩＭで設定される電流量と、セルＩＭｒで設定される電流量と、セルＩＭｓで設定される電流量と、セルＩＭｓｒで設定される電流量と、で表すことができる。ここで、回路ＣＥＳに保持される、正の第１データ、負の第１データ、又は“０”の第１データを次の通りに定義する。

［０４１６］

回路ＣＥＳ［ｉ，ｊ］に正の第１データを保持する場合、セルＩＭ［ｉ，ｊ］には、一例として、セルＩＭ［ｉ，ｊ］のトランジスタＦ２には正の第１データの値の絶対値に応じた電流量が流れるように設定し、また、セルＩＭｓｒ［ｉ，ｊ］のトランジスタＦ２ｓｒには、一例として、正の第１データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）及びトランジスタＦ２ｓｒのゲート（ノードＮＮｓｒ［ｉ，ｊ］）に当該電流量に応じた電位を保持する。また、セルＩＭｒ［ｉ，ｊ］には、一例として、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒには電流が流れないように設定し、また、セルＩＭｓ［ｉ，ｊ］には、一例として、セルＩＭｓ［ｉ，ｊ］のトランジスタＦ２ｓには電流が流れないように設定する。具体的には、トランジスタＦ２ｒのゲート（ノードＮＮｒ［ｉ，ｊ］）及びトランジスタＦ２ｓのゲート（ノードＮＮｓ［ｉ，ｊ］）には、例えば、配線ＶＥが与える電位、又は、図６Ａの回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位、などが保持されればよい。

［０４１７］

また、回路ＣＥＳ［ｉ，ｊ］に負の第１データを保持する場合、セルＩＭｒ［ｉ，ｊ］には、一例として、セルＩＭｒ［１，ｊ］のトランジスタＦ２ｒには負の第１データの値の絶対値に応じた電流量が流れるように設定し、また、セルＩＭｓ［ｉ，ｊ］のトランジスタＦ２ｓには、一例として、

負の第１データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２ｒのゲート（ノードＮＮｒ［ｉ，ｊ］）及びトランジスタＦ２ｓのゲート（ノードＮＮｓ［ｉ，ｊ］）に当該電流量に応じた電位を保持する。また、セルＩＭ［ｉ，ｊ］には、一例として、セルＩＭ［ｉ，ｊ］のトランジスタＦ２には電流が流れないように設定し、また、セルＩＭｓｒ［ｉ，ｊ］には、一例として、セルＩＭｓｒ［ｉ，ｊ］のトランジスタＦ２ｓｒには電流が流れないように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）及びトランジスタＦ２ｓｒのゲート（ノードＮＮｓｒ［ｉ，ｊ］）には、例えば、配線ＶＥが与える電位、又は、図６Ａの回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位、などが保持されればよい。

［０４１８］

また、回路ＣＥＳ［ｉ，ｊ］に“０”の第１データを保持する場合、一例として、セルＩＭ［ｉ，ｊ］のトランジスタＦ２、セルＩＭｒ［ｉ，ｊ］のトランジスタＦ２ｒ、セルＩＭｓ［ｉ，ｊ］のトランジスタＦ２ｓ、及びセルＩＭｓｒ［ｉ，ｊ］のトランジスタＦ２ｓｒのそれぞれには電流が流れないように設定する。具体的には、トランジスタＦ２のゲート（ノードＮＮ［ｉ，ｊ］）とトランジスタＦ２ｒのゲート（ノードＮＮｒ［ｉ，ｊ］）とトランジスタＦ２ｓのゲート（ノードＮＮｓ［ｉ，ｊ］）及びトランジスタＦ２ｓｒのゲート（ノードＮＮｓｒ［ｉ，ｊ］）には、例えば、配線ＶＥが与える電位、又は、図６Ａの回路ＷＣＳの配線ＶＩＮＩＬ１が与える初期化用の電位、などが保持されればよい。

［０４１９］

なお、他の回路ＣＥＳについても、正の第１データ、又は負の第１データを保持するとき、上述した回路ＣＥＳ［ｉ，ｊ］と同様に、セルＩＭと配線ＷＣＬとの間及びセルＩＭｓｒと配線ＷＣＬｒとの間、又は、セルＩＭｒと配線ＷＣＬｒとの間及びセルＩＭｓと配線ＷＣＬとの間、の一方には第１データに応じた電流量が流れるように設定し、その他方には電流が流れないように設定すればよい。また、他の回路ＣＥＳに、“０”の第１データを保持するとき、上述した回路ＣＥＳ［ｉ，ｊ］と同様に、セルＩＭと配線ＷＣＬとの間、セルＩＭｒと配線ＷＣＬｒとの間、セルＩＭｓと配線ＷＣＬとの間、及びセルＩＭｓｒと配線ＷＣＬｓｒとの間、には電流が流れないように設定すればよい。

［０４２０］

例えば、第１データとして“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、及び“－３”のそれぞれの場合において回路ＣＥＳに保持する場合、配線ＷＣＬからセルＩＭに流れる電流量の設定、配線ＷＣＬｒからセルＩＭｒに流れる電流量の設定、配線ＷＣＬからセルＩＭｓに流れる電流量の設定、及び配線ＷＣＬｓｒからセルＩＭｓｒに流れる電流量の設定を上記のとおりに従うことで、第１データ“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、及び“－３”のそれぞれは、次表のとおりに定義することができる。

［０４２１］

［表２］

第１データ	配線ＷＣＬからセルＩＭに流れる電流	配線ＷＣＬｒからセルＩＭｒに流れる電流	配線ＷＣＬからセルＩＭｓに流れる電流	配線ＷＣＬｒからセルＩＭｓｒに流れる電流
＋３	$3I_{Wut}$	0	0	$3I_{Wut}$
＋２	$2I_{Wut}$	0	0	$2I_{Wut}$
＋１	I_{Wut}	0	0	I_{Wut}
0	0	0	0	0
－１	0	I_{Wut}	I_{Wut}	0
－２	0	$2I_{Wut}$	$2I_{Wut}$	0
－３	0	$3I_{Wut}$	$3I_{Wut}$	0

［０４２２］
一方、回路ＣＥＳには、第２データを入力する配線として、配線ＸＣＬと配線ＸＣＬｓとが電気的に接続されている。このため、回路ＣＥＳには、第２データとして、２つの信号を入力することができる。つまり、第２データを、配線ＸＣＬに入力される信号と、配線ＸＣＬｓに入力される信号と、で表して、回路ＣＥＳに入力することができる。ここで、回路ＣＥＳに入力される、正の第２データ、負の第２データ、又は“０”の第２データを次の通りに定義する。
［０４２３］
回路ＣＥＳ［ｉ，ｊ］に正の第２データを入力する場合、セルＩＭｒｅｆ［ｉ］には、一例として、セルＩＭｒｅｆ［ｉ］のトランジスタＦ２ｍには正の第２データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ］）に当該電流量に応じた電位を保持する。一方、セルＩＭｒｅｆｓ［ｉ］には、一例として、セルＩＭｒｅｆｓ［ｉ］のトランジスタＦ２ｍｓには電流が流れないように設定する。具体的には、トランジスタＦ２ｍｓのゲート（ノードＮＮｒｅｆｓ［ｉ］）には、例えば、配線ＶＥが与える電位、又は、図６Ｃの回路ＸＣＳの配線ＶＩＮＩＬ２が与える初期化用の電位、などが保持されればよい。
［０４２４］
また、回路ＣＥＳ［ｉ，ｊ］に負の第２データを入力する場合、セルＩＭｒｅｆｓ［ｉ］には、一例として、セルＩＭｒｅｆｓ［ｉ］のトランジスタＦ２ｍｓには負の第２データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタＦ２ｍｓのゲート（ノードＮＮｒｅｆｓ［ｉ］）に当該電流量に応じた電位を保持する。一方、セルＩＭｒｅｆ［ｉ］には、一例として、セルＩＭｒｅｆ［ｉ］のトランジスタＦ２ｍには電流が流れないように設定する。具体的には、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ］）には、例えば、配線ＶＥが与える電位、又は、図６Ｃの回路ＸＣＳの配線ＶＩＮＩＬ２が与える初期化用の電位、などが保持されればよい。
［０４２５］
また、回路ＣＥＳ［ｉ，ｊ］に“０”の第２データを入力する場合、一例として、セルＩＭｒｅｆ［ｉ］のトランジスタＦ２ｍ、及びセルＩＭｒｅｆｓ［１］のトランジスタＦ２ｍｓのそれぞれには電流が流れないように設定する。具体的には、トランジスタＦ２ｍのゲート（ノードＮＮｒｅｆ［ｉ］）及びトランジスタＦ２ｍｓのゲート（ノードＮＮｒｅｆｓ［ｉ］）には、例えば、配線ＶＥが与える電位、又は、図６Ｃの回路ＸＣＳの配線ＶＩＮＩＬ２が与える初期化用の電位、などが保持されればよい。
［０４２６］

なお、他の回路ＣＥＳに対して、正の第２データ、又は負の第２データを入力するとき、上述した回路ＣＥＳｒｅｆ［ｉ］と同様に、セルＩＭｒｅｆと配線ＸＣＬとの間、又は、セルＩＭｒｅｆｓと配線ＸＣＬｓとの間、の一方には第２データに応じた電流量が流れるように設定し、セルＩＭｒｅｆと配線ＸＣＬとの間、又は、セルＩＭｒｅｆｓと配線ＸＣＬｓとの間、の他方には電流が流れないように設定すればよい。また、他の回路ＣＥＳに、“０”の第２データを入力するとき、上述した回路ＣＥＳｒｅｆ［ｉ］と同様に、セルＩＭｒｅｆと配線ＸＣＬとの間、及びセルＩＭｒｅｆｓと配線ＸＣＬｓとの間には電流が流れないように設定すればよい。

［０４２７］

一例えば、第２データとして“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、及び“－３”のそれぞれの場合において回路ＣＥＳに入力される場合、配線ＸＣＬからセルＩＭｒｅｆに流れる電流量の設定、及び配線ＸＣＬｓからセルＩＭｒｅｆｓに流れる電流量の設定を上記のとおりに従うことで、第２データ“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、及び“－３”のそれぞれは、次表のとおりに定義することができる。

［０４２８］

［表３］

第２データ	配線ＸＣＬから セルＩＭｒｅｆに流れる電流	配線ＸＣＬｓから セルＩＭｒｅｆｓに流れる電流
＋３	$3I_{Xut}$	0
＋２	$2I_{Xut}$	0
＋１	I_{Xut}	0
０	0	0
－１	0	I_{Xut}
－２	0	$2I_{Xut}$
－３	0	$3I_{Xut}$

［０４２９］

ここで、回路ＣＥＳに保持される第１データとして“＋３”、“＋２”、“＋１”、“０”、“－１”、“－２”、及び“－３”のいずれか一とし、かつ回路ＣＥＳに入力される第２データとして“＋１”、“０”、及び“－１”のいずれか一としたときにおいて、配線ＷＣＬから回路ＣＥＳのセルＩＭ及びセルＩＭｓに流れる電流量、及び配線ＷＣＬｒから回路ＣＥＳのセルＩＭｒ及びセルＩＭｓｒに流れる電流量について考える。

［０４３０］

例えば、回路ＣＥＳに入力される第２データを“＋１”としたとき、回路ＣＥＳの容量Ｃ５及び容量Ｃ５ｒのそれぞれの第２端子には、配線ＸＣＬから第２データである“＋１”の絶対値に応じた電位が入力され、回路ＣＥＳの容量Ｃ５ｓ及び容量Ｃ５ｓｒのそれぞれの第２端子には、配線ＸＣＬｓから接地電位（ＧＮＤ）に応じた電位が入力されるものとする。また、回路ＣＥＳに保持されている第１データを“＋３”としたとき、ノードＮＮ及びノードＮＮｓｒのそれぞれには第１データである“＋３”の絶対値に応じた電位が保持され、ノードＮＮｒ及びノードＮＮｓのそれぞれに

は接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳのトランジスタＦ２の第１端子－第２端子間には、式（１．１２）又は式（１．１６）より$３Ｉ_{ｒｅｆ０}$の電流量が流れる。また、トランジスタＦ２ｒ、トランジスタＦ２ｓ、及びトランジスタＦ２ｓｒのそれぞれの第１端子－第２端子間には、電流は流れない。つまり、配線ＷＣＬからセルＩＭに$３Ｉ_{ｒｅｆ０}$の電流量が流れ、配線ＷＣＬからセルＩＭｓに電流が流れず、配線ＷＣＬｒからセルＩＭｒに電流が流れず、配線ＷＣＬｒからセルＩＭｓｒに電流が流れない。

［０４３１］

また、例えば、回路ＣＥＳに入力される第２データを“＋１”とし、回路ＣＥＳに保持されている第１データを“－３”とする。このため、ノードＮＮｒ及びノードＮＮｓのそれぞれには第１データである“－３”の絶対値に応じた電位が保持され、ノードＮＮ及びノードＮＮｓｒのそれぞれには接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳのトランジスタＦ２ｒの第１端子－第２端子間には、式（１．１２）又は式（１．１６）より$３Ｉ_{ｒｅｆ０}$の電流量が流れる。また、トランジスタＦ２、トランジスタＦ２ｓ、及びトランジスタＦ２ｓｒのそれぞれの第１端子－第２端子間には、電流は流れない。つまり、配線ＷＣＬｒからセルＩＭｒに$３Ｉ_{ｒｅｆ０}$の電流量が流れ、配線ＷＣＬからセルＩＭに電流が流れず、配線ＷＣＬからセルＩＭｓに電流が流れず、配線ＷＣＬｒからセルＩＭｓｒに電流が流れない。

［０４３２］

また、例えば、回路ＣＥＳに入力される第２データを“－１”としたとき、回路ＣＥＳの容量Ｃ５ｓ及び容量Ｃ５ｓｒのそれぞれの第２端子には、配線ＸＣＬｓから第２データである“－１”の絶対値に応じた電位が入力され、回路ＣＥＳの容量Ｃ５及び容量Ｃ５ｒのそれぞれの第２端子には、配線ＸＣＬから接地電位（ＧＮＤ）に応じた電位が入力されるものとする。また、回路ＣＥＳに保持されている第１データを“＋３”としたとき、ノードＮＮ及びノードＮＮｓｒのそれぞれには第１データである“＋３”の絶対値に応じた電位が保持され、ノードＮＮｒ及びノードＮＮｓのそれぞれには接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳのトランジスタＦ２ｓｒの第１端子－第２端子間には、式（１．１２）又は式（１．１６）より$３Ｉ_{ｒｅｆ０}$の電流量が流れる。また、トランジスタＦ２、トランジスタＦ２ｒ、及びトランジスタＦ２ｓのそれぞれの第１端子－第２端子間には、電流は流れない。つまり、配線ＷＣＬｒからセルＩＭｓｒに$３Ｉ_{ｒｅｆ０}$の電流量が流れ、配線ＷＣＬからセルＩＭに電流が流れず、配線ＷＣＬｒからセルＩＭｒに電流が流れず、配線ＷＣＬからセルＩＭｓに電流が流れない。

［０４３３］

また、例えば、回路ＣＥＳに入力される第２データを“－１”とし、回路ＣＥＳに保持されている第１データを“－３”とする。このため、ノードＮＮｒ及びノードＮＮｓのそれぞれには第１データである“－３”の絶対値に応じた電位が保持され、ノードＮＮ及びノードＮＮｓｒのそれぞれには接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳのトランジスタＦ２ｓの第１端子－第２端子間には、式（１．１２）又は式（１．１６）より$３Ｉ_{ｒｅｆ０}$の電流量が流れる。また、トランジスタＦ２、トランジスタＦ２ｒ、及びトランジスタＦ２ｓｒのそれぞれの第１端子－第２端子間には、電流は流れない。つまり、配線ＷＣＬからセルＩＭｓに$３Ｉ_{ｒｅｆ０}$の電流量が流れ、配線ＷＣＬからセルＩＭに電流が流れず、配線ＷＣＬｒからセルＩＭｒに電流が流れず、配線ＷＣＬｒからセルＩＭｓｒに電流が流れない。

［０４３４］

また、例えば、回路ＣＥＳに入力される第２データを“０”としたとき、回路ＣＥＳの容量Ｃ５、容量Ｃ５ｒのそれぞれの第２端子には、配線ＸＣＬから接地電位（ＧＮＤ）が入力され、回路ＣＥＳの容量Ｃ５ｓ、及び容量Ｃ５ｓｒのそれぞれの第２端子には、配線ＸＣＬｓから接地電位（ＧＮＤ）が入力されるものとする。このとき、回路ＣＥＳに保持されている第１データがどのような値でも、トランジスタＦ２、トランジスタＦ２ｒ、トランジスタＦ２ｓ、及びトランジスタＦ２ｓｒのそれぞれの第１端子－第２端子間には、電流は流れない。

［０４３５］

また、例えば、回路ＣＥＳに保持される第１データを“０”としたとき、ノードＮＮ、ノードＮＮｒ、ノードＮＮｓ、及びノードＮＮｓｒのそれぞれには接地電位（ＧＮＤ）が保持されているものとする。このとき、回路ＣＥＳに入力される第２データがどのような値でも、トランジスタＦ２、トランジスタＦ２ｒ、トランジスタＦ２ｓ、及びトランジスタＦ２ｓｒのそれぞれの第１端子－第２端子間には、電流は流れない。

［０４３６］

上記は、第１データが“＋３”、“－３”、又は“０”の場合と、第２データが“＋１”、“－１”、又は“０”の場合について説明したが、他の場合についても同様に考えると、配線ＷＣＬ及び配線ＷＣＬｒに流れる電流量は、次の表の通りにまとめることができる。

［０４３７］

［表４］

第１データ	第２データ	第１データ×第２データ	配線ＷＣＬからセルＩＭに流れる電流	配線ＷＣＬｒからセルＩＭｒに流れる電流	配線ＷＣＬからセルＩＭｓに流れる電流	配線ＷＣＬｒからセルＩＭｓｒに流れる電流
＋３	＋１	＋３	$3I_{ref0}$	０	０	０
＋２	＋１	＋２	$2I_{ref0}$	０	０	０
＋１	＋１	＋１	I_{ref0}	０	０	０
０	＋１	０	０	０	０	０
－１	＋１	－１	０	I_{ref0}	０	０
－２	＋１	－２	０	$2I_{ref0}$	０	０
－３	＋１	－３	０	$3I_{ref0}$	０	０
＋３	０	０	０	０	０	０
＋２	０	０	０	０	０	０
＋１	０	０	０	０	０	０
０	０	０	０	０	０	０
－１	０	０	０	０	０	０
－２	０	０	０	０	０	０
－３	０	０	０	０	０	０
＋３	－１	－３	０	０	０	$3I_{ref0}$
＋２	－１	－２	０	０	０	$2I_{ref0}$
＋１	－１	－１	０	０	０	I_{ref0}
０	－１	０	０	０	０	０
－１	－１	＋１	０	０	I_{ref0}	０
－２	－１	＋２	０	０	$2I_{ref0}$	０
－３	－１	＋３	０	０	$3I_{ref0}$	０

［０４３８］

以上のとおり、演算回路ＭＡＣ２を用いることによって、正、負、又は“０”の第１データと、正、

又は“０”の第２データとの積和演算を行うことができる。また、演算回路ＭＡＣ３を用いることによって、正、負、又は“０”の第１データと、正、負、又は“０”の第２データと、の積和演算を行うことができる。

［０４３９］

なお、本発明の一態様は、本実施の形態で述べた演算回路ＭＡＣ２、及び演算回路ＭＡＣ３の回路構成に限定されない。演算回路ＭＡＣ２、及び演算回路ＭＡＣ３は、状況に応じて、回路構成を変更することができる。例えば、演算回路ＭＡＣ３に含まれている、容量Ｃ５、容量Ｃ５ｒ、容量Ｃ５ｓ、容量Ｃ５ｓｒ、容量Ｃ５ｍ、及び容量Ｃ５ｍｓは、トランジスタのゲート容量とすることができる（図示しない）。また、演算回路ＭＡＣ３において、ノードＮＮ、ノードＮＮｒ、ノードＮＮｓ、ノードＮＮｓｒ、ノードＮＮｒｅｆ、及びノードＮＮｒｅｆｓと周辺の配線との寄生容量が大きい場合は、容量Ｃ５、容量Ｃ５ｒ、容量Ｃ５ｓ、容量Ｃ５ｓｒ、容量Ｃ５ｍ、及び容量Ｃ５ｍｓは、必ずしも設けなくてもよい。

［０４４０］

なお、本実施の形態は、本明細書等で示す他の実施の形態等と適宜組み合わせることができる。

［０４４１］

（実施の形態４）

本実施の形態では、階層型のニューラルネットワークについて説明する。なお、階層型のニューラルネットワークの演算は、上記の実施の形態で説明した半導体装置を用いることによって行うことができる。

［０４４２］

＜階層型のニューラルネットワーク＞

階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合計３以上の層によって構成されている。図１９Ａに示す階層型のニューラルネットワーク１００はその一例を示しており、ニューラルネットワーク１００は、第１層乃至第Ｒ層（ここでのＲは４以上の整数とすることができる。）を有している。特に、第１層は入力層に相当し、第Ｒ層は出力層に相当し、それら以外の層は中間層に相当する。なお、図１９Ａには、中間層として第（ｋ－１）層、第ｋ層（ここでのｋは３以上Ｒ－１以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

［０４４３］

ニューラルネットワーク１００の各層は、一又は複数のニューロンを有する。図１９Ａにおいて、第１層はニューロン$N_1^{(1)}$乃至ニューロン$N_p^{(1)}$（ここでのｐは１以上の整数である。）を有し、第（ｋ－１）層はニューロン$N_1^{(k-1)}$乃至ニューロン$N_m^{(k-1)}$（ここでのｍは１以上の整数である。）を有し、第ｋ層はニューロン$N_1^{(k)}$乃至ニューロン$N_n^{(k)}$（ここでのｎは１以上の整数である。）を有し、第Ｒ層はニューロン$N_1^{(R)}$乃至ニューロン$N_q^{(R)}$（ここでのｑは１以上の整数である。）を有する。

［０４４４］

なお、図１９Ａには、ニューロン$N_1^{(1)}$と、ニューロン$N_p^{(1)}$と、ニューロン$N_1^{(k-1)}$と、ニューロン$N_m^{(k-1)}$と、ニューロン$N_1^{(k)}$と、ニューロン$N_n^{(k)}$と、ニューロン$N_1^{(R)}$と、ニューロン$N_q^{(R)}$と、に加えて、第（ｋ－１）層のニューロン$N_i^{(k-1)}$（ここでのｉは１以上ｍ以下の整数である。）と、第ｋ層のニューロン$N_j^{(k)}$（ここでのｊは１以上ｎ以下の整数である。）と、

も図示しており、それ以外のニューロンについては図示を省略している。

［０４４５］

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第ｋ層のニューロン$N_j^{(k)}$に着目する。

［０４４６］

図１９Ｂには、第ｋ層のニューロン$N_j^{(k)}$と、ニューロン$N_j^{(k)}$に入力される信号と、ニューロン$N_j^{(k)}$から出力される信号と、を示している。

［０４４７］

具体的には、第（ｋ－１）層のニューロン$N_1^{(k-1)}$乃至ニューロン$N_m^{(k-1)}$のそれぞれの出力信号である$z_1^{(k-1)}$乃至$z_m^{(k-1)}$（代表して、$z_1^{(k-1)}$、$z_i^{(k-1)}$（ｉを１以上ｍ以下の整数とする。）、及び$z_m^{(k-1)}$を図示している。）が、ニューロン$N_j^{(k)}$に向けて出力されている。そして、ニューロン$N_j^{(k)}$は、$z_1^{(k-1)}$乃至$z_m^{(k-1)}$に応じて$z_j^{(k)}$を生成して、$z_j^{(k)}$を出力信号として第（ｋ＋１）層（図示しない。）の各ニューロンに向けて出力する。

［０４４８］

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続する結合強度（以後、重み係数と呼称する。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク１００では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。第（ｋ－１）層のニューロン$N_i^{(k-1)}$と第ｋ層のニューロン$N_j^{(k)}$とを接続する重み係数を$w_i^{(k-1)}{}_j^{(k)}$としたとき、第ｋ層のニューロン$N_j^{(k)}$に入力される信号は、式（５．１）で表すことができる。

［０４４９］

［数２０］

$$w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \qquad \cdots(5.1)$$

［０４５０］

つまり、第（ｋ－１）層のニューロン$N_1^{(k-1)}$乃至ニューロン$N_m^{(k-1)}$のそれぞれから第ｋ層のニューロン$N_j^{(k)}$に信号が伝達するとき、当該信号である$z_1^{(k-1)}$乃至$z_m^{(k-1)}$には、それぞれの信号に対応する重み係数（$w_1^{(k-1)}{}_j^{(k)}$乃至$w_m^{(k-1)}{}_j^{(k)}$）が乗じられる。そして、第ｋ層のニューロン$N_j^{(k)}$には、$w_1^{(k-1)}{}_j^{(k)} \cdot z_1^{(k-1)}$乃至$w_m^{(k-1)}{}_j^{(k)} \cdot z_m^{(k-1)}$が入力される。このとき、第ｋ層のニューロン$N_j^{(k)}$に入力される信号の総和$u_j^{(k)}$は、式（５．２）となる。

［０４５１］

［数２１］

$$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \qquad \cdots(5.2)$$

［０４５２］

また、重み係数$w_1^{(k-1)}{}_j^{(k)}$乃至$w_m^{(k-1)}{}_j^{(k)}$と、ニューロンの信号$z_1^{(k-1)}$乃至$z_m^{(k-1)}$

と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスをｂとしたとき、式（５．２）は、次の式に書き直すことができる。

［０４５３］

［数２２］

$$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} + b \qquad \cdots(5.3)$$

［０４５４］

ニューロンＮ$_j^{(k)}$は、ｕ$_j^{(k)}$に応じて、出力信号ｚ$_j^{(k)}$を生成する。ここで、ニューロンＮ$_j^{(k)}$からの出力信号ｚ$_j^{(k)}$を次の式で定義する。

［０４５５］

［数２３］

$$z_j^{(k)} = f(u_j^{(k)}) \qquad \cdots(5.4)$$

［０４５６］

関数ｆ（ｕ$_j^{(k)}$）は、階層型のニューラルネットワークにおける活性化関数であり、例えば、ステップ関数、線形ランプ関数、又はシグモイド関数などを用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なっていてもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なっていてもよい。

［０４５７］

ところで、各層のニューロンが出力する信号、重み係数ｗ、及びバイアスｂのそれぞれは、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、２値としてもよいし、３値としてもよい。さらに大きなビット数の値でもよい。例えば、アナログ値の場合、活性化関数として、線形ランプ関数、又はシグモイド関数などを用いればよい。例えば、デジタル値の２値の場合、出力を－１若しくは１、又は、０若しくは１、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は３値以上としてもよく、この場合、活性化関数は３値を出力する関数、例えば、出力を－１、０、若しくは１とするステップ関数、又は、出力を０、１、若しくは２とするステップ関数、などを用いればよい。また、例えば、５値を出力する活性化関数として、出力を－２、－１、０、１、若しくは２とするステップ関数などを用いてもよい。各層のニューロンが出力する信号、重み係数ｗ、及びバイアスｂの少なくとも一つについて、デジタル値を用いることにより、例えば、回路規模を小さくすること、消費電力を低減すること、又は、演算スピードを速くすること、などが出来る。また、各層のニューロンが出力する信号、重み係数ｗ、及びバイアスｂの少なくとも一つについて、アナログ値を用いることにより、演算の精度を向上させることが出来る。

［０４５８］

ニューラルネットワーク１００は、第１層（入力層）に入力信号が入力されることによって、第１層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式（５．１）、式（５．２）（又は式（５．３））、及び式（５．４）を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニュ

ーラルネットワーク１００によって計算された結果に相当する。

［０４５９］

実施の形態２で述べた演算回路ＭＡＣ１を、上述した隠れ層として適用する場合、重み係数$w_{s[k-1]}^{(k-1)}{}_{s[k]}^{(k)}$（ｓ［ｋ－１］は１以上ｍ以下の整数とし、ｓ［ｋ］は１以上ｎ以下の整数とする）を第１データとして、第１データに応じた電流量を同じ列の各セルＩＭに順次記憶させて、第（ｋ－１）層のニューロン$N_{s[k-1]}^{(k-1)}$からの出力信号$z_{s[k-1]}^{(k-1)}$を第２データとして、第２データに応じた電流量を回路ＸＣＳから各行の配線ＸＣＬに対して流すことで、変換回路ＩＴＲＺに入力される電流量I_Sから第１データと第２データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第ｋ層のニューロン$N_{s[k]}^{(k)}$の出力信号$z_{s[k]}^{(k)}$とすることができる。

［０４６０］

また、実施の形態２で述べた演算回路ＭＡＣ１を、上述した出力層として適用する場合、重み係数$w_{s[R-1]}^{(R-1)}{}_{s[R]}^{(R)}$（ｓ［Ｒ－１］は１以上の整数とし、ｓ［Ｒ］は１以上ｑ以下の整数とする）を第１データとして、第１データに応じた電流量を同じ列の各セルＩＭに順次記憶させて、第（Ｒ－１）層のニューロン$N_{s[R-1]}^{(R-1)}$からの出力信号$z_{s[R-1]}^{(R-1)}$を第２データとして、第２データに応じた電流量を回路ＸＣＳから各行の配線ＸＣＬに対して流すことで、変換回路ＩＴＲＺに入力される電流量I_Sから、第１データと第２データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第Ｒ層のニューロン$N_{s[R]}^{(R)}$の出力信号$z_{s[R]}^{(R)}$とすることができる。

［０４６１］

なお、本実施の形態で述べた入力層は、入力信号を第２層に出力するバッファ回路として機能してもよい。

［０４６２］

また、実施の形態３で述べた、変換回路ＩＴＲＺＤ［ｊ］を図１５の変換回路ＩＴＲＺＤ４とした演算回路ＭＡＣ２を、上述した隠れ層として適用する場合、重み係数$w_{s[k-1]}^{(k-1)}{}_{s[k]}^{(k)}$を第１データとして、第１データに応じた電流量を同じ列の各回路ＣＥＳのセルＩＭとセルＩＭｒに順次記憶させて、第（ｋ－１）層のニューロン$N_{s[k-1]}^{(k-1)}$からの出力信号$z_{s[k-1]}^{(k-1)}$を第２データとして、第２データに応じた電流量を回路ＸＣＳから各行の配線ＸＣＬに対して流すことで、変換回路ＩＴＲＺＤ４に入力される電流量I_S、及びI_{Sr}から第１データと第２データとの積和に応じた活性化関数の値を算出することができる。つまり、当該値を信号として第ｋ層のニューロン$N_{s[k]}^{(k)}$の出力信号$z_{s[k]}^{(k)}$とすることができる。また、変換回路ＩＴＲＺＤ４は、当該値に応じた電流量を出力する構成となっているため、例えば、第（ｋ＋１）層の複数のニューロンに入力される、第ｋ層のニューロン$N_{s[k]}^{(k)}$の出力信号$z_{s[k]}^{(k)}$は、電流とすることができる。つまり、第（ｋ＋１）層の隠れ層として演算回路ＭＡＣ２を適用する場合、演算回路ＭＡＣ２の配線ＸＣＬに入力される第ｋ層のニューロン$N_{s[k]}^{(k)}$の出力信号$z_{s[k]}^{(k)}$は、回路ＸＣＳで生成せず、第ｋ層の隠れ層の演算回路ＭＡＣ２の変換回路ＩＴＲＺＤ４から出力された電流とすることができる。

［０４６３］

具体的には、図２０に示す演算回路を用いることによって、上述した階層型のニューラルネットワークの演算を行うことができる。図２０の演算回路は、一例として、図１３の演算回路ＭＡＣ２と

同様の構成の演算回路ＭＡＣ２－１と、図１３の演算回路ＭＡＣ２において回路ＸＣＳを設けていない構成の演算回路ＭＡＣ２－２と、を有する。なお、演算回路ＭＡＣ２－１のセルアレイＣＡには、ｍ×ｎ個の回路ＣＥＳがマトリクス状に配置され、演算回路ＭＡＣ２－２のセルアレイＣＡには、ｎ×ｔ個（ｔは１以上の整数とする。）の回路ＣＥＳがマトリクス状に配置されている。また、演算回路ＭＡＣ２－１の配線ＯＬ［１］乃至配線ＯＬ［ｎ］のそれぞれは、演算回路ＭＡＣ２－２の配線ＸＣＬ［１］乃至配線ＸＣＬ［ｎ］に電気的に接続されている。なお、図２０には、代表して、演算回路ＭＡＣ２－１が有する回路ＣＥＳ［１，１］、回路ＣＥＳ［１，ｎ］、回路ＣＥＳ［ｍ，１］、回路ＣＥＳ［ｍ，ｎ］、変換回路ＩＴＲＺＤ４［１］、変換回路ＩＴＲＺＤ４［ｎ］、配線ＯＬ［１］、及び配線ＯＬ［ｎ］などを示している。また、演算回路ＭＡＣ２－２が有する回路ＣＥＳ［１，１］、回路ＣＥＳ［１，ｔ］、回路ＣＥＳ［ｎ，１］、回路ＣＥＳ［ｎ，ｔ］、変換回路ＩＴＲＺＤ４［１］、変換回路ＩＴＲＺＤ４［ｔ］、配線ＯＬ［１］、及び配線ＯＬ［ｔ］などを示している。また、回路ＣＥＳ［１，１］が有するセルＩＭ［１，１］及びセルＩＭｒ［１，１］と、回路ＣＥＳ［１，ｎ］が有するセルＩＭ［１，ｎ］及びセルＩＭｒ［１，ｎ］と、回路ＣＥＳ［ｍ，１］が有するセルＩＭ［ｍ，１］及びセルＩＭｒ［ｍ，１］と、回路ＣＥＳ［ｍ，ｎ］が有するセルＩＭ［ｍ，ｎ］及びセルＩＭｒ［ｍ，ｎ］と、回路ＣＥＳ［１，ｔ］が有するセルＩＭ［１，ｔ］及びセルＩＭｒ［１，ｔ］と、回路ＣＥＳ［ｎ，１］が有するセルＩＭ［ｎ，１］及びセルＩＭｒ［ｎ，１］と、回路ＣＥＳ［ｎ，ｔ］が有するセルＩＭ［ｎ，ｔ］及びセルＩＭｒ［ｎ，ｔ］と、を示している。

［０４６４］

例えば、図２０の演算回路ＭＡＣ２－１で、第（ｋ－１）層のニューロンと第ｋ層のニューロンとの間の重み係数を第１データとして、セルアレイＣＡの回路ＣＥＳ［１，１］乃至回路ＣＥＳ［ｍ，ｎ］に保持し、第（ｋ－１）層のニューロン$N_{s[k-1]}^{(k-1)}$からの出力信号$z_{s[k-1]}^{(k-1)}$を第２データとして、第２データに応じた電流量を回路ＸＣＳから各行の配線ＸＣＬに対して流すことで、配線ＯＬ［１］乃至配線ＯＬ［ｎ］のそれぞれから第ｋ層のニューロン$N_1^{(k)}$乃至ニューロン$N_n^{(k)}$の出力信号$z_1^{(k)}$乃至$z_n^{(k)}$を出力することができる。なお、出力信号$z_1^{(k)}$乃至$z_n^{(k)}$のそれぞれの値は、変換回路ＩＴＲＺＤ４［１］乃至変換回路ＩＴＲＺＤ４［ｎ］から出力される電流の量として表すことができる。

［０４６５］

ここで、図２０の演算回路ＭＡＣ２－２で、第ｋ層のニューロンと第（ｋ＋１）層のニューロンとの間の重み係数を第１データとして、セルアレイＣＡの回路ＣＥＳ［１，１］乃至回路ＣＥＳ［ｎ，ｔ］に保持し、各行の配線ＸＣＬに流れる電流量、すなわち第ｋ層のニューロン$N_1^{(k)}$乃至ニューロン$N_n^{(k)}$の出力信号$z_1^{(k)}$乃至$z_n^{(k)}$を第２データとすることで、配線ＯＬ［ｓ［ｋ＋１］］（ここでのｓ［ｋ＋１］は１以上ｔ以下の整数とする）から第（ｋ＋１）層のニューロン$N_{s[k+1]}^{(k+1)}$の出力信号$z_{s[k+1]}^{(k+1)}$を出力することができる。

［０４６６］

ところで、実施の形態３で説明したとおり、図２０の演算回路ＭＡＣ２－１の変換回路ＩＴＲＺＤ４［１］乃至変換回路ＩＴＲＺＤ４［ｎ］に、図１５、図１６Ａ、図１７Ａ乃至図１７Ｃのいずれか一の変換回路ＩＴＲＺＤ４を適用することで、変換回路ＩＴＲＺＤ４［１］乃至変換回路ＩＴＲＺＤ４［ｎ］はＲｅＬＵ関数として作用する。そのため、例えば、回路ＣＥＳ［１，ｊ］乃至回路ＣＥＳ［ｍ，ｊ］における積和演算の結果が“負”であるとき、変換回路ＩＴＲＺＤ４から配線Ｏ

Ｌ［ｊ］に流れる電流量は、理想的には０となることが好ましい。しかし、実際には、変換回路ＩＴＲＺＤ４から配線ＯＬ［ｊ］に微小の電流量が流れる、又は配線ＯＬ［ｊ］から変換回路ＩＴＲＺＤ４に微小の電流量が流れる場合がある。

［０４６７］

そのため、階層型のニューラルネットワークの次層以降の演算を適切に行うための演算回路ＭＡＣ２－２の構成例を図２１に示す。図２１に示す演算回路ＭＡＣ２－２は、図１３の演算回路ＭＡＣ２においてセルアレイＣＡに配置されている回路ＣＥＳを、ｍ×ｎのマトリクス状からｎ×ｔのマトリクス状に変更し、かつ回路ＸＣＳを設けていない構成となっている。また、演算回路ＭＡＣ２－２のセルアレイＣＡの回路ＣＥＳは、ｎ×ｔのマトリクス状に配置されているため、図２１において、例えば、配線及び回路などの符号に付与している［　］などの括弧内の値も変更している。図２１には、回路ＣＥＳ［１，ｈ］（ｈは１以上ｔ以下の整数である。）、回路ＣＥＳ［ｎ，ｈ］、及び変換回路ＩＴＲＺＤ［ｈ］を示している。また、トランジスタＦ３［ｈ］、トランジスタＦ３ｒ［ｈ］、トランジスタＦ４［ｈ］、及びトランジスタＦ４ｒ［ｈ］を示している。また、配線ＷＣＬ［ｈ］、配線ＷＣＬｒ［ｈ］、配線ＷＳＬ［１］、配線ＷＳＬ［ｎ］、及び配線ＯＬ［ｈ］を示している。また、ノードＮＮ［１，ｈ］、ノードＮＮ［ｎ，ｈ］、ノードＮＮｒ［１，ｈ］、ノードＮＮｒ［ｎ，ｈ］、ノードＮＮｒｅｆ［１］、及びノードＮＮｒｅｆ［ｎ］を示している。

［０４６８］

さらに、図２１の演算回路ＭＡＣ２－２では、一例として、演算回路ＭＡＣ２－２に、配線ＴＭ［１］、配線ＴＭ［ｎ］、配線ＴＨ［１，ｈ］、配線ＴＨ［ｎ，ｈ］、配線ＴＨｒ［１，ｈ］、及び配線ＴＨｒ［ｎ，ｈ］を設けた回路構成の例を示している。図２１の演算回路ＭＡＣ２－２において、セルＩＭｒｅｆ［１］のトランジスタＦ２ｍのバックゲートには配線ＴＭ［１］が電気的に接続され、セルＩＭｒｅｆ［ｎ］のトランジスタＦ２ｍのバックゲートには配線ＴＭ［ｎ］が電気的に接続され、セルＩＭ［１，ｈ］のトランジスタＦ２のバックゲートには配線ＴＨ［１，ｈ］が電気的に接続され、セルＩＭｒ［１，ｈ］のトランジスタＦ２ｒのバックゲートには配線ＴＨｒ［１，ｈ］が電気的に接続され、セルＩＭ［ｎ，ｈ］のトランジスタＦ２のバックゲートには配線ＴＨ［ｎ，ｈ］が電気的に接続され、セルＩＭｒ［ｎ，ｈ］のトランジスタＦ２ｒのバックゲートには配線ＴＨｒ［ｎ，ｈ］が電気的に接続されている。

［０４６９］

配線ＴＭ［１］、配線ＴＭ［ｎ］、配線ＴＨ［１，ｈ］、配線ＴＨ［ｎ，ｈ］、配線ＴＨｒ［１，ｈ］、及び配線ＴＨｒ［ｎ，ｈ］のそれぞれに低レベル電位を与えることによって、それぞれの配線に電気的に接続されているバックゲートを有するトランジスタのしきい値電圧を高くすることができる。これにより、演算回路ＭＡＣ２－１の配線ＯＬに流れる微小の電流量が、演算回路ＭＡＣ２－２のセルＩＭｒｅｆを介して、配線ＶＥに流れることを防ぐことができる。つまり、変換回路ＩＴＲＺＤ４［１］乃至変換回路ＩＴＲＺＤ４［ｎ］における出力特性を、ＲｅＬＵ関数に近づけることができる。そのため、階層型のニューラルネットワークの次層の演算を適切に行うことができる。

［０４７０］

また、例えば、図２１の演算回路ＭＡＣ２－２の構成を、図２０の演算回路ＭＡＣ２－１に適用してもよい。このような構成にすることによって、演算回路ＭＡＣ２－２と同様に、演算回路ＭＡＣ２－１に含まれているトランジスタＦ２とトランジスタＦ２ｒとトランジスタＦ２ｍとのそれぞれ

のしきい値電圧も変動させることができる。

［０４７１］

なお、図２１では、配線ＴＭ［１］、配線ＴＭ［ｎ］、配線ＴＨ［１，ｈ］、配線ＴＨ［ｎ，ｈ］、配線ＴＨｒ［１，ｈ］、及び配線ＴＨｒ［ｎ，ｈ］を図示しているが、図２１の演算回路ＭＡＣ２－２は、例えば、配線ＴＭ［１］と配線ＴＨ［１，ｈ］と配線ＴＨｒ［１，ｈ］とを１本の配線としてまとめ、かつ配線ＴＭ［ｎ］と配線ＴＨ［ｎ，ｈ］と配線ＴＨｒ［ｎ，ｈ］とを１本の配線としてまとめた構成としてもよい。

［０４７２］

上述した通り、階層型のニューラルネットワークの演算を、図２０に示す演算回路を構成することにより、演算回路ＭＡＣ２－１で出力したニューロンの出力信号の値（電流量）をそのまま演算回路ＭＡＣ２－２に入力することができるため、階層型のニューラルネットワークの演算を、一例として、第１層から連続して行うことができる。また、演算回路ＭＡＣ２－１の配線ＯＬ［１］乃至配線ＯＬ［ｎ］から出力された出力信号を、例えば外部回路などによって一時的に記憶する必要が無いため、一時記憶に必要な記憶装置を別途設けなくてもよい。つまり、図２０の演算回路を構成することによって、回路面積を低減することができ、また、一時記憶のためのデータ送信に必要な電力を低減することができる。

［０４７３］

なお、本実施の形態は、本明細書等で示す他の実施の形態等と適宜組み合わせることができる。

［０４７４］

（実施の形態５）

本実施の形態では、上記の実施の形態で説明した半導体装置を、積層した構成の一例について説明する。

［０４７５］

図２２は、積和演算、及び関数系の演算を連続して実行することができる演算回路の一例を示したブロック図である。図２２に示す回路ＣＤＶは、一例として、演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［４］を有する。なお、本明細書等において、演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［４］のそれぞれは、「層」、「演算層」、又は「回路層」と言い換えることができるものとする。また、演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［４］のそれぞれに共通する事項を説明する場合、単に演算回路ＭＡＣＬと記載する場合がある。

［０４７６］

回路ＣＤＶにおいて、演算回路ＭＡＣＬ［２］は、演算回路ＭＡＣＬ［１］の上方に位置し、演算回路ＭＡＣＬ［３］は、演算回路ＭＡＣＬ［２］の上方に位置し、演算回路ＭＡＣＬ［４］は、演算回路ＭＡＣＬ［３］の上方に位置している。

［０４７７］

なお、図２２では、演算回路ＭＡＣＬが４個積層された構成を示しているが、回路ＣＤＶの構成は、演算回路ＭＡＣＬが２個又は３個積層された構成としてもよい。又は、回路ＣＤＶの構成は、演算回路ＭＡＣＬが５個以上積層された構成としてもよい。

［０４７８］

演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［４］のそれぞれは、セルアレイＣＡと、回路ＷＣＳと、回路ＩＴＳと、を有する。また、演算回路ＭＡＣＬ［１］は、回路ＸＣＳを有する。なお、

図２２には、演算回路ＭＡＣＬ［２］乃至演算回路ＭＡＣＬ［４］のそれぞれに回路ＸＣＳが含まれていない構成を示しているが、演算回路ＭＡＣＬ［２］乃至演算回路ＭＡＣＬ［４］のそれぞれは、回路ＸＣＳを有してもよい。

［０４７９］

回路ＷＣＳは、一例として、外部から与えられたデジタルデータである第１データ（ニューラルネットワークの場合、重み係数に相当する）をアナログデータ（電流）に変換する機能を有する。

［０４８０］

回路ＸＣＳは、一例として、外部から与えられたデジタルデータである第２データ（ニューラルネットワークの場合、入力データに相当する）をアナログデータ（電流）に変換する機能を有する。

［０４８１］

セルアレイＣＡは、一例として、乗算を行う演算セルを複数有する。なお、演算セルは、例えば、セルアレイＣＡの内部において、アレイ状に配置されている。また、セルアレイＣＡは、第１データと第２データとの積和演算を行って、その結果を電流量として出力する機能を有する。

［０４８２］

回路ＩＴＳは、セルアレイＣＡから出力された積和演算の結果（電流）を取得して、関数系の演算を行う機能を有する。また、回路ＩＴＳは、当該演算の結果を外部に出力する機能を有する。

［０４８３］

なお、回路ＷＣＳ、回路ＸＣＳ、セルアレイＣＡ、及び回路ＩＴＳのそれぞれの詳細については、上述した実施の形態２及び実施の形態３を適宜参酌することができる。

［０４８４］

次に、回路ＣＤＶに入力されるデータ、回路ＣＤＶの内部で演算されるデータ、及び回路ＣＤＶから出力されるデータについて説明する。なお、図２２において、ハッチングを有する矢印は、デジタルデータを示し、白色の矢印は、アナログデータを示す。

［０４８５］

演算回路ＭＡＣＬ［１］において、回路ＷＣＳにデジタルデータの第１データ$W^{(1)}$が入力される。これにより、回路ＷＣＳは、第１データ$W^{(1)}$をアナログデータ（電流）として、セルアレイＣＡに入力する。なお、$W^{(1)}$は行列とすることができる。

［０４８６］

また、演算回路ＭＡＣＬ［１］において、回路ＸＣＳにデジタルデータの第２データ$X^{(1)}$が入力される。これにより、回路ＸＣＳは、第２データ$X^{(1)}$をアナログデータ（電流）として、セルアレイＣＡに入力する。なお、$X^{(1)}$は行列とすることができる。

［０４８７］

演算回路ＭＡＣＬ［１］のセルアレイＣＡは、第１データ$W^{(1)}$と第２データ$X^{(1)}$との積和演算を実行して、$X^{(1)}W^{(1)}$に応じた量の電流を出力する。また、当該電流は、回路ＩＴＳに入力される。

［０４８８］

演算回路ＭＡＣＬ［１］の回路ＩＴＳは、$X^{(1)}W^{(1)}$に応じた量の電流を取得することによって、Ｆ（$X^{(1)}W^{(1)}$）に応じた量の電流を出力する。なお、Ｆ（ｘ）は、回路ＩＴＳで演算を行う関数であり、特に、Ｆ（$X^{(1)}W^{(1)}$）＝$X^{(2)}$として定義する。なお、$X^{(2)}$は行列とすることができる。また、Ｆ（$X^{(1)}W^{(1)}$）＝$X^{(2)}$に応じた量の電流は、演算回路ＭＡＣＬ［２］のセルア

レイＣＡに流れる。

［０４８９］

演算回路ＭＡＣＬ［２］において、回路ＷＣＳにデジタルデータの第１データ$W^{(2)}$が入力される。これにより、回路ＷＣＳは、第１データ$W^{(2)}$をアナログデータ（電流）として、セルアレイＣＡに入力する。なお、$W^{(2)}$は行列とすることができる。

［０４９０］

演算回路ＭＡＣＬ［２］のセルアレイＣＡは、第１データ$W^{(2)}$と第２データ$X^{(2)}$との積和演算を実行して、$X^{(2)}W^{(2)}$に応じた量の電流を出力する。また、当該電流は、回路ＩＴＳに入力されて、回路ＩＴＳによって、Ｆ（$X^{(2)}W^{(2)}$）＝$X^{(3)}$に応じた量の電流を出力する。

［０４９１］

演算回路ＭＡＣＬ［３］についても、演算回路ＭＡＣＬ［１］、及び演算回路ＭＡＣＬ［２］と同様に、回路ＷＣＳにデジタルデータである$W^{(3)}$を入力することによって、セルアレイＣＡにおいて、$X^{(3)}W^{(3)}$の演算が行われ、回路ＩＴＳからＦ（$X^{(3)}W^{(3)}$）＝$X^{(4)}$に応じた量の電流が出力される。

［０４９２］

演算回路ＭＡＣＬ［４］についても、演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［３］と同様に、回路ＷＣＳにデジタルデータである$W^{(4)}$を入力することによって、セルアレイＣＡにおいて、$X^{(4)}W^{(4)}$の演算が行われる。また、演算回路ＭＡＣＬ［４］の回路ＩＴＳでは、Ｆ（$X^{(4)}W^{(4)}$）＝Ｔに応じた量の電流が出力される。なお、Ｔは、回路ＣＤＶにおける出力データであって、行列とすることができる。

［０４９３］

演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［４］は、例えば、ＯＳトランジスタを用いて構成することが好ましい。ＯＳトランジスタは、平坦性の高い膜上であれば、Ｓｉトランジスタと比較して容易に形成することができるため、図２２に示すような演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［４］の積層構造を作製することができる。

［０４９４］

また、図２２の回路ＣＤＶは、下方の演算回路ＭＡＣＬ［１］から上方の演算回路ＭＡＣＬ［４］にかけて、連続して演算を行う構成となっているが、演算の流れは、例えば、上方に位置する演算回路ＭＡＣＬから下方に位置する演算回路ＭＡＣＬにかけて、演算が行われてもよい。つまり、回路ＣＤＶは、演算回路ＭＡＣＬ［１］が、演算回路ＭＡＣＬ［２］の上方に位置し、演算回路ＭＡＣＬ［２］が、演算回路ＭＡＣＬ［３］の上方に位置し、演算回路ＭＡＣＬ［３］が、演算回路ＭＡＣＬ［４］の上方に位置する構成としてもよい。

［０４９５］

上記のとおり、回路ＣＤＶを、演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［４］を積層した構成とすることによって、回路規模が低減された半導体装置とすることができる。また、回路ＣＤＶを階層型のニューラルネットワークのモデルとして構築する場合、演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［４］のそれぞれのセルアレイＣＡには、第１データとして各階層に応じた重み係数を書き込めばよい。これにより、ニューラルネットワークの演算中において、演算回路ＭＡＣＬ［１］乃至演算回路ＭＡＣＬ［４］のそれぞれのセルアレイＣＡで重み係数の書き換えの必要が無くなるため、ニューラルネットワークの演算に必要な消費電力を従来よりも低くすることができる。

［０４９６］

なお、本実施の形態は、本明細書等で示す他の実施の形態等と適宜組み合わせることができる。

［０４９７］

（実施の形態６）

本実施の形態では、チャネル形成領域に酸化物半導体を含むトランジスタ（ＯＳトランジスタ）について、説明する。なお、ＯＳトランジスタの説明において、チャネル形成領域にシリコンを含むトランジスタ（Ｓｉトランジスタともいう）との比較についても簡単に説明する。

［０４９８］

〔ＯＳトランジスタ〕

ＯＳトランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は、１×１０^{18}ｃｍ$^{-3}$以下、好ましくは１×１０^{17}ｃｍ$^{-3}$未満、より好ましくは１×１０^{16}ｃｍ$^{-3}$未満、さらに好ましくは１×１０^{13}ｃｍ$^{-3}$未満、さらに好ましくは１×１０^{10}ｃｍ$^{-3}$未満であり、かつ、１×１０^{-9}ｃｍ$^{-3}$以上である。なお、酸化物半導体中のキャリア濃度を低くする場合、当該酸化物半導体中の不純物濃度を低くすることで、当該酸化物半導体中の欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを、高純度真性または実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

［０４９９］

また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０５００］

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、例えば水素または窒素などが挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物といえる。

［０５０１］

また、ＯＳトランジスタは、酸化物半導体中のチャネル形成領域に不純物または酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、ＯＳトランジスタは、酸化物半導体中の酸素欠損に水素が入った欠陥（以下、$Ｖ_{Ｏ}Ｈ$と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。また、ＯＳトランジスタは、チャネル形成領域に$Ｖ_{Ｏ}Ｈ$が形成されると、チャネル形成領域中のドナー濃度が増加する場合がある。これによって、ＯＳトランジスタは、チャネル形成領域中のドナー濃度が増加するにつれ、しきい値電圧がばらつくことがある。このため、ＯＳトランジスタは、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、ノーマリーオン特性（ゲート電圧が０Ｖの時にドレイン電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネル形成領域では、不純物、酸素欠損、および$Ｖ_{Ｏ}Ｈ$は、できる限り低減されていることが好ましい。

［０５０２］

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には１．１ｅＶ）よりも大きいことが好ましく、好ましくは２ｅＶ以上、より好ましくは２．５ｅＶ以上、さらに好ましくは３．０ｅＶ以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（Ｉｏｆｆとも呼称する）を低減することができる。

［０５０３］

また、Ｓｉトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（ＳＣＥ：Ｓｈｏｒｔ　Ｃｈａｎｎｅｌ　Ｅｆｆｅｃｔ）が発現する。そのため、Ｓｉトランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、ＯＳトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、ＯＳトランジスタは、短チャネル効果がない、または短チャネル効果が極めて少ないトランジスタである。

［０５０４］

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、例えば、しきい値電圧の低下、サブスレッショルドスイング値（Ｓ値と表記することがある）の増大、および漏れ電流の増大などがある。ここで、Ｓ値とは、サブスレッショルド領域において、ドレイン電圧が一定で、ドレイン電流を１桁変化させる際の、ゲート電圧の変化量をいう。

［０５０５］

また、短チャネル効果に対する耐性の指標として、特性長（Ｃｈａｒａｃｔｅｒｉｓｔｉｃ　Ｌｅｎｇｔｈ）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

［０５０６］

ＯＳトランジスタは蓄積型のトランジスタであり、Ｓｉトランジスタは反転型のトランジスタである。したがって、ＯＳトランジスタは、Ｓｉトランジスタと比較して、ソース領域－チャネル形成領域間の特性長、およびドレイン領域－チャネル形成領域間の特性長が小さい。したがって、ＯＳトランジスタは、Ｓｉトランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、ＯＳトランジスタは、Ｓｉトランジスタよりも好適である。

［０５０７］

チャネル形成領域がｉ型または実質的にｉ型となるまで酸化物半導体のキャリア濃度を下げた場合においても、短チャネルのトランジスタでは、Ｃｏｎｄｕｃｔｉｏｎ－Ｂａｎｄ－Ｌｏｗｅｒｉｎｇ（ＣＢＬ）効果により、チャネル形成領域の伝導帯下端が下がるため、ソース領域またはドレイン領域と、チャネル形成領域と、の間の伝導帯下端のエネルギー差は、０．１ｅＶ以上０．２ｅＶ以下まで小さくなる可能性がある。これにより、ＯＳトランジスタは、チャネル形成領域がn^-型の領域となり、ソース領域およびドレイン領域のそれぞれがn^+型の領域となる、n^+／n^-／n^+の蓄積型ｊｕｎｃｔｉｏｎ－ｌｅｓｓトランジスタ構造、または、n^+／n^-／n^+の蓄積型ｎｏｎ－ｊｕｎｃｔｉｏｎトランジスタ構造、と捉えることもできる。

［０５０８］

ＯＳトランジスタは、上記の構造とすることで、微細化または高集積化しても、良好な電気特性を有することができる。例えば、ＯＳトランジスタは、ゲート長が、２０ｎｍ以下、１５ｎｍ以下、１０ｎｍ以下、７ｎｍ以下、または６ｎｍ以下であって、かつ、１ｎｍ以上、３ｎｍ以上、または５ｎｍ以上であっても、良好な電気特性を得ることができる。一方で、Ｓｉトランジスタは、短チャネル効果が発現するため、２０ｎｍ以下、または１５ｎｍ以下のゲート長とすることが困難な場合がある。したがって、ＯＳトランジスタは、Ｓｉトランジスタと比較して、チャネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャネル形成領域内部を移動する方向における、ゲート電極の長さであり、トランジスタの平面視における、ゲート電極の底面の幅をいう。

［０５０９］

また、ＯＳトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。ＯＳトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、５０ＧＨｚ以上、好ましくは１００ＧＨｚ以上、さらに好ましくは１５０ＧＨｚ以上とすることができる。

［０５１０］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、オフ電流が小さい、かつ、チャネル長の短いトランジスタの作製が可能である、といった優れた効果を有する。

［０５１１］

本実施の形態に示す構成、構造、または方法等は、他の実施の形態等に示す構成、構造、または方法等と適宜組み合わせて用いることができる。

［０５１２］

（実施の形態７）

本実施の形態では、上記実施の形態で説明した半導体装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンター（Ｄａｔａ　Ｃｅｎｔｅｒ：ＤＣとも呼称する）について説明する。本発明の一態様の半導体装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターは、低消費電力化といった高性能化に有効である。

［０５１３］

〔電子部品〕

図２３Ａは、電子部品７００および電子部品７００が実装された基板（実装基板７０４）の斜視図である。図２３Ａに示す電子部品７００は、モールド７１１内に半導体装置７１０を有している。図２３Ａは、電子部品７００の内部を示すために、一部の記載を省略している。電子部品７００は、モールド７１１の外側にランド７１２を有する。ランド７１２は、電極パッド７１３と電気的に接続されている。電極パッド７１３は、ワイヤ７１４によって、半導体装置７１０と電気的に接続されている。電子部品７００は、例えば、プリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれの電子部品がプリント基板７０２上で電気的に接続されることで、実装基板７０４が完成する。

［０５１４］

また、半導体装置７１０は、駆動回路層７１５と、記憶層７１６と、を有する。なお、記憶層７１６は、複数のメモリセルアレイが積層された構成である。駆動回路層７１５と、記憶層７１６と、

が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、例えば、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）などの貫通電極技術、および、Ｃｕ－Ｃｕ直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層７１５と、記憶層７１６と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリと、のインターフェース部分の動作を高速にすることが可能となる。

［０５１５］

また、オンチップメモリの構成とすることで、例えば、ＴＳＶなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくすることが可能であるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

［０５１６］

また、記憶層７１６が有する複数のメモリセルアレイを、ＯＳトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、およびメモリのアクセスレイテンシの、いずれか一または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量である。また、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層７１６にＳｉトランジスタを用いる構成の場合、ＯＳトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、ＯＳトランジスタは、Ｓｉトランジスタよりも優れた構造であるといえる。

［０５１７］

すなわち、ＯＳトランジスタは、Ｓｉトランジスタと比較し、広いメモリバンド幅の実現が可能である、といった優れた効果を有する。

［０５１８］

なお、半導体装置７１０を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう）などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン、シリコンカーバイド、またはガリウムナイトライドなどが挙げられる。例えば、シリコン基板（シリコンウエハともいう）から得られたダイを、シリコンダイという場合がある。

［０５１９］

図２３Ｂは、電子部品７３０の斜視図である。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ　ｉｎ　Ｐａｃｋａｇｅ）またはMCM（Ｍｕｌｔｉ　Ｃｈｉｐ　Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、および複数の半導体装置７１０が設けられている。

［０５２０］

電子部品７３０において、半導体装置７１０は、例えば、広帯域メモリ（ＨＢＭ：Ｈｉｇｈ　Ｂａｎｄｗｉｄｔｈ　Ｍｅｍｏｒｙ）などの記憶装置として用いることができる。また、半導体装置７３５は、例えば、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、ＧＰＵ（Ｇｒａ

ｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、またはＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）などの集積回路（例えば、演算装置、制御装置、または信号処理装置など）として用いることができる。

［０５２１］

パッケージ基板７３２は、例えば、セラミックス基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ７３１は、例えば、シリコンインターポーザ、または樹脂インターポーザなどを用いることができる。

［０５２２］

インターポーザ７３１は、複数の配線を有し、当該複数の配線のそれぞれを介して、端子ピッチの異なる複数の集積回路のそれぞれを電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路と、パッケージ基板７３２に設けられた電極と、を電気的に接続する機能を有する。これらのことから、インターポーザ７３１を、「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ７３１は、貫通電極を設けることで、当該貫通電極を用いて、集積回路と、パッケージ基板７３２と、を電気的に接続する場合もある。また、インターポーザ７３１は、シリコンインターポーザを用いる場合、貫通電極として、ＴＳＶを用いることもできる。

［０５２３］

インターポーザ７３１は、シリコンインターポーザを用いることが好ましい。シリコンインターポーザは、能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。また、シリコンインターポーザは、配線形成を半導体プロセスで行うことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

［０５２４］

ＨＢＭは、広いメモリバンド幅を実現するために、多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザは、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザは、シリコンインターポーザを用いることが好ましい。

［０５２５］

また、例えば、シリコンインターポーザを用いた、ＳｉＰまたはＭＣＭなどは、集積回路とインターポーザとの間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは、表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザとの間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）は、シリコンインターポーザを用いることが好ましい。

［０５２６］

一方で、例えば、シリコンインターポーザ、およびＴＳＶなどを用いて端子ピッチの異なる複数の集積回路を電気的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品７３０のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、上述したように、ＯＳトランジスタを用いたモノリシック積層の構成が好適である。ＴＳＶを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

［０５２７］

電子部品７３０を実装した基板は、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合、インターポーザ７３１上に設ける集積回路は、高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０は、半導体装置７１０と半導体装置７３５との高さを揃えることが好ましい。

［０５２８］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２は、底部に電極７３３を設けてもよい。図２３Ｂは、電極７３３を半田ボールで形成する例を示している。電子部品７３０は、パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。なお、電極７３３は、導電性のピンで形成してもよい。電子部品７３０は、パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０５２９］

電子部品７３０は、ＢＧＡまたはＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、またはＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）などの実装方法を用いることができる。

［０５３０］

〔電子機器〕

図２４Ａは、電子機器６５００の斜視図である。図２４Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器６５００は、例えば、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８、および制御装置６５０９などを有する。なお、制御装置６５０９としては、例えば、ＣＰＵ、ＧＰＵ、および記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、例えば、表示部６５０２、または制御装置６５０９などに適用することができる。本発明の一態様の半導体装置を、制御装置６５０９に用いることで、消費電力を低減させることができるため好適である。

［０５３１］

図２４Ｂは、電子機器６６００の斜視図である。図２４Ｂに示す電子機器６６００は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器６６００は、例えば、筐体６６１１、キーボード６６１２、ポインティングデバイス６６１３、外部接続ポート６６１４、表示部６６１５、および制御装置６６１６などを有する。なお、制御装置６６１６としては、例えば、ＣＰＵ、ＧＰＵ、および記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、例えば、制御装置６５０９、または制御装置６６１６などに適用することができる。本発明の一態様の半導体装置を、制御装置６６１６に用いることで、消費電力を低減させることができるため好適である。

［０５３２］

〔大型計算機〕

図２４Ｃは、大型計算機５６００の斜視図である。図２４Ｃに示す大型計算機５６００には、ラッ

ク５６１０に、ラックマウント型の計算機５６２０が複数格納されている。なお、大型計算機５６００を、スーパーコンピュータと呼称してもよい。

［０５３３］

図２４Ｄは、計算機５６２０の構成例を説明する斜視図である。図２４Ｄにおいて、計算機５６２０は、マザーボード５６３０を有する。マザーボード５６３０は、複数のスロット５６３１と、複数の接続端子（図示しない。）と、を有する。スロット５６３１には、ＰＣカード５６２１が挿入されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、および接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続されている。

［０５３４］

図２４Ｅに示すＰＣカード５６２１は、例えば、ＣＰＵ、ＧＰＵ、および記憶装置などを備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図２４Ｅには、半導体装置５６２６、半導体装置５６２７、および半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、および半導体装置５６２８の説明を参酌すればよい。

［０５３５］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿入することができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格としては、例えば、ＰＣＩｅ（Ｐｅｒｉｐｈｅｒａｌ　Ｃｏｍｐｏｎｅｎｔ　Ｉｎｔｅｒｃｏｎｎｅｃｔ　Ｅｘｐｒｅｓｓ）などが挙げられる。

［０５３６］

接続端子５６２３、接続端子５６２４、および接続端子５６２５のそれぞれは、例えば、ＰＣカード５６２１に対して、電力供給または信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子５６２３、接続端子５６２４、および接続端子５６２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、またはＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）などが挙げられる。また、接続端子５６２３、接続端子５６２４、および接続端子５６２５のそれぞれから映像信号を出力する場合、それぞれの規格としては、例えば、ＨＤＭＩ（登録商標）（Ｈｉｇｈ－Ｄｅｆｉｎｉｔｉｏｎ　Ｍｕｌｔｉｍｅｄｉａ　Ｉｎｔｅｒｆａｃｅ）などが挙げられる。

［０５３７］

半導体装置５６２６は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード５６２２が備えるソケット（図示しない。）に対して差し込むことで、半導体装置５６２６とボード５６２２を電気的に接続することができる。

［０５３８］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２７とボード５６２２とを

電気的に接続することができる。半導体装置５６２７としては、例えば、ＦＰＧＡ、ＧＰＵ、またはＣＰＵなどが挙げられる。半導体装置５６２７として、例えば、上述した電子部品７３０を用いることができる。

［０５３９］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２８とボード５６２２とを電気的に接続することができる。半導体装置５６２８としては、例えば、記憶装置などが挙げられる。半導体装置５６２８として、例えば、上述した電子部品７００を用いることができる。

［０５４０］

大型計算機５６００は、並列計算機としても機能できる。大型計算機５６００を並列計算機として用いることで、例えば、人工知能の学習および推論に必要な大規模の計算を行うことができる。

［０５４１］

〔宇宙用機器〕

本発明の一態様の半導体装置は、例えば、情報を処理し、かつ記憶する機器などの宇宙用機器に好適に用いることができる。

［０５４２］

本発明の一態様の半導体装置は、ＯＳトランジスタを含むことができる。当該ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり、当該ＯＳトランジスタは、放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間で使用する場合に好適に用いることができる。

［０５４３］

図２５は、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置６８０７と、を有する。なお、図２５は、宇宙空間に惑星６８０４を例示している。なお、宇宙空間とは、例えば、高度１００ｋｍ以上を指すが、本明細書等に記載の宇宙空間は、熱圏、中間圏、および成層圏を含んでもよい。

［０５４４］

また、図２５には、図示していないが、二次電池６８０５に、バッテリマネジメントシステム（ＢＭＳともいう）、またはバッテリ制御回路を設けてもよい。上述のバッテリマネジメントシステム、またはバッテリ制御回路に、ＯＳトランジスタを用いると、消費電力が低く、かつ宇宙空間においても高い信頼性を有するため好適である。

［０５４５］

また、宇宙空間は、地上に比べて１００倍以上、放射線量の高い環境である。なお、放射線は、例えば、Ｘ線もしくはガンマ線に代表される電磁波（電磁放射線）、または、アルファ線、ベータ線、中性子線、陽子線、重イオン線、もしくは中間子線などに代表される粒子放射線、が挙げられる。

［０５４６］

ソーラーパネル６８０２は、太陽光が照射されることにより、人工衛星６８００が動作するために必要な電力が生成される。しかしながら、例えば、ソーラーパネル６８０２に太陽光が照射されない状況、またはソーラーパネル６８０２に照射される太陽光の光量が少ない状況では、ソーラーパネル６８０２は、生成される電力が少なくなる。よって、人工衛星６８００は、動作するために必

要な電力が生成されない可能性がある。ソーラーパネル６８０２で生成される電力が少ない状況下であっても人工衛星６８００を動作させるために、人工衛星６８００は、二次電池６８０５を設けるとよい。なお、ソーラーパネル６８０２は、太陽電池モジュールと呼ばれる場合がある。

［０５４７］

人工衛星６８００は、信号を生成することができる。当該信号は、アンテナ６８０３を介して送信される。また、例えば、地上に設けられた受信機、または他の人工衛星は、当該信号を受信することができる。例えば、受信機は、人工衛星６８００が送信した信号を受信することにより、当該受信機の位置を測定することができる。以上より、人工衛星６８００は、衛星測位システムを構成することができる。

［０５４８］

また、制御装置６８０７は、人工衛星６８００を制御する機能を有する。制御装置６８０７としては、例えば、ＣＰＵ、ＧＰＵ、および記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置６８０７は、本発明の一態様であるＯＳトランジスタを含む半導体装置を用いると好適である。ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり、ＯＳトランジスタは、放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

［０５４９］

すなわち、ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線耐性が高い、といった優れた効果を有する。

［０５５０］

また、人工衛星６８００は、センサを有する構成とすることができる。例えば、人工衛星６８００は、可視光センサを有する構成とすることにより、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。また、人工衛星６８００は、熱赤外センサを有する構成とすることにより、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星６８００は、例えば、地球観測衛星としての機能を有することができる。

［０５５１］

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。本発明の一態様の半導体装置は、例えば、宇宙船、宇宙カプセル、または宇宙探査機などの宇宙用機器に好適に用いることができる。

［０５５２］

〔データセンター〕

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、例えば、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、例えば、膨大なデータを記憶するためのストレージおよびサーバの設置、データを保持するための安定した電源の確保、または、データの保持に要する冷却設備の確保、などが必要となる。そのため、例えば、データセンターの建屋の大型化が必要となる。

［０５５３］

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、および、データを保持する当該半導体装置の小型化、を図

ることができる。そのため、例えば、ストレージシステムの小型化、データを保持するための電源の小型化、および、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

［０５５４］

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱による、その回路自体、周辺回路、および周辺モジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よって、データセンターの信頼性を高めることができる。

［０５５５］

図２６にデータセンターに適用可能なストレージシステムを示す。図２６に示すストレージシステム７０００は、ホスト７００１（Ｈｏｓｔ　Ｃｏｍｐｕｔｅｒと図示）として複数のサーバ７００１ｓｂを有する。また、ストレージ７００３（Ｓｔｏｒａｇｅと図示）として複数の記憶装置７００３ｍｄを有する。また、ホスト７００１とストレージ７００３とが、ストレージエリアネットワーク７００４（ＳＡＮ：Ｓｔｏｒａｇｅ　Ａｒｅａ　Ｎｅｔｗｏｒｋと図示）およびストレージ制御回路７００２（Ｓｔｏｒａｇｅ　Ｃｏｎｔｒｏｌｌｅｒと図示）を介して接続されている。

［０５５６］

ホスト７００１は、ストレージ７００３に記憶されているデータにアクセスするコンピュータに相当する。ホスト７００１同士は、ネットワークで互いに接続されていてもよい。

［０５５７］

ストレージ７００３は、フラッシュメモリを用いることで、データへのアクセススピード、つまりデータの書き込みまたは読み出しに要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるＤＲＡＭが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ７００３のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの書き込みまたは読み出しに要する時間を短くしている。

［０５５８］

上述のキャッシュメモリは、ストレージ制御回路７００２およびストレージ７００３内に用いられる。ホスト７００１とストレージ７００３との間でやり取りされるデータは、ストレージ制御回路７００２およびストレージ７００３内の当該キャッシュメモリに記憶されたのち、ホスト７００１またはストレージ７００３に出力される。

［０５５９］

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、ＯＳトランジスタを用いてデータに応じた電位を保持する構成とすることで、当該キャッシュメモリのリフレッシュする頻度を減らし、かつ、当該キャッシュメモリの消費電力を小さくすることができる。また、メモリセルアレイが積層された構成とすることで、当該キャッシュメモリの小型化が可能である。

［０５６０］

なお、本発明の一態様の半導体装置を、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターの中から選ばれるいずれか一または複数に適用することで、消費電力の低減を図ることができる。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素（CO_2）に代表される、

温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため、地球温暖化対策としても有効である。

［０５６１］

本実施の形態に示す構成、構造、または方法等は、他の実施の形態等に示す構成、構造、または方法等と適宜組み合わせて用いることができる。

［０５６２］

（本明細書等の記載に関する付記）

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

［０５６３］

本明細書等において、ＸとＹとが接続されている、と記載されている場合は、ＸとＹとが電気的に接続されている場合と、ＸとＹとが機能的に接続されている場合と、ＸとＹとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係、に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。ＸおよびＹは、それぞれ、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、または層など）であるとする。

［０５６４］

ＸとＹとが電気的に接続されているとは、ＸとＹとの間で、何らかの電気的作用を有する対象物が存在するとき、ＸとＹとの電気信号の授受を可能とするものをいう。ＸとＹとが電気的に接続されている場合の一例としては、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、または負荷など）が、ＸとＹとの間に１個以上接続されることが可能である。

［０５６５］

ＸとＹとが機能的に接続されている場合の一例としては、ＸとＹとの機能的な接続を可能とする回路（例えば、論理回路（例えば、インバータ、ＮＡＮＤ回路、またはＮＯＲ回路など）、信号変換回路（例えば、デジタルアナログ変換回路、アナログデジタル変換回路、またはガンマ補正回路など）、電位レベル変換回路（例えば、電源回路（例えば、昇圧回路、または降圧回路など）、または信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（例えば、信号振幅もしくは電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、またはバッファ回路など）、信号生成回路、記憶回路、または制御回路など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、一例として、ＸとＹとの間に別の回路を挟んでいても、Ｘから出力された信号がＹへ伝達される場合は、ＸとＹとは機能的に接続されているものとする。

［０５６６］

なお、ＸとＹとが電気的に接続されている、と明示的に記載する場合は、ＸとＹとが電気的に接続されている場合（つまり、ＸとＹとの間に別の素子または別の回路を挟んで接続されている場合）と、ＸとＹとが直接接続されている場合（つまり、ＸとＹとの間に別の素子または別の回路を挟まずに接続されている場合）とを含むものとする。

［０５６７］

また、例えば、「ＸとＹとトランジスタのソース（本明細書等では、第１の端子および第２の端子の一方と呼称する場合がある）とドレイン（本明細書等では、第１の端子および第２の端子の他方

と呼称する場合がある）とは、互いに電気的に接続されており、X、トランジスタのソース、トランジスタのドレイン、Yの順序で電気的に接続されている。」と表現することができる。または、「トランジスタのソースはXと電気的に接続され、トランジスタのドレインはYと電気的に接続され、X、トランジスタのソース、トランジスタのドレイン、Yは、この順序で電気的に接続されている」と表現することができる。または、「Xは、トランジスタのソースとドレインとを介して、Yと電気的に接続され、X、トランジスタのソース、トランジスタのドレイン、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソースと、ドレインとを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、XおよびYは、それぞれ、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、または層など）であるとする。

［０５６８］

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、１つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば、配線の一部が電極としても機能する場合、一の導電膜が、配線および電極の、両方の構成要素の機能を併せ持っている。したがって、本明細書等における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

［０５６９］

また、本明細書等において、「抵抗素子」とは、例えば、０Ω よりも高い抵抗値を有する回路素子、または配線などを用いることができる。そのため、本明細書等において、「抵抗素子」は、例えば、抵抗値を有する配線、ソースードレイン間に電流が流れるトランジスタ、ダイオード、またはコイルなどを含むものとする。そのため、「抵抗素子」という用語は、例えば、「抵抗」、「負荷」、または「抵抗値を有する領域」などの用語に言い換えることができるものとする。逆に、「抵抗」、「負荷」、または「抵抗値を有する領域」という用語は、例えば、「抵抗素子」などの用語に言い換えることができるものとする。抵抗値としては、例えば、好ましくは１ｍΩ 以上１０Ω 以下、より好ましくは５ｍΩ 以上５Ω 以下、さらに好ましくは１０ｍΩ 以上１Ω 以下とすることができる。また、例えば、１Ω 以上１×１０^{9}Ω 以下としてもよい。

［０５７０］

また、配線を抵抗素子として用いる場合、当該抵抗素子は、当該配線の長さによって抵抗値を決める場合がある。または、抵抗素子は、配線として用いる導電体とは異なる抵抗率を有する導電体を用いる場合がある。または、半導体を抵抗素子として用いる場合、当該抵抗素子は、当該半導体に不純物をドーピングすることで抵抗値を決める場合がある。

［０５７１］

また、本明細書等において、「容量素子」とは、例えば、０Ｆよりも高い静電容量の値を有する回路素子、０Ｆよりも高い静電容量の値を有する配線の領域、寄生容量、またはトランジスタのゲート容量などとすることができる。そのため、本明細書等において、「容量素子」は、一対の電極と、当該電極の間に含まれている誘電体と、を含む回路素子だけに限らない。「容量素子」は、例えば、配線と配線との間に生じる寄生容量、または、トランジスタのソースまたはドレインの一方とゲートとの間に生じるゲート容量、などを含むものとする。また、例えば、「容量素子」、「寄生容量」、または「ゲート容量」などという用語は、「容量」などの用語に言い換えることができるも

のとする。逆に、「容量」という用語は、例えば、「容量素子」、「寄生容量」、または「ゲート容量」などの用語に言い換えることができるものとする。また、「容量」の「一対の電極」という用語は、例えば、「一対の導電体」、「一対の導電領域」、または「一対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、０．０５ｆＦ以上１０ｐＦ以下とすることができる。また、例えば、１ｐＦ以上１０μＦ以下としてもよい。

［０５７２］

また、本明細書等において、トランジスタは、ゲート（ゲート端子、ゲート領域、またはゲート電極ともいう）、ソース（ソース端子、ソース領域、またはソース電極ともいう）、およびドレイン（ドレイン端子、ドレイン領域、またはドレイン電極ともいう）と呼ばれる３つの端子を有する。また、トランジスタは、ドレインとソースとの間にチャネルが形成される領域（チャネル形成領域ともいう）を有する。トランジスタは、チャネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、チャネル形成領域は、電流が主として流れる領域である。ゲートは、ソースとドレインとの間の、チャネル形成領域に流れる電流量を制御する制御端子である。ソースまたはドレインとして機能する２つの端子は、トランジスタの入出力端子である。

［０５７３］

なお、２つの入出力端子は、トランジスタの導電型（ｎチャネル型またはｐチャネル型）およびトランジスタの３つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。また、例えば、回路動作において電流の方向が変化する場合などにおいて、ソースとしての機能とドレインとしての機能とが入れ替わることがある。このため、本明細書等においては、「ソース」と「ドレイン」の用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第１電極、または第１端子）、または「ソースまたはドレインの他方」（または第２電極、または第２端子）という表記を用いる。

［０５７４］

なお、トランジスタは、構造によって、上述した３つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲートまたはバックゲートの一方を第１ゲートと呼称し、トランジスタのゲートまたはバックゲートの他方を第２ゲートと呼称することがある。さらに、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、３以上のゲートを有する場合、本明細書等においては、それぞれのゲートを、例えば、第１ゲート、第２ゲート、または第３ゲートなどと呼称することがある。

［０５７５］

なお、本明細書等において、トランジスタは、ゲート電極が２個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造のトランジスタは、チャネル形成領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造のトランジスタは、オフ電流の低減、およびトランジスタの耐圧向上（信頼性の向上）を図ることができる。また、マルチゲート構造のトランジスタは、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を持つトランジスタは、理想的な電流源回路、または非常に高い抵抗値をもつ能動負荷を実現することができる。そ

の結果、傾きがフラットである電圧・電流特性を持つトランジスタは、例えば、特性のよい差動回路、またはカレントミラー回路などを実現することができる。

［０５７６］

また、本明細書等において、回路図上で、単一の回路素子が図示されている場合、当該回路素子は、複数の回路素子を有する場合がある。例えば、回路図上に１個の抵抗が記載されている場合、当該抵抗は、２個以上の抵抗が直列に電気的に接続されている場合を含むものとする。また、例えば、回路図上に１個の容量が記載されている場合、当該容量は、２個以上の容量が並列に電気的に接続されている場合を含むものとする。また、例えば、回路図上に１個のトランジスタが記載されている場合、当該トランジスタは、２個以上のトランジスタが直列に電気的に接続され、かつそれぞれのトランジスタのゲート同士が電気的に接続されている場合を含むものとする。また、同様に、例えば、回路図上に１個のスイッチが記載されている場合、当該スイッチは、２個以上のトランジスタを有し、かつ、２個以上のトランジスタが直列または並列に電気的に接続され、かつ、それぞれのトランジスタのゲート同士が電気的に接続されている場合を含むものとする。

［０５７７］

また、本明細書等において、「ノード」は、例えば、回路構成、またはデバイス構造などに応じて、「端子」、「配線」、「電極」、「導電層」、「導電体」、または「不純物領域」などと言い換えることが可能である。また、例えば、「端子」、または「配線」などは、「ノード」と言い換えることが可能である。

［０５７８］

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことである。例えば、基準となる電位をグラウンド電位（接地電位）とすると、「電圧」は、「電位」に言い換えることができる。なお、グラウンド電位は、必ずしも０Ｖを意味するとは限らない。また、電位は、相対的なものである。すなわち、基準となる電位が変わることによって、例えば、配線に与えられる電位、回路などに印加される電位、または、回路などから出力される電位、なども変化する。

［０５７９］

また、本明細書等において、「高レベル電位（「ハイレベル電位」、「Ｈ電位」、または「Ｈ」ともいう）」または「低レベル電位（「ローレベル電位」、「Ｌ電位」、または「Ｌ」ともいう）」という用語は、特定の電位を意味するものではない。例えば、２本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、２本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

［０５８０］

また、本明細書等において、「電流」とは、電荷の移動現象（電気伝導）のことである。例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、例えば、電子、正孔、アニオン、カチオン、または錯イオンなどが挙げられる。なお、キャリアは、電流の流れる系（例えば、半導体、金属、電解液、または真空中など）によって異なる。

また、例えば配線などにおける「電流の向き」は、正のキャリアが移動する方向とし、正の電流量で記載する。換言すると、負のキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（または電流の向き）について断りがない場合、例えば、「素子Ａから素子Ｂに電流が流れる」などの記載は、「素子Ｂから素子Ａに電流が流れる」などに言い換えることができるものとする。また、例えば、「素子Ａに電流が入力される」などの記載は、「素子Ａから電流が出力される」などに言い換えることができるものとする。

［０５８１］

また、本明細書等において、「第１」、「第２」、または「第３」という序数詞は、構成要素の混同を避けるために付したものである。したがって、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素が、他の実施の形態あるいは特許請求の範囲等において、「第２」に言及された構成要素とされることもありうる。また、例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素が、他の実施の形態あるいは特許請求の範囲等において、省略されることもありうる。

［０５８２］

また、本明細書等において、例えば、「上に」、「下に」、「上方に」、または「下方に」などの配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成要素を描写する方向に応じて適宜変化するものである。したがって、本明細書等で説明した配置を示す語句は、それに限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現は、示している図面の向きを１８０度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。また、「導電体の上面に位置する絶縁体」の表現は、示している図面の向きを９０度回転することによって、「導電体の左面（もしくは右面）に位置する絶縁体」と言い換えることができる。

［０５８３］

また、「上」または「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層Ａ上の電極Ｂ」の表現は、絶縁層Ａの上に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。

［０５８４］

また、本明細書等において、マトリクス状に配置された構成要素、およびその位置関係を説明するために、例えば、「行」または「列」などの語句を使用する場合がある。また、構成要素同士の位置関係は、各構成要素を描写する方向に応じて適宜変化するものである。したがって、本明細書等で説明した、例えば、「行」または「列」などの語句は、それに限定されず、状況に応じて適切に言い換えることができる。例えば、「行方向」という表現は、示している図面の向きを９０度回転することによって、「列方向」と言い換えることができる。

［０５８５］

また、本明細書等において、例えば、「重なる」などの用語は、構成要素の積層順などの状態を限定するものではない。例えば、「絶縁層Ａに重なる電極Ｂ」の表現は、絶縁層Ａの上に電極Ｂが形

成されている状態に限らない。「絶縁層Ａに重なる電極Ｂ」の表現は、例えば、絶縁層Ａの下に電極Ｂが形成されている状態、または、絶縁層Ａの右側（もしくは左側）に電極Ｂが形成されている状態、などを除外しない。

［０５８６］

また、本明細書等において、「隣接」または「近接」の用語は、構成要素が直接接していることを限定するものではない。例えば、「絶縁層Ａに隣接する電極Ｂ」の表現は、絶縁層Ａと電極Ｂとが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。

［０５８７］

また、本明細書等において、例えば、「膜」または「層」などの語句は、状況に応じて、互いに入れ換えることが可能な場合がある。例えば、「導電層」という用語は、「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語は、「絶縁層」という用語に変更することが可能な場合がある。また、例えば、「膜」または「層」などの語句は、それらの語句を使わずに、状況に応じて、別の用語に入れ換えることが可能な場合がある。例えば、「導電層」または「導電膜」という用語は、「導電体」という用語に変更することが可能な場合がある。また、「導電体」という用語は、「導電層」または「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁層」または「絶縁膜」という用語は、「絶縁体」という用語に変更することが可能な場合がある。また、「絶縁体」という用語は、「絶縁層」または「絶縁膜」という用語に変更することが可能な場合がある。

［０５８８］

また、本明細書等において、例えば、「電極」、「配線」、または「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は、「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」または「配線」の用語は、例えば、複数の「電極」または「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は、「配線」または「電極」の一部として用いられることがあり、その逆もまた同様である。さらに、「端子」の用語は、例えば、複数の「電極」、「配線」、または「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は、「配線」または「端子」の一部とすることができる。また、例えば、「端子」は、「配線」または「電極」の一部とすることができる。また、例えば、「電極」、「配線」、または「端子」などの用語は、「領域」などの用語に置き換える場合がある。

［０５８９］

また、本明細書等において、例えば、「配線」、「信号線」、または「電源線」などの用語は、状況に応じて、互いに入れ換えることが可能な場合がある。例えば、「配線」という用語は、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語は、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、例えば、「信号線」または「電源線」などの用語は、「配線」という用語に変更することが可能な場合がある。また、例えば、「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で、例えば、「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語は、状況に応じて、例えば、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、例えば、

「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

［０５９０］

また、本明細書等において、「スイッチ」とは、複数の端子を備え、かつ、当該端子間の導通または非導通を切り換える（選択する）機能を備える。例えば、スイッチが２つの端子を備え、かつ、両端子間が導通している場合、当該スイッチは、「導通状態である」または「オン状態である」という。また、両端子間が非導通である場合、当該スイッチは、「非導通状態である」または「オフ状態である」という。なお、当該スイッチは、導通状態もしくは非導通状態の一方の状態に切り換えること、または、導通状態もしくは非導通状態の一方の状態を維持することを、「導通状態を制御する」という場合がある。

［０５９１］

つまり、スイッチとは、電流を流すか流さないかを制御する機能を備えるものをいう。または、スイッチとは、電流を流す経路を選択して切り換える機能を備えるものをいう。スイッチとして、例えば、電気的なスイッチまたは機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

［０５９２］

なお、スイッチの種類として、通常は非導通状態で、導通状態を制御することで導通状態となるスイッチがあり、このようなスイッチは、「Ａ接点」という場合がある。また、スイッチの種類として、通常は導通状態で、導通状態を制御することで非導通状態となるスイッチがあり、このようなスイッチは、「Ｂ接点」という場合がある。

［０５９３］

電気的なスイッチとして、例えば、トランジスタ（例えば、バイポーラトランジスタ、またはＭＯＳトランジスタなど）、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）ダイオード、ＭＩＳ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ダイオード、またはダイオード接続のトランジスタなど）、またはこれらを組み合わせた論理回路などがある。なお、トランジスタを単なるスイッチとして動作させる場合、トランジスタの極性（導電型）は、特に限定されない。

［０５９４］

機械的なスイッチとして、例えば、ＭＥＭＳ（マイクロ・エレクトロ・メカニカル・システムズ）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を備え、かつ、その電極が動くことによって、導通状態または非導通状態を選択する。

［０５９５］

本明細書等において、トランジスタの「チャネル長」とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域におけるソースとドレインとの間の距離、または、チャネルが形成される領域におけるソースとドレインとの間の距離、をいう。

［０５９６］

また、本明細書等において、トランジスタの「チャネル幅」とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域におけるソースとドレインとが向かい合っている部分の長さ、または、チャネルが形成される領域におけるソースとドレインとが向かい合っている部分の長さ、をいう。

［０５９７］

本明細書等において、例えば、「基板」、「ウエハ」、または「ダイ」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「基板」、「ウエハ」、または「ダイ」などの用語は、状況に応じて、互いに入れ換えることが可能な場合がある。

［０５９８］

本明細書等において、「平行」とは、２つの直線が－１０°以上１０°以下の角度で配置されている状態をいう。したがって、－５°以上５°以下の場合も含まれる。また、「略平行」または「概略平行」とは、２つの直線が－３０°以上３０°以下の角度で配置されている状態をいう。また、「垂直」とは、２つの直線が８０°以上１００°以下の角度で配置されている状態をいう。したがって、８５°以上９５°以下の場合も含まれる。また、「略垂直」または「概略垂直」とは、２つの直線が６０°以上１２０°以下の角度で配置されている状態をいう。

［０５９９］

なお、本明細書等において、「高さが一致または概略一致」とは、断面視において、基準となる面（例えば、基板表面などの平坦な面）からの高さが等しいことをいう。例えば、半導体装置の製造プロセスにおいて、平坦化処理を行うことで、単層または複数の層の表面が露出する場合がある。この場合、平坦化処理の被処理面は、基準となる面からの高さが等しくなる。ただし、当該被処理面は、平坦化処理の際の、処理装置、処理方法、または被処理面の材料によって、複数の層の高さが厳密には等しくならない場合がある。本明細書等において、この場合も、「高さが一致または概略一致」という。例えば、基準面に対して、高さが異なる２つの層（ここでは第１の層と、第２の層とする）を有する場合、第１の層の上面の高さと、第２の層の上面の高さと、の差が、２０ｎｍ以下である場合も、「高さが一致または概略一致」という。

［０６００］

なお、本明細書等において、「端部が一致または概略一致」とは、上面視において、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、半導体装置の製造プロセスにおいて、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重ならず、上層の輪郭が下層の輪郭より内側に位置すること、または、上層の輪郭が下層の輪郭より外側に位置することもある。本明細書等において、この場合も、「端部が一致または概略一致」という。

［０６０１］

なお、本明細書等において、例えば、計数値および計量値に関して、または、計数値もしくは計量値に換算可能な、物、方法、および事象などに関して、「同一」、「同じ」、「等しい」、または「均一」（これらの同意語を含む）などと言う場合、これらは、明示されている場合を除き、プラスマイナス２０％の誤差を含むものとする。

［０６０２］

本明細書等において、半導体の不純物とは、例えば、当該半導体を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は、不純物である。半導体は、不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、キャリア移動度が低下すること、または、結晶性が低下すること、などが起こる場合がある。半導体が酸化物半導体である場合、当該半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１３族元素、第１４族元素、第１５族元素、または酸化物半導体の主成分以外の遷移金属などがある。特に、例えば、水素（水

にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、または窒素などがある。酸化物半導体は、例えば、不純物の混入によって、当該酸化物半導体に酸素欠損（V_O：ｏｘｙｇｅｎ　ｖａｃａｎｃｙともいう）が形成される場合がある。

［０６０３］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、例えば、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、または酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒまたは単にＯＳともいう）などに分類される。例えば、トランジスタのチャネル形成領域を含む半導体に金属酸化物を用いた場合、当該金属酸化物は、酸化物半導体と呼称する場合がある。つまり、増幅作用、整流作用、およびスイッチング作用の少なくとも１つを有するトランジスタのチャネル形成領域を構成し得るものとして、金属酸化物を用いた場合、当該金属酸化物は、金属酸化物半導体（ｍｅｔａｌ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）と呼称することができる。また、「ＯＳトランジスタ」の記載は、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

［０６０４］

また、本明細書等において、窒素を有する金属酸化物も、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物は、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［０６０５］

また、本明細書に係る図面等において、Ｘ方向、Ｙ方向、およびＺ方向を示す矢印を付す場合がある。本明細書等において、「Ｘ方向」は、Ｘ軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Ｙ方向」および「Ｚ方向」についても、同様である。また、Ｘ方向、Ｙ方向、およびＺ方向は、それぞれが互いに交差する方向である。より具体的には、Ｘ方向、Ｙ方向、およびＺ方向は、それぞれが互いに直交する方向である。本明細書等では、Ｘ方向、Ｙ方向、またはＺ方向の１つを「第１方向」または「第１の方向」と呼ぶ場合がある。また、他の１つを「第２方向」または「第２の方向」と呼ぶ場合がある。また、残りの１つを「第３方向」または「第３の方向」と呼ぶ場合がある。

［符号の説明］

［０６０６］

２００：半導体装置、２０１：第１電流生成部、２０２：第２電流生成部、２０３：積和演算部、２０４：セル、２０５：記憶部、Ｄｗ：第１データ、Ｄｘ：第２データ、Ｉｗ：第１電流量、Ｉｘ：第２電流量、Ｉｗｘ：第３電流量、Ｉｏ：第４電流量、３００：演算処理装置、３０１：半導体装置、３０２：半導体装置、４００：演算処理装置、４０１：ニューラルネットワーク、４０２：制御部、１００：ニューラルネットワーク、７１０：半導体装置、７３５：半導体装置、５６２６：半導体装置、５６２７：半導体装置、５６２８：半導体装置、ＩＭ：セル、ＩＭｒｅｆ：セル、ＩＭｒ：セル、ＩＭｓ：セル、ＩＭｓｒ：セル、ＩＭｒｅｆｓ：セル

請求の範囲

［請求項１］

第１半導体装置と、第２半導体装置と、第３半導体装置と、を備え、

前記第１半導体装置と、前記第２半導体装置と、前記第３半導体装置と、のそれぞれは、第１電流生成部と、第２電流生成部と、第３電流生成部と、積和演算部と、を備え、

前記積和演算部は、第１セルと、第２セルと、を備え、

前記第１電流生成部は、第１データに応じた第１電流量を出力する機能と、第２データに応じた第２電流量を出力する機能と、を有し、

前記第２電流生成部は、第３データに応じた第３電流量を出力する機能を有し、

前記第３電流生成部は、第４データに応じた第４電流量を出力する機能を有し、

前記第１セルは、前記第１電流量を記憶する機能と、前記第１電流量と前記第３電流量との乗算に応じた第５電流量を出力する機能と、を有し、

前記第２セルは、前記第２電流量を記憶する機能と、前記第２電流量と前記第４電流量との乗算に応じた第６電流量を出力する機能と、を有し、

前記積和演算部は、前記第５電流量と前記第６電流量との加算に応じた第７電流量を出力する機能を有し、

前記第１データがゼロの場合における前記第１電流量と、前記第２データがゼロの場合における前記第２電流量と、前記第３データがゼロの場合における前記第３電流量と、前記第４データがゼロの場合における前記第４電流量と、のそれぞれは、1×10^{-11}Ａ以下であり、

前記第１半導体装置と、前記第２半導体装置と、前記第３半導体装置と、のそれぞれは、プルーニングされたニューラルネットワークの一部を構成し、

前記第２半導体装置における前記第７電流量に相当するデータは、前記第１半導体装置における前記第３データとして入力され、

前記第３半導体装置における前記第７電流量に相当するデータは、前記第１半導体装置における前記第４データとして入力され、

前記第１半導体装置における前記第１データおよび前記第２データの少なくとも一は、ゼロである、

演算処理装置。

［請求項２］

請求項１において、

制御部を備え、

前記制御部は、前記プルーニングによって、前記第１半導体装置における前記第１データおよび前記第２データの少なくとも一をゼロにする機能を有する、

演算処理装置。

［請求項３］

請求項１または請求項２において、

前記第１半導体装置と、前記第２半導体装置と、前記第３半導体装置と、のそれぞれは、チャネル形成領域に酸化物半導体を含むトランジスタを備える、

演算処理装置。

［請求項４］

請求項１または請求項２において、

前記第１半導体装置と、前記第２半導体装置と、前記第３半導体装置と、のそれぞれは、複数の電流源を備え、

前記複数の電流源のそれぞれが出力する電流量は、１．０×１０$^{-8}$Ａ以下である、

演算処理装置。

［請求項５］

請求項１または請求項２において、

前記第１半導体装置と、前記第２半導体装置と、前記第３半導体装置と、のそれぞれは、サブスレッショルド領域で動作するトランジスタを備える、

演算処理装置。

［請求項６］

請求項１または請求項２において、

第１層と、前記第１層の上に位置する第２層と、を備え、

前記第１半導体装置における前記第１電流生成部および前記積和演算部は、前記第１層または前記第２層の一方に設けられ、

前記第２半導体装置における前記第１電流生成部および前記積和演算部と、前記第３半導体装置における前記第１電流生成部および前記積和演算部と、のそれぞれは、前記第１層または前記第２層の他方に設けられる、

演算処理装置。

［請求項７］

請求項１または請求項２において、

前記第１セルは、第１演算セルと、第１駆動セルと、を備え、

前記第２セルは、第２演算セルと、第２駆動セルと、を備え、

前記第１演算セルは、第１配線を介して、前記第１電流生成部に電気的に接続され、

前記第１演算セルは、第２配線を介して、前記第２電流生成部に電気的に接続され、

前記第１駆動セルは、前記第２配線を介して、前記第２電流生成部に電気的に接続され、

前記第２演算セルは、前記第１配線を介して、前記第１電流生成部に電気的に接続され、

前記第２演算セルは、第３配線を介して、前記第３電流生成部に電気的に接続され、

前記第２駆動セルは、前記第３配線を介して、前記第３電流生成部に電気的に接続され、

前記第１電流生成部は、前記第１電流量または前記第２電流量を前記第１配線に流す機能を有し、

前記第２電流生成部は、第１参照電流または前記第３電流量を前記第２配線に流す機能と、を有し、

前記第３電流生成部は、第２参照電流または前記第４電流量を前記第３配線に流す機能と、を有し、

前記第１演算セルは、前記第１電流量に相当する第１電位を保持する機能を有し、

前記第１駆動セルは、前記第１参照電流に相当する第２電位を保持する機能を有し、

前記第１演算セルは、前記第１演算セルに前記第１電位が保持され、前記第１駆動セルに前記第２電位が保持されている状態で、前記第２電流生成部が前記第２配線に流す電流を前記第１参照電流から前記第３電流量に変更したとき、前記第１電流量と前記第３電流量との積に応じた前記第５電流量を前記第１配線に流す機能を有し、

前記第２演算セルは、前記第２電流量に相当する第３電位を保持する機能を有し、

前記第２駆動セルは、前記第２参照電流に相当する第４電位を保持する機能を有し、

前記第２演算セルは、前記第２演算セルに前記第３電位が保持され、前記第２駆動セルに前記第４電位が保持されている状態で、前記第３電流生成部が前記第３配線に流す電流を前記第２参照電流から前記第４電流量に変更したとき、前記第２電流量と前記第４電流量との積に応じた前記第６電流量を前記第１配線に流す機能を有する、

演算処理装置。

図1

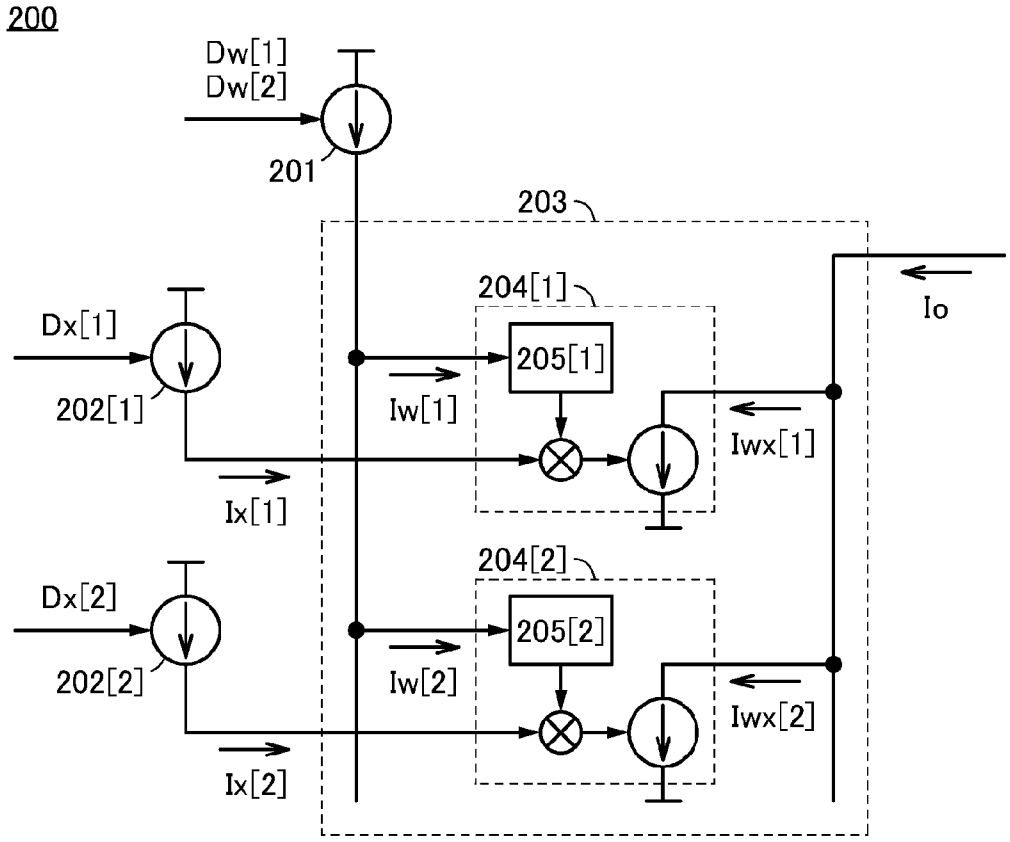

200
Dw[1]
Dw[2]
201
203
204[1]
205[1]
Io
Dx[1]
202[1]
Iw[1]
Iwx[1]
Ix[1]
204[2]
205[2]
Dx[2]
202[2]
Iw[2]
Iwx[2]
Ix[2]

図2A

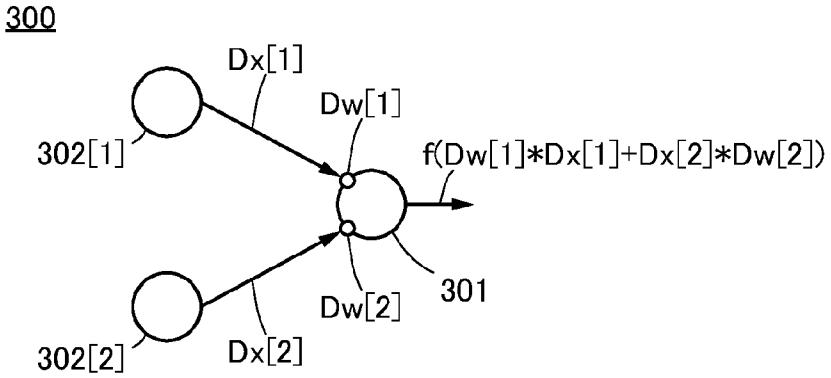

300
Dx[1]
Dw[1]
302[1]
f(Dw[1]*Dx[1]+Dx[2]*Dw[2])
301
Dw[2]
302[2]
Dx[2]

図2B

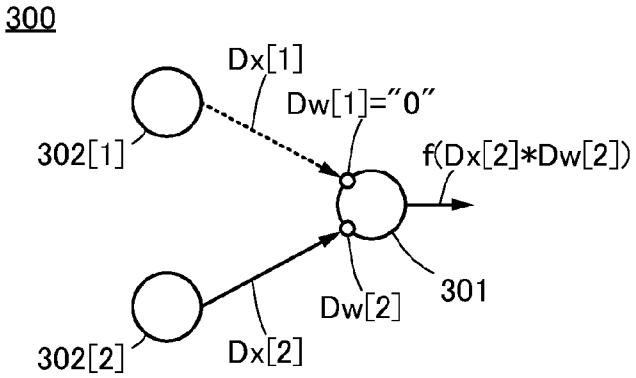

300
Dx[1]
Dw[1]="0"
302[1]
f(Dx[2]*Dw[2])
301
Dw[2]
302[2]
Dx[2]

図3A

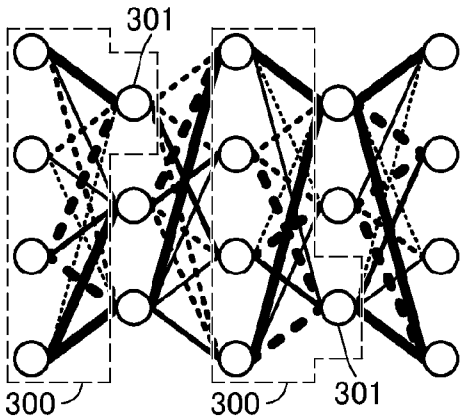


図3B

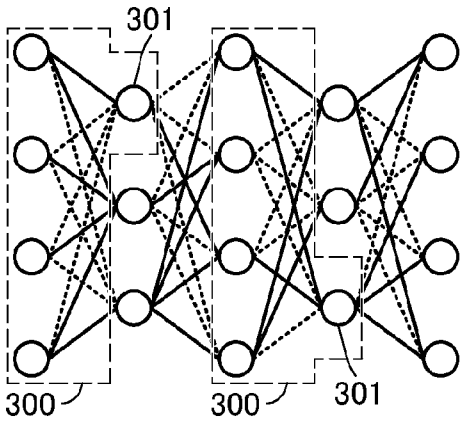


図3C

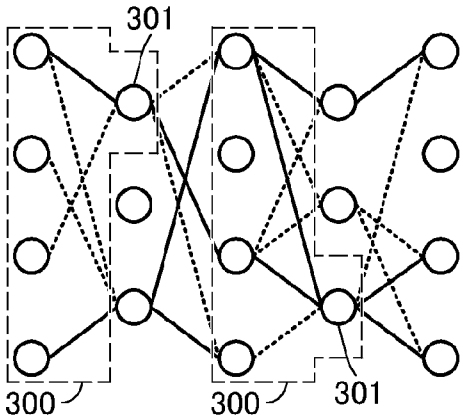


図4

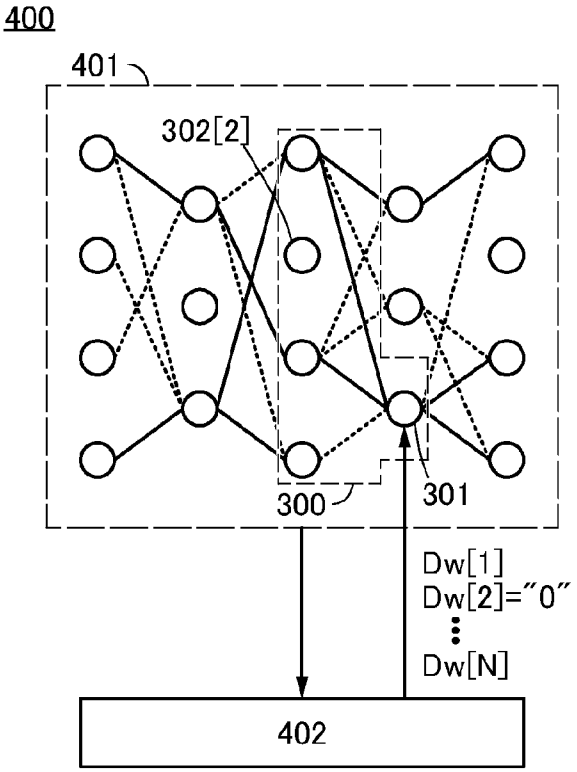


図5

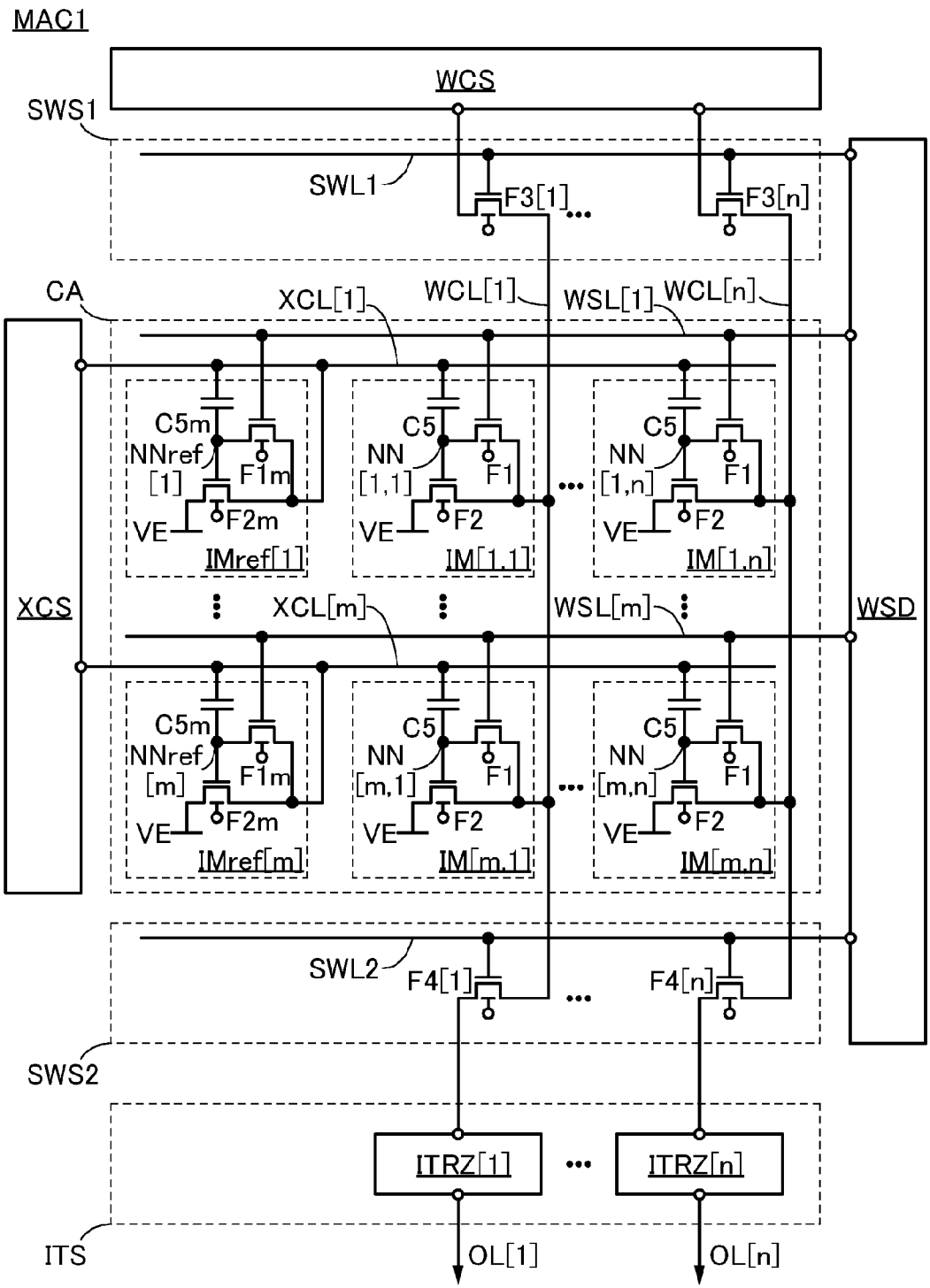

MAC1
WCS
SWS1
SWL1
F3[1]
F3[n]
CA
XCL[1]
WCL[1]
WSL[1]
WCL[n]
C5m
NNref
[1]
F1m
VE
F2m
IMref[1]
C5
NN
[1,1]
F1
F2
IM[1,1]
NN
[1,n]
IM[1,n]
XCS
XCL[m]
WSL[m]
WSD
NNref
[m]
IMref[m]
[m,1]
IM[m,1]
[m,n]
IM[m,n]
SWL2
F4[1]
F4[n]
SWS2
ITRZ[1]
ITRZ[n]
ITS
OL[1]
OL[n]

図6A

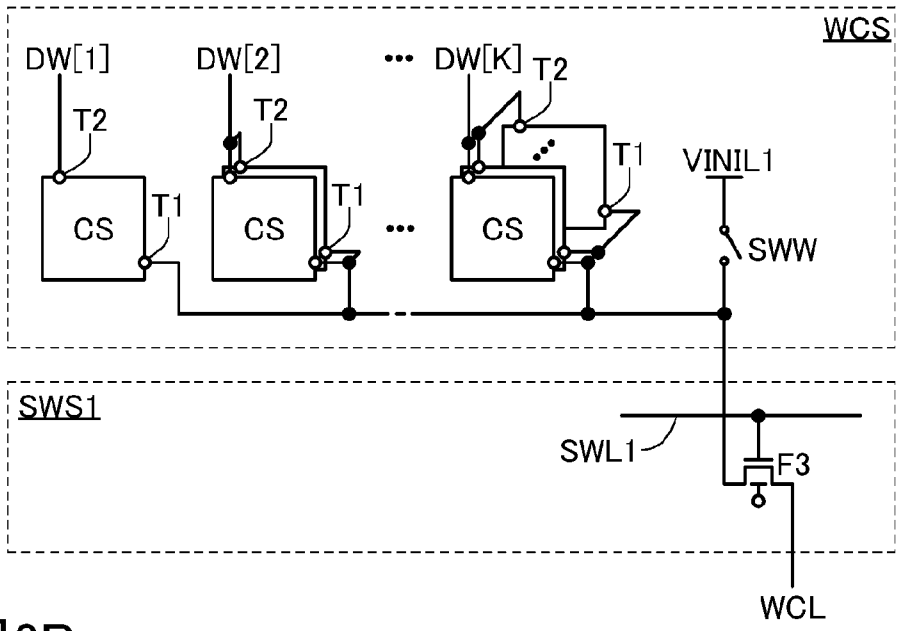

WCS
DW[1]
DW[2]
DW[K]
T2
T1
CS
VINIL1
SWW
SWS1
SWL1
F3
WCL

図6B

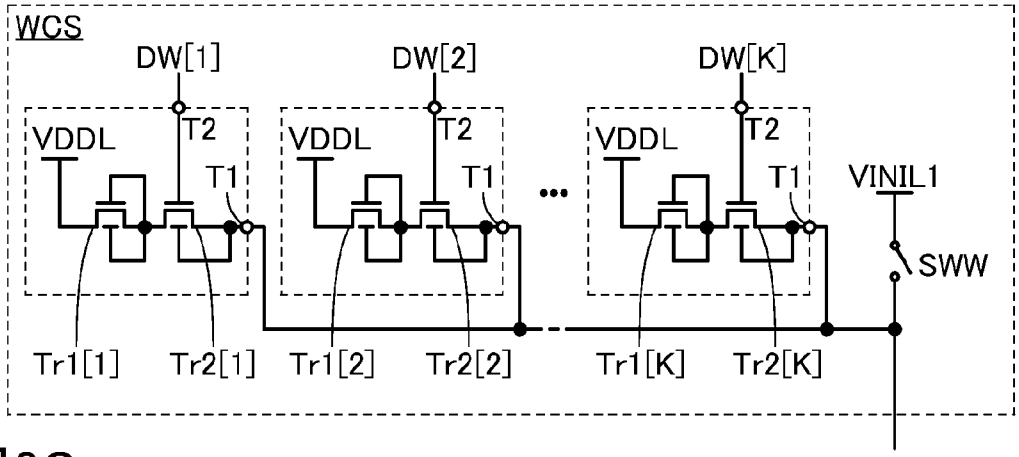

WCS
DW[1]
DW[2]
DW[K]
VDDL
T2
T1
VINIL1
SWW
Tr1[1]
Tr2[1]
Tr1[2]
Tr2[2]
Tr1[K]
Tr2[K]

図6C

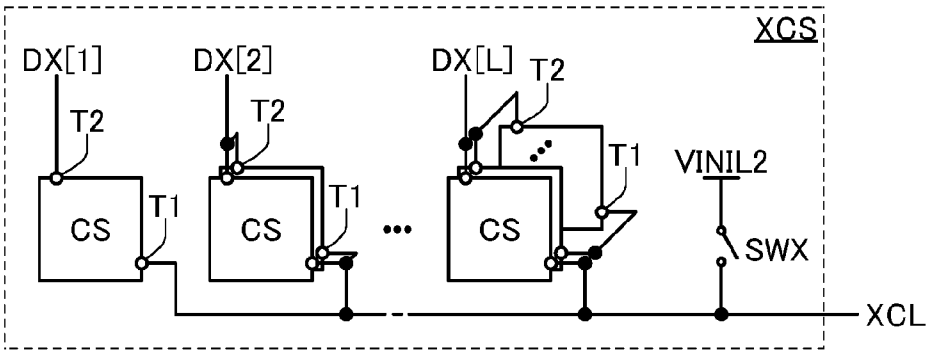

XCS
DX[1]
DX[2]
DX[L]
T2
T1
CS
VINIL2
SWX
XCL

図7A

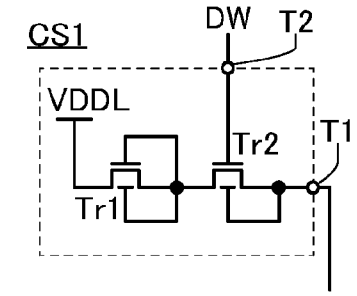


図7B

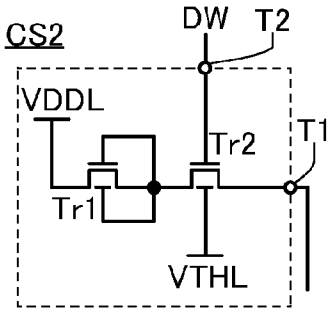


図7C

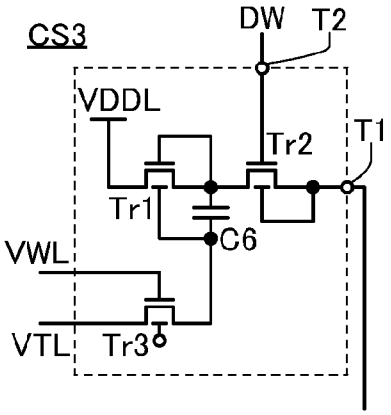


図7D

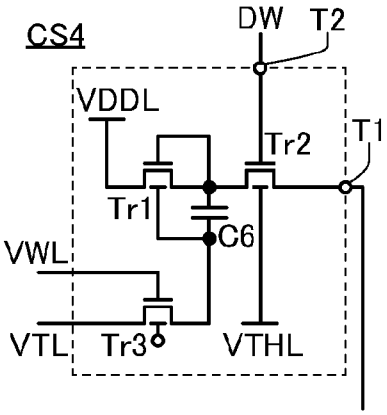


図8A

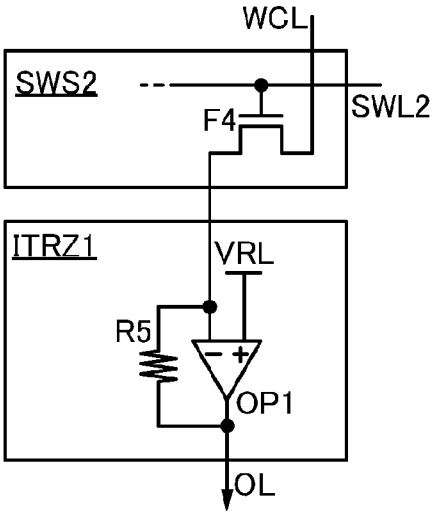


図8B

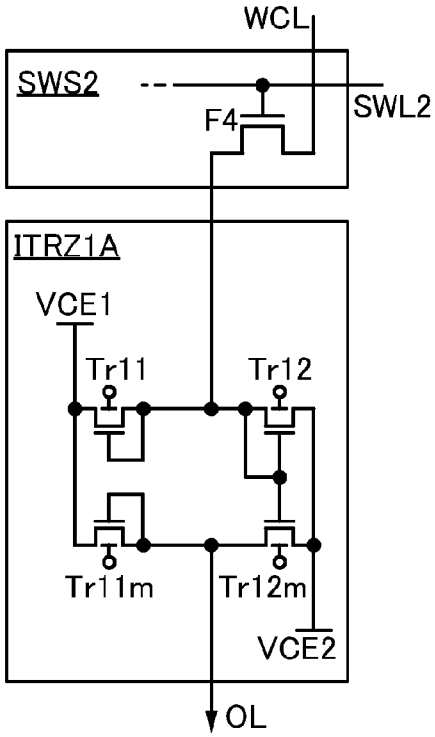


図8C

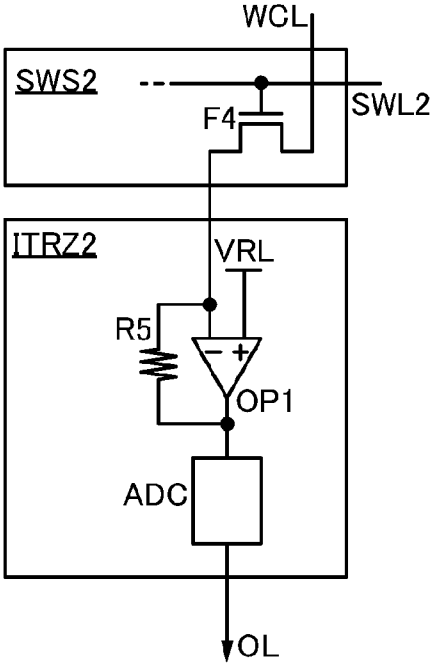


図8D

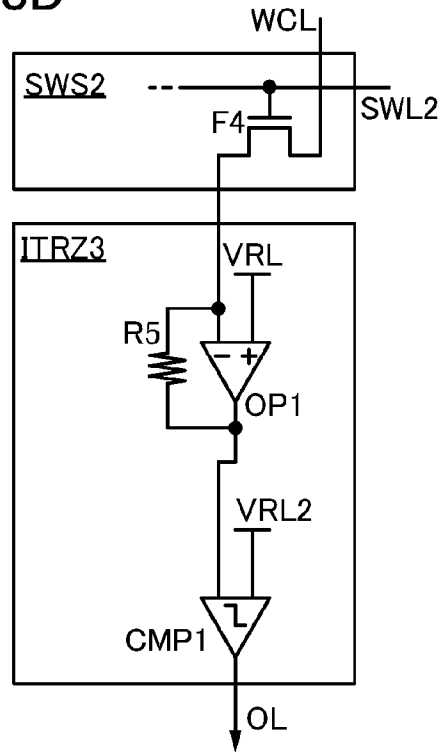


図9

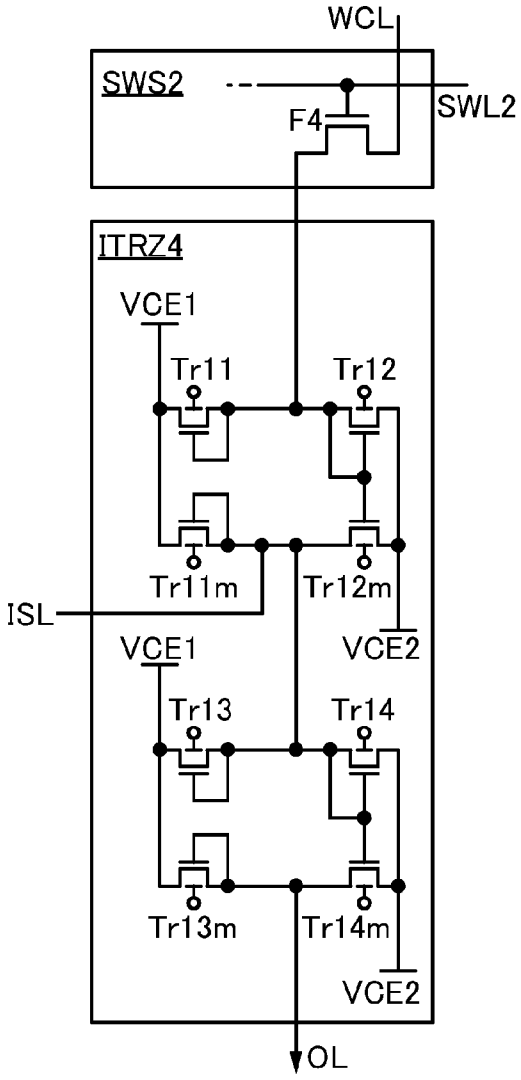

WCL
SWS2
SWL2
F4
ITRZ4
VCE1
Tr11
Tr12
Tr11m
Tr12m
ISL
VCE1
VCE2
Tr13
Tr14
Tr13m
Tr14m
VCE2
OL

図10

MAC1A

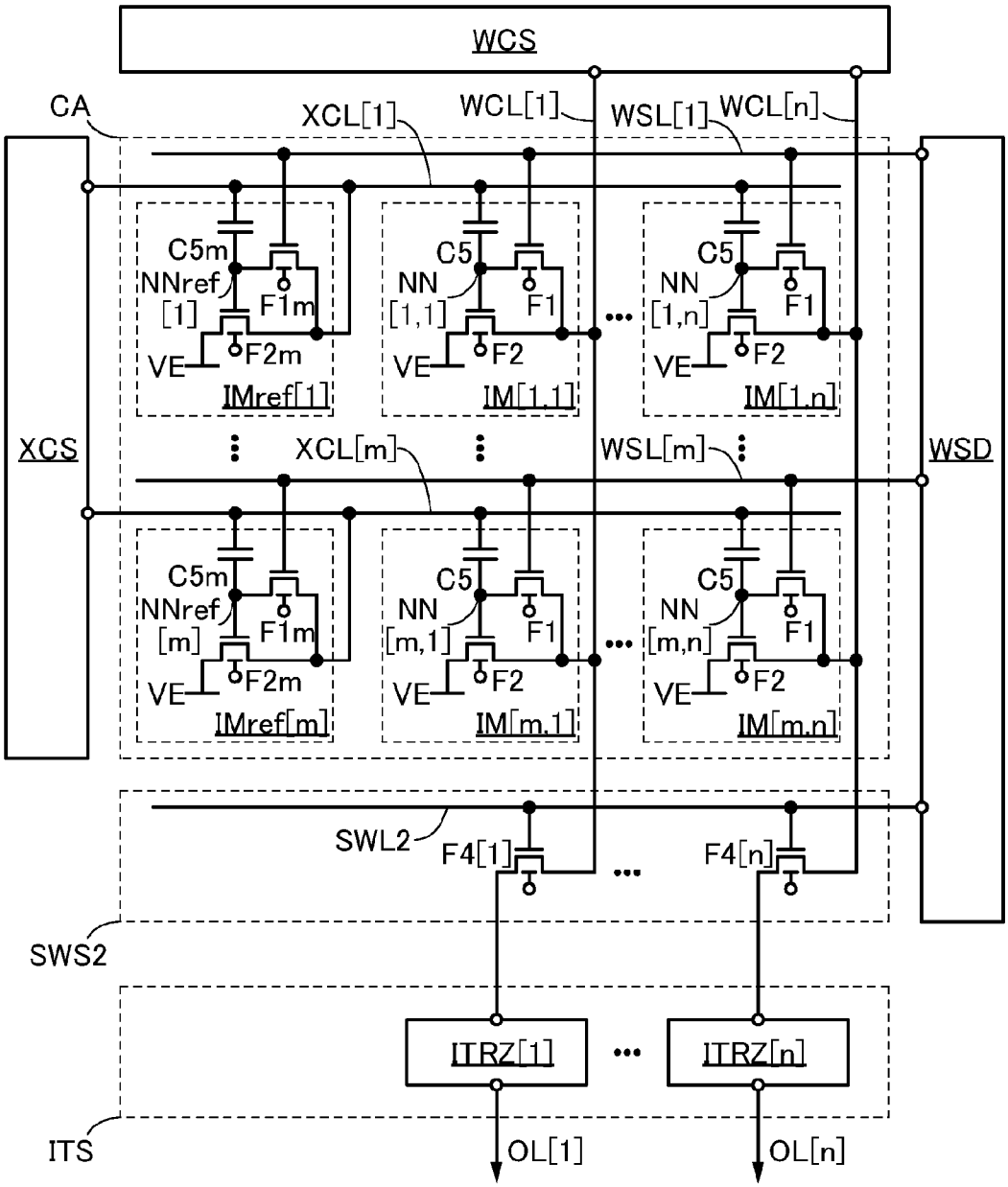

WCS
CA
XCL[1]
WCL[1]
WSL[1]
WCL[n]
C5m
NNref
[1]
F1m
VE
F2m
IMref[1]
C5
NN
[1,1]
F1
VE
F2
IM[1,1]
C5
NN
[1,n]
F1
VE
F2
IM[1,n]
XCS
XCL[m]
WSL[m]
WSD
C5m
NNref
[m]
F1m
VE
F2m
IMref[m]
C5
NN
[m,1]
F1
VE
F2
IM[m,1]
C5
NN
[m,n]
F1
VE
F2
IM[m,n]
SWL2
F4[1]
F4[n]
SWS2
ITRZ[1]
ITRZ[n]
ITS
OL[1]
OL[n]

図11

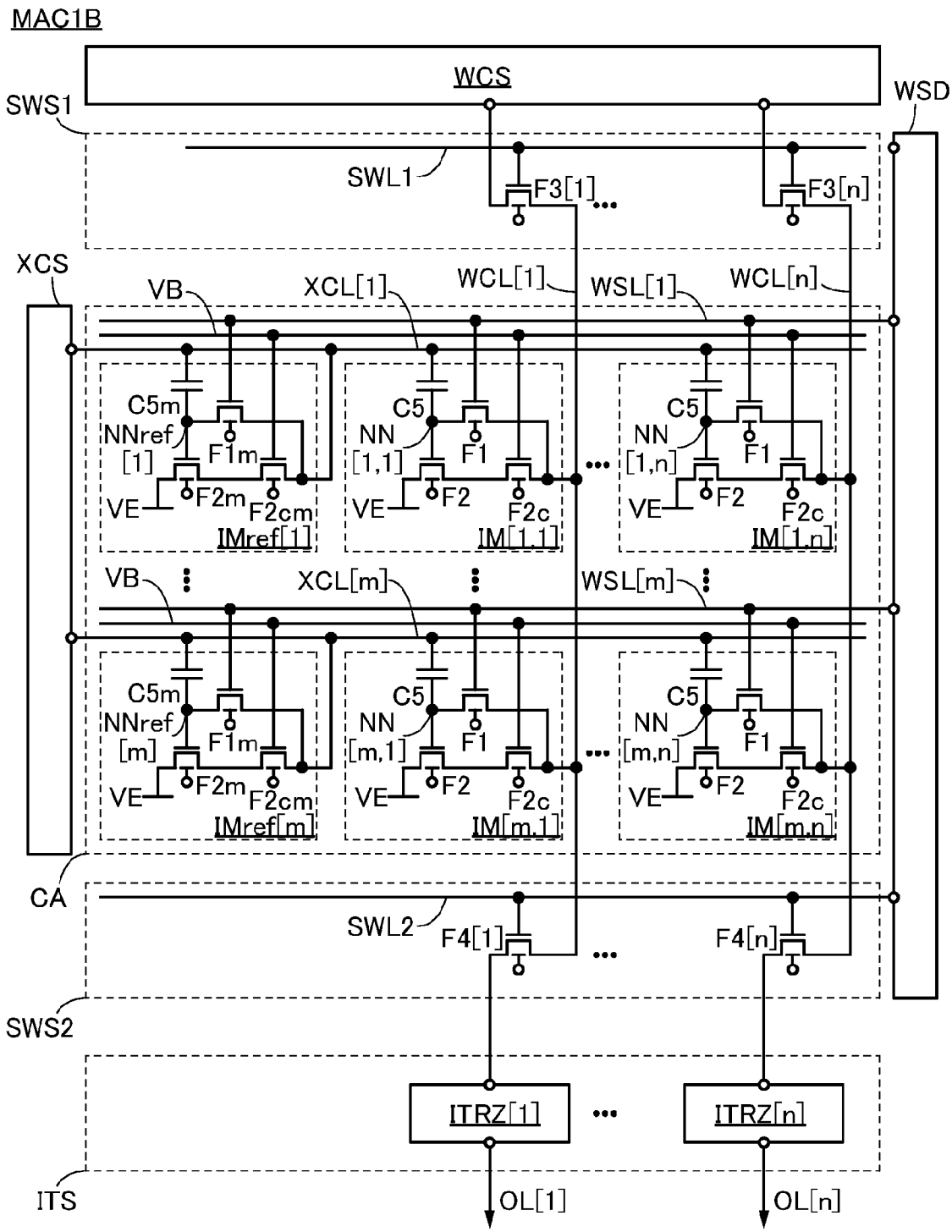

MAC1B
WCS
WSD
SWS1
SWL1
F3[1]
F3[n]
XCS
VB
XCL[1]
WCL[1]
WSL[1]
WCL[n]
C5m
NNref
[1]
F1m
VE
F2m
F2cm
IMref[1]
C5
NN
[1,1]
F1
F2
F2c
IM[1,1]
NN
[1,n]
IM[1,n]
XCL[m]
WSL[m]
[m]
[m,1]
[m,n]
IMref[m]
IM[m,1]
IM[m,n]
CA
SWL2
F4[1]
F4[n]
SWS2
ITRZ[1]
ITRZ[n]
ITS
OL[1]
OL[n]

図12

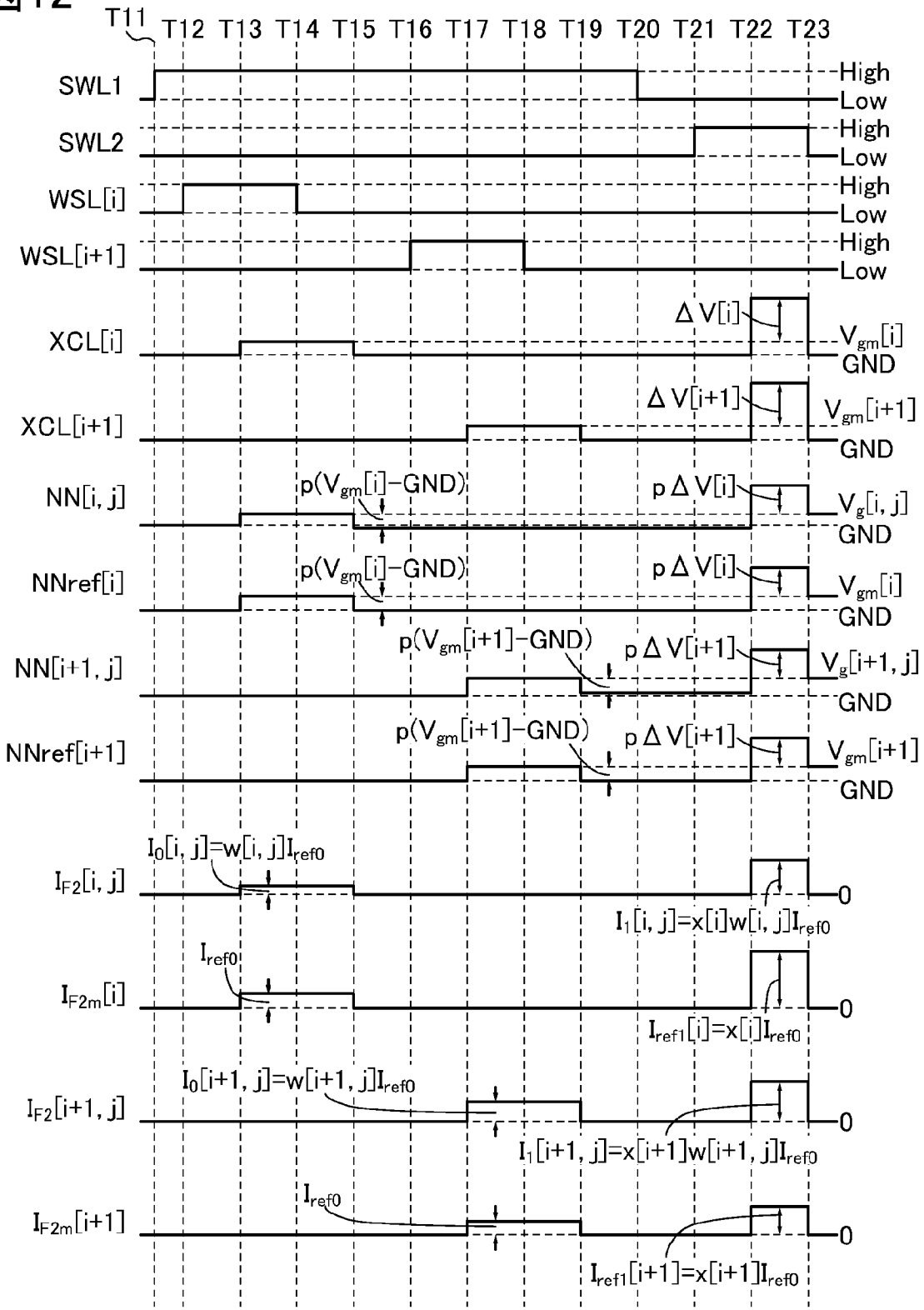

T11
T12
T13
T14
T15
T16
T17
T18
T19
T20
T21
T22
T23
SWL1
SWL2
WSL[i]
WSL[i+1]
High
Low
XCL[i]
XCL[i+1]
ΔV[i]
ΔV[i+1]
Vgm[i]
Vgm[i+1]
GND
NN[i, j]
NNref[i]
NN[i+1, j]
NNref[i+1]
p(Vgm[i]−GND)
pΔV[i]
Vg[i, j]
p(Vgm[i+1]−GND)
pΔV[i+1]
Vg[i+1, j]
IF2[i, j]
IF2m[i]
IF2[i+1, j]
IF2m[i+1]
I0[i, j]=w[i, j]Iref0
I1[i, j]=x[i]w[i, j]Iref0
Iref0
Iref1[i]=x[i]Iref0
I0[i+1, j]=w[i+1, j]Iref0
I1[i+1, j]=x[i+1]w[i+1, j]Iref0
Iref1[i+1]=x[i+1]Iref0
0

図13

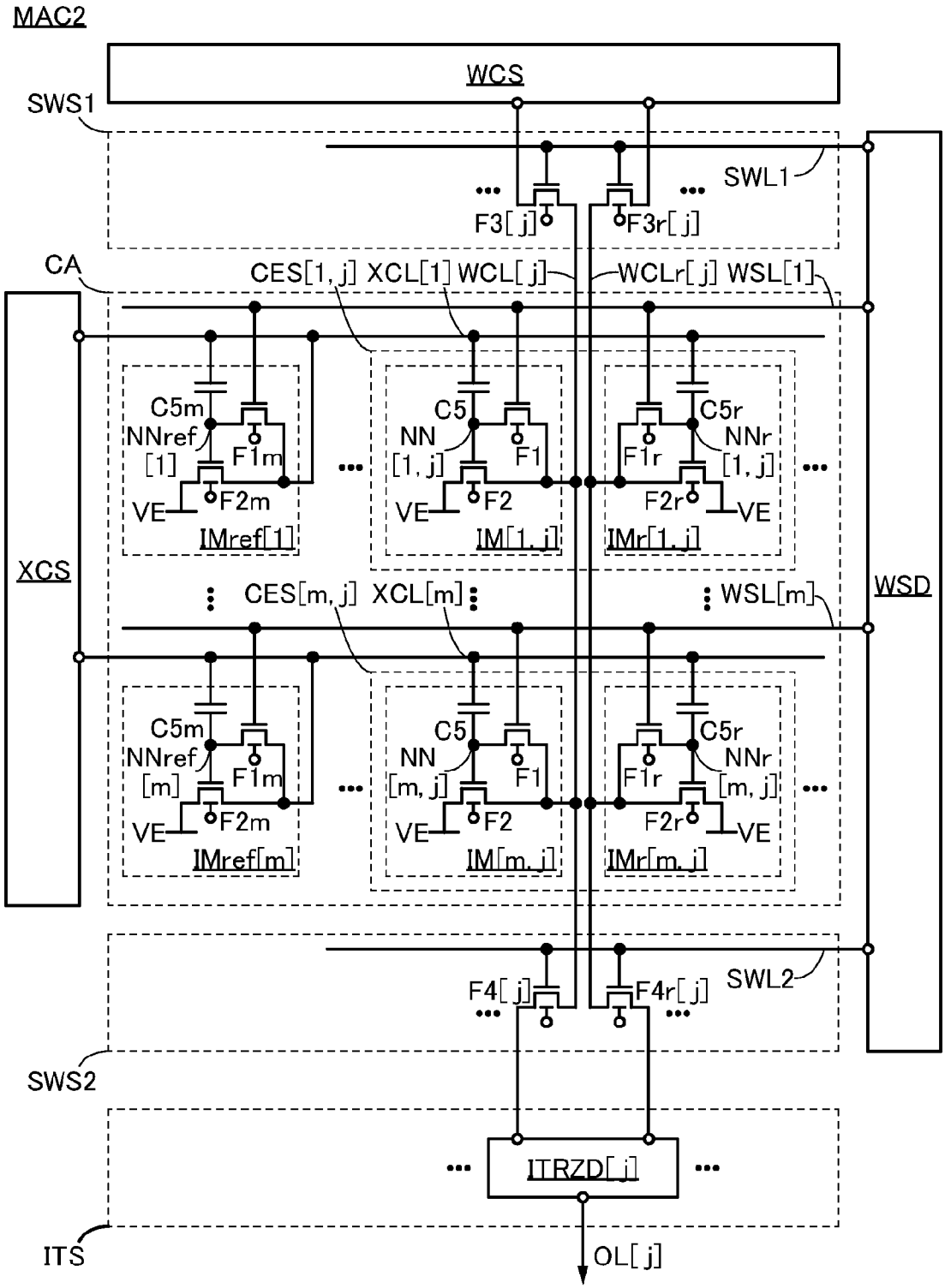

MAC2
WCS
SWS1
SWL1
F3[j]
F3r[j]
CA
CES[1,j]
XCL[1]
WCL[j]
WCLr[j]
WSL[1]
C5m
NNref
[1]
F1m
F2m
VE
IMref[1]
C5
NN
[1,j]
F1
F2
IM[1,j]
C5r
NNr
F1r
IMr[1,j]
XCS
CES[m,j]
XCL[m]
WSL[m]
WSD
[m]
IMref[m]
[m,j]
IM[m,j]
IMr[m,j]
F4[j]
F4r[j]
SWL2
SWS2
ITRZD[j]
ITS
OL[j]

図14A

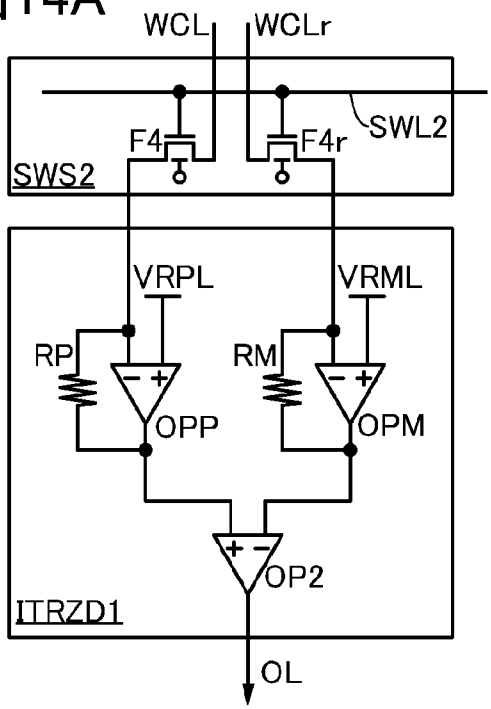


図14B

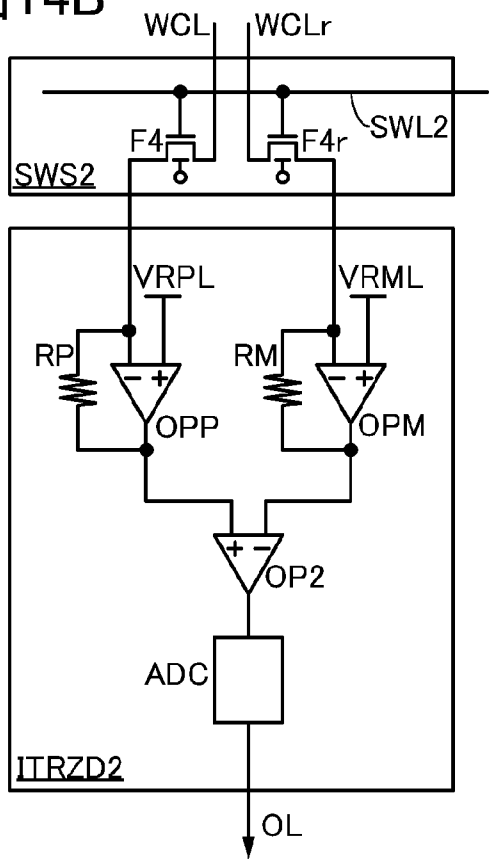


図14C

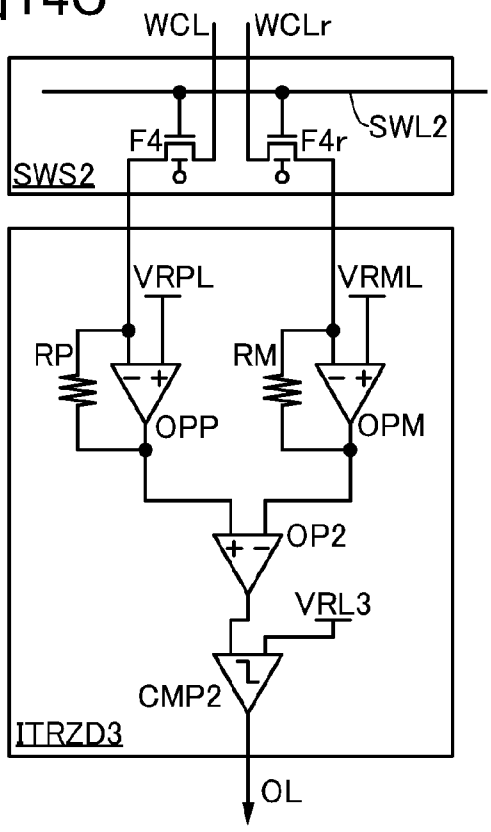


図15

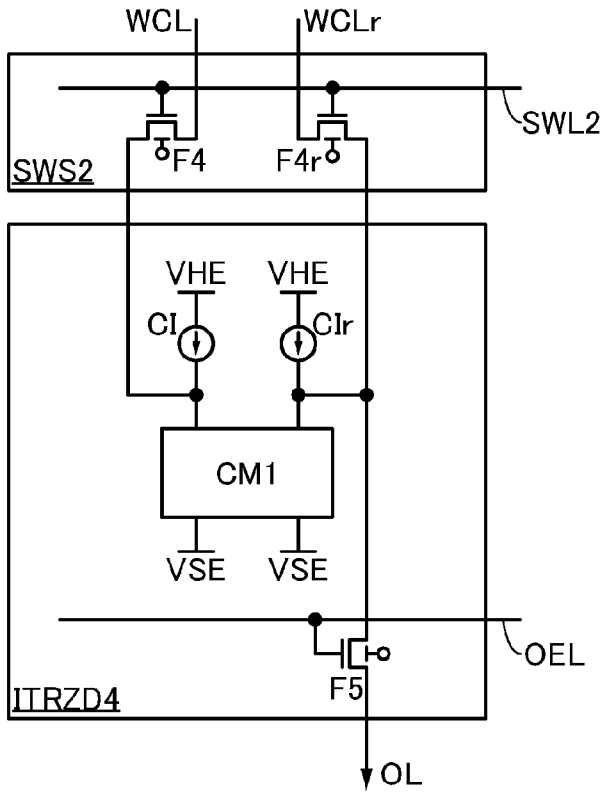

WCL
WCLr
SWL2
F4
F4r
SWS2
VHE
VHE
CI
CIr
CM1
VSE
VSE
OEL
F5
ITRZD4
OL

図16A

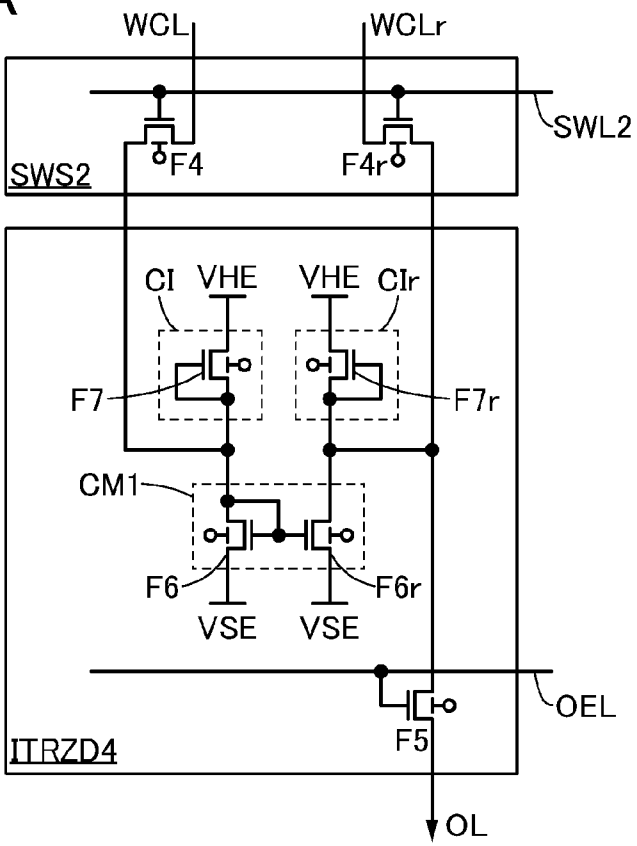

WCL
WCLr
SWL2
F4
F4r
SWS2
CI
VHE
VHE
CIr
F7
F7r
CM1
F6
F6r
VSE
VSE
OEL
F5
ITRZD4
OL

図16B

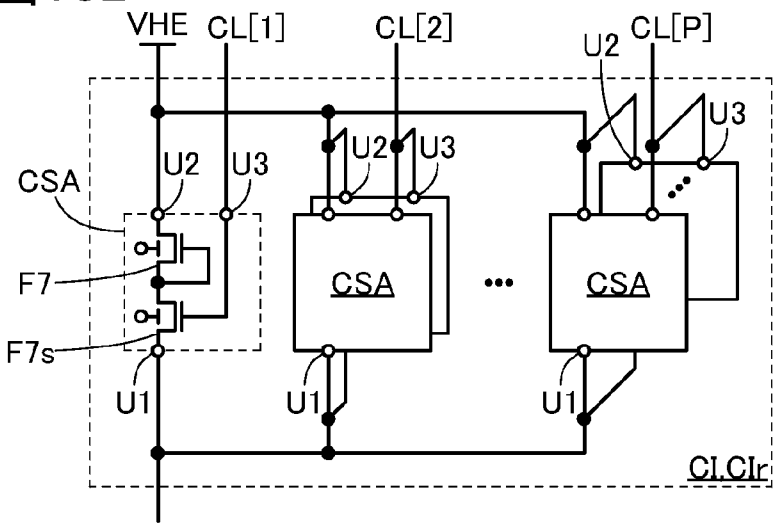

VHE
CL[1]
CL[2]
CL[P]
U2
U3
CSA
F7
F7s
U1
CSA
CSA
CI,CIr

図17A

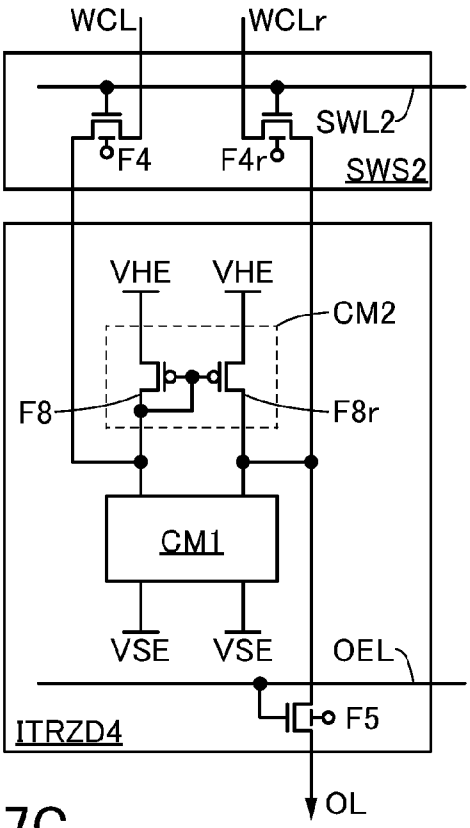


図17B

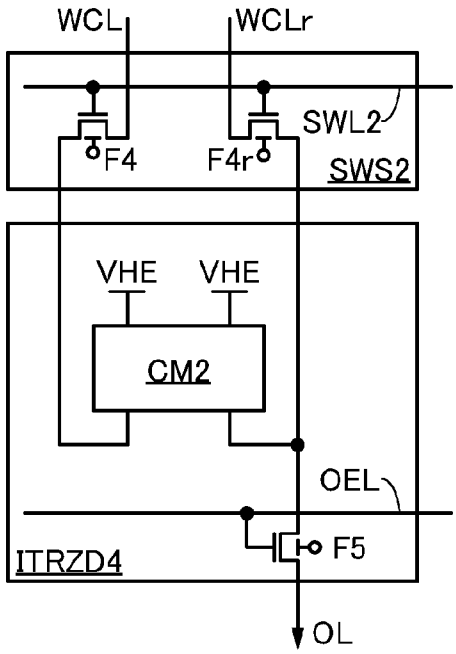


図17C

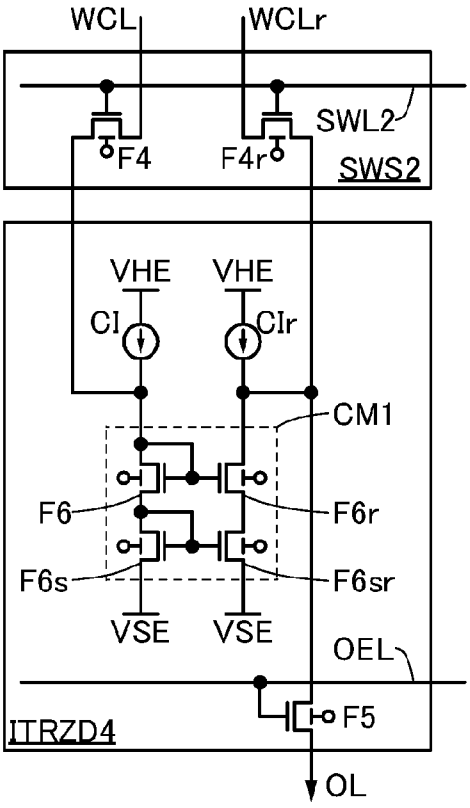


図18

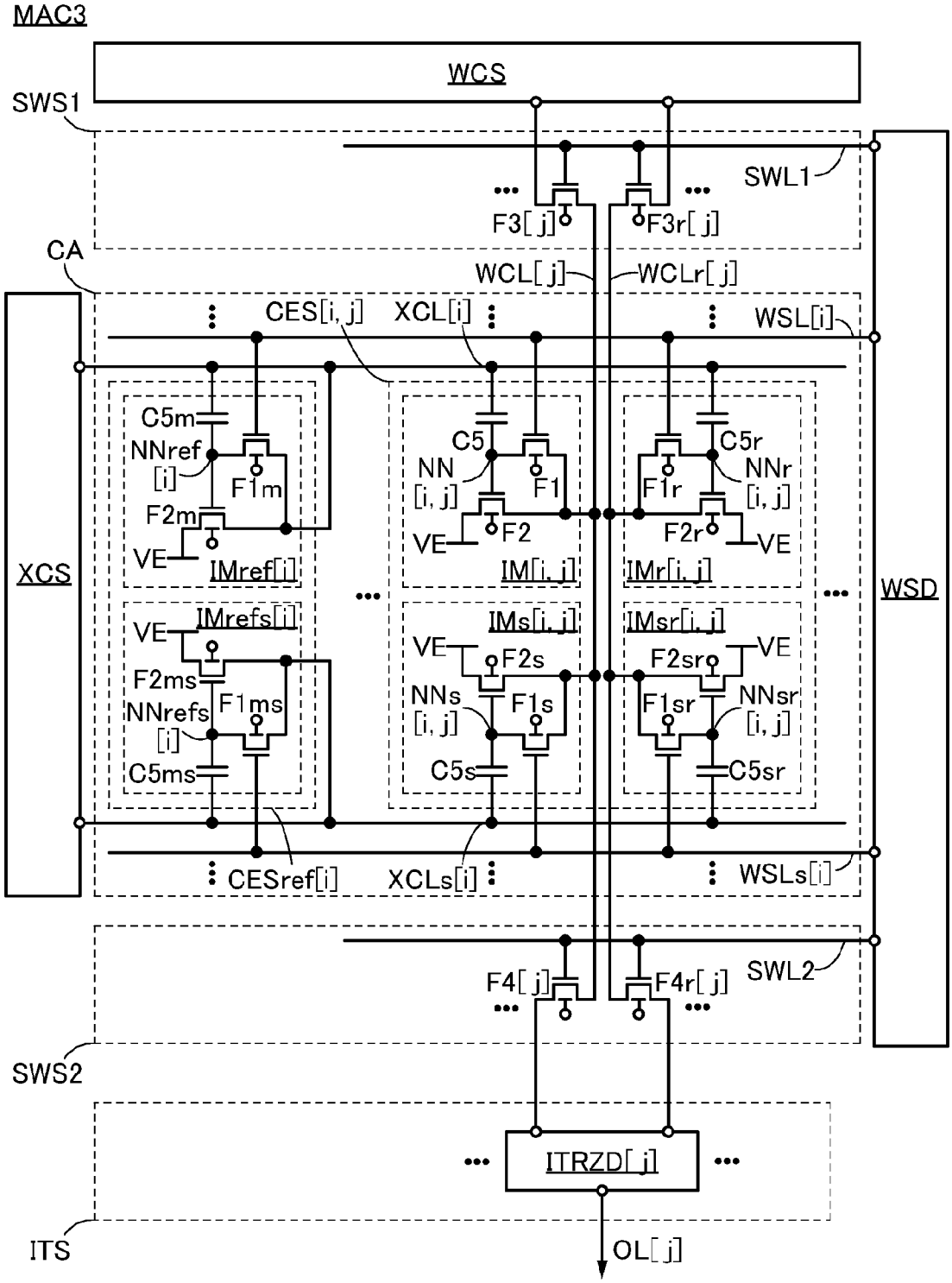

MAC3
WCS
SWS1
SWL1
F3[j]
F3r[j]
CA
WCL[j]
WCLr[j]
CES[i, j]
XCL[i]
WSL[i]
C5m
NNref
[i]
F1m
F2m
VE
IMref[i]
C5
NN
[i, j]
F1
F2
IM[i, j]
C5r
F1r
NNr
[i, j]
F2r
IMr[i, j]
XCS
WSD
IMrefs[i]
F2ms
NNrefs
[i]
F1ms
C5ms
IMs[i, j]
F2s
NNs
[i, j]
F1s
C5s
IMsr[i, j]
F2sr
F1sr
NNsr
[i, j]
C5sr
CESref[i]
XCLs[i]
WSLs[i]
F4[j]
F4r[j]
SWL2
SWS2
ITRZD[j]
ITS
OL[j]

図19A

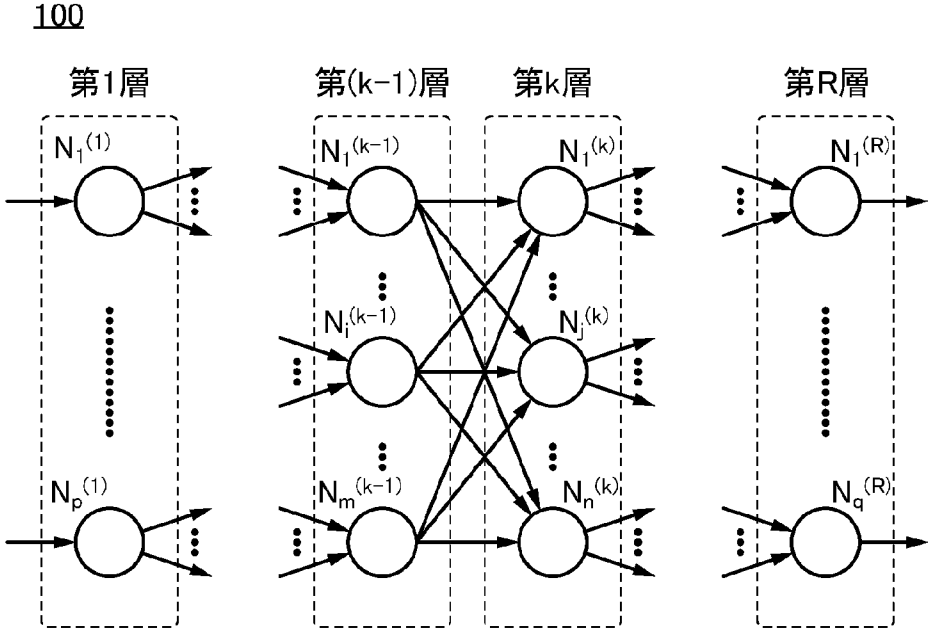

100
第1層
第(k−1)層
第k層
第R層
$N_1^{(1)}$
$N_p^{(1)}$
$N_1^{(k-1)}$
$N_i^{(k-1)}$
$N_m^{(k-1)}$
$N_1^{(k)}$
$N_j^{(k)}$
$N_n^{(k)}$
$N_1^{(R)}$
$N_q^{(R)}$

図19B

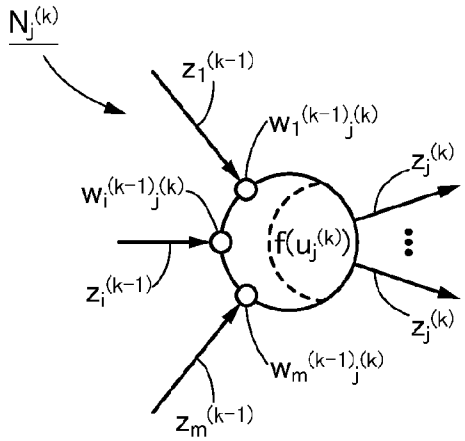

$N_j^{(k)}$
$z_1^{(k-1)}$
$w_1^{(k-1)}{}_j^{(k)}$
$w_i^{(k-1)}{}_j^{(k)}$
$z_i^{(k-1)}$
$f(u_j^{(k)})$
$z_j^{(k)}$
$z_j^{(k)}$
$w_m^{(k-1)}{}_j^{(k)}$
$z_m^{(k-1)}$

図20

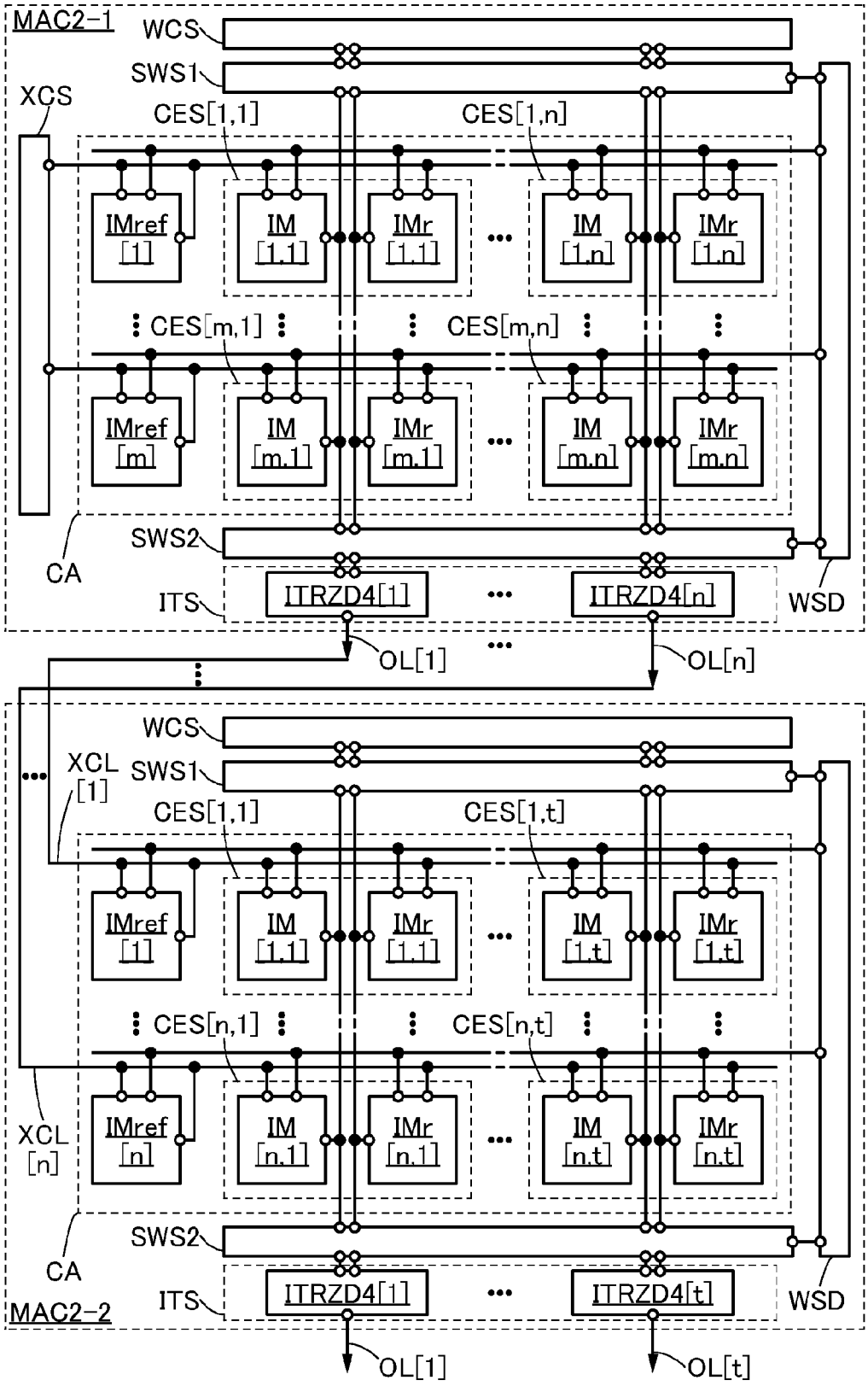

MAC2-1
WCS
SWS1
XCS
CES[1,1]
CES[1,n]
IMref [1]
IM [1,1]
IMr [1,1]
IM [1,n]
IMr [1,n]
CES[m,1]
CES[m,n]
IMref [m]
IM [m,1]
IMr [m,1]
IM [m,n]
IMr [m,n]
SWS2
CA
ITS
ITRZD4[1]
ITRZD4[n]
WSD
OL[1]
OL[n]
XCL [1]
CES[1,t]
IM [1,t]
IMr [1,t]
CES[n,1]
CES[n,t]
IMref [n]
IM [n,1]
IMr [n,1]
IM [n,t]
IMr [n,t]
XCL [n]
MAC2-2
ITRZD4[t]
OL[t]

図21

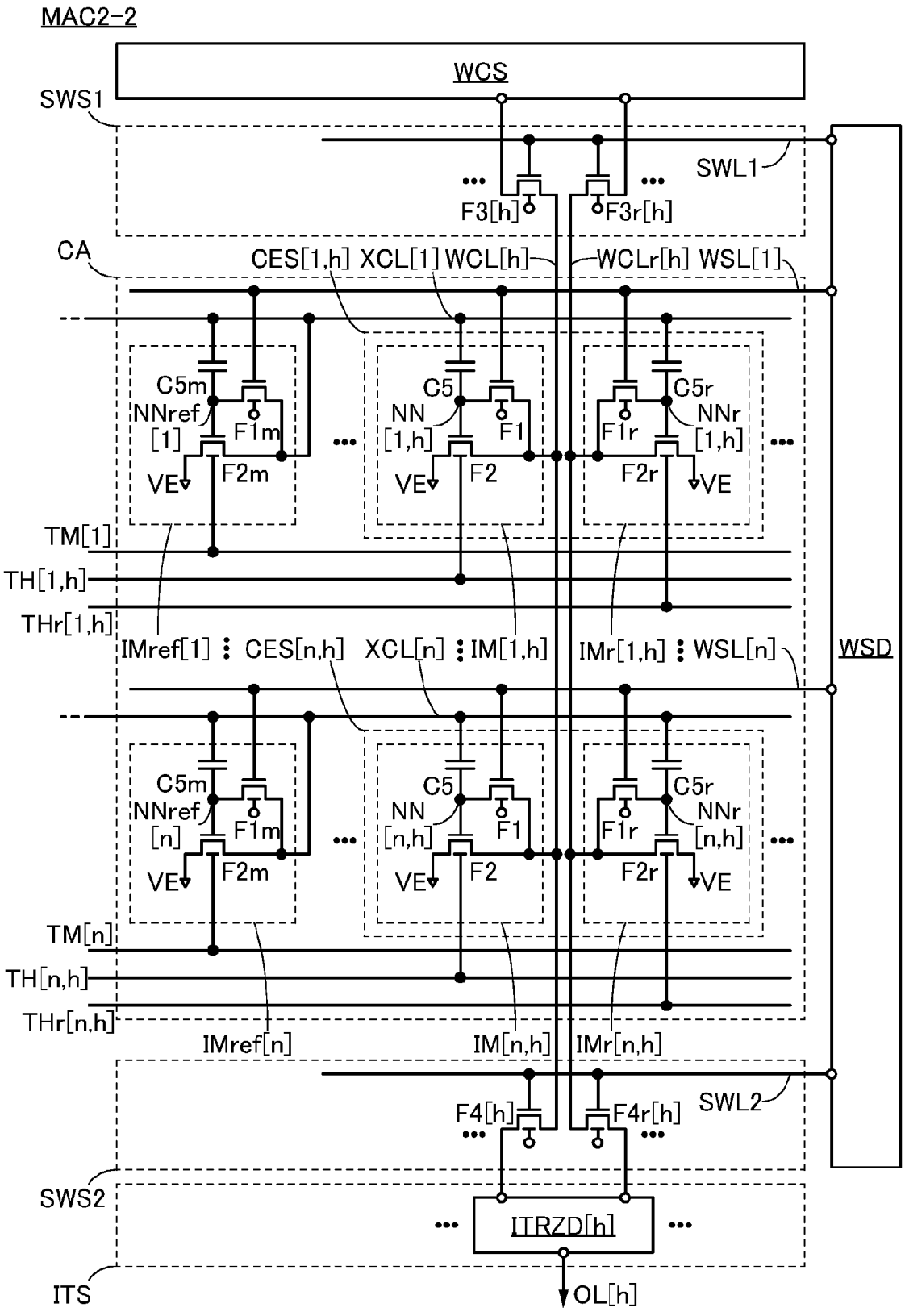

MAC2-2
WCS
SWS1
SWL1
F3[h]
F3r[h]
CA
CES[1,h]
XCL[1]
WCL[h]
WCLr[h]
WSL[1]
C5m
NNref
[1]
F1m
VE
F2m
C5
NN
[1,h]
F1
F2
C5r
NNr
[1,h]
F1r
F2r
TM[1]
TH[1,h]
THr[1,h]
IMref[1]
CES[n,h]
XCL[n]
IM[1,h]
IMr[1,h]
WSL[n]
WSD
C5m
NNref
[n]
F1m
VE
F2m
C5
NN
[n,h]
F1
F2
C5r
NNr
[n,h]
F1r
F2r
TM[n]
TH[n,h]
THr[n,h]
IMref[n]
IM[n,h]
IMr[n,h]
F4[h]
F4r[h]
SWL2
SWS2
ITRZD[h]
ITS
OL[h]

図22

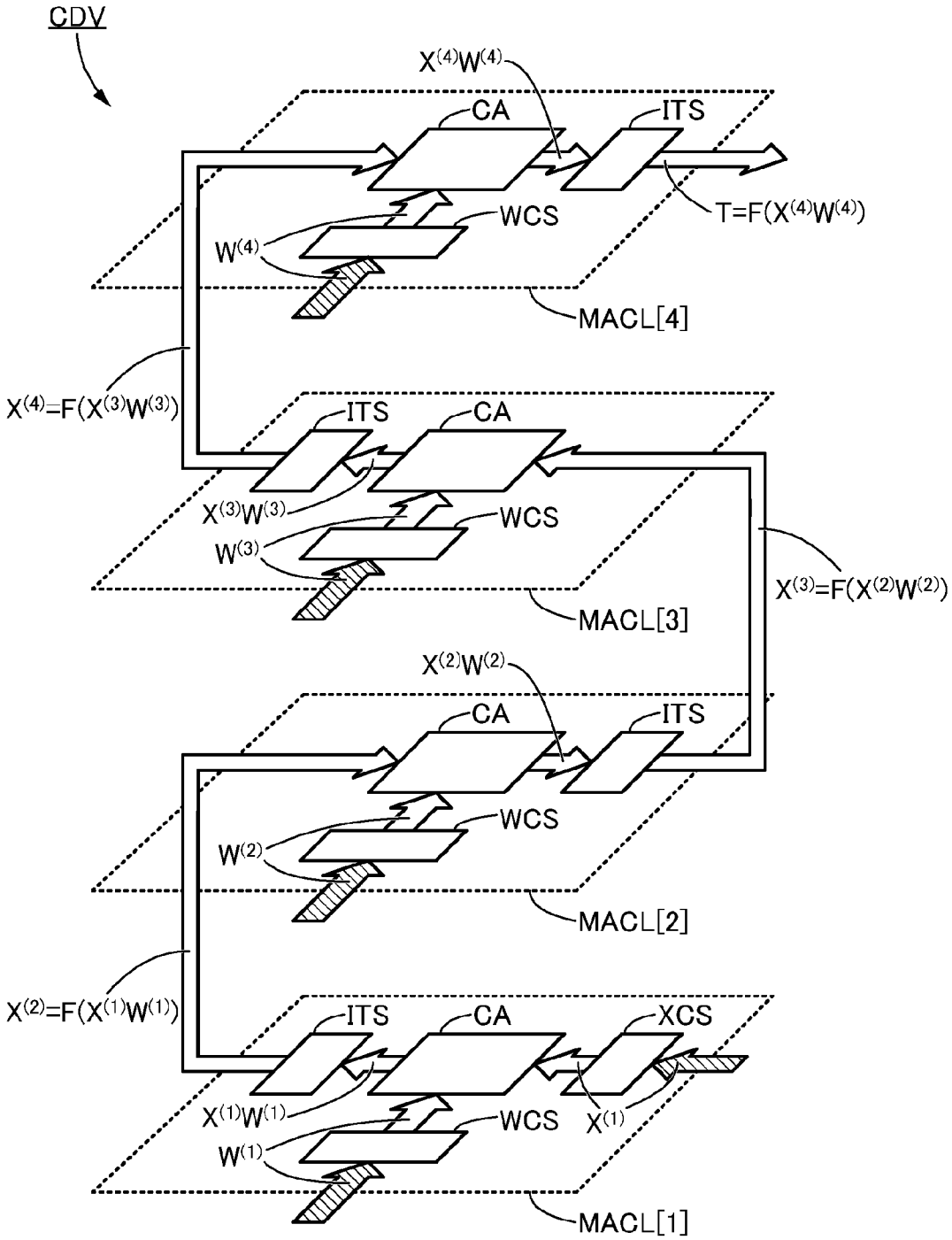

CDV
X(4)W(4)
CA
ITS
WCS
W(4)
T=F(X(4)W(4))
MACL[4]
X(4)=F(X(3)W(3))
ITS
CA
X(3)W(3)
WCS
W(3)
X(3)=F(X(2)W(2))
MACL[3]
X(2)W(2)
CA
ITS
WCS
W(2)
MACL[2]
X(2)=F(X(1)W(1))
ITS
CA
XCS
X(1)W(1)
WCS
X(1)
W(1)
MACL[1]

図23A

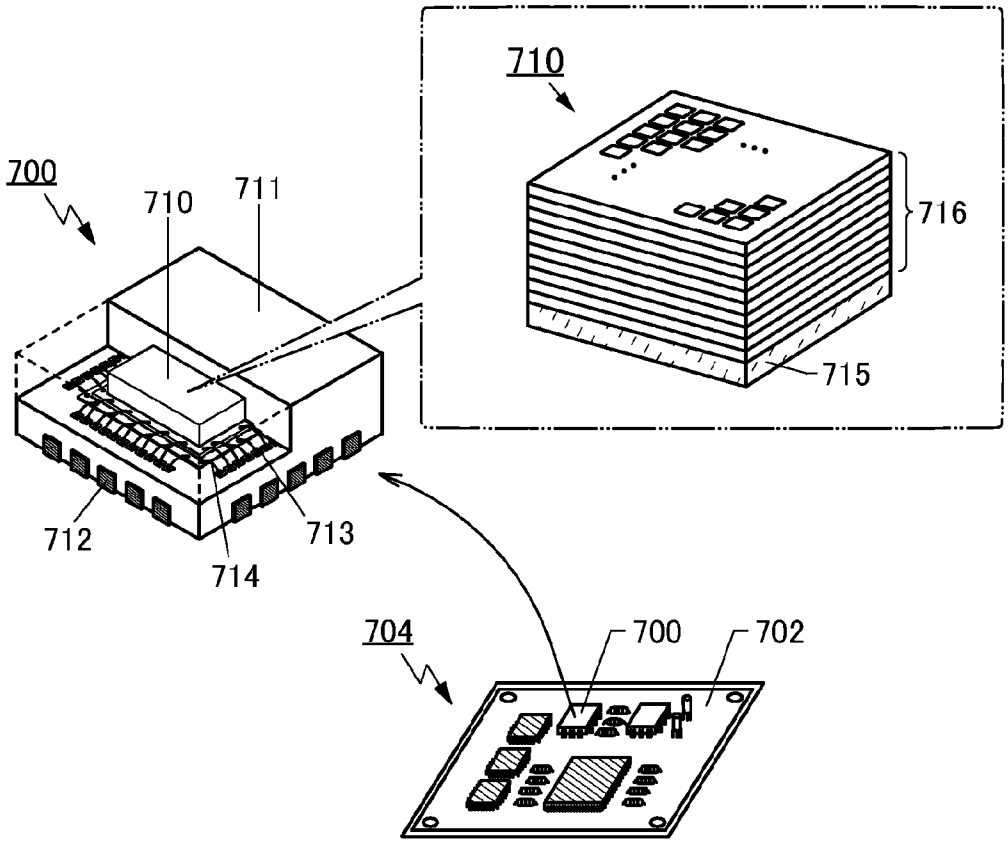

710
700
710
711
716
715
712
713
714
704
700
702

図23B

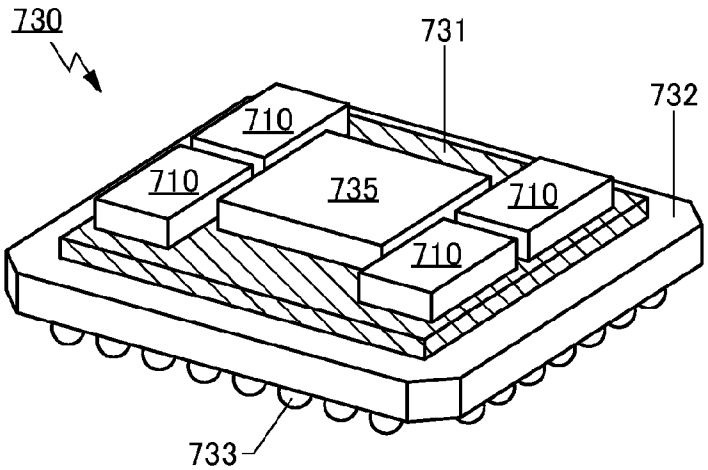

730
731
732
710
710
735
710
710
733

図24A

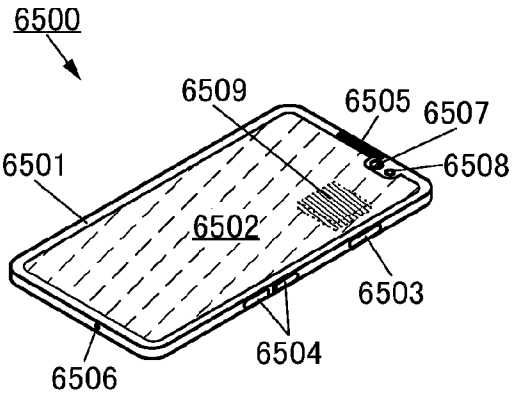


図24B

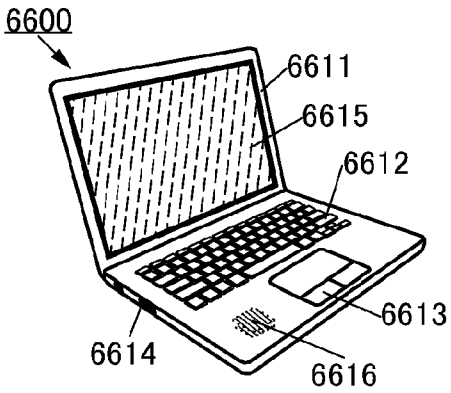


図24C

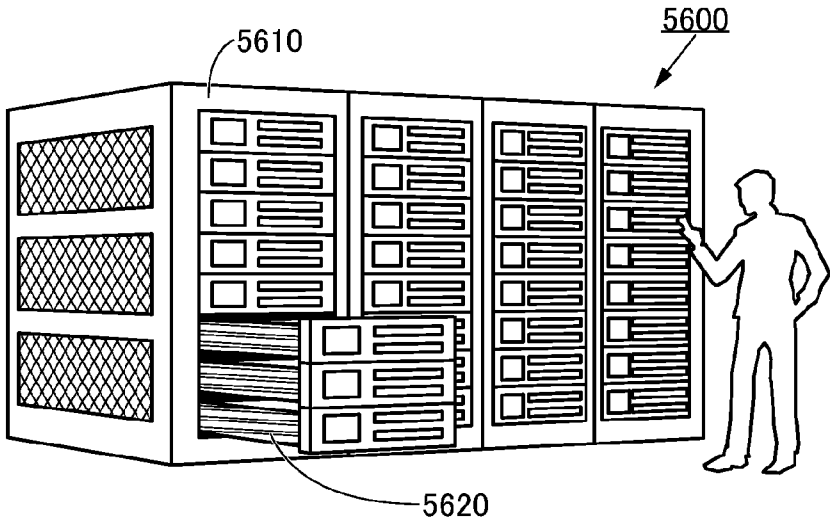


図24D

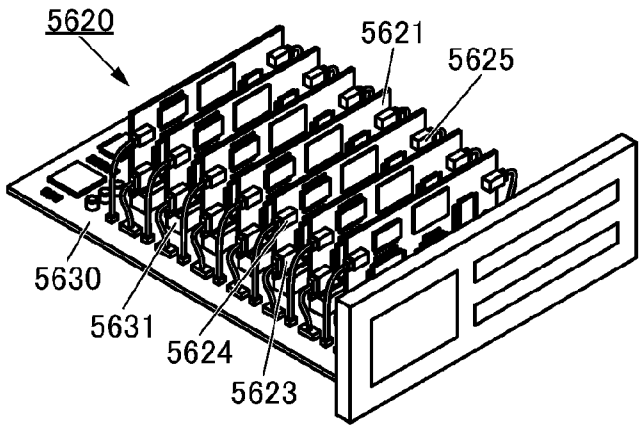


図24E

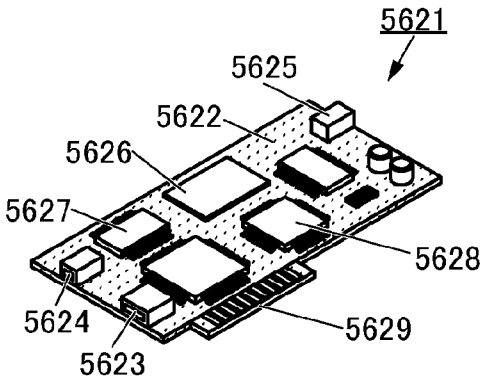


図25

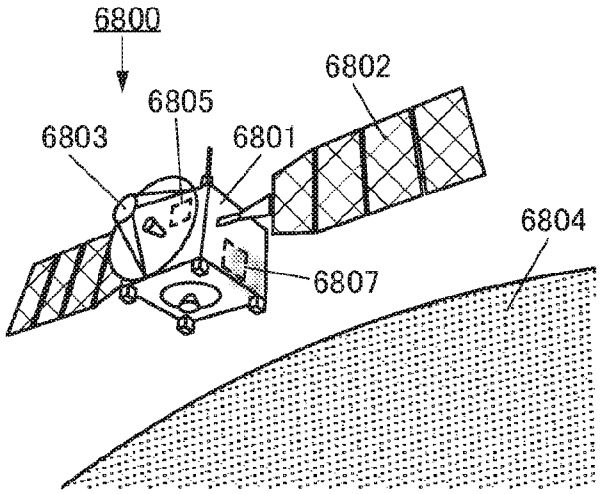
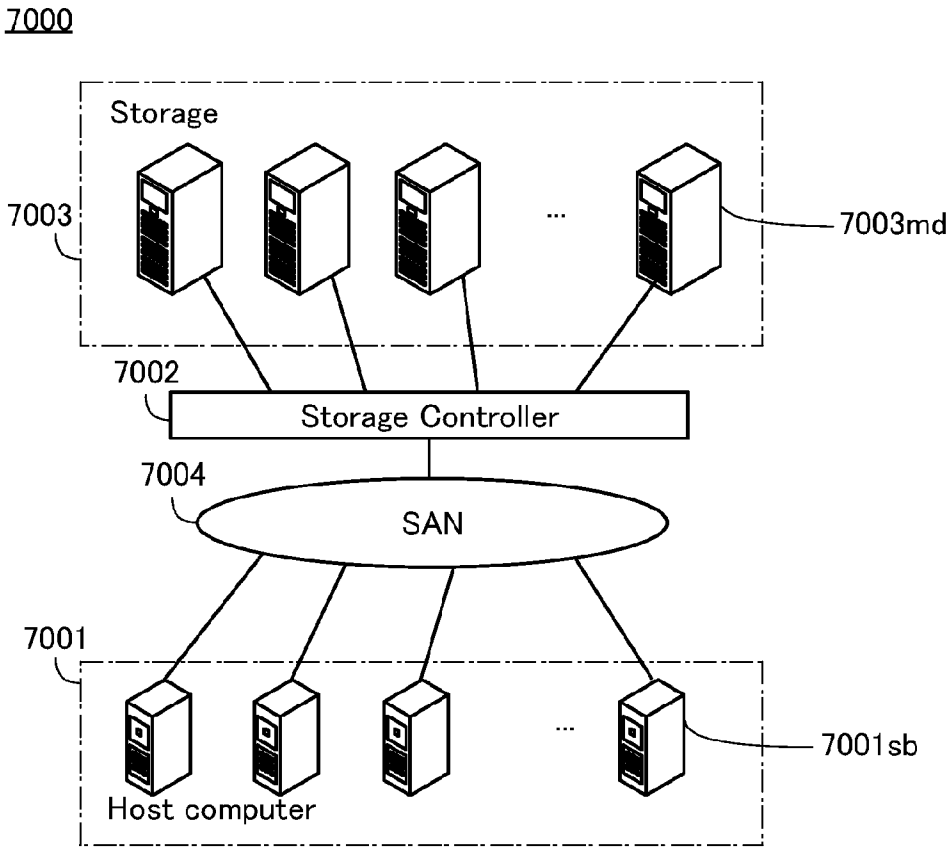


図26


7000
Storage
7003
7003md
7002
Storage Controller
7004
SAN
7001
7001sb
Host computer

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2023/057606

A. CLASSIFICATION OF SUBJECT MATTER

G06N 3/063(2023.01)i; ***G06G 7/60***(2006.01)i
FI: G06N3/063; G06G7/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06N3/063; G06G7/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022/029825 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 10 February 2022 (2022-02-10) entire text	1-7

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 September 2023	**03 October 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2023/057606

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2022/029825 A1	10 February 2022	(Family: none)	

国際調査報告

国際出願番号
PCT/IB2023/057606

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G06N 3/063(2023.01)i; G06G 7/60(2006.01)i
FI: G06N3/063; G06G7/60

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G06N3/063; G06G7/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2022/029825 A1 (パナソニックＩＰマネジメント株式会社) 10.02.2022 (2022-02-10) 全文	1-7

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
21.09.2023	03.10.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
牛丸　太希 5B 6297
電話番号 03-3581-1101 内線 3545

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2023/057606

引用文献	公表日	パテントファミリー文献	公表日
WO 2022/029825 A1	10.02.2022	（ファミリーなし）	