

【特許請求の範囲】

【請求項 1】

デジタル値で表される発振制御信号が入力され、前記発振制御信号に基づく発振周波数の発振信号を出力する発振回路と；

外部装置との通信に係る搬送波の搬送波周波数が基準周波数信号の基準周波数で除算された分周比と、動作モードを規定する制御信号とが入力され、前記分周比を前記制御信号に基づいて設定された整数値で除算する第 1 ビットシフト部と；

前記発振信号に基づく信号と前記制御信号とが入力され、前記制御信号に基づいて設定された整数値により前記発振信号に基づく信号を分周する第 1 分周部と；

前記基準周波数信号の各周期において、前記第 1 ビットシフト部から出力される出力値が累積加算された第 1 累積加算値と、前記第 1 分周部から出力される分周された発振信号に基づく信号のクロック数が累積加算された第 2 累積加算値、および前記基準周波数信号のクロックと前記第 1 分周部から出力される分周された発振信号に基づく信号のクロックとにおける各エッジ間の時間差から検出したデジタル値で表された累積位相の小数部とを比較し、比較結果を表す位相比較信号を出力する位相比較部と；

前記位相比較信号を前記制御信号に基づく任意の収束値に収束させ、前記収束値に基づく発振制御信号を出力するデータ変換部と；

を備える、位相同期回路。

【請求項 2】

前記位相比較信号に基づいて前記発振回路の変換利得の理想値に対する誤差を補正するためのオフセット値を導出し、前記制御信号に基づいて、前記第 1 ビットシフト部から出力される出力値を前記オフセット値で選択的に補償するオフセット補償部をさらに備える、請求項 1 に記載の位相同期回路。

【請求項 3】

前記第 1 分周部から出力される分周された発振信号に基づく信号と前記基準周波数信号とに基づいて、前記第 2 累積加算値と前記累積位相の小数部とをそれぞれ出力する累積クロック導出部をさらに備え、

前記累積クロック導出部は、前記制御信号に基づいて前記累積位相の小数部を選択的に出力する時間-デジタル変換回路を有する、請求項 1 に記載の位相同期回路。

【請求項 4】

前記第 1 ビットシフト部には、周波数変調成分が加算された分周比が入力され、

前記周波数変調成分を前記制御信号に基づいて設定された整数値で除算する第 2 ビットシフト部をさらに備え、

前記データ変換部は、前記収束値と前記第 2 ビットシフト部から出力される除算された周波数変調成分との加算値に基づいて前記発振制御信号を出力する、請求項 1 に記載の位相同期回路。

【請求項 5】

1 または 2 以上の外部装置から送信される所定の搬送波周波数の受信信号を受信し、1 または 2 以上の外部装置へ前記所定の搬送波周波数の送信信号を送信する通信アンテナと；

位相同期回路を備え、前記通信アンテナが受信した前記受信信号を処理する受信部と；

位相同期回路を備え、前記外部装置へ送信する前記送信信号を処理して前記通信アンテナへ伝達する送信部と；

を備え、

前記受信部と前記送信部とが備える前記位相同期回路それぞれは、

デジタル値で表される発振制御信号が入力され、前記発振制御信号に基づく発振周波数の発振信号を出力する発振回路と；

前記所定の搬送波周波数が基準周波数信号の基準周波数で除算された分周比と、動作モードを規定する制御信号とが入力され、前記分周比を前記制御信号に基づいて設定された整数値で除算するビットシフト部と；

10

20

30

40

50

前記発振信号に基づく信号と前記制御信号とが入力され、前記制御信号に基づいて設定された整数値により前記発振信号を分周する第1分周部と；

前記基準周波数信号の各周期において、前記ビットシフト部から出力される出力値が累積加算された第1累積加算値と、前記第1分周部から出力される分周された発振信号に基づく信号のクロック数が累積加算された第2累積加算値、および前記基準周波数信号のクロックと前記第1分周部から出力される分周された発振信号に基づく信号のクロックとにおける各エッジ間の時間差から検出したデジタル値で表された累積位相の小数部とを比較し、比較結果を表す位相比較信号を出力する位相比較部と；

前記位相比較信号を前記制御信号に基づく任意の収束値に収束させ、前記収束値に基づく発振制御信号を出力するデータ変換部と；

を備える、通信装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位相同期回路、および通信装置に関する。

【背景技術】

【0002】

例えば無線で外部装置と通信可能な携帯電話などの通信装置では、外部装置との通信に係る搬送波の搬送波周波数を正確な周波数に固定させるために、位相同期回路（PLL（Phase Locked Loop）回路）が用いられている。また、近年、半導体プロセスの微細化に伴い、アナログ電圧で制御する電圧制御発振回路（Voltage Controlled Oscillator；VCO）を、デジタル信号で制御するデジタル制御発振回路（Digital Controlled Oscillator；DCO）に置き換えた位相同期回路が着目されている。

20

【0003】

このような中、位相同期回路にデジタル制御発振回路を適用する技術が開発されている。位相同期回路にデジタル制御発振回路を適用する技術としては、例えば、非特許文献1が挙げられる。

【0004】

【非特許文献1】R.B.Staszewski et al., "All-Digital Phase-Domain TX Frequency Synthesizer for Bluetooth Radios in 0.13um CMOS, ISSCC2004 Digest.

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

図1は、位相同期回路にデジタル制御発振回路を適用する従来技術に係る位相同期回路の構成を示す説明図である。ここで、図1は、デジタル信号により制御されるデジタル制御発振回路（以下、「DCO」と記述する場合がある。）を用いたADPLL（All-Digital Phase Locked Loop）回路（位相同期回路）を示している。図1に示す従来の位相同期回路は、時間-デジタル変換回路（Time-to-Digital Converter。以下「TDC」と記述する場合がある。）12、アキュムレータ14、フリップフロップ16などを備える。ここで、TDC12は、DCO10から出力される発振信号と基準信号 f_{REF} 周期内の発振信号のクロック数を検出する。よって、TDC12、アキュムレータ14およびフリップフロップ16を用いて、基準信号 f_{REF} 内の発振信号を基準とした位相の小数表示を可能とする。従来のPLL回路は、基準位相と上記位相との差を位相比較器で検出し、位相誤差に相当するデジタル値（デジタル信号）の積分値をフィードバックすることによって、DCO10をデジタル的に制御している。

40

【0006】

ここで、DCOを備える位相同期回路（以下、「PLL回路」と記述する場合がある。）が適用された携帯電話などの通信装置では、PLL回路に対して複数の動作モードへの

50

対応が要求される場合がある。PLL回路に対する上記要求としては、例えば、PLL回路を、搬送波周波数の生成と通信装置が備えるデジタル回路のクロック周波数生成とに共用させることや、複数の搬送波周波数への対応などが挙げられる。PLL回路を搬送波周波数の生成と通信装置が備えるデジタル回路のクロック周波数生成とに共用させる場合、通信装置が搬送波の送信を行わない期間においてもPLL回路を動作させる必要がある。ここで、PLL回路が内部で処理する信号の周波数が固定である場合、上記デジタル回路のクロックに対して搬送波の送信程の位相雑音特性が要求されないときには、PLL回路は、要求される処理能力以上のオーバースペックな状態での動作が強いられることとなる。よって、上記の場合には、PLL回路は、動作に必要な電力以上の電力を消費することとなるので、PLL回路の消費電力の増大、ひいては通信装置の消費電力の増大へと繋がる恐れある。また、複数の搬送波周波数の生成へと対応させる場合においても、上記と同様に、消費電力の増大を招いてしまう。

【0007】

しかしながら、位相同期回路にデジタル制御発振回路を適用する従来の技術（以下、単に「従来の技術」と記述する。）に係るPLL回路（以下、「従来のPLL回路」と記述する場合がある。）は、複数の動作モードに対応することについて、何らの考慮もされていない。より具体的には、従来のPLL回路は、動作モードが切り替わったとしても、内部において処理される処理信号の処理クロック周波数を動作モードに基づいて切り替えることができない。よって、従来のPLL回路は、予め対象とするある動作モード以外の動作モードの処理を行う場合には、消費電力の増大を招く恐れがある。したがって、従来の技術を用いたとしても、位相同期回路（PLL回路）における消費電力の低減は望むべくもない。

【0008】

本発明は、上記問題に鑑みてなされたものであり、本発明の目的とするところは、設定される動作モードに基づいて内部において処理される処理信号の処理クロック周波数を動作モードに基づいて切り替え、消費電力の低減を図ることが可能な、新規かつ改良された位相同期回路、および通信装置を提供することにある。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明の第1の観点によれば、デジタル値で表される発振制御信号が入力され、上記発振制御信号に基づく発振周波数の発振信号を出力する発振回路と、外部装置との通信に係る搬送波の搬送波周波数が基準周波数信号の基準周波数で除算された分周比と、動作モードを規定する制御信号とが入力され、上記分周比を上記制御信号に基づいて設定された整数値で除算する第1ビットシフト部と、上記発振信号に基づく信号と上記制御信号とが入力され、上記制御信号に基づいて設定された整数値により上記発振信号に基づく信号を分周する第1分周部と、上記基準周波数信号の各周期において、上記第1ビットシフト部から出力される出力値が累積加算された第1累積加算値と、上記第1分周部から出力される分周された発振信号に基づく信号のクロック数が累積加算された第2累積加算値、および上記基準周波数信号のクロックと上記第1分周部から出力される分周された発振信号に基づく信号のクロックとにおける各エッジ間の時間差から検出したデジタル値で表された累積位相の小数部とを比較し、比較結果を表す位相比較信号を出力する位相比較部と、上記位相比較信号を上記制御信号に基づく任意の収束値に収束させ、上記収束値に基づく発振制御信号を出力するデータ変換部とを備える位相同期回路が提供される。

【0010】

かかる構成により、設定される動作モードに基づいて内部において処理される処理信号の処理クロック周波数を動作モードに基づいて切り替え、消費電力の低減を図ることができる。

【0011】

また、上記位相比較信号に基づいて上記発振回路の変換利得の理想値に対する誤差を補

正するためのオフセット値を導出し、上記制御信号に基づいて、上記第1ビットシフト部から出力される出力値を上記オフセット値で選択的に補償するオフセット補償部をさらに備えてもよい。

【0012】

また、上記第1分周部から出力される分周された発振信号に基づく信号と上記基準周波数信号とに基づいて、上記第2累積加算値と上記差分値とをそれぞれ出力する累積クロック導出部をさらに備え、上記累積クロック導出部は、上記制御信号に基づいて上記差分値を選択的に出力する時間-デジタル変換回路を有してもよい。

【0013】

また、上記第1ビットシフト部には、周波数変調成分が加算された分周比が入力され、上記周波数変調成分を上記制御信号に基づいて設定された整数値で除算する第2ビットシフト部をさらに備え、上記データ変換部は、上記収束値と上記第2ビットシフト部から出力される除算された周波数変調成分との加算値に基づいて上記発振制御信号を出力してもよい。

【0014】

上記目的を達成するために、本発明の第2の観点によれば、1または2以上の外部装置から送信される所定の搬送波周波数の受信信号を受信し、1または2以上の外部装置へ上記所定の搬送波周波数の送信信号を送信する通信アンテナと、位相同期回路を備え、上記通信アンテナが受信した上記受信信号を処理する受信部と、位相同期回路を備え、上記外部装置へ送信する上記送信信号を処理して上記通信アンテナへ伝達する送信部とを備え、上記受信部と上記送信部とが備える上記位相同期回路それぞれは、デジタル値で表される発振制御信号が入力され、上記発振制御信号に基づく発振周波数の発振信号を出力する発振回路と、上記所定の搬送波周波数が基準周波数信号の基準周波数で除算された分周比と、動作モードを規定する制御信号とが入力され、上記分周比を上記制御信号に基づいて設定された整数値で除算するビットシフト部と、上記発振信号に基づく信号と上記制御信号とが入力され、上記制御信号に基づいて設定された整数値により上記発振信号を分周する第1分周部と、上記基準周波数信号の各周期において、上記ビットシフト部から出力される出力値が累積加算された第1累積加算値と、上記第1分周部から出力される分周された発振信号に基づく信号のクロック数が累積加算された第2累積加算値、および上記基準周波数信号のクロックと上記第1分周部から出力される分周された発振信号に基づく信号のクロックとにおける各エッジ間の時間差から検出したデジタル値で表された累積位相の小数部とを比較し、比較結果を表す位相比較信号を出力する位相比較部と、上記位相比較信号を上記制御信号に基づく任意の収束値に収束させ、上記収束値に基づく発振制御信号を出力するデータ変換部とを備える通信装置が提供される。

【0015】

かかる構成により、設定される動作モードに基づいて内部において処理される処理信号の処理クロック周波数を動作モードに基づいて切り替え、消費電力の低減を図りつつ、外部装置と通信を行うことが可能な通信装置が実現される。

【発明の効果】

【0016】

本発明によれば、設定される動作モードに基づいて内部において処理される処理信号の処理クロック周波数を動作モードに基づいて切り替え、消費電力の低減を図ることができる。

【発明を実施するための最良の形態】

【0017】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0018】

また、以下では、下記に示す順序で説明を行う。

10

20

30

40

50

1. 本発明の実施形態に係る位相同期回路の基本的な構成の一例
2. 本発明の第1の実施形態に係る位相同期回路
3. 本発明の第2の実施形態に係る位相同期回路
4. 本発明の第3の実施形態に係る位相同期回路
5. 本発明の第4の実施形態に係る位相同期回路
6. 本発明の実施形態に係る通信装置

【0019】

(本発明の実施形態に係る位相同期回路の基本的な構成の一例)

本発明の第1～第4の実施形態に係る位相同期回路について説明する前に、本発明の実施形態に係る位相同期回路の基本的な構成の一例を示す。以下では、位相同期回路を「PLL回路」と記述する場合がある。図2は、本発明の実施形態に係るPLL回路190(位相同期回路)の基本的な構成の一例を示す説明図である。

10

【0020】

PLL回路190は、基準周波数発振部102と、アキュムレータ104と、累積クロック導出部106と、発振回路108と、位相比較部110と、データ変換部112'と、分周回路114とを備える。

【0021】

基準周波数発振部102は、周波数が f_{REF} の基準周波数信号を生成して出力する。以下では、基準周波数信号の周波数 f_{REF} を基準周波数 f_{REF} と表記する。なお、図2では、PLL回路190が基準周波数発振部102を備える構成を示しているが、本発明の実施形態に係る位相同期回路の基本的な構成は、上記に限られない。例えば、本発明の実施形態に係る位相同期回路は、基準周波数発振部102を備えず、外部において生成された基準周波数信号が本発明の実施形態に係る位相同期回路に入力される構成であってもよい。

20

【0022】

アキュムレータ104には、分周比が入力され、基準周波数信号をトリガとして、基準周波数信号の各周期における分周比を累積加算する。そして、アキュムレータ104は、累積加算した分周比を位相比較部110へ出力する。

【0023】

ここで、PLL回路190に入力される分周比は、例えば、外部装置との通信に係る搬送波の搬送波周波数 f_{RF} を基準周波数 f_{REF} で除算した値(f_{RF}/f_{REF})である。また、図2の例では、搬送波周波数 f_{RF} は、発振回路108から出力される発振信号が分周回路114においてN分周(Nは、正の整数。)された分周後の発振信号(発振信号に基づく信号)の発振周波数に相当する。ここで、分周回路114が分周を行う分周比Nは、例えば、固定であってもよいし、搬送波周波数の変化に応じて変化させることもできる(例えば、PLL回路190を備える通信装置の制御部から伝達される分周制御信号に応じて分周比が切り替わる。)。なお、搬送波周波数 f_{RF} が、発振信号の発振周波数と等しい場合には、PLL190は、分周回路114を備えなくてもよい。上記の場合には、本発明の実施形態に係る分周比は、発振回路108から送信される発振信号の発振周波数 f_{OSC} を基準周波数 f_{REF} で除算した値(f_{OSC}/f_{REF})となる(すなわち、“発振周波数 f_{OSC} =搬送波周波数 f_{RF} ”の場合。)。また、本発明の実施形態に係る分周比は、例えば、PLL回路190が備えられた通信装置(後述する)の制御部(例えば、MPUなどで構成される。)などにおいて生成され、PLL回路190に入力されるが、上記に限られない。例えば、本発明の実施形態に係る分周比は、上記通信装置が備えるROM(Read Only Memory)などの記録媒体に予め記録され、上記制御部が当該記録媒体から適宜読み出してPLL回路190に入力することもできる。以下では、累積加算された分周比を「第1累積加算値」と記述する。

30

40

【0024】

累積クロック導出部106は、基準周波数信号の各周期において、第2累積加算値を整数部、基準周波数と発振周波数をN分周した発振信号の各エッジ間の時間差をN分周した

50

発振信号クロック周期で除して得られた値を小数部として、小数表示した累積加算値を出力する。

【0025】

第2累積加算値とは、分周された発振信号（図2では、周波数が搬送波周波数 f_{RF} である信号）のクロック数が累積加算されたデジタル値である。つまり、第2累積加算値は、分周された発振信号の周波数（図2では、搬送波周波数 f_{RF} に対応する。）クロックを基準とした位相を基準周波数 f_{REF} ごとに加算した累積位相の整数成分に相当する。なお、本発明の実施形態に係る位相同期回路において、発振回路108の出力をN分周することなく、累積クロック導出部106に入力する場合には、第2累積加算値は、発振信号のクロック数が累積加算されたデジタル値となる。

10

【0026】

また、基準周波数と発振周波数をN分周した発振信号の各エッジ間の時間差を検出し、さらに、N分周した発振信号周期で除した値を計算することにより、N分周した発振信号クロックを基準とした位相の小数部を検出することができる。つまり、第2累積加算値と基準周波数と発振周波数をN分周した発振信号の各エッジ間の時間差から、基準周波数の周期ごとの累積位相の小数表示が可能となる。なお、本発明の実施形態に係る位相同期回路において、発振回路108の出力をN分周することなく、累積クロック導出部106に入力する場合には、発振周波数クロックを基準とした位相の小数部が検出される。以下では、図2に示すように、発振回路108から出力された発振信号が分周回路114においてN分周される場合を例に挙げて説明する。

20

【0027】

〔累積クロック導出部106の構成例〕

累積クロック導出部106は、アキュムレータ150と、フリップフロップ152、154（各図では、「FF」と略している。）と、TDC156（時間-デジタル変換回路）とを備える。

【0028】

アキュムレータ150は、分周された発振信号（図2では、周波数が搬送波周波数 f_{RF} である信号に相当する。）に基づいて、分周された発振信号のクロックごとに“1”を累積加算し、加算結果をフリップフロップ154に伝達する。つまり、アキュムレータ150は、分周された発振信号のクロック数を累積加算し、累積加算されたクロック数をフリップフロップ154に伝達する。

30

【0029】

フリップフロップ152は、分周された発振信号（図2では、周波数が搬送波周波数 f_{RF} である信号に相当する。）に基づいて、分周された発振信号のクロックごとに基準周波数 f_{REF} である基準周波数信号をリタイミングする。

【0030】

フリップフロップ154は、フリップフロップ152においてリタイミングされた基準周波数信号をトリガとして、アキュムレータ150の出力を保持する。ここで、フリップフロップ154の出力は、第2累積加算値に相当する。

40

【0031】

TDC156は、基準周波数信号のクロックと分周された発振信号のクロックとにおける各エッジ間の相対時間差をデジタル変換する。さらに、TDC156では、この相対時間差を基準周波数信号の周期で除した値を出力する。ここで、アキュムレータ150で累積加算したクロック数が、分周された発振信号周期を基準とした累積位相の整数部であるのに対して、TDC156の出力は累積位相の小数部となる。TDC156は、例えば、インバータ回路とフリップフロップで構成することができるが、上記に限られない。なお、本発明の実施形態に係るTDCの構成例については、図6A、図6Bを参照して後述する。

【0032】

50

累積クロック導出部 106 は、例えば、図 2 に示す構成によって、基準周波数信号と分周された発振信号とに基づいて、第 2 累積加算値である累積位相の整数部と累積位相の小数部とを導出することができる。なお、第 2 累積加算値である累積位相の整数部と累積位相の小数部とを導出する本発明の実施形態に係る累積クロック導出部の構成が、図 2 に示す構成に限られないことは、言うまでもない。

【0033】

発振回路 108 は、入力されるデジタル値で表される発振制御信号によって制御される。より具体的には、発振回路 108 は、入力される発振制御信号に基づく発振周波数の発振信号を出力する。つまり、発振回路 108 は、デジタル制御発振回路 (DCO) に相当する。

10

【0034】

位相比較部 110 は、アキュムレータ 104 から出力される第 1 累積加算値 (累積加算された分周比) から、累積クロック導出部 106 から出力される第 2 累積加算値である累積位相の整数部および累積位相の小数部を減算し、差分に相当する位相比較信号を出力する。ここで、位相比較部 110 は、加算器などで構成することができるが、上記に限られない。

【0035】

データ変換部 112' は、入力された位相比較信号を分周比に相当する値に収束させ、分周比に基づく発振制御信号を出力する。

20

【0036】

〔データ変換部 112' の構成例と動作〕

データ変換部 112' は、可変利得増幅回路 160 と、加算器 162 と、可変利得増幅回路 164 と、加算器 166 と、乗算器 168 と、ビットシフト回路 170' と、ビットシフト回路 172' とを備える。なお、本発明の実施形態に係る PLL 回路が、発振信号を分周する分周回路 114 を備えない場合には、ビットシフト回路 170' と、ビットシフト回路 172' とを備えていなくてもよい。

【0037】

データ変換部 112' は、利得制御信号 G_SW に基づいて、可変利得増幅回路 160、164 それぞれの利得 $1/2^m$ の乗数 m を変化させることによって、PLL 回路 190 のループ利得を切り替える役目を果たす。ここで、利得制御信号 G_SW は、例えば、図 2 に示す点 P における信号 (加算器 166 の出力) と、分周比との比較結果に基づく信号である。利得制御信号 G_SW に基づいて可変利得増幅回路 160、164 それぞれの利得を切り替えることによって、データ変換部 112' は、加算器 166 の出力 (すなわち、図 2 に示す点 P における信号) を分周比と等価な値、すなわち、 f_{RF}/f_{REF} に収束させるように動作させることができる (数式 1、数式 2 を参照して後述する。)。利得制御信号 G_SW は、例えば、図 2 に示す点 P における信号に基づいて PLL 回路 190 を備える通信装置の制御部などが生成するが、上記に限られない。例えば、本発明の実施形態に係る PLL 回路は、点 P における信号 (加算器 166 の出力) と分周比とを比較して利得制御信号 G_SW を生成する検出部 (図示せず) をさらに備えることもできる。

30

【0038】

ここで、データ変換部 112' における動作について説明する。位相比較部 110 から出力される位相比較信号は、可変利得増幅回路 160 で $1/2^m$ 倍に増幅される。加算器 162 では、可変利得増幅回路 160 の出力と、ビットシフト回路 170' において f_{OSC}/f_{REF} を分周回路 114 における分周比に対応する値 (N) で除算した値 ($\{f_{OSC}/f_{REF}\}/N$) とを加算する。ここで、ビットシフト回路 170' は、例えば除算器などで構成され、 f_{OSC}/f_{REF} を分周回路 114 における分周比に対応する値 (N) で除算する。可変利得増幅回路 164 は、入力された設定値 A を $1/2^m$ 倍に増幅し、加算器 166 は、加算器 162 の出力から可変利得増幅回路 164 の出力を減算する。乗算器 168 は、加算器 166 の出力と、基準周波数 f_{REF} を発振回路 108 の変換利得 k_{DCO} で除した値 (f_{REF}/k_{DCO}) をビットシフト回路 172' において

40

50

分周回路 114 における分周比に対応する値 (N) 倍に増幅した値とを乗算し、乗算結果を発振制御信号として出力する。

【0039】

データ変換部 112' における動作を整理すると、以下の通りである。発振回路 108 を発振させるための発振制御信号は、例えば、数式 1 で表される。ここで、数式 1 に示す f_{OSC} は、発振回路 108 から出力される発振信号の発振周波数を示している。また、数式 1 に示す k_{DCO} は、発振回路 108 の変換利得を示している。

【0040】

【数 1】

$$D = \frac{f_{OSC}}{k_{DCO}}$$

10

・・・ (数式 1)

【0041】

データ変換部 112' の乗算器 168 では、 $N \{ f_{REF} / k_{DCO} \}$ が乗算されているので、乗算器 168 の入力、数式 1 より以下の数式 2 で表される。

【0042】

【数 2】

$$\frac{D}{N \cdot f_{REF}} = \frac{f_{OSC}}{N \cdot f_{REF}} = \frac{f_{RF}}{f_{REF}}$$

20

・・・ (数式 2)

【0043】

数式 2 に示すように、データ変換部 112' は、乗算器 168 の入力、すなわち加算器 166 の出力を分周比に収束させることができる。

【0044】

また、位相比較部 110 の可変範囲を、例えば、unsigned 10 bit (符号なし 10 ビット) と仮定し、データ変換部 112' に入力される設定値 A を位相比較部 110 の可変範囲の中点となる「512」とすると、PLL 回路 190 は、位相比較部 110 の出力を「512」に収束させることができる。つまり、データ変換部 112' に設定値 A が入力されることによって、PLL 回路 190 は、位相比較部 110 の出力を設定値 A に応じた所定の値に収束させることができる。

30

【0045】

したがって、PLL 回路 190 は、データ変換部 112' を備えることによって、ループを安定に収束させるデータ変換方法を実現することができる。なお、データ変換部 112' に入力される設定値 A、 f_{OSC} / f_{REF} および f_{REF} / k_{DCO} は、例えば、PLL 回路 190 を備える通信装置の制御部などが生成してデータ変換部 112' に入力するが、上記に限られない。

40

【0046】

PLL 回路 190 は、例えば、図 2 に示す構成によって、デジタル値で表される発振制御信号によって発振回路を制御し、ループを安定に収束させる。したがって、PLL 回路 190 は、デジタル制御発振回路を備えた位相同期回路として機能する。

【0047】

ここで、PLL 回路 190 では、例えば、分周回路 114 において発振信号が分周された信号 f_{RF} 、入力される分周比、累積クロック導出部 106 が処理する信号、位相比較信号など、各構成要素において処理する信号が、内部で処理される処理信号に相当する。なお、例えば、本発明の実施形態に係る位相同期回路が、分周回路 114 を備えない構成

50

である場合には、発振回路 108 から出力される発振信号を処理信号として捉えてもよい。

【0048】

以下、図 2 に示す PLL 回路 190 を本発明の実施形態に係る位相同期回路を基本的な構成として、本発明の第 1 ~ 第 4 の実施形態に係る位相同期回路 (PLL 回路) について説明する。なお、本発明の実施形態に係る位相同期回路の基本的な構成が、図 2 に示す PLL 回路 190 の構成に限られないことは、言うまでもない。以下では、図 2 に示す PLL 回路 190 と同様に、第 1 ~ 第 4 の実施形態に係る位相同期回路の各構成要素が処理する信号を、総称して「処理信号」と表記する。また、以下では、処理信号の周波数を「処理クロック周波数」と記述する場合がある。

10

【0049】

(第 1 の実施形態に係る位相同期回路)

[本発明の実施形態に係る消費電力低減アプローチ]

本発明の第 1 の実施形態に係る位相同期回路の構成について説明する前に、まず、本発明の実施形態に係る消費電力低減アプローチについて説明する。

【0050】

上述したように、PLL 回路が通信装置などに適用された場合、PLL 回路に対しては、複数の動作モードへの対応が要求される場合がある。PLL 回路に対する上記要求としては、上述したように、例えば、PLL 回路を、搬送波周波数の生成と通信装置が備えるデジタル回路のクロック周波数生成とに共用させることや、複数の搬送波周波数への対応などが挙げられる。ここで、従来技術が適用された従来の PLL 回路のように、内部において処理される処理信号の処理クロック周波数を動作モードに基づいて切り替えることができない場合には、消費電力の増加を招く恐れがある。

20

【0051】

そこで、本発明の実施形態に係る PLL 回路では、PLL 回路を動作させる動作モードに対応して内部で処理される処理信号の処理クロック周波数を、当該動作モードに対応する周波数へ切り替える。より具体的には、本発明の実施形態に係る PLL 回路は、動作モードを規定する制御信号に基づいて、例えば、分周比や分周回路 114 から出力される分周された発振信号を調整する。上記によって、本発明の実施形態に係る PLL 回路は、内部で処理する処理信号の処理クロック周波数を制御信号に基づいて制御することができる。よって、本発明の実施形態に係る PLL 回路は、動作モードに対応する必要最小限の消費電力で動作することができる。したがって、本発明の実施形態に係る PLL 回路は、設定される動作モードに基づいて内部において処理される処理信号の処理クロック周波数を動作モードに基づいて切り替え、消費電力の低減を図ることができる。

30

【0052】

[第 1 の実施形態に係る位相同期回路の構成例]

次に、本発明の実施形態に係る消費電力低減アプローチを実現することが可能な本発明の第 1 の実施形態に係る位相同期回路の構成について説明する。

【0053】

図 3 は、本発明の第 1 の実施形態に係る PLL 回路 100 (位相同期回路) の構成の一例を示す説明図である。

40

【0054】

PLL 回路 100 は、基準周波数発振部 102 と、アキュムレータ 104 と、累積クロック導出部 106 と、発振回路 108 と、位相比較部 110 と、データ変換部 112 と、分周回路 114 と、ビットシフト回路 116 (第 1 ビットシフト部 / ビットシフト部) と、分周回路 118 (第 1 分周部) とを備える。ここで、図 3 に示す基準周波数発振部 102、アキュムレータ 104、累積クロック導出部 106、発振回路 108、位相比較部 110、および分周回路 114 は、それぞれ図 2 に示す PLL 回路 190 の各構成要素と同様の機能、構成を有する。図 2 および図 3 に示すように、第 1 の実施形態に係る PLL 回路 100 は、PLL 回路 190 と基本的に同様の構成を有する。つまり、PLL 回路 10

50

0 は、デジタル値で表される発振制御信号によって発振回路を制御し、ループを安定に収束させることができる。以下では、PLL回路100の構成のうち、図2に示すPLL回路190と異なる構成について説明する。

【0055】

ビットシフト回路116は、分周比をM（Mは、正の整数。）で除算し、除算された分周比（ $\{f_{RF}/f_{REF}\}/M$ ）をアキュムレータ104へ出力する。ここで、ビットシフト回路116が分周比を除算する値Mは、入力される制御信号に基づいて設定される。つまり、ビットシフト回路116は、入力される制御信号に基づいてビットシフト量が制御される。

【0056】

また、PLL回路100に入力される制御信号は、例えば、PLL回路100を備える通信装置の制御部が動作モードに応じて生成してPLL回路100へ伝達するが、上記に限られない。ここで、PLL回路100には、例えば、位相雑音特性を緩和可能な動作モードであるほど、設定される値M（Mは、正の整数。）が大きくなる制御信号が入力される。

【0057】

分周回路118は、例えばフリップフロップなどで構成され、分周回路114から出力されるN分周された発振信号を、ビットシフト回路116における分周比の除算と同期してM分周する。ここで、分周回路118がN分周された発振信号を分周する分周比Mは、ビットシフト回路116を制御する制御信号に基づいて設定される。分周回路118は、ビットシフト回路116を制御する制御信号と同じ制御信号に基づいて分周を行うことによって、ビットシフト回路116における分周比の除算と同期して処理を行うことができる。

【0058】

データ変換部112は、図2に示すデータ変換部112'と同様の構成を有するが、ビットシフト回路170、172にビットシフト回路116を制御する制御信号が入力される点が異なる。データ変換部112にビットシフト回路116を制御する制御信号と同じ制御信号が入力されることによって、ビットシフト回路170、172それぞれの処理パラメータは、ビットシフト回路116における分周比の除算パラメータ（値M）と同期した値となる。より具体的には、ビットシフト回路170は、 f_{OSC}/f_{REF} を値（ $M \cdot N$ ）で除算し、値（ $\{f_{OSC}/f_{REF}\}/\{M \cdot N\}$ ）を加算器162へ伝達する。また、ビットシフト回路172は、 f_{REF}/k_{DCO} を（ $M \cdot N$ ）倍に増幅し、値（ $M \cdot N \{f_{REF}/k_{DCO}\}$ ）を乗算器168へ伝達する。

【0059】

ここで、データ変換部112における動作を整理すると、以下の通りである。発振器108を発振させるための発振制御信号は、図2に示すPLL回路190と同様に、例えば、上記数式1で表される。

【0060】

データ変換部112の乗算器168では、 $M \cdot N \{f_{REF}/k_{DCO}\}$ が乗算されているので、乗算器168の入力は、数式1より以下の数式3で表される。

【0061】

【数3】

$$\frac{D}{f_{REF}} = \frac{f_{OSC}}{M \cdot N \cdot f_{REF}} = \frac{f_{RF}}{M \cdot f_{REF}}$$

・・・（数式3）

【0062】

数式3に示すように、データ変換部112は、図2に示すデータ変換部112'と同様

10

20

30

40

50

に、乗算器 168 の入力、すなわち加算器 166 の出力を、ビットシフト回路 116 から出力される除算された分周比 ($\{f_{RF} / f_{REF}\} / M$) に収束させることができる。ここで、ビットシフト回路 116 の出力は、分周比が動作モードを示す制御信号に応じた値 M で除算されたものであるため、入力される制御信号により制御される。よって、データ変換部 112 は、位相比較部 110 から出力される位相比較信号を制御信号に基づく任意の収束値に収束させることができる。また、データ変換部 112 は、制御信号に基づく収束値を乗算器 168 で増幅し、発振回路 108 を制御する発振制御信号として出力する。よって、データ変換部 112 は、収束値に基づく発振制御信号を出力することができる。

【0063】

また、PLL 回路 100 は、データ変換部 112 に設定値 A が入力されることによって、図 2 に示す PLL 回路 190 と同様に、位相比較部 110 の出力を設定値 A に応じた所定の値に収束させることができる。

【0064】

以上のように、本発明の第 1 の実施形態に係る PLL 回路 100 (位相同期回路) は、基本的に図 2 に示す PLL 回路 190 と同様の構成を有し、さらにビットシフト回路 116 と分周回路 118 とを備える。ビットシフト回路 116、およびデータ変換部 112 を構成するビットシフト回路 170、172 は、入力される制御信号に基づいてビットシフト量 (M) が制御される。また、分周回路 118 は、入力される制御信号に基づいて入力される信号を分周する分周比 (M) が制御され、入力される信号 (f_{RF}) を分周する。よって、PLL 回路 100 は、PLL 回路 100 の内部で処理される処理信号の処理クロック周波数を制御信号に基づいて調整することができる。ここで、処理信号の処理クロック周波数は、制御信号により設定される値 M (M は、正の整数。) が大きくなるほど、より低くなる。つまり、PLL 回路 100 は、例えば、制御信号が示す動作モードが位相雑音特性を緩和可能な動作モードである場合には、設定される値が大きな制御信号に基づいて処理信号の処理クロック周波数をより下げることができる。また、PLL 回路 100 は、制御信号が示す動作モードが位相雑音特性を緩和可能な動作モードからより高い位相雑音特性が要求される動作モードへと変化した場合には、設定される値が小さな制御信号に基づいて処理信号の処理クロック周波数を上げることができる。さらに、PLL 回路 100 は、数式 3 に示すように、処理信号を制御信号に基づいて設定される任意の収束値に収束させることができる。よって、PLL 回路 100 は、入力される制御信号に基づいて、制御信号が示す動作モードが要求する必要最小限の処理クロック周波数の処理信号で動作を行うことができるので、各動作モードにおけるオーバースペックな状態での動作を防止することが可能となる。つまり、PLL 回路 100 は、動作モードが切り替わったときには、切り替え後の動作モードの処理に必要とされる消費電力で正常に機能することができる。したがって、PLL 回路 100 は、設定される動作モードに基づいて内部において処理される処理信号の処理クロック周波数を動作モードに基づいて切り替え、消費電力の低減を図ることができる。

【0065】

(第 2 の実施形態に係る位相同期回路)

上記では、入力される制御信号に基づいて処理信号の処理クロック周波数を切り替えることが可能な PLL 回路 100 (位相同期回路) について説明した。ここで、図 3 に示す PLL 回路 100 では、発振回路 108 の変換利得 k_{DCO} が理想的な状態を示したが、発振回路 108 の変換利得 k_{DCO} は、誤差を含む場合もありうる。そこで、次に、発振回路 108 の変換利得 k_{DCO} が誤差を含む変換利得 k'_{DCO} である場合に対応する、本発明の第 2 の実施形態に係る位相同期回路について説明する。

【0066】

[発振回路 108 の変換利得が誤差を含む場合に生じうる問題の一例]

図 4 は、本発明の実施形態に係る PLL 回路 (位相同期回路) において、発振回路 108 の変換利得が誤差を含む場合に生じうる問題を説明するための説明図である。ここで、

10

20

30

40

50

図4は、図3に示すPLL回路100と同様の構成を有するPLL回路290を示しており、データ変換部112に誤差を含む変換利得 k'_{DCO} に依存する値(f_{REF}/k'_{DCO})が入力された例を示している。

【0067】

以下、発振回路108の変換利得 k'_{DCO} を $k'_{DCO} = k_{DCO} \cdot (1 + a)$ 、制御信号により設定される値を $M = M_1$ とした場合を例に挙げて、発振回路108の変換利得が誤差を含む場合に生じうる問題の一例を説明する。ここで、“a”は、発振回路108の変換利得の誤差を示している。

【0068】

データ変換部112の乗算器168の入力、すなわち収束値は、例えば、数式4で表される。

10

【0069】

【数4】

$$\frac{D}{M_1 \cdot N \cdot f_{REF}} = \frac{f_{OSC} \cdot (1 + a)}{M_1 \cdot N \cdot f_{REF}} = \frac{f_{RF} \cdot (1 + a)}{M_1 \cdot f_{REF}}$$

・・・(数式4)

【0070】

また、位相比較部110の出力は、例えば、数式5で表される。ここで、数式5は、設定値Aによって、位相比較部110の出力を「512」に収束させる場合を示している。

20

【0071】

【数5】

$$\left(\frac{f_{RF} \cdot (1 + a)}{M_1 \cdot f_{REF}} + \frac{512}{2^m} - \frac{f_{RF}}{M_1 \cdot f_{REF}} \right) \cdot 2^m = 512 + \frac{f_{RF} \cdot a \cdot 2^m}{M_1 \cdot f_{REF}}$$

・・・(数式5)

【0072】

ここで、制御信号により設定される値が $M = M_1$ から $M = M_2$ へと変化すると、データ変換部112の乗算器168の入力、すなわち収束値は、例えば、数式4から数式6へと変化する。

30

【0073】

【数6】

$$\frac{f_{RF}}{M_2 \cdot f_{REF}} + \frac{f_{RF} \cdot a}{M_1 \cdot f_{REF}} = \frac{f_{RF} \cdot (1 + \frac{M_2}{M_1} \cdot a)}{M_2 \cdot f_{REF}}$$

・・・(数式6)

【0074】

このとき、データ変換部112において最終的に収束させる目標となる目標収束値は、数式1より数式7で表される。

40

【0075】

【数7】

$$\frac{f_{RF} \cdot (1 + a)}{M_2 \cdot f_{REF}}$$

・・・(数式7)

【0076】

50

数式 6、数式 7 に示すように、発振回路 108 の変換利得が誤差を含む場合には、目標収束値と収束値との差が生じることとなる。上記のように目標収束値と収束値との差が生じた場合には、目標収束値と収束値との差分が不連続となって発振回路 108 の出力（発振信号）に表れてしまう。

【0077】

上記のように、発振回路 108 の変換利得が誤差を含む場合には、例えば、目標収束値と収束値との差分が不連続となって発振回路 108 の出力に表れるため、PLL 回路 290 の収束時間が長くなる可能性がある。

【0078】

[第 2 の実施形態に係る位相同期回路の構成例]

10

そこで次に、上記発振回路 108 の変換利得が誤差を含む場合に生じうる問題に対応することが可能な、本発明の第 2 の実施形態に係る位相同期回路の構成について説明する。

【0079】

図 5 は、本発明の第 2 の実施形態に係る PLL 回路 200（位相同期回路）の構成の一例を示す説明図である。

【0080】

PLL 回路 200 は、基準周波数発振部 102 と、アキュムレータ 104 と、累積クロック導出部 106 と、発振回路 108 と、位相比較部 110 と、データ変換部 112 と、分周回路 114 と、ビットシフト回路 116 と、分周回路 118 と、オフセット補償部 202 とを備える。ここで、図 5 に示す基準周波数発振部 102、アキュムレータ 104、累積クロック導出部 106、発振回路 108、位相比較部 110、データ変換部 112、分周回路 114、ビットシフト回路 116、および分周回路 118 は、それぞれ図 3 に示す PLL 回路 100 の各構成要素と同様の機能、構成を有する。PLL 回路 200 は、基本的に第 1 の実施形態に係る PLL 回路 100 と同様の構成を有するので、第 1 の実施形態に係る PLL 100 と同様の効果を奏することができる。以下では、PLL 回路 200 の構成のうち、図 3 に示す PLL 回路 100 と異なる構成について説明する。

20

【0081】

オフセット補償部 202 は、位相比較部 110 から出力される位相比較信号に基づいて目標収束値と収束値との誤差（オフセット値）を検出し、検出結果に基づいて、ビットシフト回路 116 から出力される制御信号に基づいて除算された分周比を、選択的に補正する。

30

【0082】

[オフセット補償部 202 の構成例]

オフセット補償部 202 は、加算器 210 と、変換回路 212 と、エッジ検出回路 214 と、スイッチング回路 218 と、加算器 220 とを備える。

【0083】

加算器 210 は、位相比較部 110 から出力される位相比較信号から設定値 A を減算する。ここで、加算器 210 における処理は、例えば、数式 5 から “512” を減算し、誤差成分である $(f_{RF} \cdot a \cdot 2^m) / (M_1 \cdot f_{REF})$ を検出することに相当する。

【0084】

40

変換回路 212 は、例えば、数式 8 に示す演算を行う。ここで、変換回路 212 は、制御信号により設定される値 M が、例えば、 $M = M_1$ から $M = M_2$ ($M_2 > M_1$) へと切り替えられたとき、位相比較信号の誤差を $(f_{RF} \cdot a \cdot 2^m) / (M_1 \cdot f_{REF})$ から $(f_{RF} \cdot a \cdot 2^m) / (M_2 \cdot f_{REF})$ に瞬時に切り替える役目を果たす。

【0085】

【数 8】

$$\frac{f_{RF} \cdot (1+a)}{M_1 \cdot f_{REF}} \cdot \left(1 - \frac{M_1}{M_2}\right)$$

50

・・・(数式 8)

【0086】

エッジ検出回路 214 は、制御信号に基づいて、値 M が $M = M_1$ から $M = M_2$ ($M_2 > M_1$) へと切り替わるタイミング、すなわち、動作モードが切り替わるタイミングを検出する。エッジ検出回路 214 は、制御信号に基づく動作モードの切り替えの検出結果に応じた検出信号を、スイッチング回路 218 へ伝達する。ここで、エッジ検出回路 214 は、例えば、検出されたか否かが信号レベル(ローレベル/ハイレベル)で表された検出信号を出力するが、上記に限られない。

【0087】

スイッチング回路 218 は、エッジ検出回路 214 から伝達される検出信号に基づいて、動作モードが切り替わるタイミングにおいて、変換回路 212 から伝達される位相比較信号の誤差補償を表す信号を選択的に出力する。ここで、スイッチング回路 218 は、例えば、MOSFET (Metal Oxide Semiconductor Field effect transistor) などで構成されるが、上記に限られない。なお、スイッチング回路 218 は、例えば、エッジ検出回路 214 から検出されたことを示す検出信号が伝達されない場合には、“0”を表す信号を出力する。

10

【0088】

加算器 220 は、ビットシフト回路 116 から出力される制御信号に基づいて除算された分周比から、スイッチング回路 218 から出力される信号を減算する。

【0089】

オフセット補償部 202 は、例えば、上記の構成によって、制御信号に基づいて動作モードが切り替わるタイミングを検出し、当該タイミングにおいてビットシフト回路 116 の出力から、数式 8 に示す差分に相当する値を減算する。よって、オフセット補償部 202 は、位相比較部 110 から出力される位相比較信号に基づいて目標収束値と実際の収束値との誤差を検出し、検出結果に基づいて、ビットシフト回路 116 の出力を補正することができる。

20

【0090】

なお、本発明の実施形態に係るオフセット補償部の構成は、図 5 に示す構成に限られない。例えば、本発明の実施形態に係るオフセット補償部は、加算器 210 の出力をある有限な期間における平均値を導出する平均値導出回路をさらに備え、変換回路 212 が当該平均値導出回路の出力を処理する構成をとることもできる。上記の構成によって、本発明の実施形態に係るオフセット補償部は、目標収束値と実際の収束値との誤差の検出精度をさらに高めることができる。

30

【0091】

以上のように、本発明の第 2 の実施形態に係る PLL 回路 200 (位相同期回路) は、図 5 に示すように、第 1 の実施形態に係る PLL 回路 100 の構成に加えてさらにオフセット補償部 202 を備える。ここで、PLL 回路 200 は、制御信号に基づいて動作モードの切り替えを検出し、動作モードの切り替えに応じて位相比較部 110 から出力される位相比較信号の誤差を $(f_{RF} \cdot a \cdot 2^m) / (M_2 \cdot f_{REF})$ へと瞬時に切り替えることができる。よって、PLL 回路 200 は、安定した収束を可能とし、発振回路 108 から出力される発振信号の不連続を低減することができる。

40

【0092】

また、PLL 回路 200 は、基本的に図 3 に示す第 1 の実施形態に係る PLL 回路 100 と同様の構成を有するので、第 1 の実施形態に係る PLL 回路 100 と同様の効果を奏することができる。

【0093】

(第 3 の実施形態に係る位相同期回路)

上記では、本発明の実施形態に係る位相同期回路として、第 1、第 2 の実施形態に係る位相同期回路を示した。しかしながら、本発明の実施形態に係る位相同期回路の構成は、上述した第 1、第 2 の実施形態に係る位相同期回路に限られない。そこで、次に、第 1、

50

第 2 の実施形態に係る位相同期回路よりもさらに消費電力を低減することが可能な第 3 の実施形態に係る位相同期回路について説明する。

【 0 0 9 4 】

[第 3 の実施形態に係る位相同期回路の消費電力低減アプローチ]

本発明の第 3 の実施形態に係る位相同期回路の構成について説明する前に、第 3 の実施形態に係る位相同期回路における消費電力低減アプローチについて説明する。

【 0 0 9 5 】

本発明の実施形態に係る位相同期回路は、図 2 の基本構成で示したように、T D C 1 5 6 を備える。図 6 A、図 6 B は、本発明の実施形態に係る T D C 1 5 6 (時間-デジタル変換回路) の構成の一例を示す説明図である。ここで、図 6 A は、分周回路 1 1 4 から出力される分周された発振信号が入力される例、すなわち図 2 に示す P L L 回路 1 9 0 が備える T D C 1 5 6 の構成を例として示している。

10

【 0 0 9 6 】

図 6 A、図 6 B に示すように、T D C 1 5 6 は、例えば、インバータ回路を備え、当該インバータ回路の遅延時間を利用して基準周波数信号のクロックと分周された発振信号のクロックとにおける各エッジ間の相対時間差をデジタル変換する。ここで、図 6 B に示す出力 D_R が基準周波数信号の立ち上がりエッジおよび発振信号クロックの立ち上がりエッジ間の時間差のデジタル値、出力 D_F が基準周波数信号の立ち上がりエッジおよび発振信号クロックの立ち下がりエッジ間の時間差のデジタル値を示している。

20

【 0 0 9 7 】

ここで、T D C 1 5 6 の分解能は、T D C 1 5 6 が備えるインバータ回路の遅延時間に支配される。T D C 1 5 6 の分解能に起因する量子化誤差の発振回路 1 0 8 への影響を低減させるためには、本発明の実施形態に係る位相同期回路の処理信号の処理クロック周波数をより高速にする必要がある。しかしながら、上述したように、高い位相雑音特性が要求されない動作モードにおいて、処理信号の処理クロック周波数を高速にした場合には、消費電力の増大を招いてしまう。

【 0 0 9 8 】

上述した第 1 の実施形態に係る P L L 回路 1 0 0 では、T D C 1 5 6 に入力する信号の周波数を、分周回路 1 1 8 で M 分周 (制御信号に基づく分周) することによって動作モードに応じて調整した。これに対して、本発明の第 3 の実施形態に係る位相同期回路は、制御信号に基づいて T D C を動作させるか否かを選択的に切り替える。上記によって、第 3 の実施形態に係る位相同期回路は、設定される動作モードに応じて T D C において消費される消費電力を選択的に 0 (ゼロ) とすることができるので、より消費電力の低減を図ることができる。

30

【 0 0 9 9 】

[第 3 の実施形態に係る位相同期回路の構成例]

そこで次に、上記第 3 の実施形態に係る消費電力低減アプローチを実現することが可能な、本発明の第 3 の実施形態に係る位相同期回路の構成について説明する。

【 0 1 0 0 】

図 7 は、本発明の第 3 の実施形態に係る P L L 回路 3 0 0 (位相同期回路) の構成の一例を示す説明図である。

40

【 0 1 0 1 】

P L L 回路 3 0 0 は、基準周波数発振部 1 0 2 と、アキュムレータ 1 0 4 と、累積クロック導出部 3 0 2 と、発振回路 1 0 8 と、位相比較部 1 1 0 と、データ変換部 1 1 2 と、分周回路 1 1 4 と、ビットシフト回路 1 1 6 と、分周回路 1 1 8 とを備える。ここで、図 7 に示す基準周波数発振部 1 0 2、アキュムレータ 1 0 4、発振回路 1 0 8、位相比較部 1 1 0、データ変換部 1 1 2、分周回路 1 1 4、ビットシフト回路 1 1 6、および分周回路 1 1 8 は、それぞれ図 3 に示す P L L 回路 1 0 0 の各構成要素と同様の機能、構成を有する。P L L 回路 3 0 0 は、基本的に第 1 の実施形態に係る P L L 回路 1 0 0 と同様の構成を有するので、第 1 の実施形態に係る P L L 1 0 0 と同様の効果を奏することができる

50

。以下では、PLL回路300の構成のうち、図3に示すPLL回路100と異なる構成について説明する。

【0102】

累積クロック導出部302は、図3に示す累積クロック導出部106と基本的に同様の構成を有するが、入力される制御信号に基づいてパワー・オン/ダウン制御されるTDC304を備える点異なる。ここで、TDC304は、例えば、制御信号に基づいてスイッチングを行うスイッチング素子を入力端子ごとに備える構成をとるが、上記に限られない。例えば、TDC304は、制御信号に基づいてTDC304のパワー・オン/ダウン制御が可能な任意の構成をとることができる。

【0103】

上記の構成によって、累積クロック導出部302は、例えば、高い位相雑音特性が要求されない動作モードにおいてTDC304をパワーダウンさせることができるので、累積クロック導出部302で消費される消費電流、消費電力をより低減させることができる。

【0104】

以上のように、本発明の第3の実施形態に係るPLL回路300（位相同期回路）は、制御信号に基づいてパワー・オン/ダウン制御されるTDC304を備える。したがって、PLL回路300は、設定される動作モードに基づいて選択的にTDC304をパワーダウンさせることができるので、第1、第2の実施形態に係る位相同期回路よりもより消費電力の低減を図ることができる。

【0105】

また、PLL回路300は、基本的に図3に示す第1の実施形態に係るPLL回路100と同様の構成を有するので、第1の実施形態に係るPLL回路100と同様の効果を奏することができる。

【0106】

[第3の実施形態に係る位相同期回路の変形例]

上記では、本発明の第3の実施形態に係る位相同期回路として、図3に示す第1の実施形態に係るPLL回路100と基本的に同様の構成を有するPLL回路300を示した。しかしながら、本発明の第3の実施形態に係る位相同期回路の構成は、図7に示す構成に限られない。

【0107】

図8は、本発明の第3の実施形態の変形例に係るPLL回路350（位相同期回路）の構成の一例を示す説明図である。図8に示すように、第3の実施形態の変形例に係るPLL350は、図7に示すPLL回路300の構成に加え、第2の実施形態に係るオフセット補償部202をさらに備える。

【0108】

オフセット補償部202を備えることによって、第3の実施形態の変形例に係るPLL回路350は、さらに第2の実施形態に係るPLL回路200と同様の効果を奏することができる。

【0109】

(第4の実施形態に係る位相同期回路)

上記では、本発明の実施形態に係る位相同期回路として、第1～第3の実施形態に係る位相同期回路を示した。しかしながら、本発明の実施形態に係る位相同期回路の構成は、上述した第1～第3の実施形態に係る位相同期回路に限られない。そこで、次に、周波数変調成分がさらに入力される場合に対応することが可能な第4の実施形態に係る位相同期回路について説明する。

【0110】

図9は、本発明の第4の実施形態に係るPLL回路400（位相同期回路）の構成の一例を示す説明図である。

【0111】

PLL回路400は、基準周波数発振部102と、加算器402と、アキュムレータ1

10

20

30

40

50

04と、累積クロック導出部106と、発振回路108と、位相比較部110と、ビットシフト回路404（第2ビットシフト部）と、データ変換部406と、分周回路114と、ビットシフト回路116と、分周回路118とを備える。ここで、図9に示す基準周波数発振部102、アキュムレータ104、累積クロック導出部106、発振回路108、位相比較部110、分周回路114、ビットシフト回路116、および分周回路118は、それぞれ図3に示すPLL回路100の各構成要素と同様の機能、構成を有する。PLL回路400は、基本的に第1の実施形態に係るPLL回路100と同様の構成を有するので、第1の実施形態に係るPLL100と同様の効果を奏することができる。以下では、PLL回路400の構成のうち、図3に示すPLL回路100と異なる構成について説明する。

10

【0112】

加算器402は、入力される周波数変調成分と分周比とを加算し、加算結果をビットシフト回路116へ出力する。ここで、PLL回路400に入力される周波数変調成分は、例えば、PLL回路400を備える通信装置の制御部から入力されるが、上記に限られない。

【0113】

ビットシフト回路404は、ビットシフト回路116と同様の機能、構成を有し、制御信号に基づいて、入力される周波数変調成分を制御信号により設定される値Mで除算する。そして、ビットシフト回路404は、制御信号に基づいて除算された周波数変調成分をデータ変換部406へ出力する。ビットシフト回路404を備えることによって、PLL回路400は、入力される周波数変調成分を設定される動作モードに対応する処理信号に変換することができる。

20

【0114】

データ変換部406は、図3に示す第1の実施形態に係るデータ112と基本的に同様の構成を有するが、加算器166と乗算器168との間に、加算器166の出力（収束値）とビットシフト回路404の出力とを加算する加算器408をさらに備える。上記の構成によって、乗算器408の入力は、収束値に周波数変調成分が加算されたものとなる。よって、データ変換部406は、周波数変調成分が反映された発振制御信号を出力することができる。

【0115】

以上のように、本発明の第4の実施形態に係るPLL回路400（位相同期回路）は、入力された周波数変調成分および制御信号に基づいて、周波数変調成分が反映された発振制御信号を発振回路108へ出力する。したがって、PLL回路400は、発振回路108に対して直接的に周波数変調を施すことができる。

30

【0116】

また、PLL回路400は、基本的に図3に示す第1の実施形態に係るPLL回路100と同様の構成を有するので、第1の実施形態に係るPLL回路100と同様の効果を奏することができる。

【0117】

[第4の実施形態に係る位相同期回路の変形例]

上記では、本発明の第4の実施形態に係る位相同期回路として、図3に示す第1の実施形態に係るPLL回路300と基本的に同様の構成を有するPLL回路400を示した。しかしながら、本発明の第4の実施形態に係る位相同期回路の構成は、図9に示す構成に限られない。

40

【0118】

図10は、本発明の第4の実施形態の変形例に係るPLL回路450（位相同期回路）の構成の一例を示す説明図である。図10に示すように、第4の実施形態の変形例に係るPLL450は、図9に示すPLL回路400の構成に加え、第2の実施形態に係るオフセット補償部202をさらに備える。

【0119】

50

オフセット補償部 202 を備えることによって、第 4 の実施形態の変形例に係る PLL 回路 450 は、さらに第 2 の実施形態に係る PLL 回路 200 と同様の効果を奏することができる。

【0120】

また、本発明の第 4 の実施形態に係る位相同期回路は、図 9 に示す PLL 回路 400 の構成と、図 7 に示す PLL 回路 300 や、図 8 に示す PLL 回路 350 などの構成とを組み合わせることもできる。

【0121】

以上、第 1 ~ 第 4 の実施形態に係る位相同期回路を例に挙げて、本発明の実施形態に係る位相同期回路について説明した。ここで、本発明の実施形態に係る位相同期回路は、例えば、携帯電話や、PC (Personal Computer) などのコンピュータ、プレイステーション (登録商標) シリーズなどのゲーム機など、様々な機器に適用することができる。そこで、次に、本発明の実施形態に係る位相同期回路の適用例として、本発明の実施形態に係る位相同期回路が通信装置に適用された場合について説明する。

10

【0122】

(本発明の実施形態に係る通信装置)

次に、本発明の実施形態に係る位相同期回路が適用された通信装置について説明する。図 11 は、本発明の実施形態に係る通信装置 500 の構成の一例を示す説明図である。なお、図 11 に示す通信装置 500 は、本発明の実施形態に係る通信装置の一実施形態であり、本発明の実施形態に係る通信装置の構成が、図 11 の構成に限定されるものではない

20

【0123】

通信部 500 は、信号処理部 502 と、送信部 504 と、受信部 506 と、アンテナ共用器 508 と、通信アンテナ 510 とを備える。また、通信部 500 を、時分割多重のシステムに適用する場合には、アンテナ共用器 508 の代わりにアンテナ・スイッチを用いればよい。

【0124】

また、通信装置 500 は、例えば、制御部 (図示せず) や、ROM (図示せず)、RAM (Random Access Memory; 図示せず) などを備えてもよい。通信装置 500 は、例えば、データの伝送路としてのバス (bus) により各構成要素間を接続することができる。

30

【0125】

ここで、制御部 (図示せず) は、例えば、MPU (Micro Processing Unit) や各種処理回路が集積された集積回路などで構成され、通信装置 500 全体を制御する。また、制御部 (図示せず) は、後述する PLL 回路 520、530 に対して、動作モードを規定する制御信号や、分周比など本発明の実施形態に係る位相同期回路に入力される各種入力値を入力する。なお、本発明の実施形態に係る通信装置では、信号処理部 502 が制御部 (図示せず) の役目を果たすこともできる。以下では、信号処理部 502 が分周比を PLL 回路 520、530 に入力する場合を例に挙げて説明する。

【0126】

ROM (図示せず) は、制御部 (図示せず) が使用するプログラムや演算パラメータなどの制御用データを記憶する。RAM (図示せず) は、制御部 (図示せず) により実行されるプログラムなどを一次記憶する。

40

【0127】

信号処理部 502 は、例えばベースバンド信号を処理する回路で構成され、送信部 504 および受信部 506 それぞれの間で信号の送受信に係る処理を行う。信号処理部 502 が行う処理としては、例えば、外部装置へ送信する送信信号の送信に係る処理や、受信部 506 から伝達される外部装置から送信され、通信アンテナ 510 が受信した受信信号の処理などが挙げられるが、上記に限られない。

【0128】

送信部 504 は、信号処理部 502 から伝達される信号に基づいて、外部装置へ送信す

50

る送信信号を処理し、アンテナ共用器 508 を介して処理した送信信号を通信アンテナ 510 へ伝達する。

【0129】

送信部 504 は、PLL 回路 520 と、増幅器 522 とを備える。ここで、PLL 回路 520 は、例えば、第 1 ~ 第 4 の実施形態に係る位相同期回路など本発明の実施形態に係る位相同期回路で構成される。よって、PLL 回路 520 は、消費電力の低減など本発明の実施形態に係る位相同期回路にかかる上述した効果を奏する。なお、図 11 では、PLL 回路 520 の外部から基準クロックが入力される例を示しているが、上記に限られない。例えば、本発明の実施形態に係る通信装置は、PLL 回路 520 内部に本発明の実施形態に係る基準周波数発振部 102 を備えていてもよい。また、本発明の実施形態に係る通信装置が備える送信部の構成は、図 11 の構成に限られない。

10

【0130】

受信部 506 は、アンテナ共用器 508 から伝達される受信信号を処理し、処理した受信信号を信号処理部 502 へ伝達する。

【0131】

受信部 506 は、PLL 回路 530 と、低雑音増幅器 532 と、ダウンコンバータ 534 と、ローパスフィルタ 536 と、可変利得増幅回路 538 とを備える。ここで、PLL 回路 530 は、例えば、第 1 ~ 第 4 の実施形態に係る位相同期回路など本発明の実施形態に係る位相同期回路で構成される。よって、PLL 回路 530 は、消費電力の低減など本発明の実施形態に係る位相同期回路にかかる上述した効果を奏する。なお、図 11 では、PLL 回路 530 の外部から基準クロックが入力される例を示しているが、上記に限られない。例えば、本発明の実施形態に係る通信装置は、PLL 回路 530 内部に本発明の実施形態に係る基準周波数発振部 102 を備えていてもよい。また、本発明の実施形態に係る通信装置が備える受信部の構成は、図 11 の構成に限られない。

20

【0132】

アンテナ共用器 508 は、送信部 504 と通信アンテナ 510、および通信アンテナ 510 と受信部 506 との間での信号（送信信号 / 受信信号）の伝達を仲介する。なお、時分割多重方式に対応する際には、アンテナ共用器 508 の代わりに、アンテナ・スイッチを用いればよい。

【0133】

通信アンテナ 510 は、1 または 2 以上の外部装置に対して送信信号を送信し、また、外部装置から送信される信号（受信信号）を受信する。

30

【0134】

通信装置 500 は、例えば図 11 に示す構成によって、外部装置と通信を行う。通信装置 500 は、PLL 回路を備え、当該 PLL 回路は、本発明の実施形態に係る位相同期回路で構成される。したがって、通信装置 500 は、消費電力を低減することができ、また、適用される本発明の実施形態に係る位相同期回路に応じた効果を奏することができる。また、本発明の実施形態に係る通信装置は、PLL 520、530 それぞれを制御することによって、送信信号に係る搬送波周波数と受信信号に係る搬送波周波数とが異なる場合に対応することもできる。

40

【0135】

なお、本発明の実施形態に係る通信装置の構成は、図 11 に示す構成に限られない。例えば、本発明の実施形態に係る通信装置は、図 11 に示す送信部 504 と受信部 506 とを 1 つの通信モジュール（送受信部）として備えることができる。

【0136】

以上、本発明の実施形態として通信装置 500 を挙げて説明したが、本発明の実施形態は、かかる形態に限られない。本発明の実施形態は、例えば、UMPC (Ultra Mobile Personal Computer) などのコンピュータや、携帯電話などの携帯型通信装置、Play Station Portable (登録商標) などの携帯型ゲーム機など、通信機能を有する様々な機器に適用することができる。

50

【 0 1 3 7 】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明に係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【 0 1 3 8 】

例えば、上記では、図 2 に示す P L L 回路 1 9 0 を基本的な構成として本発明の実施形態に係る位相同期回路を説明したが、かかる形態に限られない。例えば、本発明の実施形態に係る位相同期回路は、デジタル制御発振回路を備え、動作モードを規定する制御信号に基づいて処理信号の処理クロック周波数を調整可能な（P L L 回路として機能する）任意の構成をとることができる。上記の構成であっても、本発明の実施形態に係る位相同期回路は、設定される動作モードに応じて処理信号の処理クロックを調整することができるので、消費電力の低減を図ることができる。

【 0 1 3 9 】

上述した構成は、本発明の実施形態の一例を示すものであり、当然に、本発明の技術的範囲に属するものである。

【 図面の簡単な説明 】

【 0 1 4 0 】

【 図 1 】 位相同期回路にデジタル制御発振回路を適用する従来技術に係る位相同期回路の構成を示す説明図である。

【 図 2 】 本発明の実施形態に係る P L L 回路（位相同期回路）の基本的な構成の一例を示す説明図である。

【 図 3 】 本発明の第 1 の実施形態に係る P L L 回路（位相同期回路）の構成の一例を示す説明図である。

【 図 4 】 本発明の実施形態に係る P L L 回路（位相同期回路）において、発振回路の変換利得が誤差を含む場合に生じうる問題を説明するための説明図である。

【 図 5 】 本発明の第 2 の実施形態に係る P L L 回路（位相同期回路）の構成の一例を示す説明図である。

【 図 6 A 】 本発明の実施形態に係る T D C（時間-デジタル変換回路）の構成の一例を示す説明図である。

【 図 6 B 】 本発明の実施形態に係る T D C（時間-デジタル変換回路）の構成の一例を示す説明図である。

【 図 7 】 本発明の第 3 の実施形態に係る P L L 回路（位相同期回路）の構成の一例を示す説明図である。

【 図 8 】 本発明の第 3 の実施形態の変形例に係る P L L 回路（位相同期回路）の構成の一例を示す説明図である。

【 図 9 】 本発明の第 4 の実施形態に係る P L L 回路（位相同期回路）の構成の一例を示す説明図である。

【 図 1 0 】 本発明の第 4 の実施形態の変形例に係る P L L 回路（位相同期回路）の構成の一例を示す説明図である。

【 図 1 1 】 本発明の実施形態に係る通信装置の構成の一例を示す説明図である。

【 符号の説明 】

【 0 1 4 1 】

1 0 0、1 9 0、2 0 0、2 9 0、3 0 0、3 5 0、4 0 0、4 5 0、5 2 0、5 3 0
P L L 回路

1 0 2 基準周波数発振部

1 0 6、3 0 2 累積クロック導出部

1 0 8 発振回路

1 1 0 位相比較部

1 1 2、1 1 2'、4 0 6 データ変換部

10

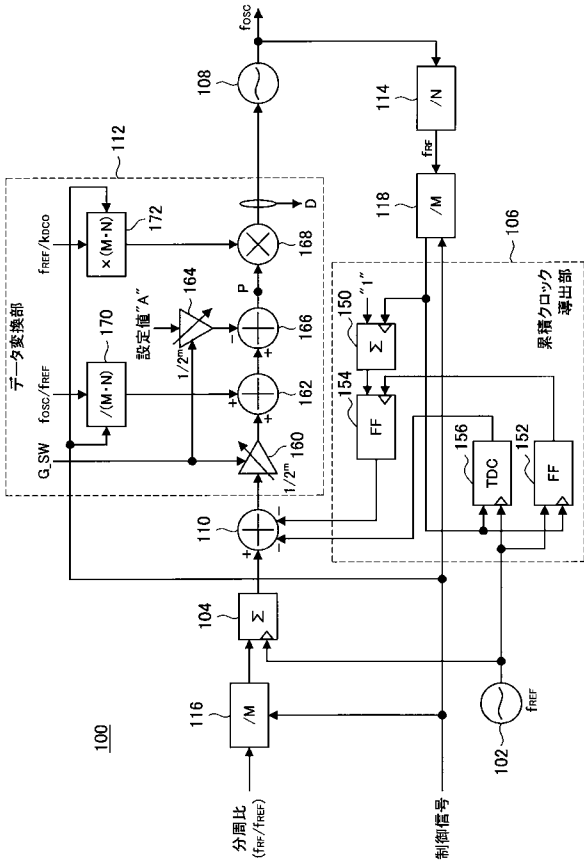
20

30

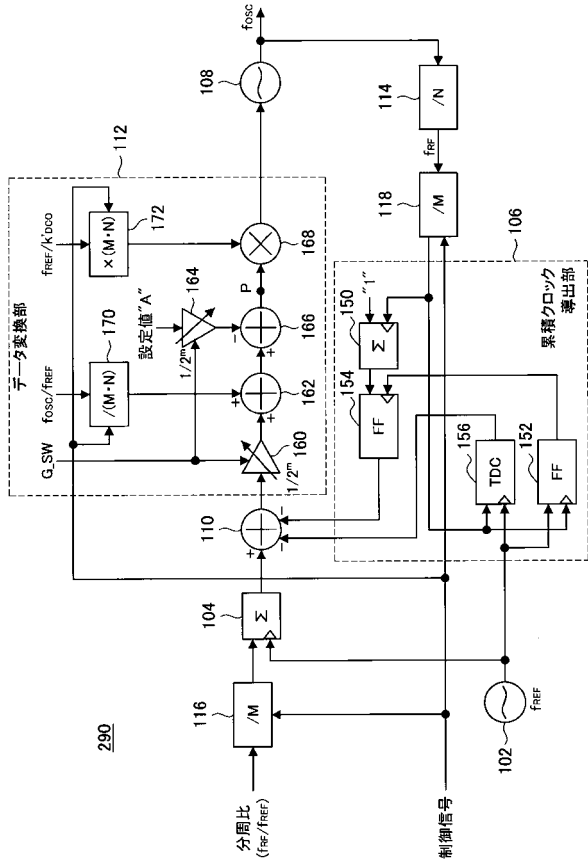
40

50

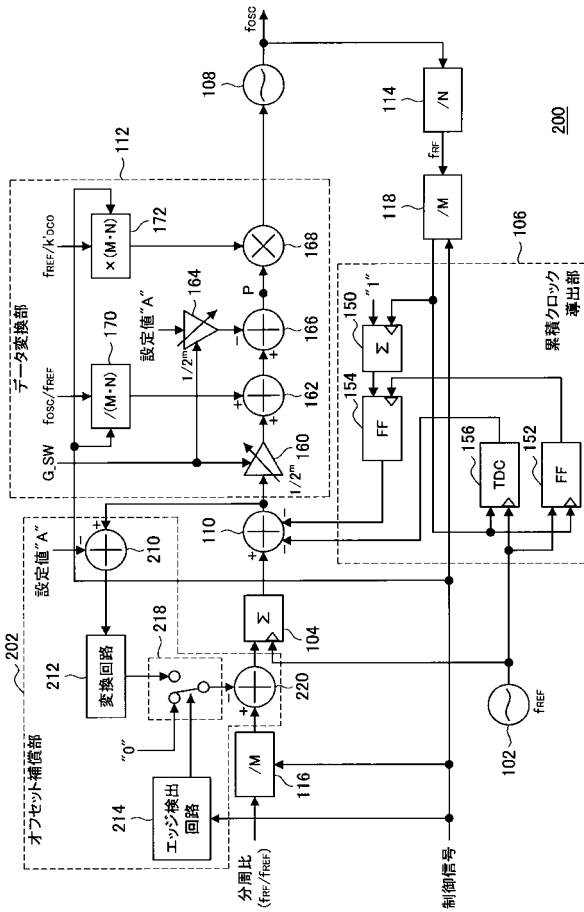
【 図 3 】



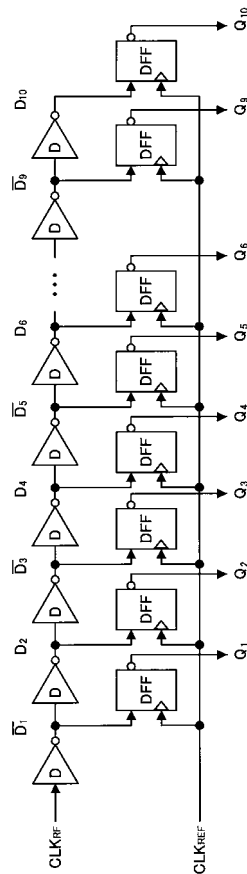
【 図 4 】



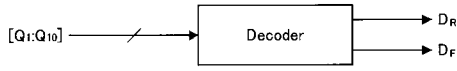
【 図 5 】



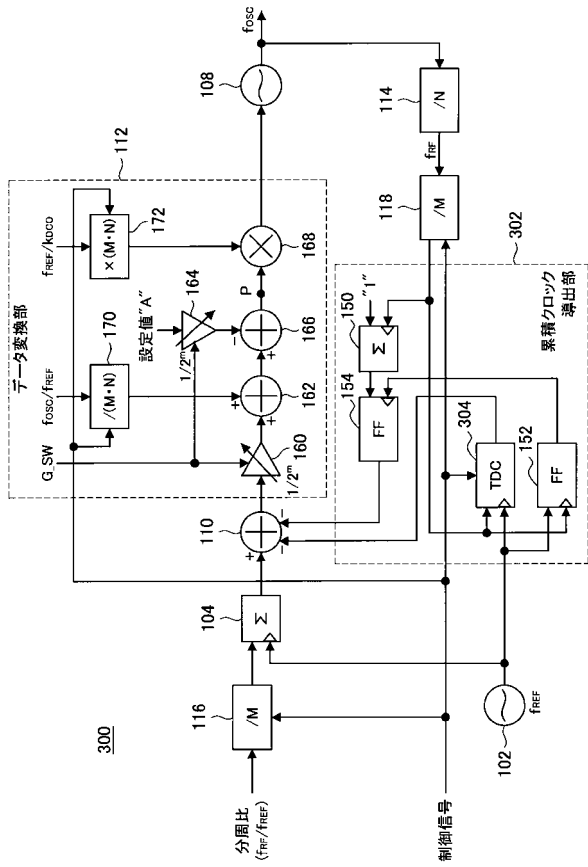
【 図 6 A 】



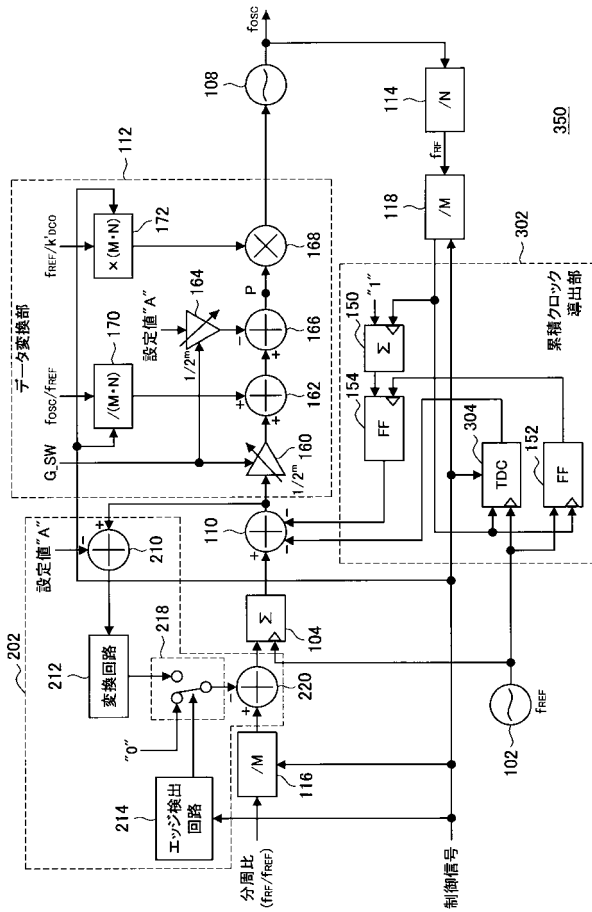
【図 6 B】



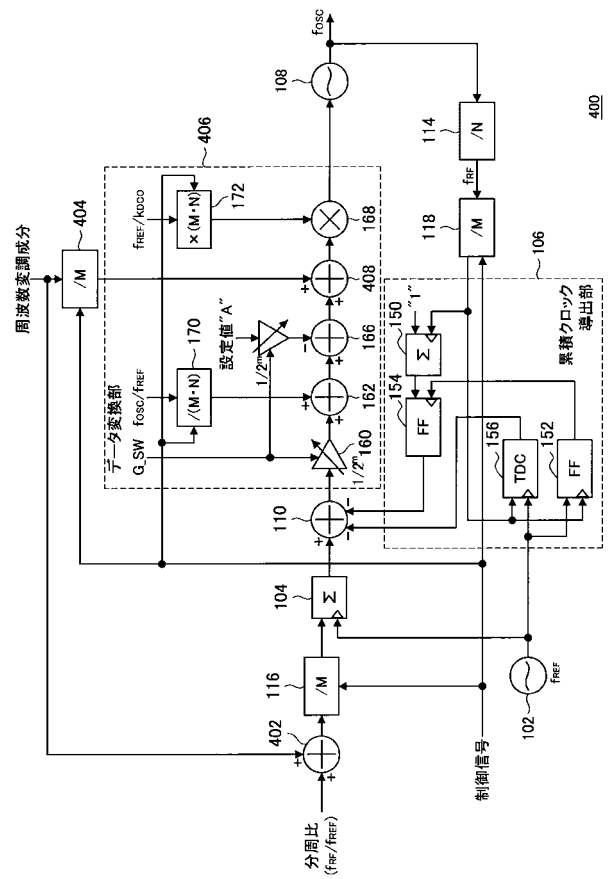
【図 7】



【図 8】



【図 9】



フロントページの続き

Fターム(参考) 5J106 AA05 BB01 CC01 CC25 CC26 CC46 CC53 DD05 DD12 DD13
DD39 DD44 DD48 FF05 FF08 GG14 HH10 KK40