

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: [課題] 画素におけるランダムノイズを低減し、隣接する画素間におけるクロストークを抑制することができる固体撮像素子を提供する。[解決手段] 本開示による固体撮像素子は、基板と、基板内に設けられた複数の光電変換部と、複数の光電変換部のうち互いに隣接する複数の光電変換部の間に設けられ、基板の第1面と該第1面とは反対側の第2面との間を貫通するトレンチの内壁に設けられた固定電荷を有する第1絶縁膜と、トレンチ内において第1絶縁膜の内側に設けられている第2絶縁膜と、基板の第1面上に設けられた少なくとも1つのトランジスタと、第1面から見たときに、トレンチの両側あるいは該トレンチ上に沿って設けられている第3絶縁膜とを備える。

明 細 書

発明の名称： 固体撮像素子およびその製造方法

技術分野

[0001] 本開示は、固体撮像素子およびその製造方法に関する。

背景技術

[0002] 固体撮像素子において、隣接する複数の画素が貫通トレンチによって物理的に分離されている場合がある。このような貫通トレンチの側壁には、固定電荷膜が形成されており、固定電荷膜は、貫通トレンチの側壁周辺に電荷蓄積領域を誘起する。

[0003] しかし、この電荷蓄積領域が画素のトランジスタのソース拡散層またはドレイン拡散層に接触すると、高濃度のPN接合部が形成され、このPN接合が強電界を発生する。この強電界は、暗電流を発生させ、ランダムノイズの原因となる。

[0004] また、画素トランジスタの形成前に貫通トレンチを形成する場合、貫通トレンチを埋め込む材料は、画素トランジスタの形成工程における高温処理に耐え得る耐熱性の材料である必要がある。このため、耐熱性の低い金属材料を用いることができず、耐熱性の高いポリシリコン、シリコン窒化膜、シリコン酸化膜等を用いる必要がある。しかし、ポリシリコン、シリコン窒化膜、シリコン酸化膜等は、遮光性が低いため、隣接する画素間において光が漏洩しクロストークの原因となる。

先行技術文献

特許文献

[0005] 特許文献1：国際特許公開第2019/093150号公報

発明の概要

発明が解決しようとする課題

[0006] 画素におけるランダムノイズを低減し、隣接する画素間における光の漏洩を抑制することができる固体撮像素子を提供する。

課題を解決するための手段

- [0007] 本開示の一側面の固体撮像素子は、基板と、基板内に設けられた複数の光電変換部と、複数の光電変換部のうち互いに隣接する複数の光電変換部の間に設けられ、基板の第1面と該第1面とは反対側の第2面との間を貫通するトレンチの内壁に設けられた固定電荷を有する第1絶縁膜と、トレンチ内において第1絶縁膜の内側に設けられている第2絶縁膜と、基板の第1面上に設けられた少なくとも1つのトランジスタと、第1面から見たときに、トレンチの両側あるいは該トレンチ上に沿って設けられている第3絶縁膜とを備える。
- [0008] 第3絶縁膜は、第1電荷膜に隣接する基板の表面に形成される電荷誘起層とトランジスタのソースまたはドレインとの間に介在する。
- [0009] 電荷誘起層は、第1導電型の高濃度電荷層であり、トランジスタのソースまたはドレインは、第2導電型の高濃度不純物拡散層である。
- [0010] 電荷誘起層は、第1導電型不純物拡散層である。
- [0011] 第3絶縁膜は、第1面側において第1および第2絶縁膜の端部を被覆している。
- [0012] 第1および第2絶縁膜の第1面側の端部は、第3絶縁膜を貫通している。
- [0013] 基板の第1面上に設けられ、トランジスタに電氣的に接続された配線層と、基板の第2面上に設けられたレンズとをさらに備える。
- [0014] トレンチ内において第2絶縁膜の内側に設けられている遮光膜をさらに備える。
- [0015] 第3絶縁膜は、第1面に対して垂直方向から基板を見たときに、第1および第2絶縁膜に重複している。
- [0016] 第1面に対して略垂直方向から基板を見たときに、第3絶縁膜の幅は、トレンチの幅よりも大きい。
- [0017] 第1面に対して略垂直方向から基板を見たときに、第3絶縁膜の幅は、トレンチの両側にある電荷誘起層の幅よりも大きい。
- [0018] 第3絶縁膜の第1面からの深さは、第3絶縁膜に隣接するトランジスタの

拡散層の深さよりも深い。

[0019] 本開示の一側面の固体撮像素子の製造方法は、基板内に複数の光電変換部を形成し、基板の第1面において、複数の光電変換部のうち互いに隣接する光電変換部の間に第3絶縁膜を形成し、隣接する複数の光電変換部の間に、基板の第1面と該第1面とは反対側の第2面との間を貫通するトレンチを形成し、トレンチの内壁に固定電荷を有する第1絶縁膜を形成し、トレンチ内において第1絶縁膜の内側に第2絶縁膜を形成し、基板の第1面上に少なくとも1つのトランジスタを形成することを具備する。

[0020] トレンチの内壁に第1導電型の不純物を導入し、該トレンチの内壁に電荷誘起層を形成することをさらに具備する。

[0021] トレンチは、第3絶縁膜を貫通する。

[0022] 本開示の一側面の固体撮像素子は、基板と、基板内に設けられた複数の光電変換部と、複数の光電変換部のうち互いに隣接する複数の光電変換部の間に設けられ、基板の第1面と該第1面とは反対側の第2面との間を貫通するトレンチ内に設けられた第2絶縁膜と、基板の第1面上に設けられ、第1面から見たときに、トレンチの両側あるいは該トレンチ上に沿って設けられた、第2絶縁膜よりも幅の広い第3絶縁膜と、基板の第1面上に設けられ、第3絶縁膜の側面に接する不純物拡散層とを備え、第2絶縁膜は、第3絶縁膜の側面から露出されていない。

[0023]

[0024] 第2絶縁膜と第3絶縁膜との界面は、第3絶縁膜内にある。

[0025] 第2絶縁膜と第3絶縁膜との界面は、トレンチ内にある。

[0026] 第2絶縁膜は、複数の部分膜を含む積層膜である。

[0027] 複数の部分膜は、固定電荷膜、低屈折率膜、酸化膜、金属膜のいずれかである。

[0028] 第2絶縁膜内に空洞がある。

[0029] 固体撮像素子は、基板の第1面上に設けられ、不純物拡散層に電氣的に接続された配線層と、基板の第2面上に設けられたレンズとをさらに備える。

[0030] 本開示の一側面の固体撮像素子の製造方法は、基板内に複数の光電変換部を形成し、複数の光電変換部のうち互いに隣接する光電変換部の間に、基板の第1面から該第1面とは反対側の第2面へ延伸するトレンチを形成し、トレンチ内に犠牲膜を形成し、基板の第1面において、第1面から見たときに、トレンチの両側あるいは該トレンチ上に沿ってトレンチよりも幅の広い第3絶縁膜を形成し、基板の第2面側からトレンチ内の犠牲膜を除去し、基板の第2面側からトレンチ内に第2絶縁膜を形成することを具備する。

[0031] 犠牲膜を除去する際に、第3絶縁膜の側面までトレンチが広がらないように第3絶縁膜の上部を除去し、第2絶縁膜を形成する際に、第2絶縁膜は、第3絶縁膜の側面から露出されないように形成される。

[0032] 犠牲膜の形成後、基板の第1面側から犠牲膜の一部を除去して該犠牲膜の上面を第1面よりも低下させ、第3絶縁膜の形成の際に、犠牲膜の上面を第3絶縁膜の底面よりも下方のトレンチ内まで低下させ、記基板の第2面側から犠牲膜を除去し、基板の第2面側からトレンチ内に第2絶縁膜を形成する。

図面の簡単な説明

[0033]

[0034] [図1]本開示の電子機器の一例である撮像装置の構成例を示すブロック図。

[図2]撮像素子の構成例を示すブロック図。

[図3]画素アレイ部を構成する複数の画素のうち1つの画素の構成例を示す平面図。

[図4]画素の構成例を示す等価回路図。

[図5]本実施形態による画素の構成例を示す断面図。

[図6]画素を第2面から見たレイアウトの一例を示す平面図。

[図7]第1実施形態の固体撮像素子の製造方法の一例を示す断面図。

[図8]第1実施形態の固体撮像素子の製造方法の一例を示す断面図。

[図9]第1実施形態の固体撮像素子の製造方法の一例を示す断面図。

[図10]第1実施形態の固体撮像素子の製造方法の一例を示す断面図。

- [図11]第1実施形態の固体撮像素子の製造方法の一例を示す断面図。
- [図12]第1実施形態の固体撮像素子の製造方法の一例を示す断面図。
- [図13]第1実施形態の固体撮像素子の製造方法の一例を示す断面図。
- [図14]第2実施形態による画素の構成例を示す断面図。
- [図15]第3実施形態による画素の構成例を示す断面図。
- [図16]第4実施形態による画素の構成例を示す断面図。
- [図17]第5実施形態による画素の構成例を示す断面図。
- [図18]第6実施形態による画素の構成例を示す断面図。
- [図19]本開示に係る技術が適用され得る移動体制御システムの一部である車両制御システムの概略的な構成例を示すブロック図。
- [図20]撮像部の設置位置の例を示す図。
- [図21]第7実施形態による画素の部分的な構成例を示す断面図。
- [図22]第7実施形態の固体撮像素子の製造方法の一例を示す断面図。
- [図23]図22に続く製造方法の一例を示す断面図。
- [図24]図23に続く製造方法の一例を示す断面図。
- [図25]図24に続く製造方法の一例を示す断面図。
- [図26]図25に続く製造方法の一例を示す断面図。
- [図27]第8実施形態による画素の部分的な構成例を示す断面図。
- [図28]第8実施形態の固体撮像素子の製造方法の一例を示す断面図。
- [図29]図28に続く製造方法の一例を示す断面図。
- [図30]図29に続く製造方法の一例を示す断面図。
- [図31]図30に続く製造方法の一例を示す断面図。
- [図32]図31に続く製造方法の一例を示す断面図。
- [図33]図32に続く製造方法の一例を示す断面図。
- [図34]第9実施形態による画素の部分的な構成例を示す断面図。
- [図35]第10実施形態の変形例による画素の部分的な構成例を示す断面図。
- [図36]第11実施形態による画素の部分的な構成例を示す断面図。
- [図37]第11実施形態による画素の部分的な構成例を示す断面図。

[図38]第11実施形態による画素の部分的な構成例を示す断面図。

[図39]第11実施形態による画素の部分的な構成例を示す断面図。

発明を実施するための形態

[0035] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものと同じとは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0036] (第1実施形態)

図1は、本開示の電子機器の一例である撮像装置の構成例を示すブロック図である。図1に示すように、撮像装置10は、レンズ群11等を含む光学系、撮像素子12、カメラ信号処理部であるDSP回路13、フレームメモリ14、表示部15、記録部16、操作系17、及び、電源系18等を有している。DSP回路13、フレームメモリ14、表示部15、記録部16、操作系17、及び、電源系18は、バスライン19を介して相互に接続された構成となっている。CPU20は、撮像装置10内の各部を制御する。

[0037] レンズ群11は、被写体からの入射光（像光）を取り込んで撮像素子12の撮像面上に結像する。撮像素子12は、レンズ群11によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この撮像素子12として、以下に説明する画素を含む撮像素子（イメージセンサ）を用いることができる。

[0038] 表示部15は、液晶表示部や有機EL(electro luminescence)表示部等のパネル型表示部からなり、撮像素子12で撮像された動画または静止画を表示する。記録部16は、撮像素子12で撮像された動画または静止画を、HDD(Hard Disk Drive)、SSD(Solid State Drive)等の記録媒体に記録する。

[0039] 操作系17は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系18は、DSP回路13、フレームメモリ

14、表示部15、記録部16、及び、操作系17の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0040] 図2は、撮像素子12の構成例を示すブロック図である。撮像素子12は、被写体を撮像し、撮像画像を電気信号として得るCMOS (Complementary Metal Oxide Semiconductor) イメージセンサでよい。撮像素子12は、画素アレイ部41、垂直駆動部42、カラム処理部43、水平駆動部44、およびシステム制御部45で構成される。画素アレイ部41、垂直駆動部42、カラム処理部43、水平駆動部44、およびシステム制御部45は、図示しない半導体基板（チップ）上に形成されている。

[0041] 画素アレイ部41には、入射光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子を有する単位画素が行列状に2次元配置されている。なお、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」と記述し、単位画素を、単に「画素」と記述する場合もある。

[0042] 画素アレイ部41にはさらに、行列状の画素配列に対して行ごとに画素駆動線46が図の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに第1信号線としての垂直信号線VSL）が図の上下方向（画素列の画素の配列方向）に沿って形成されている。画素駆動線46の一端は、垂直駆動部42の各行に対応した出力端に接続されている。

[0043] 撮像素子12はさらに、信号処理部48およびデータ格納部49を備えている。信号処理部48およびデータ格納部49については、撮像素子12とは別の基板に設けられる外部信号処理部、例えばDSP (Digital Signal Processor) やソフトウェアによる処理でも良いし、撮像素子12と同じ基板上に搭載してもよい。

[0044] 垂直駆動部42は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部41の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部42は、その具体的な構成については図示を省略するが、読み出し走査系と、掃き出し走査系あるいは、一括掃き出し、一括転送を有する構成となっている。

- [0045] 読み出し走査系は、単位画素から信号を読み出すために、画素アレイ部41の単位画素を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃き出しについては、読み出し走査系によって読み出し走査が行われる行に対して、その読み出し走査よりもシャッタスピードの時間分だけ先行して掃き出し走査が行なわれる。また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃き出しが行なわれる。
- [0046] この掃き出しにより、読み出し行の単位画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。
- [0047] 読み出し走査系による読み出し動作によって読み出される信号は、その直前の読み出し動作または電子シャッタ動作以降に入射した光量に対応するものである。行駆動の場合は、直前の読み出し動作による読み出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、単位画素における光電荷の蓄積期間（露光期間）となる。グローバル露光の場合は、一括掃き出しから一括転送までの期間が蓄積期間（露光期間）となる。
- [0048] 垂直駆動部42によって選択走査された画素行の各単位画素から出力される画素信号は、垂直信号線VSLの各々を通してカラム処理部43に供給される。カラム処理部43は、画素アレイ部41の画素列ごとに、選択行の各単位画素から垂直信号線VSLを通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。
- [0049] 具体的には、カラム処理部43または信号処理部48は、信号処理として少なくとも、ノイズ除去処理、例えばCDS（Correlated Double Sampling：相関二重サンプリング）処理を行う。このカラム処理部43による相関二重サンプリングにより、リセットノイズや増幅トランジスタの閾値ばらつき

等の画素固有の固定パターンノイズが除去される。なお、カラム処理部 4 3 にノイズ除去処理以外に、例えば、A D（アナログーデジタル）変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

[0050] 水平駆動部 4 4 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 4 3 の画素列に対応する単位回路を順番に選択する。この水平駆動部 4 4 による選択走査により、カラム処理部 4 3 で信号処理された画素信号が順番に信号処理部 4 8 に出力される。

[0051] システム制御部 4 5 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部 4 2、カラム処理部 4 3、および水平駆動部 4 4 などの駆動制御を行う。

[0052] 信号処理部 4 8 は、少なくとも加算処理機能を有し、カラム処理部 4 3 から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部 4 9 は、信号処理部 4 8 での信号処理に当たって、その処理に必要なデータを一時的に格納する。

[0053] 図 3 は、画素アレイ部 4 1 を構成する複数の画素のうち 1 つの画素 1 0 0 の構成例を示す平面図である。図 4 は、画素 1 0 0 の構成例を示す等価回路図である。画素アレイ部 4 1 は、例えば、アレイ状に二次元配置された複数の画素 1 0 0 を有する。各画素 1 0 0 は、入射光を光電変換し、撮像画像の画素信号を出力する。

[0054] 画素 1 0 0 は、フォトダイオード（P D）2 1 9、転送トランジスタ（T G）1 1 2、リセットトランジスタ（R S T）1 1 3、増幅トランジスタ（A M P）1 1 4、および選択トランジスタ（S E L）1 1 5 を有する。なお、トランジスタおよびフォトダイオード 2 1 9 以外の領域には、例えば、他の画素と電氣的に分離するために素子分離領域が設けられている。素子分離領域は、絶縁膜により構成される。電子読出しの場合、p 型領域によって素子分離領域を形成してもよい。トランジスタ 1 1 2 ~ 1 1 5 は、n 型トランジスタでもよく、p 型トランジスタでもよい。ここでは、トランジスタ 1 1

2～115は、n型トランジスタとして説明する。

[0055] フォトダイオード219は、受光した光をその光量に応じた量の電荷（ここでは、電子）に光電変換してその電荷を蓄積する。フォトダイオード219のアノードは画素領域のグラウンドに接続され、カソードは転送トランジスタ112を介して浮遊拡散領域としてのフローティングディフュージョンFDに接続される。尚、フォトダイオード219のカソードが画素領域の電源（画素電源）に接続され、アノードが転送トランジスタ112を介してフローティングディフュージョンFDに接続されてもよい。この場合、画素100は、電荷を正孔として読み出す方式となる。

[0056] 転送トランジスタ112は、フォトダイオード219からの光電荷の読み出しを制御する。転送トランジスタ112の一端としてのソースはフォトダイオード219のカソードに接続されている。転送トランジスタ112の他端としてのドレインは、フローティングディフュージョンFDに接続されている。また、転送トランジスタ112のゲートには、転送制御信号が供給される。フォトダイオード219からの電荷の読み出しは、この転送制御信号により制御される。例えば、転送制御信号（すなわち、転送トランジスタ112のゲート電位）がロウレベルである場合、転送トランジスタ112はオフ状態（非導通状態）となり、フォトダイオード219から電荷は転送されない。転送制御信号（すなわち、転送トランジスタ112のゲート電位）がハイレベルである場合、転送トランジスタ112はオン状態（導通状態）となり、フォトダイオード219に蓄積された電荷をフローティングディフュージョンFDに転送する。フローティングディフュージョンFDは、電荷を一時的に蓄積可能な拡散層であり、半導体基板218の表面領域に設けられている。

[0057] リセットトランジスタ113は、画素100内の電荷をリセットする。リセット動作は、例えば、フォトダイオード219やフローティングディフュージョンFDの電荷（例えば電子）を電源VDDへ排除する動作、あるいは、ホールをグラウンドに排除する動作である。リセットトランジスタ113の

ドレインは電源VDDに接続され、リセットトランジスタ113のソースはフローティングディフュージョンFDに接続され、フローティングディフュージョンFDを介して転送トランジスタ112のドレインに接続されている。即ち、リセットトランジスタ113は、転送トランジスタ112のドレインと電源VDDとの間に接続されている。また、リセットトランジスタ113のゲートには、リセット制御信号が供給される。画素100内の電荷のリセットは、このリセット制御信号により制御される。例えば、リセット制御信号（すなわち、リセットトランジスタ113のゲート電位）がロウレベルである場合、リセットトランジスタ113は、オフ状態となり、リセットは行われない。リセット制御信号（すなわち、リセットトランジスタ113のゲート電位）がハイレベルである場合、リセットトランジスタ113は、オン状態となり、画素100内の電荷を電源VDDへ排除し、フローティングディフュージョンFDおよびフォトダイオード219をリセットする。

[0058] 増幅トランジスタ114は、フローティングディフュージョンFDの電圧に応じた導通状態となる。増幅トランジスタ114は、フローティングディフュージョンFDの電圧変化を増幅し、電気信号（アナログ信号）として選択トランジスタ115を介して垂直信号線VSLへ出力する。即ち、増幅トランジスタ114は、フローティングディフュージョンFDの電圧を読み出す読み出し回路として機能する。増幅トランジスタ114のゲートは、フローティングディフュージョンFDに接続されている。増幅トランジスタ114のドレインはソースフォロワ電源電圧（VDD）に接続され、ソースは選択トランジスタ115のドレインに接続されている。即ち、増幅トランジスタ114は、電源（VDD）と垂直信号線VSLとの間に接続されている。例えば、増幅トランジスタ114は、リセットされた状態のフローティングディフュージョンFDの電位に対応するリセットレベル（P相）の電圧を選択トランジスタ115に出力する。また、増幅トランジスタ114は、フォトダイオード219からの信号電荷を蓄積したフローティングディフュージョンFDの電位に対応するデータレベル（D相）の電圧を選択トランジスタ

115に出力する。

[0059] 選択トランジスタ115は、増幅トランジスタ114から垂直信号線VSLへの電気信号の出力を制御する。選択トランジスタ115のゲートは、図2の画素駆動線46に接続されており、選択制御信号を受ける。選択トランジスタ115のドレインは増幅トランジスタ114のソースに接続され、選択トランジスタ115のソースは第1信号線としての垂直信号線VSLに接続されている。即ち、選択トランジスタ115は、増幅トランジスタ114と垂直信号線VSLとの間に接続されている。増幅トランジスタ114および選択トランジスタ115は、電源VDDと垂直信号線VSLとの間に直列に接続されている。また、選択トランジスタ115は、増幅トランジスタ114から垂直信号線VSLへの電気信号の出力を選択制御信号に基づいて制御する。例えば、画素100が非選択の場合、選択制御信号（すなわち、選択トランジスタ115のゲート電位）は、ロウレベルである。この場合、選択トランジスタ115は、オフ状態となり、増幅トランジスタ114からのリセットレベルまたはデータレベルの電気信号を垂直信号線VSLに出力しない。画素100が選択された場合、選択制御信号（すなわち、選択トランジスタ115のゲート電位）はハイレベルとなる。この場合、選択トランジスタ115は、オン状態となり、増幅トランジスタ114を垂直信号線VSLに電氣的に接続してフローティングディフュージョンFDの電圧に応じた電気信号を垂直信号線VSLに出力する。垂直信号線VSLは、画素100の外にあるA/D変換回路に接続されており、A/D変換回路に電気信号を転送する。A/D変換回路は、リセットレベルおよびデータレベルの電気信号をAD変換する。カラム処理部43または信号処理部は、デジタル信号へ変換された電気信号をCDS処理する。

[0060] 以上のように、各画素100は、入射光に応じた電気信号を垂直信号線VSLへ出力することができる。

[0061] 次に、画素100の構造を説明する。

[0062] 図5は、本実施形態による画素100の構成例を示す断面図である。図6

は、画素１００を第２面Ｆ２から見たレイアウトの一例を示す平面図である。図５は、図６のＡ－Ａに沿った断面に対応する。

[0063] 図５に示すように、画素１００は、半導体基板２１８と、フォトダイオード（ＰＤ）２１９と、電荷誘起層２２０と、固定電荷膜２３２と、画素分離膜２３３と、素子分離膜２３４と、遮光膜２１４と、平坦化膜２１３、カラーフィルタ２１２と、オンチップレンズ（ＯＣＬ）２１１と、トランジスタ２５０と、配線２６１と、層間絶縁膜２６２とを備えている。尚、画素１００は、カラーフィルタ２１２およびオンチップレンズ（ＯＣＬ）２１１を有しない場合もある。

[0064] 半導体基板２１８は、例えば、シリコン基板である。半導体基板２１８は、第１面Ｆ１と、第１面Ｆ１とは反対側にある第２面Ｆ２とを有している。半導体基板２１８には、例えば、ｎ型半導体領域およびｐ型半導体領域からなるフォトダイオード２１９が設けられている。フォトダイオード２１９は、第２面Ｆ２のオンチップレンズ２１１等を通してきた入射光を電荷（例えば、電子）に変換する光電変換部である。フォトダイオード２１９は、光電変換された電荷をｎ型半導体領域に蓄積する電荷蓄積領域としても機能する。フォトダイオード２１９は、固定電荷膜２３２および画素分離膜２３３によって画素１００ごとに分離されており、画素１００ごとに光電変換を行う。フォトダイオード２１９は、半導体基板２１８の第２面Ｆ２側にｐ型半導体領域を有する。

[0065] 図６に示すように、固定電荷膜２３２および画素分離膜２３３は、第１面Ｆ１または第２面Ｆ２に対して略垂直方向（Ｚ方向）から見たときに、隣接する複数の画素１００間に介在しており、格子状に設けられている。固定電荷膜２３２および画素分離膜２３３は、互いに隣接する複数の光電変換部の間に設けられる。固定電荷膜２３２および画素分離膜２３３は、画素１００ごとにフォトダイオード２１９を区画し、各画素１００のフォトダイオード２１９を電気的および光学的に分離している。尚、図６の画素１００が四方に繰り返し配列されることによって図２の画素アレイ部４１が構成されてい

る。

[0066] 第1絶縁膜としての固定電荷膜232は、半導体基板218の第1面F1と第2面との間を貫通するトレンチTR内に設けられており、トレンチTRの内壁を被覆している。トレンチTRは、第1面F1または第2面F2に対して略垂直方向から見たときに、隣接する複数の画素100間に設けられており、格子状に画素100を区画する（図6参照）。従って、固定電荷膜232は、トレンチTRに沿って設けられ、トレンチTRと同様に隣接する画素100間に設けられる。

[0067] 固定電荷膜232は、固定電荷を有する絶縁膜であり、例えば、負電荷を有する。固定電荷膜232としては、半導体基板218上に堆積することにより、固定電荷を発生させてピンングを強化させることが可能な材料が好ましい。固定電荷膜232をトレンチTRの内壁に設けることによって、電荷（例えば、正電荷）は、固定電荷膜232に隣接する半導体基板218の表面の電荷誘起層220に誘起される。

[0068] 固定電荷膜232には、例えば、負の電荷を有する高屈折率材料膜または高誘電体膜を用いてもよい。例えば、固定電荷膜232には、ハフニウム（Hf）、アルミニウム（Al）、ジルコニウム（Zr）、タンタル（Ta）及びチタン（Ti）のうち少なくとも1つの元素を含む金属酸化物または金属窒化物を用いてよい。また、固定電荷膜232には、ランタン（La）、プラセオジウム（Pr）、セリウム（Ce）、ネオジウム（Nd）、プロメチウム（Pm）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）及びイットリウム（Y）のうち少なくとも1つの元素を含む酸化物または窒化物等を用いてもよい。さらに、固定電荷膜232には、酸窒化ハフニウム膜または酸窒化アルミニウム膜を用いてもよい。

[0069] 固定電荷膜232の材料には、絶縁性を損なわない範囲で、膜中にシリコン（Si）や窒素（N）が添加されていてもよい。その濃度は、膜の絶縁性

が損なわれない範囲で適宜決定される。このように、シリコン（Si）や窒素（N）が添加されることによって、膜の耐熱性やプロセスの中でイオン注入の阻止能力を上げることが可能になる。

[0070] トレンチTRの内壁および半導体基板218の第2面F2に負電荷を有する固定電荷膜232が設けられている。このため、固定電荷膜232に接するトレンチTRの内壁および半導体基板218の第2面F2に反転層（p型の電荷誘起層）が形成される。電荷誘起層により、シリコン界面がピンニングされるため、暗電流の発生が抑制される。また、トレンチTRを形成するときに、トレンチTRの内壁に物理的ダメージが発生し、トレンチTRの周辺部でピンニング外れが発生する可能性がある。これに対し、本実施形態では、トレンチTRの内壁に固定電荷を有する固定電荷膜232を設けることにより、ピンニング外れを抑制することができる。

[0071] 尚、固定電荷膜232の成膜方法としては、例えば、CVD（Chemical Vapor Deposition）法、スパッタリング法、ALD（Atomic Layer Deposition）法等でよい。

[0072] 第2絶縁膜としての画素分離膜233は、トレンチTR内において固定電荷膜232の内側にトレンチTRを埋め込むように設けられている。画素分離膜233は、トレンチTRに沿って設けられ、トレンチTRと同様に隣接する画素100間に設けられる。画素分離膜233は、トレンチTRを埋め込み、隣接する画素100間を電気的および光学的に分離している。画素分離膜233には、例えば、固定電荷膜232とは異なる屈折率を有する材料を用いることが好ましく、例えば、酸化シリコン、窒化シリコン、酸窒化シリコン、樹脂などを用いることができる。また、画素分離膜233には、例えば、正の固定電荷を持たない、または、正の固定電荷が少ない材料を用いてもよい。

[0073] 画素分離膜233に絶縁性および遮光性の高い材料を用いることによって、隣接する画素に入射光および信号電荷が漏れ込み難くなる。このため、画素100間の入射光の漏れ（クロストーク）を抑制することができる。また

、飽和電荷量（ Q_s ）を超えた信号電荷が発生しても、信号電荷が隣接する画素へ漏れることを抑制することができる。

[0074] 電荷誘起層 220 は、例えば、p 型の高濃度電荷層であり、固定電荷膜 232 の固定電荷（例えば、負電荷）によって誘起された正電荷層である。電荷誘起層 220 は、p 型不純物を導入して形成された p 型不純物拡散層であってもよい。あるいは、電荷誘起層 220 は、固定電荷膜 232 によって誘起されればよく、p 型不純物は必ずしも導入されていなくてもよい（第 2 実施形態参照）。

[0075] 第 3 絶縁膜としての素子分離膜 234 は、第 1 面 F1 側において固定電荷膜 232 および画素分離膜 233 の端部を被覆している。素子分離膜 234 は、半導体基板 218 の第 1 面 F1 上において、図 6 に示すようにトランジスタ 250 を形成するためのアクティブエリア AA を規定するために設けられており、アクティブエリア AA 間を電氣的に分離している。第 1 面 F1 に対して略垂直方向に（Z 方向に）見たときに、図 6 に示すように、素子分離膜 234 は、隣接する画素 100 間に設けられており、固定電荷膜 232 および画素分離膜 233 に重複している。従って、図 6 に示すように、第 1 面 F1 上には、素子分離膜 234 が現れており、固定電荷膜 232 および画素分離膜 233 は素子分離膜 234 の下にあり、第 1 面 F1 には現れていない。本実施形態によれば、素子分離膜 234 は、固定電荷膜 232 および画素分離膜 233 の端部を被覆することによって、電荷誘起層 220 とトランジスタ 250 のソースまたはドレインとの間に介在してそれらを分離している。これにより、高濃度の P⁺電荷を有する電荷誘起層 220 と高濃度の N⁺電荷を有するソースまたはドレイン拡散層 252 との p n 接合が画素 100 内に形成されることを抑制することができる。

[0076] トランジスタ 250 は、半導体基板 218 の第 1 面 F1 上に設けられており、ゲート 251、ソースおよびドレインの拡散層（以下、単に、拡散層ともいう）252 を有する。拡散層 252 は、電荷誘起層 220 とは逆導電型の n⁺型不純物を有する高濃度不純物拡散層である。

- [0077] トランジスタ250は、図3に示す画素100を構成するトランジスタの少なくとも1つであり、転送トランジスタ112、リセットトランジスタ113、増幅トランジスタ114、選択トランジスタ115のいずれでもよい。
- [0078] 層間絶縁膜262および配線261は、第1面F1上に設けられている。トランジスタ250は層間絶縁膜262によって被覆されている。配線261は、転送トランジスタ112、リセットトランジスタ113、増幅トランジスタ114、選択トランジスタ115のいずれかに電氣的に接続され、信号電荷に対応する信号電圧を選択トランジスタ115から垂直信号線VSLへ読み出す。
- [0079] 一方、半導体基板218の第2面F2上には、固定電荷膜232および画素分離膜233が設けられており、さらにその上に遮光膜214が設けられている。遮光膜214は、第2面F2の上方（即ち、Z方向）から見たときに、トレンチTRに沿って、トレンチTRと重複するように設けられている。遮光膜214は、遮光性の高い金属材料で構成されている。例えば、遮光膜214には、タングステン、アルミニウム等の単一金属材料、あるいは、アルミニウムとバリアメタル（例えば、チタン、コバルト等）との積層膜、タングステンとバリアメタル（例えば、チタン、コバルト等）との積層膜、アルミニウムとコバルトとの積層膜等を用いることができる。遮光膜214は、貫通トレンチTR内に入射光が進入することを抑制し、画素100におけるランダムノイズを低減させることができる。
- [0080] 平坦化膜213は、第2面F2上に設けられており、遮光膜214を被覆する。平坦化膜213の表面は、平坦化されており、カラーフィルタ212に平坦面を与える。平坦化膜213には、例えば、シリコン酸化膜等の絶縁膜を用いている。平坦化膜213およびカラーフィルタ212は、光透過性のある材料で構成されている。
- [0081] カラーフィルタ212は、平坦化膜213上に設けられている。カラーフィルタ212には、例えば、RGB等の特定の色の光を透過させる樹脂等を

用いている。

[0082] オンチップレンズ211は、カラーフィルタ212上に設けられており、入射光を画素100のフォトダイオード219へ集光させる。

[0083] 入射光は、第2面F2から画素100のフォトダイオード219へ入射する。本実施形態による固体撮像素子は、トランジスタ250および配線261が設けられた第1面（表面）F1とは反対側の第2面（裏面）F2側から光を取り込むため、裏面照射型CIS（Complementary Metal Oxide Semiconductor Image Sensor）である。ただし、本技術は、表面照射型CISに適用してもよい。

[0084] 入射光は、オンチップレンズ211、カラーフィルタ212および平坦化膜213を介してフォトダイオード219へ入り、フォトダイオード219において光電変換される。

[0085] フォトダイオード219のアノードは接地されており、正電荷（ホール）はグラウンドへ排除され、負電荷（電子）はフォトダイオード219に蓄積される。フォトダイオード219に蓄積された電子は、転送トランジスタ等を介して読み出され、電気信号として、図3の垂直信号線VSLに出力される。

[0086] このように、本実施形態によれば、素子分離膜234は、第1面F1に対して略垂直方向から見たときに、トレンチTRの両側に沿って設けられている。また、素子分離膜234は、第1面F1に対して略垂直方向から見たときに、トレンチTR上に、トレンチTRに重複するように設けられている。これにより、高濃度のP⁺電荷を有する電荷誘起層220と高濃度のN⁺電荷を有する拡散層252とで構成される高濃度pn接合が画素100内に形成されることを抑制することができる。

[0087] もし、素子分離膜234がトレンチTR、固定電荷膜232および画素分離膜233の端部を被覆していない場合、図5の電荷誘起層220が第1面F1まで形成される。この場合、電荷誘起層220と拡散層252とが高濃度p⁺電荷層と高濃度n⁺拡散層とからなる高濃度pn接合を構成する。高濃

度 p n 接合がある場合、この高濃度 p n 接合において高電界が発生し、暗電流の原因となる。暗電流は、画素 100 のランダムノイズの原因となり、固定電荷膜 232 のピニングによる暗電流の抑制効果が薄れてしまう。

[0088] これに対し、本実施形態では、素子分離膜 234 が、貫通トレンチ TR に沿って、固定電荷膜 232 および画素分離膜 233 の端部を被覆する。素子分離膜 234 は、電荷誘起層 220 とトランジスタ 250 のソースおよびドレイン拡散層 252 との間を絶縁分離している。これにより、高濃度の p n 接合が形成されること抑制し、高電界の発生を抑制する。その結果、暗電流が抑制され、画素 100 におけるランダムノイズを低減することができる。

[0089] 次に、図 5 を参照して、素子分離膜 234 のサイズについてより詳細に説明する。

[0090] 素子分離膜 234 は、第 1 面 F1 に対して垂直方向に（即ち、Z 方向に）半導体基板 218 を見たときに、トレンチ TR の両側およびトレンチ TR 上に沿って、トレンチ TR に重複するように設けられている。また、素子分離膜 234 の幅 W_{234} は、トレンチ TR の幅 W_{tr} よりも大きい。トレンチ TR の幅 W_{tr} は、固定電荷膜 232 の幅または画素分離膜 233 の幅と同じかそれよりも大きい。従って、幅 W_{234} は、トレンチ TR、固定電荷膜 232 および画素分離膜 233 のいずれの幅よりも大きい。尚、幅 W_{234} および幅 W_{tr} は、図 5 に示すように、第 1 面 F1 上におけるトレンチ TR、固定電荷膜 232 および画素分離膜 233 の延伸方向（即ち、X 方向）に対して略垂直方向の断面における幅である。さらに、素子分離膜 234 は、図 5 に示すように、電荷誘起層 220 よりもフォトダイオード 219 側（即ち、±X 方向）へ突出している。従って、素子分離膜 234 の幅 W_{234} は、1 つのトレンチ TR および該トレンチ TR の両側にある 2 つの電荷誘起層 220 の幅 W_{220} よりも大きい。これにより、電荷誘起層 220 が素子分離膜 234 の側面に形成（誘起）されることを抑制し、素子分離膜 234 は、電荷誘起層 220 と拡散層 252 とをより確実に分離することができる。

[0091] また、素子分離膜 234 の Z 方向における深さ（厚み） D_{234} は、拡散

層 2 5 2 の深さ（厚み）D 2 5 2 よりも深い（厚い）。これにより、素子分離膜 2 3 4 は、電荷誘起層 2 2 0 と拡散層 2 5 2 とをさらに確実に分離することができる。

[0092] 次に、本実施形態の固体撮像素子の製造方法を説明する。

[0093] 図 7 ～図 1 3 は、第 1 実施形態の固体撮像素子の製造方法の一例を示す断面図である。

[0094] （フロントエンド工程）

半導体基板 2 1 8 の第 1 面 F 1 からの加工工程を行う。

[0095] まず、半導体基板 2 1 8 の第 1 面 F 1 側に素子分離膜 2 3 4 を形成する。素子分離膜 2 3 4 は、S T I（Shallow Trench Isolation）として、アクティブエリア A A を規定するために形成される。また、本実施形態では、素子分離膜 2 3 4 は、隣接する画素 1 0 0 間のトレンチ T R の形成領域に形成される。素子分離膜 2 3 4 は、リソグラフィ技術およびエッチング技術を用いて素子分離領域の半導体基板 2 1 8 の上部を除去する。その後、素子分離領域にシリコン酸化膜等の絶縁膜を埋め込むことによって、素子分離膜 2 3 4 が形成される。素子分離膜 2 3 4 は、上述するトレンチ T R および電荷誘起層 2 2 0 よりも幅広くなるように形成される。

[0096] 次に、リソグラフィ技術およびエッチング技術を用いて、隣接する画素 1 0 0 間にトレンチ T R を形成する。トレンチ T R は、半導体基板 2 1 8 の第 1 面 F 1 から第 2 面 F 2 へ向かって半導体基板 2 1 8 に形成される。このとき、トレンチ T R は、半導体基板 2 1 8 を貫通してもよいが、この段階では、半導体基板 2 1 8 を貫通していなくてもよい。この場合、リアエンド工程で、半導体基板 2 1 8 の第 2 面 F 2 を研磨して、トレンチ T R が半導体基板 2 1 8 を貫通させてもよい。

[0097] 次に、トレンチ T R の内壁に向かって、p 型不純物を傾斜方向にイオン注入する。あるいは、プラズマドーピング法を用いて、トレンチ T R の内壁に p 型不純物を導入してもよい。さらに、固相拡散法を用いてトレンチ T R の内壁に p 型不純物を導入してもよい。これにより、トレンチ T R の側壁に p

型拡散層が電荷誘起層 220 として形成される。

[0098] 次に、トレンチ TR の内壁にシリコン酸化膜等の絶縁膜 301 を堆積し、その後、トレンチ TR 内部をポリシリコン等の犠牲膜 302 で充填する。犠牲膜 302 は、絶縁膜 301 に対して選択的にエッチング可能な材料である。トレンチ TR は、素子分離膜 234 の中心部分も貫通する。従って、トレンチ TR、絶縁膜 301 および犠牲膜 302 の形成後、シリコン酸化膜で素子分離膜 234 のトレンチ TR 部分を埋め戻す。これにより、図 7 に示す構造が得られる。尚、トレンチ TR、絶縁膜 301 および犠牲膜 302 の形成後に、素子分離膜 234 を形成してもよい。この場合、素子分離膜 234 のトレンチ TR 部分をシリコン酸化膜で埋め戻す必要がなくなる。

[0099] 次に、フォトダイオード 219、トランジスタ 250 を第 1 面 F1 上に形成する。さらに、トランジスタ 250 上に層間絶縁膜 262 および配線 261 を形成する。これにより、図 8 に示す構造が得られる。トランジスタ 250 を形成するときに、ソースおよびドレイン拡散層 252 も形成される。拡散層 252 の深さは、素子分離膜 234 の深さよりも浅くなるように形成される。

[0100] (リアエンド工程)

次に、半導体基板 218 の第 2 面 F2 からの加工工程を行う。

[0101] CMP (Chemical Mechanical Polishing) 法等を用いて、第 2 面 F2 側から半導体基板 218 を研磨し、半導体基板 218 を所望の厚みに薄膜化する。これにより、図 9 に示す構造が得られる。

[0102] 次に、図 10 に示すように、ハードマスク 303 の材料（例えば、シリコン酸化膜）を第 2 面 F2 上に堆積する。次に、リソグラフィ技術およびエッチング技術を用いてトレンチ TR の領域を開口するようにハードマスク 303 の材料を加工する。

[0103] 次に、図 11 に示すように、ハードマスク 303 をマスクとして用いて、CDE (Chemical Dry Etching) 法等を用いて犠牲膜 302 を等方的にエッチングして除去する。このとき、トレンチ TR の側壁は、絶縁膜 301 によ

って被覆されているので、エッチングされない。

[0104] 次に、図12に示すように、CDE法等を用いて絶縁膜301を除去するとともに、第2面F2上のハードマスク303も除去する。

[0105] 次に、図13に示すように、トレンチTRの内壁に固定電荷膜232を堆積する。このとき、固定電荷膜232は、トレンチTRを埋め込まないように、トレンチTRの内壁に薄く堆積する。固定電荷膜232がトレンチTRの内壁に形成されることによって、トレンチTRの内壁近傍の半導体基板218に電荷（正電荷）が誘起される。

[0106] 次に、トレンチTR内に画素分離膜233を充填する。これにより、図13に示す構造が得られる。

[0107] その後、遮光膜214、平坦化膜213、カラーフィルタ212を形成し、さらに、オンチップレンズ211をカラーフィルタ212上に形成する。これにより、第1実施形態による固体撮像素子が完成する。

[0108] 本実施形態によれば、素子分離膜234が、貫通トレンチTRに沿って、固定電荷膜232および画素分離膜233の端部を被覆するように形成される。これにより、電荷誘起層220と拡散層252との間を絶縁分離することができ、画素100の暗電流を抑制することができる。

[0109] また、本実施形態によれば、フロントエンド工程において、トレンチTRは、絶縁膜301および犠牲膜302で埋め込まれる。絶縁膜301および犠牲膜302は、例えば、シリコン酸化膜、ポリシリコン等の耐熱性の高い材料で形成されている。従って、トランジスタ250および配線261等を第1面F1上に形成するフロントエンド工程において、高温プロセスを用いることができる。

[0110] もし、フロントエンド工程において、金属材料のような耐熱性の低い材料がトレンチTR内に充填されていると、フロントエンド工程において必要な高温プロセスを用いることができなくなってしまう。

[0111] これに対し、本実施形態によれば、フロントエンド工程において、トレンチTRは、金属材料よりも耐熱性の高い絶縁膜301および犠牲膜302で

充填されている。従って、フロントエンド工程において、高温プロセスを用いることができる。

[0112] 一方、リアエンド工程において、トレンチTRの内壁に固定電荷膜232を形成することができる。固定電荷膜232は、トレンチTRの内壁近傍の電荷誘起層220に電荷を誘起する。これにより、暗電流が抑制され、画素100のランダムノイズを抑制することができる。

[0113] (第2実施形態)

図14は、第2実施形態による画素100の構成例を示す断面図である。

第2実施形態による画素100の平面図は、図6と基本的に同じでよい。

[0114] 第2実施形態では、遮光膜235がトレンチTR内において画素分離膜233の内側に設けられている。遮光膜235は、第1面F1の上方から見たときにトレンチTRに沿って設けられており、第1面F1と第2面F2との間にZ方向に延伸している。従って、遮光膜235は、隣接する複数の画素100間に設けられ、画素100間を光学的に分離する。これにより、複数の画素100間におけるクロストークをさらに抑制することができる。

[0115] 遮光膜235は、遮光性の高い金属材料で構成される。遮光膜235には、例えば、タングステン、アルミニウム等の単一金属材料、あるいは、アルミニウムとバリアメタル（例えば、チタン、コバルト等）との積層膜、タングステンとバリアメタル（例えば、チタン、コバルト等）との積層膜、アルミニウムとコバルトとの積層膜等を用いることができる。第2実施形態のその他の構成は、第1実施形態と同様でよい。

[0116] 第2実施形態による画素100の製造方法では、トレンチTR内に固定電荷膜232を成膜した後、画素分離膜233をトレンチTR内の固定電荷膜232上に成膜する。このとき、画素分離膜233の材料は、トレンチTR内を完全に埋め込まず、固定電荷膜232上に薄く成膜する。

[0117] 次に、遮光膜235の材料をトレンチTRの内部に埋め込む。これにより、トレンチTRの中心部に、画素分離膜233によって被覆された遮光膜235が形成される。

[0118] 第2実施形態のその他の製造方法は、第1実施形態の対応する製造方法と同じでよい。これにより、第2実施形態による固体撮像素子が完成する。

[0119] 第2実施形態によれば、リアエンド工程において、トレンチTR内に遮光膜235が形成される。よって、遮光膜235に耐熱性の低い金属材料が用いられても、フロントエンド工程において、高温プロセスを実行することが可能である。また、第2実施形態は、第1実施形態と同様の効果を得ることができる。

[0120] (第3実施形態)

図15は、第3実施形態による画素100の構成例を示す断面図である。

第3実施形態による画素100の平面図は、図6と基本的に同じでよい。

[0121] 第3実施形態では、電荷誘起層220は、固定電荷膜232によって誘起されたp型電荷層であり、トレンチTRの内壁に不純物は導入されていない。固定電荷膜232によってp型電荷層がトレンチTRの内壁に十分に誘起されれば、電荷誘起層220の領域に不純物を導入しなくても、電荷誘起層220が形成される。これにより、暗電流を抑制することができる。この場合、トレンチTRの内壁に不純物を導入する工程を省略することができる。第3実施形態のその他の構成および製造方法は、第1実施形態と同様でよい。

[0122] よって、第3実施形態によれば、第1実施形態と同じ効果を得ることができる。また、第3実施形態によれば、第1実施形態よりも製造プロセスを短縮することができる。

[0123] (第4実施形態)

図16は、第4実施形態による画素100の構成例を示す断面図である。

第4実施形態は、第2および第3実施形態の組み合わせである。従って、第4実施形態による画素100は、遮光膜235をトレンチTR内にさらに備え、かつ、電荷誘起層220にはp型不純物が導入されていない。第4実施形態のその他の構成および製造方法は、第2または第3実施形態と同様でよい。よって、第4実施形態は、第2および第3実施形態の効果を有すること

ができる。

[0124] (第5実施形態)

図17は、第5実施形態による画素100の構成例を示す断面図である。第5実施形態による画素100では、トレンチTRが第1面F1から素子分離膜234を貫通して層間絶縁膜262へ向かって突出している。これに伴い、固定電荷膜232および画素分離膜233の第1面F1側の端部が第1面F1から素子分離膜234を貫通して層間絶縁膜262へ向かって突出している。

[0125] このように、固定電荷膜232および画素分離膜233が素子分離膜234を貫通していても、素子分離膜234は、固定電荷膜232および画素分離膜233の両側に依然として設けられており、第1面F1においてトレンチTRに沿って設けられている。第5実施形態のその他の構成は、第1実施形態の構成と同様でよい。従って、第5実施形態による固体撮像素子は、第1実施形態と同様の効果を得ることができる。

[0126] 第5実施形態による固体撮像素子の製造方法では、図7～図11に示す工程を経た後、図12に示す工程において、絶縁膜301を除去するとともに、トレンチTRの底部において、素子分離膜234および層間絶縁膜262の一部をエッチングする。これにより、トレンチTRは、素子分離膜234を貫通し、層間絶縁膜262に達するように形成される。その後、図13を参照して説明した工程を経て第5実施形態による固体撮像素子が完成する。

[0127] (第6実施形態)

図18は、第6実施形態による画素100の構成例を示す断面図である。第6実施形態による画素100では、トレンチTRが第1面F1から素子分離膜234を貫通して層間絶縁膜262へ向かって突出している。これに伴い、固定電荷膜232、画素分離膜233および遮光膜235が、第1面F1から素子分離膜234を貫通して層間絶縁膜262へ向かって突出している。

[0128] このように、固定電荷膜232、画素分離膜233および遮光膜235が

素子分離膜 234 を貫通していても、素子分離膜 234 は、固定電荷膜 232 および画素分離膜 233 の両側に設けられており、第 1 面 F1 においてトレンチ TR に沿って設けられている。第 6 実施形態のその他の構成は、第 2 実施形態の構成と同様でよい。従って、第 6 実施形態による固体撮像素子は、第 2 実施形態と同様の効果を得ることができる。

[0129] 第 6 実施形態による固体撮像素子の製造方法は、第 2 および第 5 実施形態の製造方法から容易に類推できるので、その説明を省略する。

[0130] 第 6 実施形態によれば、遮光膜 235 も素子分離膜 234 を貫通して層間絶縁膜 262 へ向かって突出しているので、隣接する画素 100 間の遮光特性を向上させ、クロストークをさらに抑制することができる。

(車載定型文)

[0131] 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0132] 図 19 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0133] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 19 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0134] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 120

10は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0135] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0136] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。本開示による固体撮像素子1は、撮像部12031に備えられていてもよい。

[0137] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。本開示による固体撮像素子1は、撮像部12031であってもよく、あるいは、撮像部12031とは別体として設けられていてもよい。

- [0138] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0139] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。
- [0140] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0141] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0142] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又

は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0143] 図 20 は、撮像部 12031 の設置位置の例を示す図である。

[0144] 図 20 では、車両 12100 は、撮像部 12031 として、撮像部 12101, 12102, 12103, 12104, 12105 を有する。

[0145] 撮像部 12101, 12102, 12103, 12104, 12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0146] なお、図 20 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0147] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得

する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよい、位相差検出用の画素を有する撮像素子であってもよい。

[0148] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的変化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0149] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0150] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するか

否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る固体撮像素子は、以上説明した構成のうち、例えば、撮像部 1 2 0 3 1 に適用され得る。これにより、撮像部 1 2 0 3 1 は、上記実施形態の効果を得ることができる。

[0151] (第 7 実施形態)

図 2 1 は、第 7 実施形態による画素 1 0 0 の部分的な構成例を示す断面図である。図 2 1 には、第 1 面 F 1 側のトレンチ T R の端部の断面を示している。第 7 実施形態も、裏面照射型 C I S または表面照射型 C I S に適用してよい。第 7 実施形態の平面図は、基本的に図 6 の平面図と同様でよい。従って、素子分離膜 2 3 4 は、基板 2 1 8 の第 1 面 F 1 上に設けられ、第 1 面 F 1 から見たときに、トレンチ T R の両側あるいは該トレンチ T R 上に沿って設けられている。また、第 1 面 F 1 から見たときに、素子分離膜 2 3 4 は、画素分離膜 2 3 3 よりも幅広く形成されている。尚、画素分離膜 2 3 3 は、第 1 面 F 1 と第 2 面 F 2 との間の基板 2 1 8 を貫通する、所謂、F T I (Full Trench Isolation) であり、素子分離膜 2 3 4 は、画素分離膜 2 3 3 よりも浅く第 1 面 F 1 の表面領域に形成された、所謂、S T I (Shallow Trench Isolation) である。

[0152] さらに、第 7 実施形態では、拡散層 2 5 2 が素子分離膜 2 3 4 の側面 S 2 3 4 に接している。拡散層 2 5 2 は、電荷誘起層 2 2 0 とは逆導電型の n^+ 型

不純物を有する高濃度不純物拡散層である。従って、拡散層 252 の周囲の基板 218 には、空乏層 300 が広がる。拡散層 252 は、トランジスタ 250 のソースおよびドレインの拡散層であってもよいが、浮遊拡散領域等の他の拡散層であってもよい。一方、画素分離膜 233 の第 1 面 F1 側の端部は、素子分離膜 234 の側面 S234 から露出されていない。従って、画素分離膜 233 は、空乏層 300 と離間しており、空乏層 300 に接触しないように構成されている。即ち、画素分離膜 233 と素子分離膜 234 との間の界面は、素子分離膜 234 内にあり、素子分離膜 234 の側面 S234 には露出されていない（面していない）。これにより、画素分離膜 233 は、空乏層 300 と接触しないように構成されている。

- [0153] 画素分離膜 233 は、素子分離膜 234 およびトレンチ TR の形成後、第 2 面 F2 側から埋込み材を充填して形成される場合がある。この場合、トレンチ TR 内に予め埋め込まれた犠牲膜を基板 218 の第 2 面 F2 側から除去してから、トレンチ TR 内に画素分離膜 233 の埋込み材料（例えば、シリコン酸化膜）を埋め込む。ここで、犠牲膜を除去する一連の工程の中で、素子分離膜 234 の埋込み材（例えば、シリコン酸化膜）の一部が同時に除去され、トレンチ TR を介して素子分離膜 234 内に空洞が形成される場合がある。もし、この空洞が素子分離膜 234 の側面 S234 に達していると、界面準位密度の比較的高い基板 218（例えば、シリコン基板）が素子分離膜 234 の側面 S234 において空洞内に露出される。この場合、画素分離膜 233 の埋込み材料をトレンチ TR および上記空洞内に埋め込むと、画素分離膜 233 は、素子分離膜 234 の側面 S234 にも形成されることになり、画素分離膜 233 と素子分離膜 234 の側面 S234 に露出された基板 218 との間の界面準位密度が高くなる。素子分離膜 234 の側面 S234 に達した画素分離膜 233 が拡散層 252 から延びる空乏層 300 と接すると、画素分離膜 233 と空乏層 300 との界面において発生するノイズ電荷により接合リークが生じ、暗電流などの画質劣化が起こる。また、画素分離膜 233 が負の固定電荷を含む場合、画素分離膜 233 と空乏層 300 との

界面に正の電荷誘起層 220 を生じ、その部分の電界が高くなることで更なる接合リークを誘発し、画質の劣化を招く。

[0154] これに対し、第 7 実施形態では、画素分離膜 233 の第 1 面 F1 側の端部は、素子分離膜 234 の側面 S234 から露出されておらず、画素分離膜 233 は、空乏層 300 と離間している。このため、界面準位密度の高い基板 218 の表面が素子分離膜 234 の側面 S234 に露出することはなく、画素分離膜 233 は、空乏層 300 と接触しない。これにより、接合リークを抑制し、暗電流等による画質の劣化を抑えることができる。

[0155] 第 7 実施形態のその他の構成は、上記第 1 ～第 6 実施形態のいずれかと同じでよい。これにより、第 7 実施形態は、第 1 ～第 6 実施形態と同様の効果も得ることができる。

[0156] 図 22 ～図 26 は、第 7 実施形態の固体撮像素子の製造方法の一例を示す断面図である。

[0157] (フロントエンド工程)

半導体基板 218 の第 1 面 F1 からの加工工程を行う。

[0158] まず、ハードマスク HM を第 1 面 F1 上に形成し、リソグラフィ技術およびエッチング技術を用いて、ハードマスク HM を加工する。ハードマスク HM は、例えば、シリコン酸化膜またはシリコン窒化膜等の絶縁膜である。ハードマスク HM をマスクとして用いて、隣接する画素 100 間にトレンチ TR をエッチング技術で形成する。トレンチ TR は、半導体基板 218 の第 1 面 F1 から第 2 面 F2 へ向かって基板 218 に形成される。このとき、トレンチ TR は、半導体基板 218 を貫通してもよいが、この段階では、半導体基板 218 を貫通していなくてもよい。この場合、リアエンド工程で、半導体基板 218 の第 2 面 F2 を研磨して、トレンチ TR が半導体基板 218 を貫通させてもよい。尚、第 7 実施形態では、トレンチ TR が素子分離膜 234 よりも先に形成されているが、第 1 実施形態のように素子分離膜 234 をトレンチ TR よりも先に形成してもよい。

[0159] 次に、必要に応じて、トレンチ TR の側壁に p 型拡散層が電荷誘起層 (図

22では図示せず)として形成される。

[0160] 次に、トレンチTRの内壁にシリコン酸化膜等の絶縁膜(ライナ層)301を形成し、その後、トレンチTR内部をポリシリコン等の犠牲膜302で充填する。犠牲膜302は、絶縁膜301に対して選択的にエッチング可能な材料である。犠牲膜302は、例えば、ポリシリコン、アモルファスシリコン等の絶縁膜301に対して選択的にエッチング可能な材料で形成される。次に、CMPまたはウェットエッチングを用いてハードマスクHM上の犠牲膜302の材料を除去するとともに、犠牲膜302のトレンチTR内の高さを調整する。これにより、図22に示す構造が得られる。

[0161] 次に、半導体基板218の第1面F1側にトレンチTR2を形成する。トレンチTR2は、隣接する画素100間の素子分離膜234の形成領域に形成される。トレンチTR2は、リソグラフィ技術およびエッチング技術を用いて素子分離領域の半導体基板218の上部を除去する。これにより、素子分離領域にトレンチTRよりも浅いトレンチTR2が形成される。その後、トレンチTR2の内壁に基板218の熱酸化膜311を形成し、熱酸化膜311の内側にシリコン酸化膜等の絶縁膜312を埋め込む。これにより、素子分離膜234が形成される。ここで、素子分離膜234(即ちトレンチTR2)は、トレンチTRおよび電荷誘起層220よりも幅広く形成される。さらに、第1面F1の上方(Z方向)から見た平面視において、素子分離膜234は、後に素子分離膜234内に形成される画素分離膜233の幅よりも広く形成される。これにより、画素分離膜233が素子分離膜234の側面S234から露出されないようにしている。

[0162] 第7実施形態のフロントエンド工程のその他の工程は、第1実施形態のフロントエンド工程の対応する工程と同様でよい。例えば、各種イオン注入、ゲート電極の形成、活性化アニール、配線層の形成等を行う。さらに、ロジック回路を有する他の半導体チップを第1面F1に接続する。尚、図22以降、フォトダイオード219、トランジスタ250、配線261、接合された他の半導体チップ等の図示は省略されている。

[0163] (リアエンド工程)

次に、半導体基板 218 の第 2 面 F2 からの加工工程を行う。

[0164] CMP 法等を用いて、第 2 面 F2 側から半導体基板 218 を研磨し、半導体基板 218 を所望の厚みに薄膜化する。これにより、トレンチ TR が基板 218 を貫通し、犠牲膜 302 の一端が第 2 面 F2 から露出される。

[0165] 次に、図 24 に示すように、ハードマスク 303 の材料（例えば、シリコン酸化膜）を第 2 面 F2 上に堆積する。次に、リソグラフィ技術およびエッチング技術を用いてトレンチ TR の領域を開口するようにハードマスク 303 の材料を加工する。

[0166] 次に、ハードマスク 303 をマスクとして用いて、CDE 等を用いて犠牲膜 302 を等方的にエッチングして除去する。次に、ハードマスク 303 を除去する。このとき、ハードマスク 303 は、シリコン酸化膜により構成されているので、図 25 に示すように、トレンチ TR の側壁の絶縁膜 301、並びに、トレンチ TR 内に形成された熱酸化膜 311 および絶縁膜 312 の一部もハードマスク 303 と同時に除去されてしまう。この場合、トレンチ TR の空洞 320 が素子分離膜 234 内にまで広がり、熱酸化膜 311 の一部も除去される。しかし、空洞 320 は、素子分離膜 234 の側面 S234 に達しないように形成される。つまり、トレンチ TR が素子分離膜 234 の側面 S234 にまで広がらないように素子分離膜 234 の上部のみを除去する。空洞 320 の幅 W233 は、素子分離膜 234 の幅 W234 よりも小さい。これにより、トレンチ TR の空洞 320 は、素子分離膜 234 の上面の一部において基板 218 を露出し基板 218 に接するものの、素子分離膜 234 の側面 S234 において基板 218 を露出せず基板 218 に接しない。

[0167] 次に、必要に応じて、トレンチ TR の内壁に固定電荷膜（図示せず）を堆積する。

[0168] 次に、図 26 に示すように、トレンチ TR 内に画素分離膜 233 を充填する。このとき、画素分離膜 233 は、空洞 320 内にも充填される。従って

、空洞 3 2 0 の幅 W 2 3 3 は、画素分離膜 2 3 3 の幅になる。画素分離膜 2 3 3 の幅 W 2 3 3 は、素子分離膜 2 3 4 の幅 W 2 3 4 よりも小さい。これにより、素子分離膜 2 3 4 内の画素分離膜 2 3 3 は、素子分離膜 2 3 4 の上面の一部において露出され、基板 2 1 8 に接するものの、素子分離膜 2 3 4 の側面 S 2 3 4 からは露出されず、基板 2 1 8 に接しない。即ち、素子分離膜 2 3 4 の側面 S 2 3 4 において、画素分離膜 2 3 3 は、基板 2 1 8 と界面を持たない。画素分離膜 2 3 3 と素子分離膜 2 3 4 との界面は、素子分離膜 2 3 4 内にあるものの、その側面 S 2 3 4 において露出していない。尚、画素分離膜 2 3 3 は、単体の絶縁材料であってもよい。しかし、画素分離膜 2 3 3 は、複数種の方法膜の積層構造でもよい。

[0169] その後、他の実施形態と同様に、遮光膜、平坦化膜、カラーフィルタを形成し、さらに、オンチップレンズをカラーフィルタ上に形成する。これにより、第 7 実施形態による固体撮像素子が完成する。

[0170] 第 7 実施形態によれば、トレンチ T R 2 の内壁の熱酸化膜 3 1 1 が除去されることによって生じる界面準位密度の高い基板 2 1 8 の表面は、素子分離膜の側面 S 2 3 4 に露出することがなく、裏面工程において形成した画素分離膜 2 3 3 は空乏層 3 0 0 と離間している。これにより、画素分離膜 2 3 3 と空乏層 3 0 0 とが接触した場合に空乏層 3 0 0 内で生じるノイズ電荷による接合リークを抑制することができる。画素分離膜 2 3 3 に固定電荷が含まれる場合に生ずる電荷誘起層 2 2 0 が空乏層 3 0 0 内に存在することによって起こる高電界化による接合リークの発生を抑制することができる。また、画質の観点からは暗電流の発生および拡散層 2 5 2 によって形成されたフローティングディフュージョン F D への電荷の流入を抑制することができる。

[0171] (第 8 実施形態)

図 2 7 は、第 8 実施形態による画素 1 0 0 の部分的な構成例を示す断面図である。図 2 7 には、第 1 面 F 1 側のトレンチ T R の端部の断面を示している。第 8 実施形態も、裏面照射型 C I S または表面照射型 C I S に適用してよい。第 8 実施形態の平面図は、基本的に図 6 の平面図と同様でよい。従っ

て、素子分離膜234は、基板218の第1面F1上に設けられ、第1面F1から見たときに、トレンチTRの両側あるいは該トレンチTR上に沿って設けられている。また、第1面F1から見たときに、素子分離膜234は、画素分離膜233よりも幅広く形成されている。

[0172] 第8実施形態では、第7実施形態と同様に、画素分離膜233は、素子分離膜234の側面S234から露出されていない。さらに、第8実施形態では、画素分離膜233と素子分離膜234との界面は、トレンチTR内にある。即ち、第2面F2から画素分離膜233と素子分離膜234との界面までの距離は、第2面F2からトレンチTRの下端までの距離よりも短い。第8実施形態において、画素分離膜233と素子分離膜234との界面は、第7実施形態よりも第2面F2側に近く設けられている。この場合、画素分離膜233は、素子分離領域内にまで達していない。

[0173] 第8実施形態でも、第7実施形態と同様に、画素分離膜233の第1面F1側の端部は、素子分離膜234の側面S234から露出されておらず、画素分離膜233は、空乏層300と離間している。また、第8実施形態では、トレンチTR2の熱酸化膜311は除去されない。従って、熱酸化膜311が除去されることによって生じる界面準位密度の高い基板218の表面は、素子分離膜234の側面S234には露出されない。また、画素分離膜233は、空乏層300と接触しない。これにより、接合リークを抑制し、暗電流およびフローティングディフュージョンFDへの電荷の流入を抑制することができる。

[0174] 第8実施形態のその他の構成は、上記第1～第7実施形態のいずれかと同じでよい。これにより、第8実施形態は、第1～第7実施形態と同様の効果も得ることができる。

[0175] 図28～図33は、第8実施形態の固体撮像素子の製造方法の一例を示す断面図である。

[0176] (フロントエンド工程)

半導体基板218の第1面F1からの加工工程を行う。

[0177] まず、第7実施形態と同様の工程を経て、図22に示す構造を形成する。

次に、ウェットエッチング法を用いて、第1面F1側から犠牲膜302の一部を除去して、犠牲膜302の上面を第1面F1よりも低下させる。犠牲膜302の上面は、トレンチTR内にまでリセスされる。犠牲膜302の上面の後退量は、後述のリアエンド工程において素子分離膜234の材料がエッチングされる量を考慮し、空洞320が素子分離領域（トレンチTR2）まで達しないように調整される。これにより、図28に示す構造が得られる。尚、トレンチTRの内壁は、絶縁膜（ライナ層）301によって保護されている。

[0178] 次に、半導体基板218の第1面F1側にトレンチTR2を形成する。トレンチTR2は、隣接する画素100間の素子分離膜234の形成領域に形成される。トレンチTR2は、リソグラフィ技術およびエッチング技術を用いて素子分離領域の半導体基板218の上部を除去する。これにより、素子分離領域にトレンチTRよりも浅いトレンチTR2が形成される。また、トレンチTR2の形成の際に、半導体基板218の加工とともに、犠牲膜302の上面をエッチングする。犠牲膜302は、例えば、ポリシリコンまたはアモルファスシリコンで構成されているため、基板218のエッチングとともに、エッチング可能である。これにより、犠牲膜302の上面は、トレンチTR2の底面よりも下方のトレンチTR内にまで低下させることができる。これにより、図29に示す構造が得られる。尚、トレンチTRの内壁は、絶縁膜301によって保護されている。

[0179] その後、図30に示すように、トレンチTR2の内壁に基板218の熱酸化膜311を形成し、熱酸化膜311の内側にシリコン酸化膜等の絶縁膜312を埋め込む。これにより、素子分離膜234が形成される。ここで、素子分離膜234の材料は、トレンチTR内の犠牲膜302の上面まで埋め込まれる。よって、素子分離膜234と犠牲膜302との界面は、トレンチTR内に形成される。

[0180] 第8実施形態のフロントエンド工程のその他の工程は、第1実施形態のフ

ロントエンド工程の対応する工程と同様でよい。例えば、各種イオン注入、ゲート電極の形成、活性化アニール、配線層の形成等を行う。さらに、ロジック回路を有する他の半導体チップを第1面F1に接続する。

[0181] (リアエンド工程)

次に、半導体基板218の第2面F2からの加工工程を行う。

[0182] CMP法等を用いて、第2面F2側から半導体基板218を研磨し、半導体基板218を所望の厚みに薄膜化する。これにより、トレンチTRが基板218を貫通し、犠牲膜302の一端が第2面F2から露出される。

[0183] 次に、図31に示すように、ハードマスク303の材料（例えば、シリコン酸化膜）を第2面F2上に堆積する。次に、リソグラフィ技術およびエッチング技術を用いてトレンチTRの領域を開口するようにハードマスク303の材料を加工する。

[0184] 次に、ハードマスク303をマスクとして用いて、CDE等を用いて犠牲膜302を等方的にエッチングして除去する。ここで、犠牲膜302と素子分離膜234との界面はトレンチTR内にある。よって、犠牲膜302の除去によって、素子分離膜234の上面は、トレンチTR内にとどまり、空洞320は、素子分離領域（トレンチTR2）に達しない。次に、ハードマスク303を除去する。このとき、ハードマスク303は、シリコン酸化膜により構成されているので、図32に示すように、トレンチTRの側壁の絶縁膜301およびトレンチTR内の絶縁膜312の一部もハードマスク303と同時に除去される。しかし、第8実施形態では、空洞320は、素子分離領域（トレンチTR2）に達していない。従って、トレンチTRの空洞320は、素子分離膜234の側面S234にまで達しない。これにより、素子分離膜234の側面S234の熱酸化膜311は維持される。

[0185] 次に、必要に応じて、トレンチTRの内壁に固定電荷膜（図示せず）を堆積する。

[0186] 次に、図33に示すように、トレンチTR内に画素分離膜233を充填する。このとき、画素分離膜233は、空洞320内にも充填される。画素分

離膜 2 3 3 と素子分離膜 2 3 4 との界面は、トレンチ T R 内に形成される。これにより、画素分離膜 2 3 3 は、トレンチ T R 内にとどまり、素子分離領域（トレンチ T R 2）内には形成されない。画素分離膜 2 3 3 は、素子分離膜 2 3 4 の側面 S 2 3 4 からは露出されず、基板 2 1 8 に接しない。即ち、素子分離膜 2 3 4 の側面 S 2 3 4 において、画素分離膜 2 3 3 は、基板 2 1 8 と界面を持たない。画素分離膜 2 3 3 と素子分離膜 2 3 4 との界面は、トレンチ T R 内にあり、素子分離膜 2 3 4 の側面 S 2 3 4 において露出していない。

[0187] その後、他の実施形態と同様に、遮光膜、平坦化膜、カラーフィルタを形成し、さらに、オンチップレンズをカラーフィルタ上に形成する。これにより、第 8 実施形態による固体撮像素子が完成する。

[0188] 第 8 実施形態によれば、画素分離膜 2 3 3 の第 1 面 F 1 側の端部は、素子分離膜 2 3 4 の側面 S 2 3 4 から露出されておらず、画素分離膜 2 3 3 は、空乏層 3 0 0 と離間している。これにより、第 8 実施形態は第 7 実施形態と同様の効果を得ることができる。

[0189] （第 9 実施形態）

図 3 4 は、第 9 実施形態による画素 1 0 0 の部分的な構成例を示す断面図である。第 9 実施形態では、画素分離膜 2 3 3 が積層膜で構成されている。第 9 実施形態のその他の構成は、第 7 または第 8 実施形態の対応する構成と同様でよい。

[0190] 画素分離膜 2 3 3 は、複数の部分膜 2 3 3 a ~ 2 3 3 d を含む積層膜である。部分膜 2 3 3 d は、トレンチ T R の内壁を被覆している。部分膜 2 3 3 c は、部分膜 2 3 3 d を介して、トレンチ T R の内壁を被覆している。部分膜 2 3 3 b は、部分膜 2 3 3 d および 2 3 3 c を介して、トレンチ T R の内壁を被覆している。さらに、部分膜 2 3 3 a は、部分膜 2 3 3 b ~ 2 3 3 d を介して、トレンチ T R の内壁に充填されている。部分膜 2 3 3 a は、例えば、シリコン酸化膜等の絶縁膜であり、部分膜 2 3 3 b、2 3 3 c は、例えば、遮光性の高い金属膜（例えば、銅、タングステン等）であり、部分膜 2

33dは、例えば、シリコン酸化膜等の絶縁膜であり、部分膜233b、233cと基板218とを電氣的に分離する。また、部分膜233dは、固定電荷膜または低屈折率膜であってもよい。

[0191] 第9実施形態のその他の構成は、第7実施形態と同様でよい。従って、第9実施形態は、第7実施形態と同様の効果を得ることができる。

[0192] (第10実施形態)

図35は、第10実施形態の変形例による画素100の部分的な構成例を示す断面図である。第10実施形態は、第8実施形態と第9実施形態との組み合わせである。従って、第10実施形態では、画素分離膜233が積層膜で構成されており、かつ、画素分離膜233と素子分離膜234との界面がトレンチTR内にある。画素分離膜233の構成は、第9実施形態のそれと同じでよい。第10実施形態のその他の構成は、第8実施形態と同様でよい。従って、第10実施形態は、第8および第9実施形態と同様の効果を得ることができる。

[0193] (第11実施形態)

図36～図39は、第11実施形態による画素100の部分的な構成例を示す断面図である。第11実施形態では、画素分離膜233内に空洞（エアギャップ、ボイド、またはシーム）350が形成されている。図36～図39は、それぞれ第7～第10実施形態に対応し、それぞれの画素分離膜233に空洞350が設けられている。このように、空洞350が画素分離膜233内に設けられたとしてもそれぞれの実施形態の効果に変わりはない。

[0194] なお、本技術は、以下のような構成をとることができる。

(1)

基板と、

前記基板内に設けられた複数の光電変換部と、

前記複数の光電変換部のうち互いに隣接する複数の光電変換部の間に設けられ、前記基板の第1面と該第1面とは反対側の第2面との間を貫通するトレンチの内壁に設けられた固定電荷を有する第1絶縁膜と、

前記トレンチ内において前記第1絶縁膜の内側に設けられている第2絶縁膜と、

前記基板の前記第1面上に設けられた少なくとも1つのトランジスタと、
前記第1面から見たときに、前記トレンチの両側あるいは該トレンチ上に沿って設けられている第3絶縁膜とを備えた固体撮像素子。

(2)

前記第3絶縁膜は、前記第1絶縁膜に隣接する前記基板の表面に形成される電荷誘起層と前記トランジスタのソースまたはドレインとの間に介在する、(1)に記載の固体撮像素子。

(3)

前記電荷誘起層は、第1導電型の高濃度電荷層であり、
前記トランジスタのソースまたはドレインは、第2導電型の高濃度不純物拡散層である、(2)に記載の固体撮像素子。

(4)

前記電荷誘起層は、第1導電型不純物拡散層である、(2)または(3)に記載の固体撮像素子。

(5)

前記第3絶縁膜は、前記第1面側において前記第1および第2絶縁膜の端部を被覆している、(1)から(4)のいずれか一項に記載の固体撮像素子。

(6)

前記第1および第2絶縁膜の前記第1面側の端部は、前記第3絶縁膜を貫通している、(1)から(4)のいずれか一項に記載の固体撮像素子。

(7)

前記基板の前記第1面上に設けられ、前記トランジスタに電氣的に接続された配線層と、

前記基板の前記第2面上に設けられたレンズとをさらに備えた、(1)から(6)のいずれか一項に記載の固体撮像素子。

(8)

前記トレンチ内において前記第2絶縁膜の内側に設けられている遮光膜をさらに備えた、(1)から(7)のいずれか一項に記載の固体撮像素子。

(9)

前記第3絶縁膜は、前記第1面に対して垂直方向から前記基板を見たときに、前記第1および第2絶縁膜に重複している、(1)から(8)のいずれか一項に記載の固体撮像素子。

(10)

前記第1面に対して略垂直方向から前記基板を見たときに、前記第3絶縁膜の幅は、前記トレンチの幅よりも大きい、(1)から(8)のいずれか一項に記載の固体撮像素子。

(11)

前記第1面に対して略垂直方向から前記基板を見たときに、前記第3絶縁膜の幅は、前記トレンチの両側にある前記電荷誘起層の幅よりも大きい、(2)から(4)のいずれか一項に記載の固体撮像素子。

(12)

前記第3絶縁膜の前記第1面からの深さは、前記第3絶縁膜に隣接する前記トランジスタの拡散層の深さよりも深い、(1)から(11)のいずれか一項に記載の固体撮像素子。

(13)

基板内に複数の光電変換部を形成し、

前記基板の第1面において、前記複数の光電変換部のうち互いに隣接する光電変換部の間に第3絶縁膜を形成し、

前記隣接する複数の光電変換部の間に、前記基板の前記第1面と該第1面とは反対側の第2面との間を貫通するトレンチを形成し、

前記トレンチの内壁に固定電荷を有する第1絶縁膜を形成し、

前記トレンチ内において前記第1絶縁膜の内側に第2絶縁膜を形成し、

前記基板の前記第1面上に少なくとも1つのトランジスタを形成すること

を具備する、固体撮像素子の製造方法。

(14)

前記トレンチの内壁に第1導電型の不純物を導入し、該トレンチの内壁に電荷誘起層を形成することをさらに具備する、(13)に記載の方法。

(15)

前記トレンチは、前記第3絶縁膜を貫通する、(13)または(14)に記載の方法。

(16)

基板と、

前記基板内に設けられた複数の光電変換部と、

前記複数の光電変換部のうち互いに隣接する複数の光電変換部の間に設けられ、前記基板の第1面と該第1面とは反対側の第2面との間を貫通するトレンチ内に設けられた第2絶縁膜と、

前記基板の前記第1面上に設けられ、前記第1面から見たときに、前記トレンチの両側あるいは該トレンチ上に沿って設けられた、前記第2絶縁膜よりも幅の広い第3絶縁膜と、

前記基板の前記第1面上に設けられ、前記第3絶縁膜の側面に接する不純物拡散層とを備え、

前記第2絶縁膜は、前記第3絶縁膜の前記側面から露出されていない、固体撮像素子。

(17)

前記第2絶縁膜と前記第3絶縁膜との界面は、前記第3絶縁膜内にある、(16)に記載の固体撮像素子。

(18)

前記第2絶縁膜と前記第3絶縁膜との界面は、前記トレンチ内にある、(16)に記載の固体撮像素子。

(19)

前記第2絶縁膜は、複数の部分膜を含む積層膜である、(16)から(1

8) のいずれか一項に記載の固体撮像素子。

(20)

前記複数の部分膜は、固定電荷膜、低屈折率膜、酸化膜、金属膜のいずれかである、(16) 19に記載の固体撮像素子。

(21)

前記第2絶縁膜内に空洞がある、(16) から(20) のいずれか一項に記載の固体撮像素子。

(22)

前記基板の前記第1面上に設けられ、前記不純物拡散層に電氣的に接続された配線層と、

前記基板の前記第2面上に設けられたレンズとをさらに備えた、(16) から(21) のいずれか一項に記載の固体撮像素子。

(23)

基板内に複数の光電変換部を形成し、

前記複数の光電変換部のうち互いに隣接する光電変換部の間に、前記基板の第1面から該第1面とは反対側の第2面へ延伸するトレンチを形成し、

前記トレンチ内に犠牲膜を形成し、

前記基板の前記第1面において、前記第1面から見たときに、前記トレンチの両側あるいは該トレンチ上に沿って前記トレンチよりも幅の広い第3絶縁膜を形成し、

前記基板の前記第2面側から前記トレンチ内の前記犠牲膜を除去し、

前記基板の第2面側から前記トレンチ内に第2絶縁膜を形成することを具備する、固体撮像素子の製造方法。

(24)

前記犠牲膜を除去する際に、前記第3絶縁膜の側面まで前記トレンチが広がらないように前記第3絶縁膜の上部を除去し、

前記第2絶縁膜を形成する際に、前記第2絶縁膜は、前記第3絶縁膜の前記側面から露出されないように形成される、(23)に記載の方法。

(25)

前記犠牲膜の形成後、前記基板の前記第1面側から前記犠牲膜の一部を除去して該犠牲膜の上面を前記第1面よりも低下させ、

前記第3絶縁膜の形成の際に、前記犠牲膜の上面を前記第3絶縁膜の底面よりも下方の前記トレンチ内まで低下させ、

前記前記基板の前記第2面側から前記犠牲膜を除去し、前記基板の第2面側から前記トレンチ内に第2絶縁膜を形成する、(23)に記載の方法。

[0195] 尚、本開示は、上述した実施形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0196] 100 画素、218 半導体基板、219 フォトダイオード、220 電荷誘起層、232 固定電荷膜、233 素子分離膜、234 素子分離膜、214 遮光膜、213 平坦化膜、212 カラーフィルタ、211 オンチップレンズ、250 トランジスタ、252 拡散層、261 配線、262 層間絶縁膜、遮光膜 235

請求の範囲

- [請求項1] 基板と、
 前記基板内に設けられた複数の光電変換部と、
 前記複数の光電変換部のうち互いに隣接する複数の光電変換部の間に設けられ、前記基板の第1面と該第1面とは反対側の第2面との間を貫通するトレンチの内壁に設けられた固定電荷を有する第1絶縁膜と、
 前記トレンチ内において前記第1絶縁膜の内側に設けられている第2絶縁膜と、
 前記基板の前記第1面上に設けられた少なくとも1つのトランジスタと、
 前記第1面から見たときに、前記トレンチの両側あるいは該トレンチ上に沿って設けられている第3絶縁膜とを備えた固体撮像素子。
- [請求項2] 前記第3絶縁膜は、前記第1絶縁膜に隣接する前記基板の表面に形成される電荷誘起層と前記トランジスタのソースまたはドレインとの間に介在する、請求項1に記載の固体撮像素子。
- [請求項3] 前記電荷誘起層は、第1導電型の高濃度電荷層であり、
 前記トランジスタのソースまたはドレインは、第2導電型の高濃度不純物拡散層である、請求項2に記載の固体撮像素子。
- [請求項4] 前記電荷誘起層は、第1導電型不純物拡散層である、請求項2に記載の固体撮像素子。
- [請求項5] 前記第3絶縁膜は、前記第1面側において前記第1および第2絶縁膜の端部を被覆している、請求項1に記載の固体撮像素子。
- [請求項6] 前記第1および第2絶縁膜の前記第1面側の端部は、前記第3絶縁膜を貫通している、請求項1に記載の固体撮像素子。
- [請求項7] 前記基板の前記第1面上に設けられ、前記トランジスタに電氣的に接続された配線層と、
 前記基板の前記第2面上に設けられたレンズとをさらに備えた、請

求項 1 に記載の固体撮像素子。

[請求項8] 前記トレンチ内において前記第 2 絶縁膜の内側に設けられている遮光膜をさらに備えた、請求項 1 に記載の固体撮像素子。

[請求項9] 前記第 3 絶縁膜は、前記第 1 面に対して垂直方向から前記基板を見たときに、前記第 1 および第 2 絶縁膜に重複している、請求項 1 に記載の固体撮像素子。

[請求項10] 前記第 1 面に対して略垂直方向から前記基板を見たときに、前記第 3 絶縁膜の幅は、前記トレンチの幅よりも大きい、請求項 1 に記載の固体撮像素子。

[請求項11] 前記第 1 面に対して略垂直方向から前記基板を見たときに、前記第 3 絶縁膜の幅は、前記トレンチの両側にある前記電荷誘起層の幅よりも大きい、請求項 2 に記載の固体撮像素子。

[請求項12] 前記第 3 絶縁膜の前記第 1 面からの深さは、前記第 3 絶縁膜に隣接する前記トランジスタの拡散層の深さよりも深い、請求項 1 に記載の固体撮像素子。

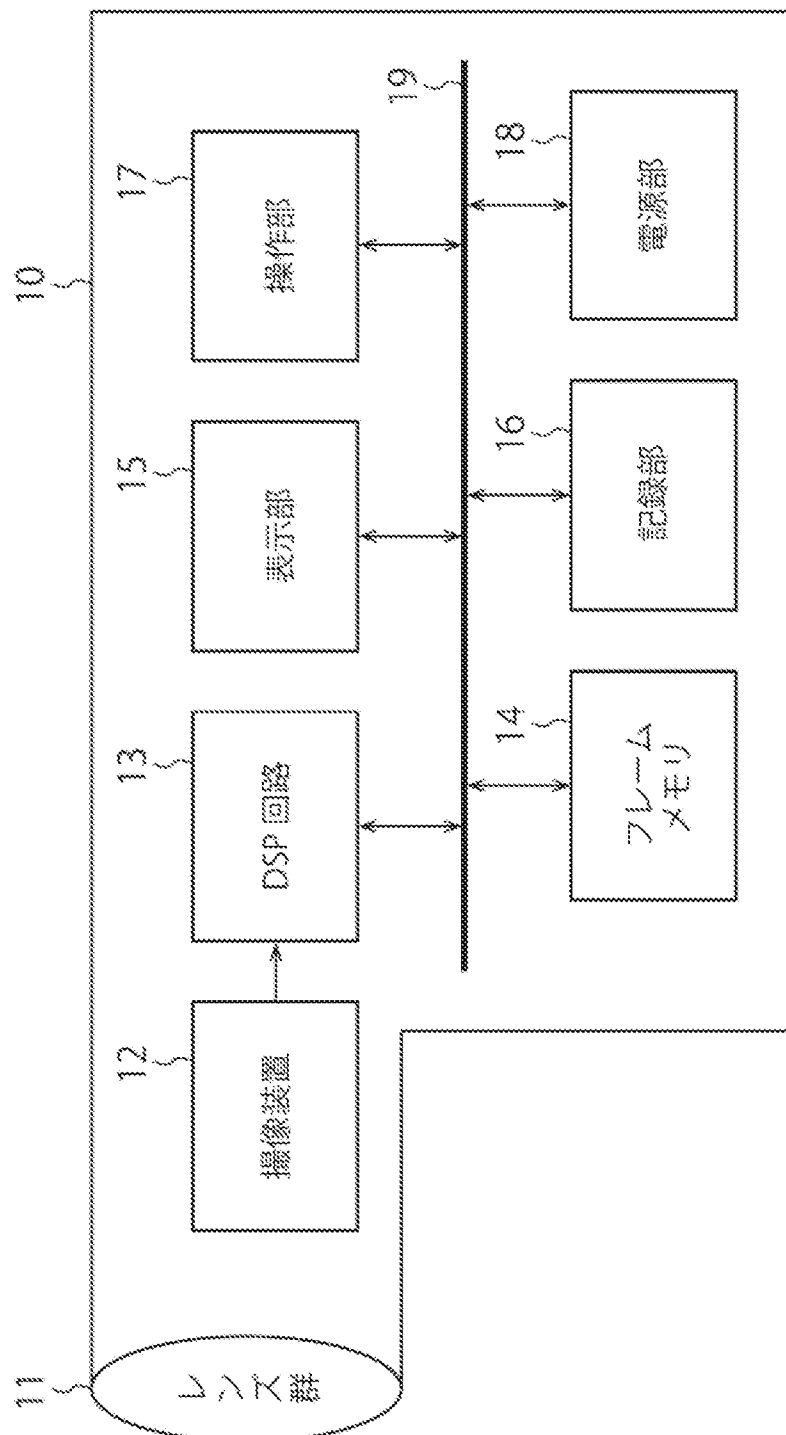
[請求項13] 基板内に複数の光電変換部を形成し、
前記基板の第 1 面において、前記複数の光電変換部のうち互いに隣接する光電変換部の間に第 3 絶縁膜を形成し、
前記隣接する複数の光電変換部の間に、前記基板の前記第 1 面と該第 1 面とは反対側の第 2 面との間を貫通するトレンチを形成し、
前記トレンチの内壁に固定電荷を有する第 1 絶縁膜を形成し、
前記トレンチ内において前記第 1 絶縁膜の内側に第 2 絶縁膜を形成し、
前記基板の前記第 1 面上に少なくとも 1 つのトランジスタを形成することを具備する、固体撮像素子の製造方法。

[請求項14] 前記トレンチの内壁に第 1 導電型の不純物を導入し、該トレンチの内壁に電荷誘起層を形成することをさらに具備する、請求項 13 に記載の方法。

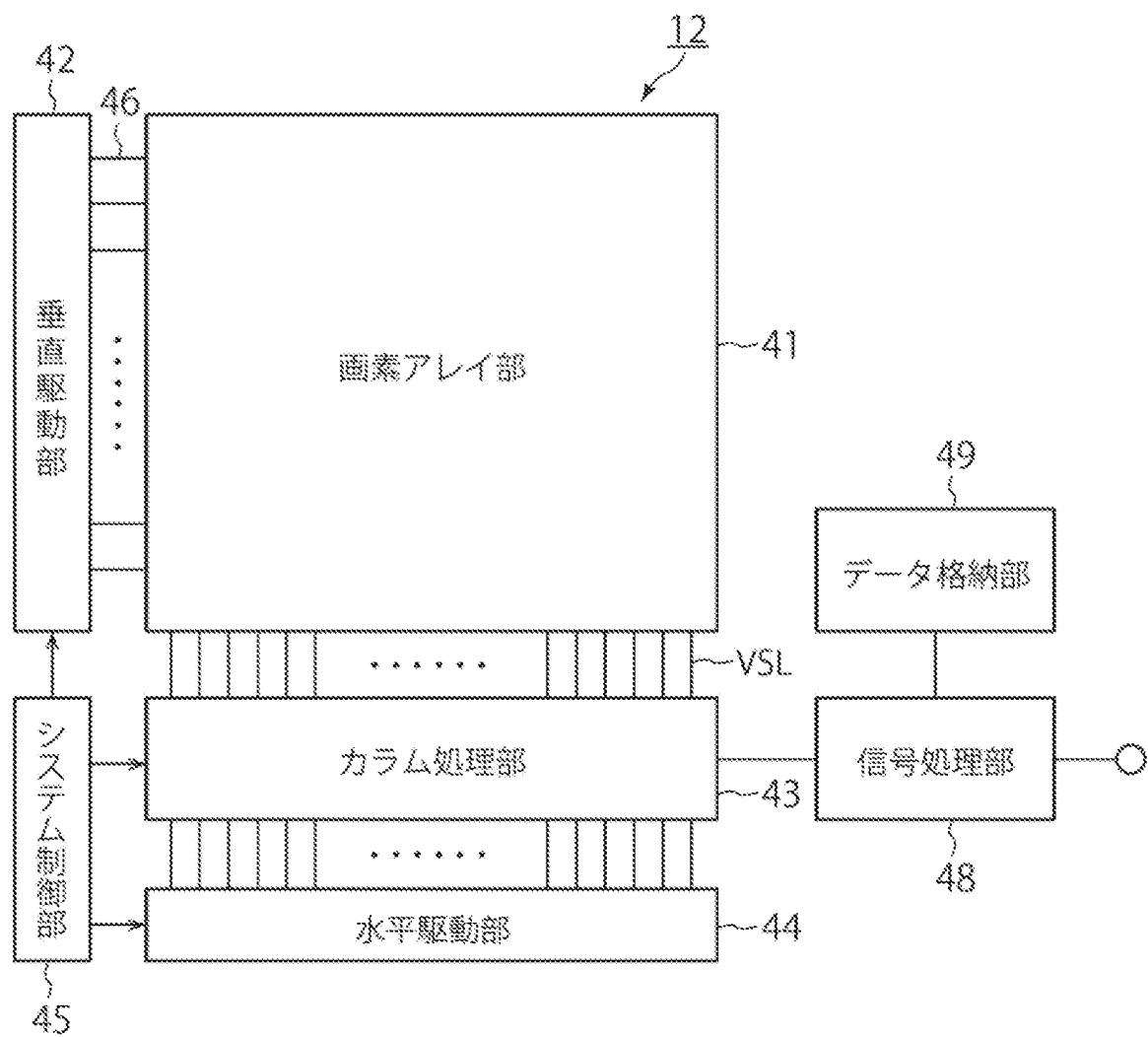
- [請求項15] 前記トレンチは、前記第3絶縁膜を貫通する、請求項13に記載の方法。
- [請求項16] 基板と、
前記基板内に設けられた複数の光電変換部と、
前記複数の光電変換部のうち互いに隣接する複数の光電変換部の間に設けられ、前記基板の第1面と該第1面とは反対側の第2面との間を貫通するトレンチ内に設けられた第2絶縁膜と、
前記基板の前記第1面上に設けられ、前記第1面から見たときに、前記トレンチの両側あるいは該トレンチ上に沿って設けられた、前記第2絶縁膜よりも幅の広い第3絶縁膜と、
前記基板の前記第1面上に設けられ、前記第3絶縁膜の側面に接する不純物拡散層とを備え、
前記第2絶縁膜は、前記第3絶縁膜の前記側面から露出されていない、固体撮像素子。
- [請求項17] 前記第2絶縁膜と前記第3絶縁膜との界面は、前記第3絶縁膜内にある、請求項16に記載の固体撮像素子。
- [請求項18] 前記第2絶縁膜と前記第3絶縁膜との界面は、前記トレンチ内にある、請求項16に記載の固体撮像素子。
- [請求項19] 前記第2絶縁膜は、複数の部分膜を含む積層膜である、請求項16に記載の固体撮像素子。
- [請求項20] 前記複数の部分膜は、固定電荷膜、低屈折率膜、酸化膜、金属膜のいずれかである、請求項19に記載の固体撮像素子。
- [請求項21] 前記第2絶縁膜内に空洞がある、請求項16に記載の固体撮像素子。
- [請求項22] 前記基板の前記第1面上に設けられ、前記不純物拡散層に電氣的に接続された配線層と、
前記基板の前記第2面上に設けられたレンズとをさらに備えた、請求項16に記載の固体撮像素子。

- [請求項23] 基板内に複数の光電変換部を形成し、
前記複数の光電変換部のうち互いに隣接する光電変換部の間に、前記基板の第1面から該第1面とは反対側の第2面へ延伸するトレンチを形成し、
前記トレンチ内に犠牲膜を形成し、
前記基板の前記第1面において、前記第1面から見たときに、前記トレンチの両側あるいは該トレンチ上に沿って前記トレンチよりも幅の広い第3絶縁膜を形成し、
前記基板の前記第2面側から前記トレンチ内の前記犠牲膜を除去し、
前記基板の第2面側から前記トレンチ内に第2絶縁膜を形成することを具備する、固体撮像素子の製造方法。
- [請求項24] 前記犠牲膜を除去する際に、前記第3絶縁膜の側面まで前記トレンチが広がらないように前記第3絶縁膜の上部を除去し、
前記第2絶縁膜を形成する際に、前記第2絶縁膜は、前記第3絶縁膜の前記側面から露出されないように形成される、請求項23に記載の方法。
- [請求項25] 前記犠牲膜の形成後、前記基板の前記第1面側から前記犠牲膜の一部を除去して該犠牲膜の上面を前記第1面よりも低下させ、
前記第3絶縁膜の形成の際に、前記犠牲膜の上面を前記第3絶縁膜の底面よりも下方の前記トレンチ内まで低下させ、
前記前記基板の前記第2面側から前記犠牲膜を除去し、前記基板の第2面側から前記トレンチ内に第2絶縁膜を形成する、請求項23に記載の方法。

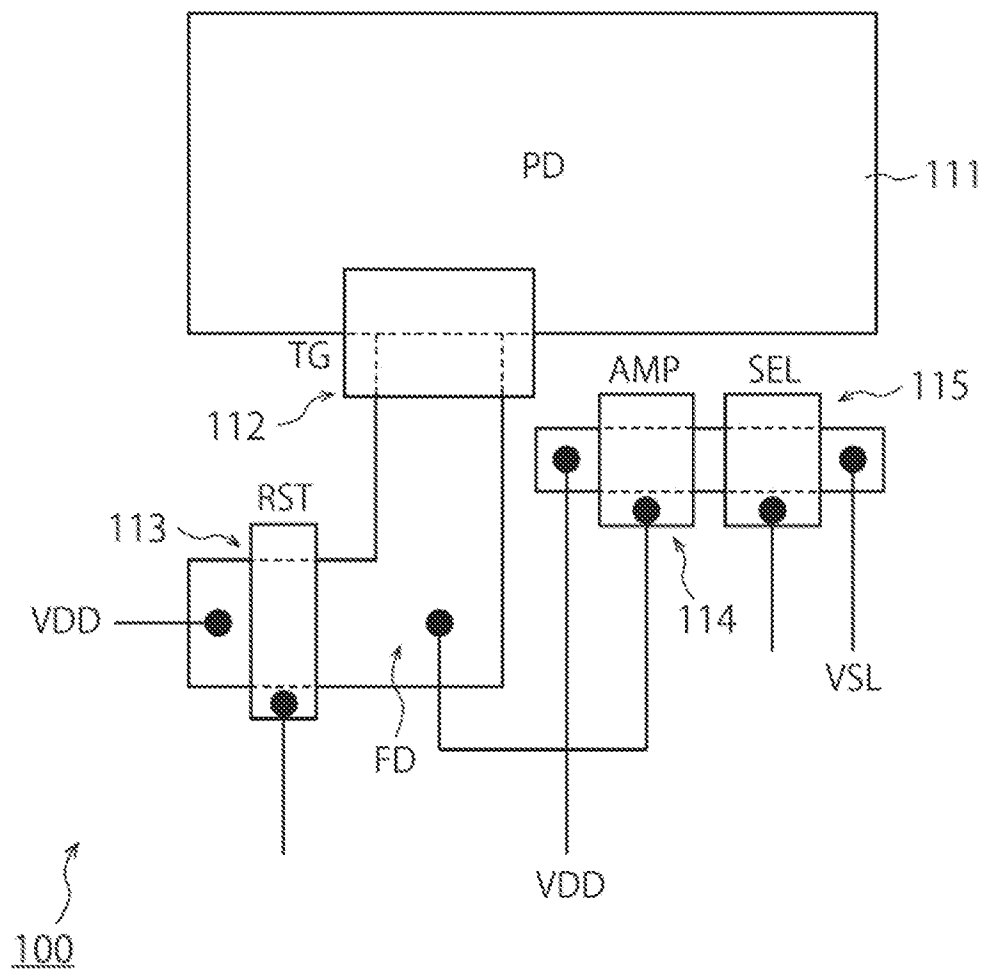
[図1]



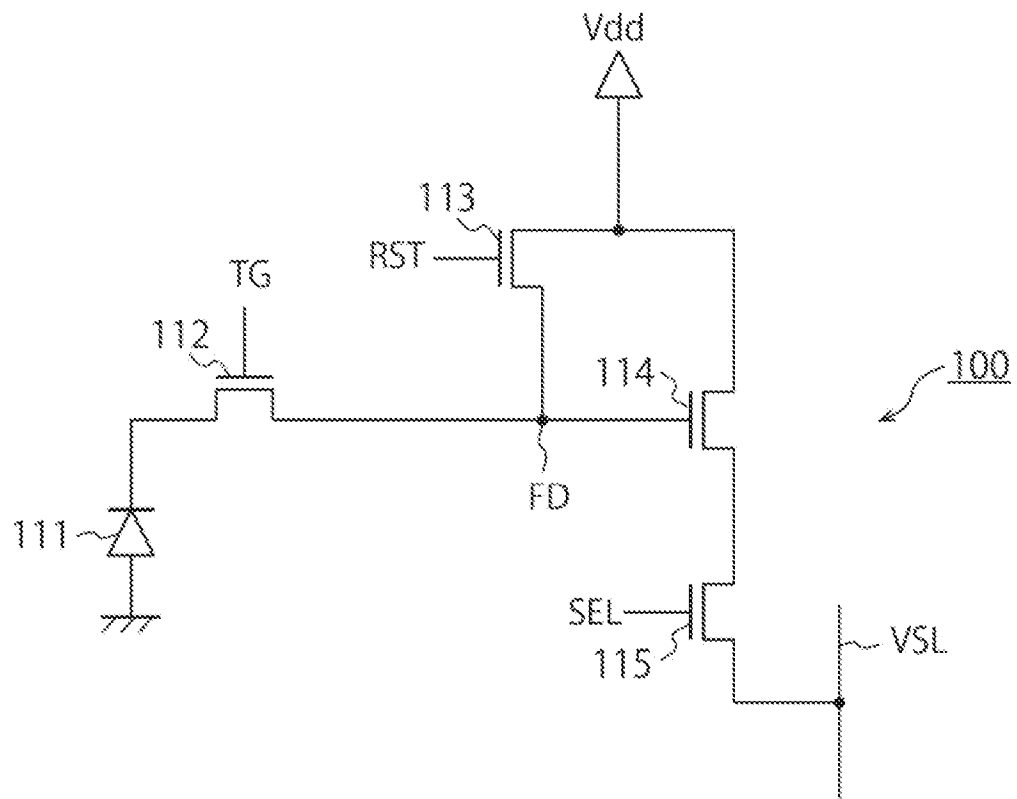
[図2]



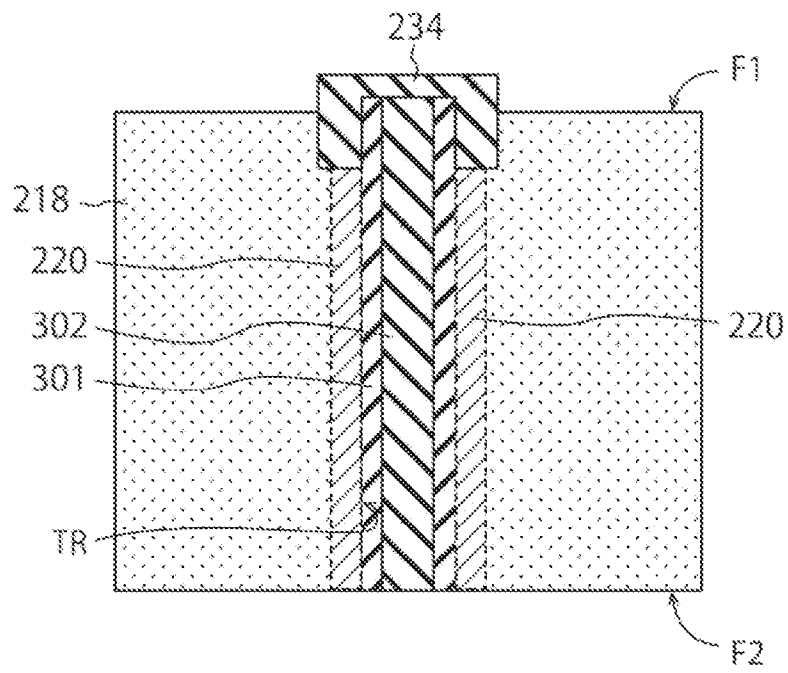
[図3]



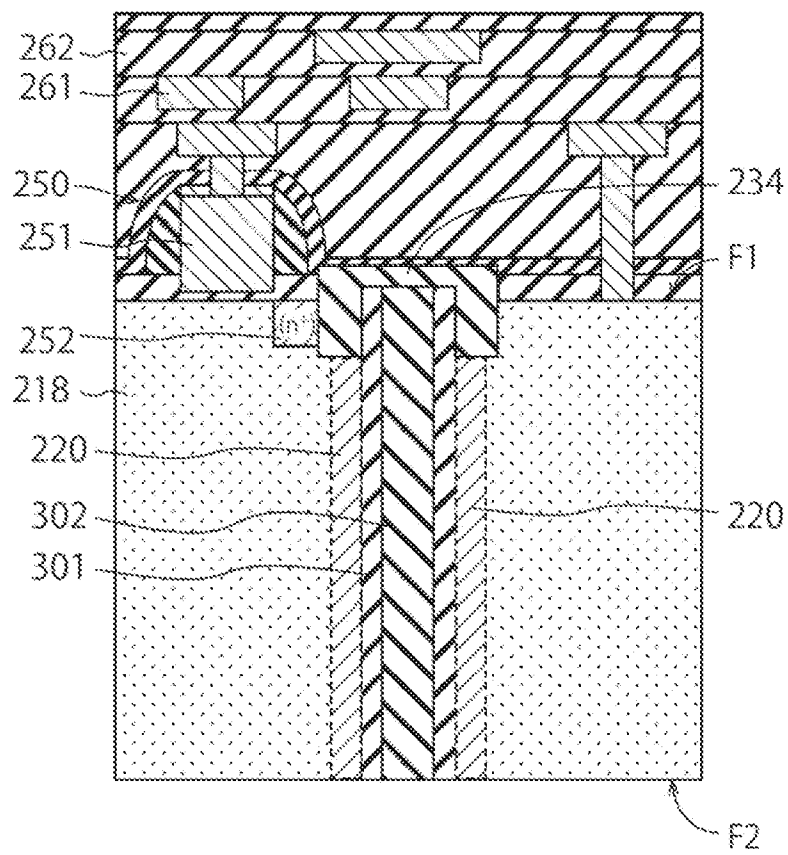
[図4]



[図7]



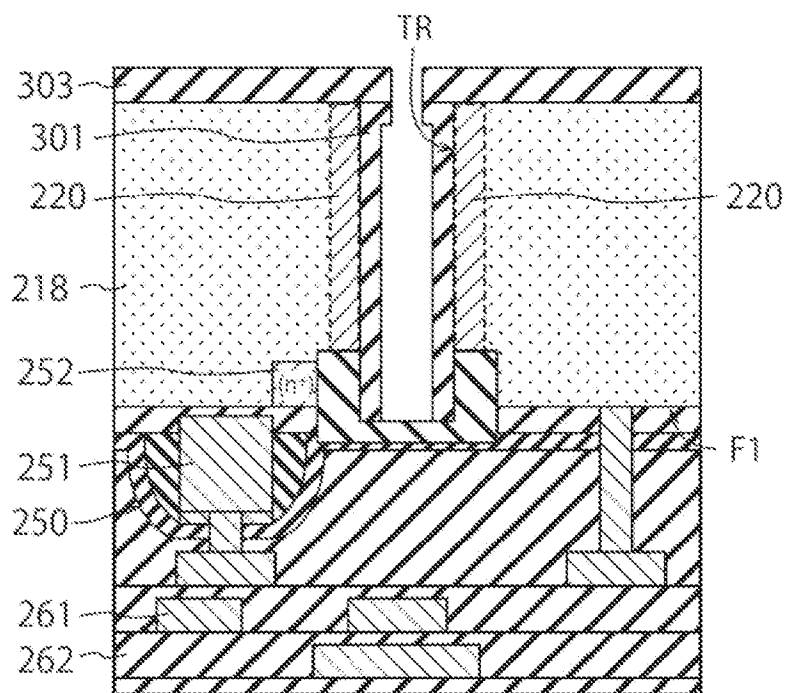
[図8]



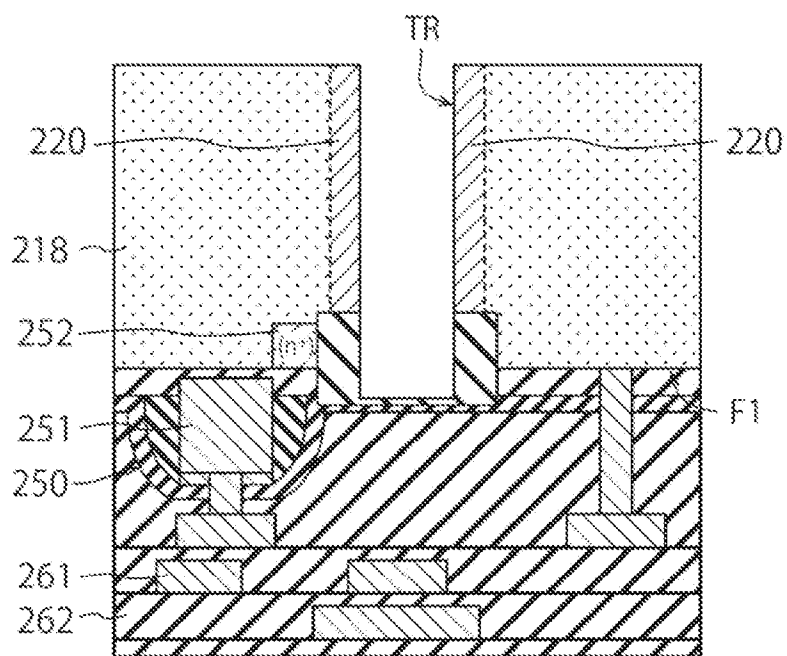
[illegible]

A cross-sectional view of a semiconductor device structure. The structure consists of several layers and regions. At the top is a layer labeled 303. Below it is a layer labeled 301. A central vertical structure is labeled TR. To the right of the TR structure is a region labeled 220. Below the 301 layer is a layer labeled 302. Below the 302 layer is a layer labeled 220. Below the 220 layer is a layer labeled 218. Below the 218 layer is a layer labeled 252. Below the 252 layer is a layer labeled 251. Below the 251 layer is a layer labeled 250. Below the 250 layer is a layer labeled 261. Below the 261 layer is a layer labeled 262. The structure is divided into two main sections by a vertical line, with labels F1 on the left and F2 on the right.

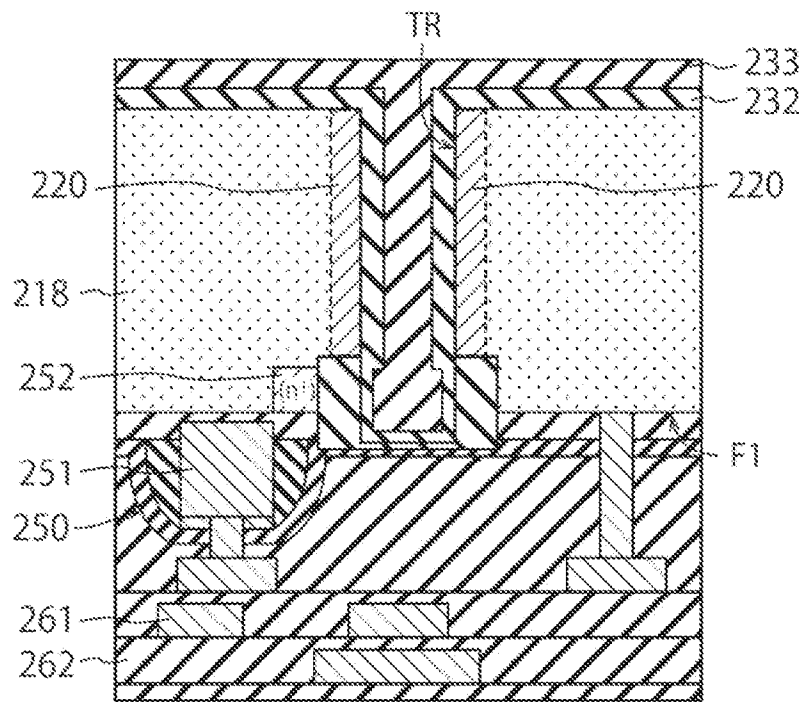
[図11]



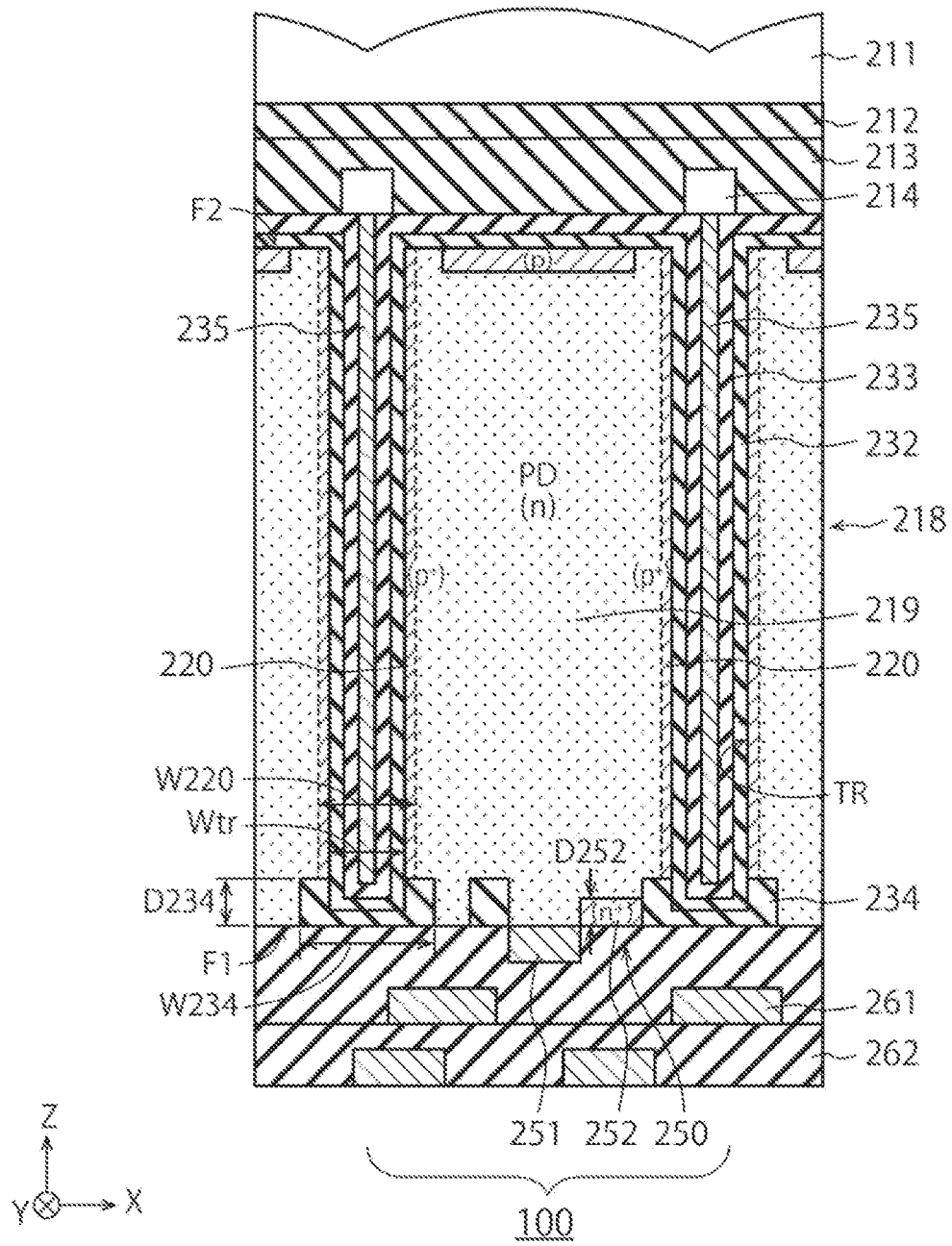
[図12]



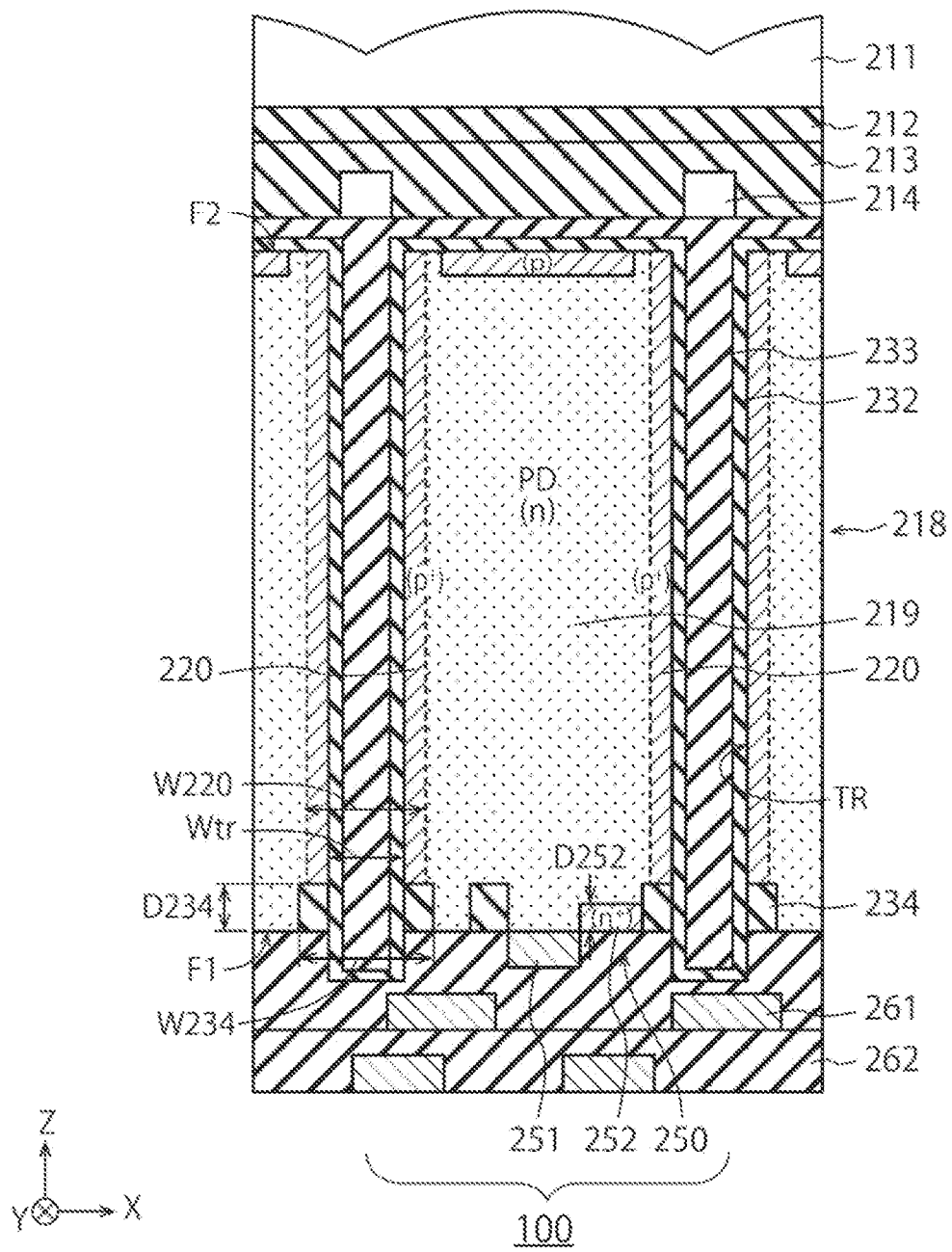
[図13]



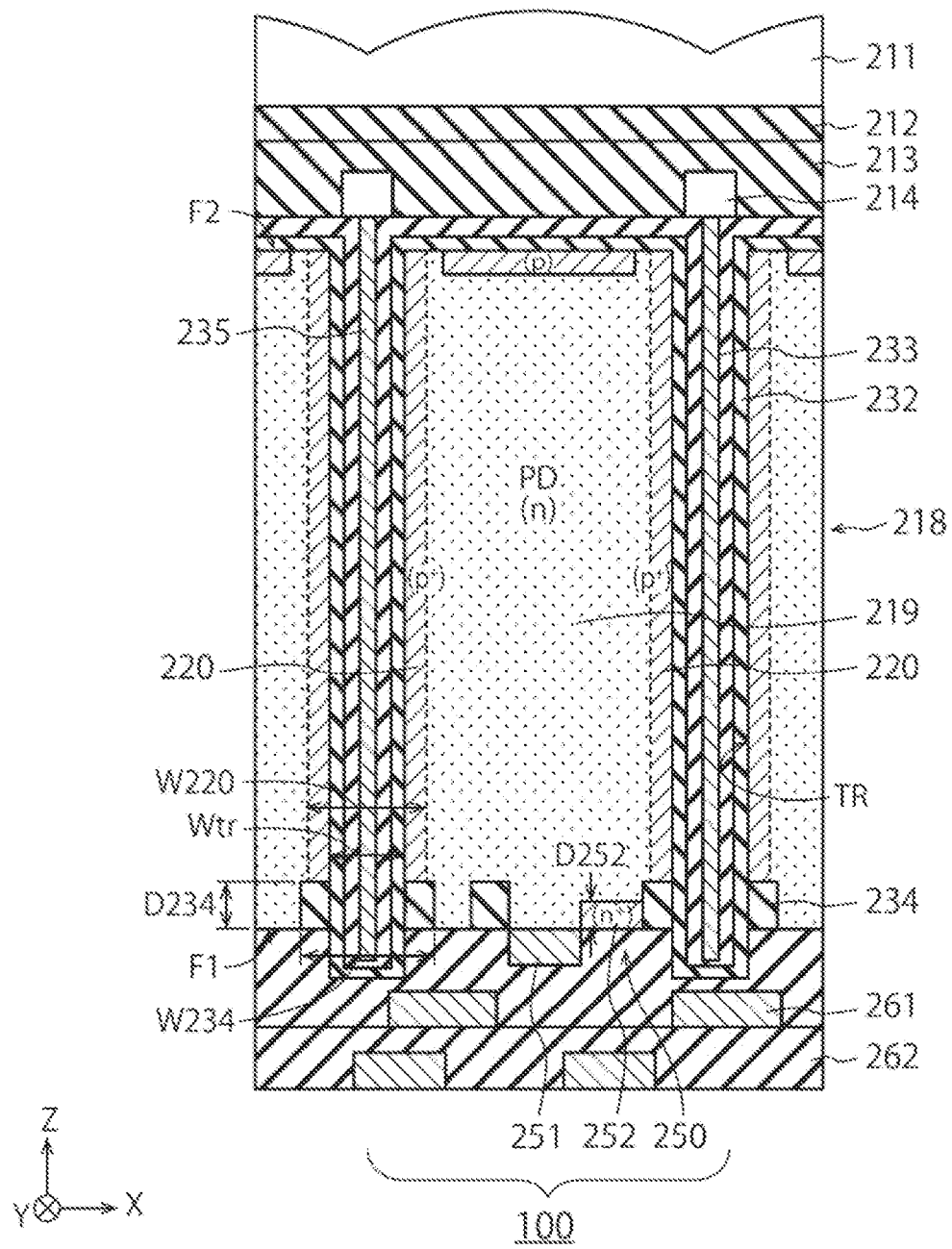
[図16]



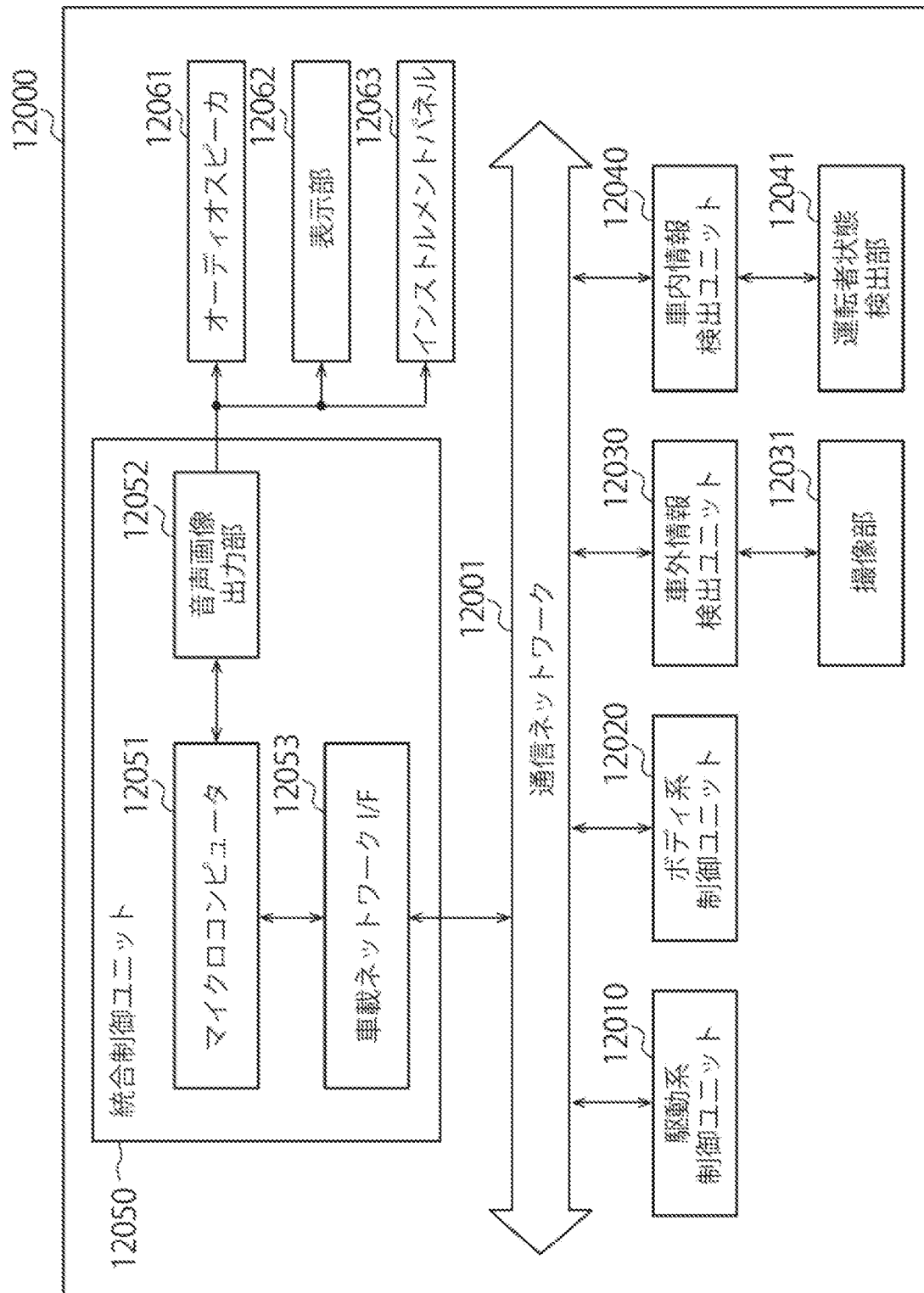
[図17]



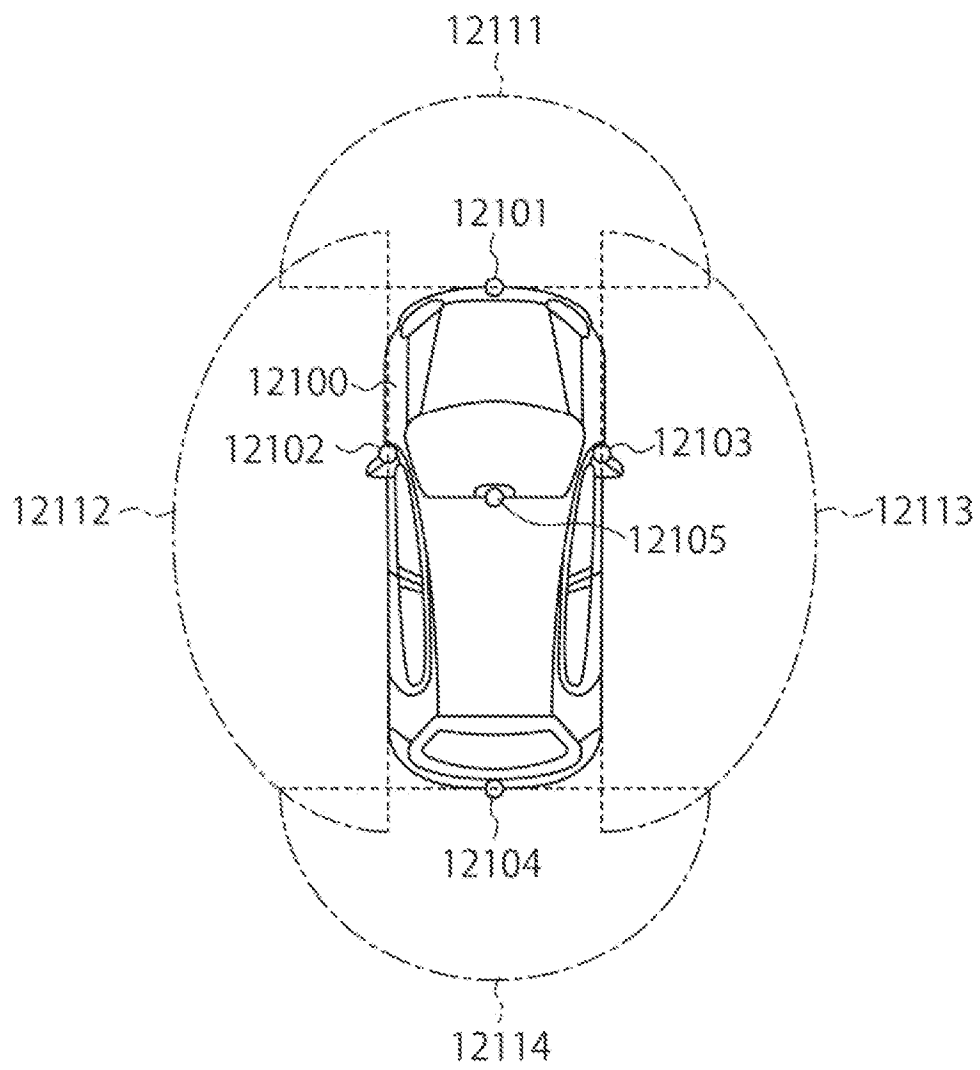
[図18]



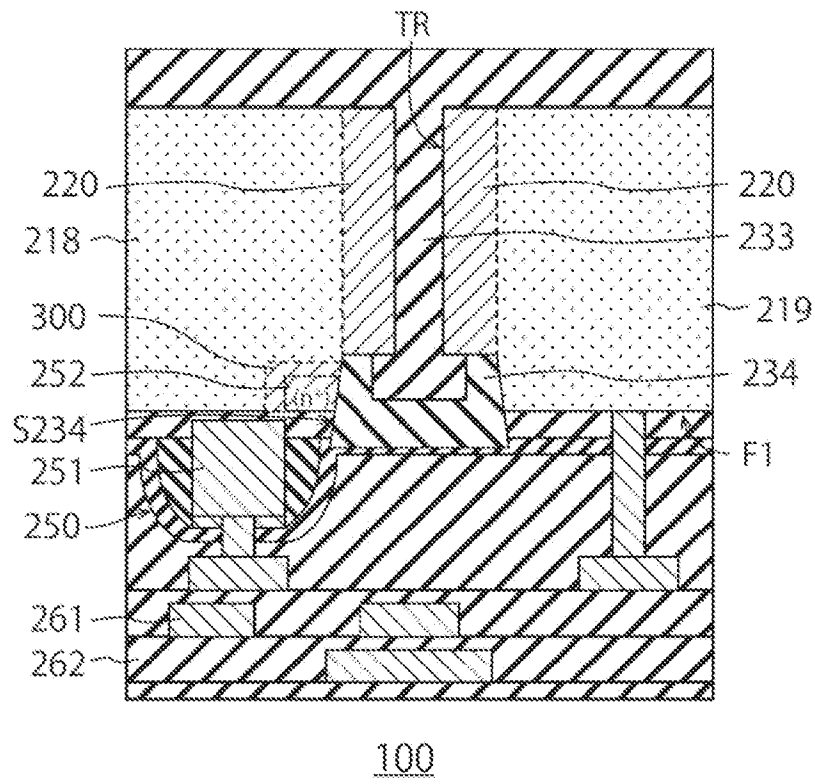
[図19]



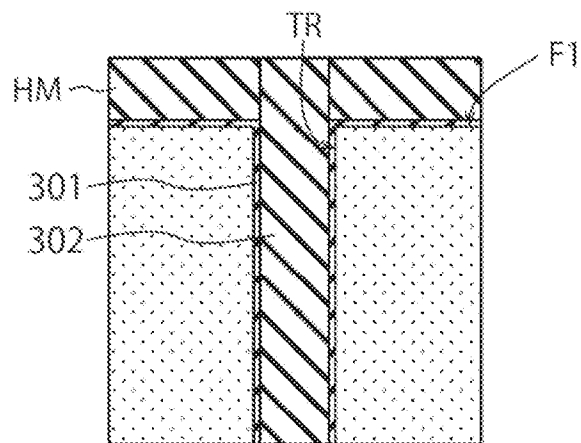
[図20]



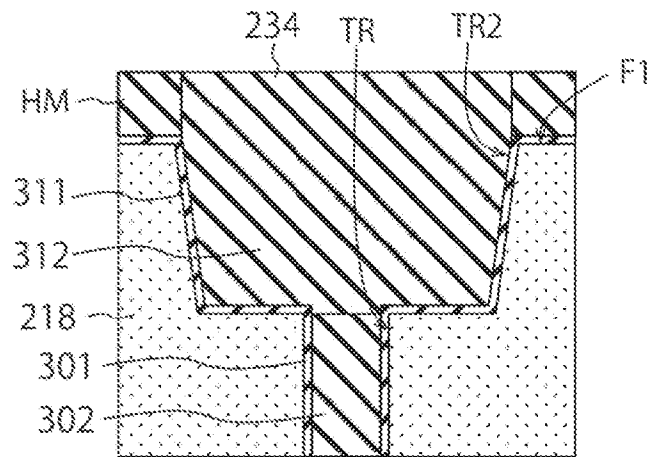
[図21]



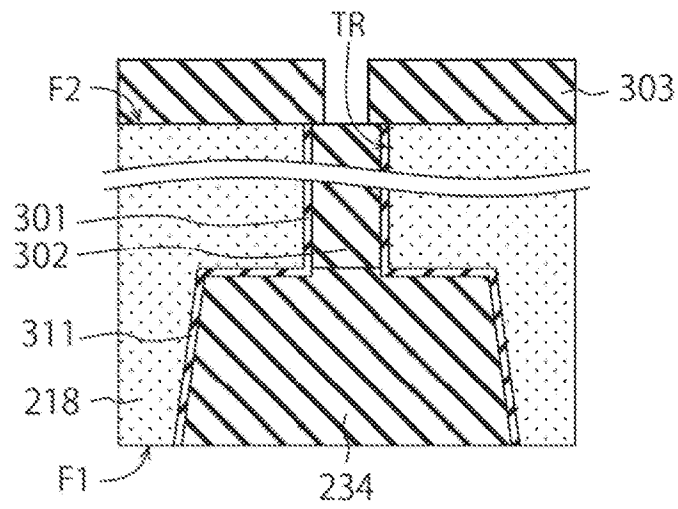
[図22]



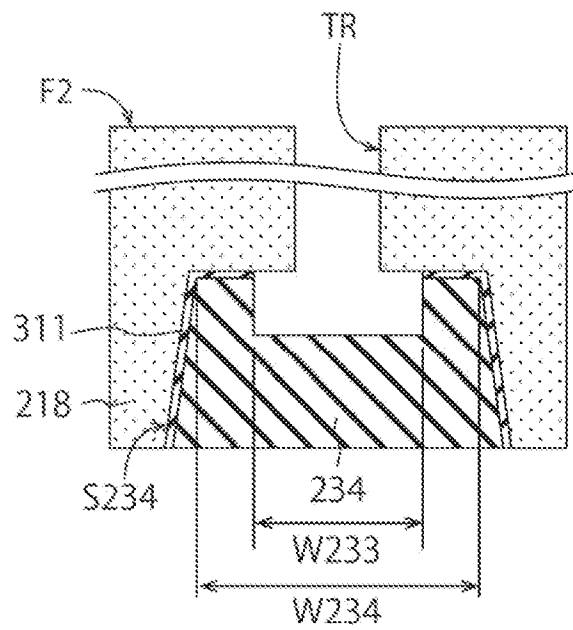
[図23]



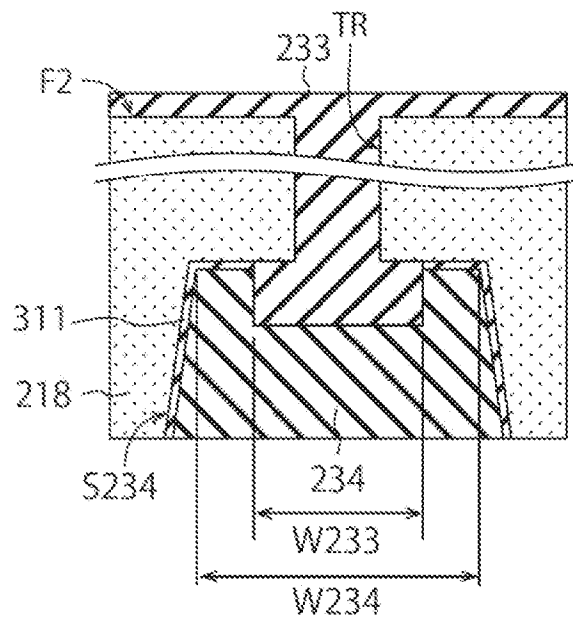
[図24]



[図25]

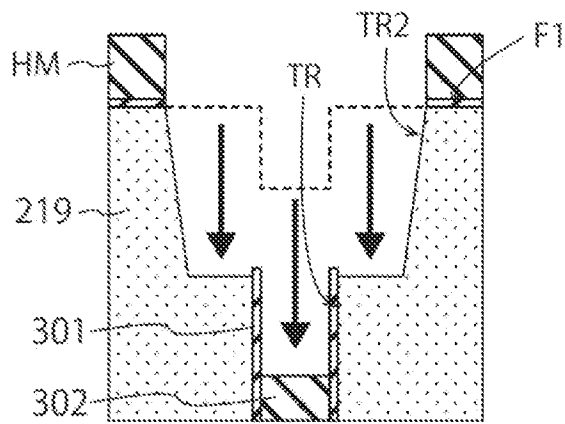


[図26]

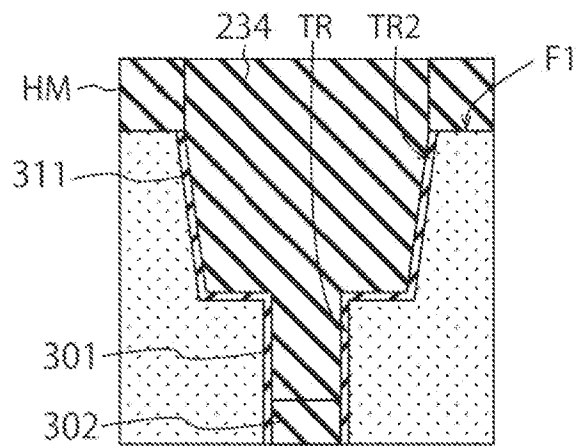


100

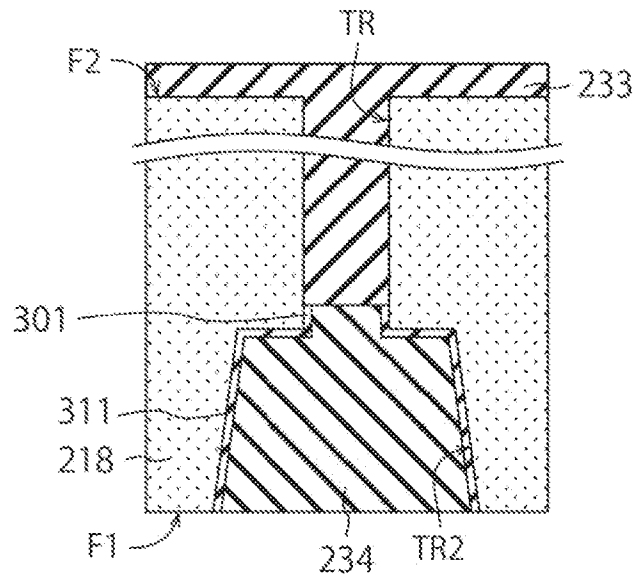
[図29]



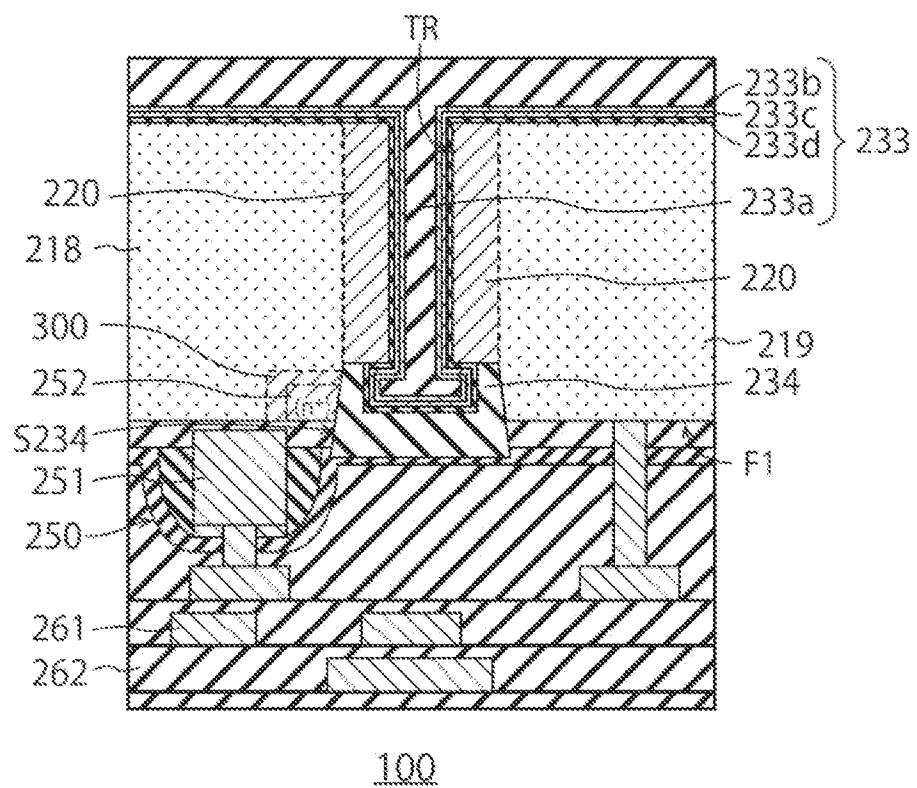
[図30]



[図33]

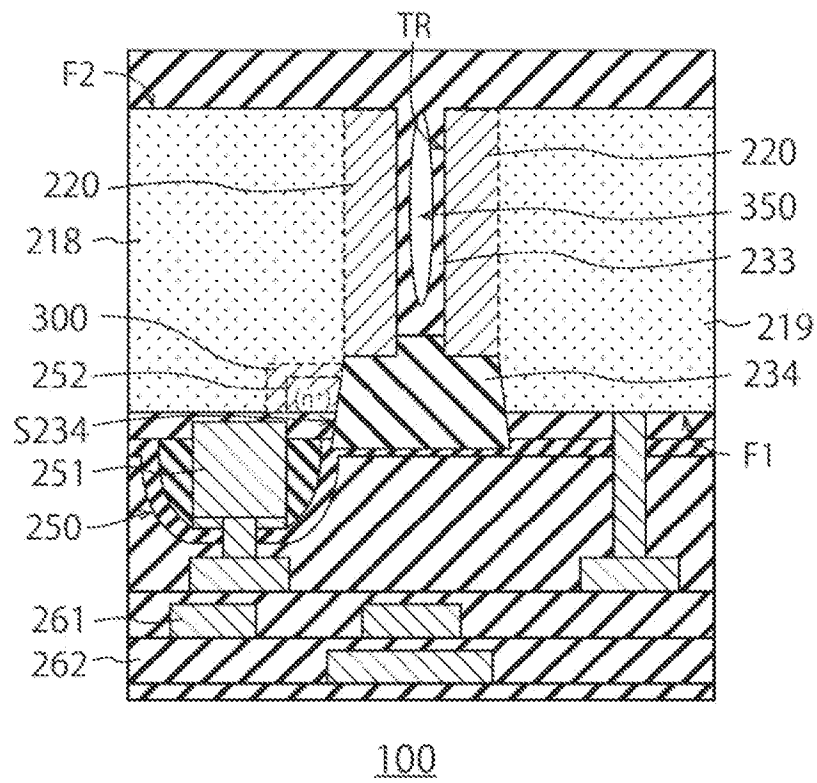


[図34]

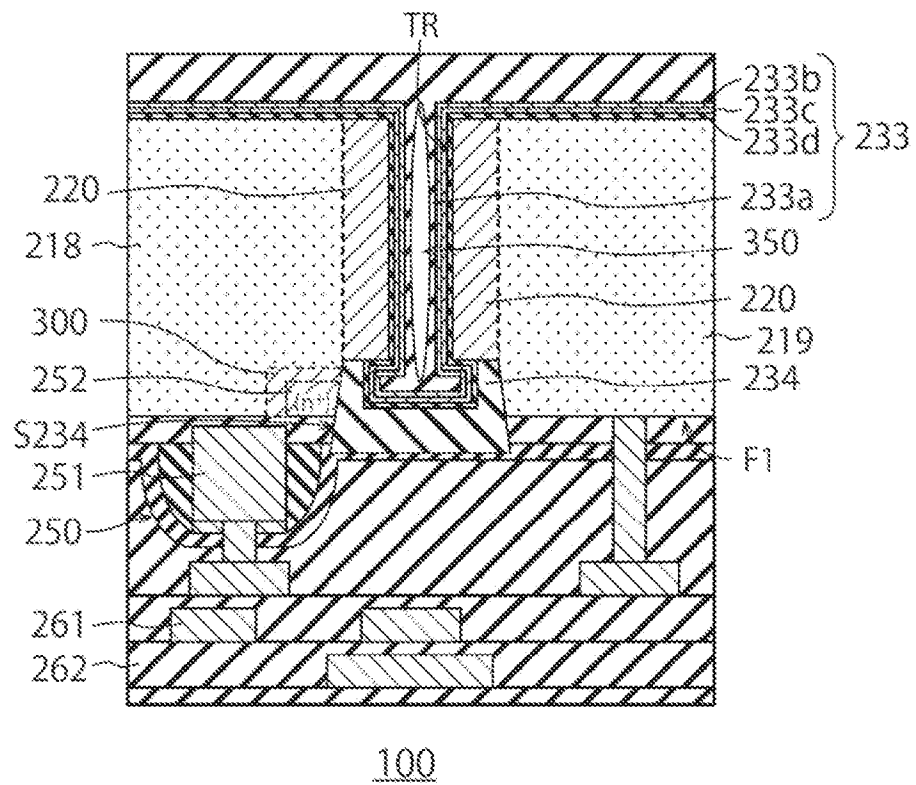


100

[図37]



[図38]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/039805

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/76(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/146**(2006.01)i; **H04N 5/369**(2011.01)i;
H04N 5/374(2011.01)i

FI: H01L27/146 A; H01L27/146 D; H01L21/76 L; H01L27/06 102A; H04N5/369; H04N5/374

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/76; H01L21/8234; H01L27/06; H01L27/146; H04N5/369; H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-162679 A (SAMSUNG ELECTRONICS CO LTD) 07 September 2015 (2015-09-07) paragraphs [0017]-[0040], [0062]-[0064], fig. 1-14, 25	1-5, 7, 9-14, 16-24
Y		6, 8, 15, 18
A		25
Y	JP 2020-13817 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 23 January 2020 (2020-01-23) paragraph [0031], fig. 4, 5	6, 15
Y	JP 2014-131083 A (SONY CORP) 10 July 2014 (2014-07-10) paragraphs [0057]-[0062], fig. 13	6, 8, 15
Y	JP 2013-175494 A (SONY CORP) 05 September 2013 (2013-09-05) paragraphs [0074], [0075], fig. 9	8
Y	US 2019/0115375 A1 (SAMSUNG ELECTRONICS CO., LTD.) 18 April 2019 (2019-04-18) paragraphs [0038]-[0076], fig. 3, 4	18

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 December 2021

Date of mailing of the international search report

28 December 2021

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/039805**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015/0372031 A1 (YOON, Jun-Ho) 24 December 2015 (2015-12-24) entire text, all drawings	1-25
A	US 2018/0190692 A1 (SAMSUNG ELECTRONICS CO., LTD.) 05 July 2018 (2018-07-05) entire text, all drawings	1-25
A	JP 2019-145544 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 29 August 2019 (2019-08-29) entire text, all drawings	1-25

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/039805

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-162679	A	07 September 2015	US 2015/0243694 A1 paragraphs [0047]-[0068], [0085], [0086], fig. 1-14, 25 KR 10-2015-0101681 A CN 104882460 A TW 201543659 A	
JP	2020-13817	A	23 January 2020	EP 3823027 A1 paragraph [0032], fig. 4, 5 CN 112385041 A WO 2020/012824 A1	
JP	2014-131083	A	10 July 2014	(Family: none)	
JP	2013-175494	A	05 September 2013	US 2014/0054662 A1 paragraphs [0111]-[0113], fig. 9 WO 2012/117931 A1 CN 103403869 A KR 10-2014-0015326 A	
US	2019/0115375	A1	18 April 2019	KR 10-2019-0041830 A CN 109671731 A	
US	2015/0372031	A1	24 December 2015	KR 10-2016-0000046 A	
US	2018/0190692	A1	05 July 2018	KR 10-2018-0078418 A	
JP	2019-145544	A	29 August 2019	US 2021/0082974 A1 entire text, all drawings WO 2019/159711 A1 CN 111527606 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/76(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i; H04N 5/374(2011.01)i FI: H01L27/146 A; H01L27/146 D; H01L21/76 L; H01L27/06 102A; H04N5/369; H04N5/374		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L21/76; H01L21/8234; H01L27/06; H01L27/146; H04N5/369; H04N5/374		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2021年 日本国実用新案登録公報 1996 - 2021年 日本国登録実用新案公報 1994 - 2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2015-162679 A（三星電子株式会社）07.09.2015（2015 - 09 - 07） [0017] - [0040], [0062] - [0064], 図1 - 14, 25	1-5, 7, 9-14, 16-24 6, 8, 15, 18 25
Y	JP 2020-13817 A（ソニーセミコンダクタソリューションズ株式会社）23.01.2020 （2020 - 01 - 23） [0031], 図4, 5	6, 15
Y	JP 2014-131083 A（ソニー株式会社）10.07.2014（2014 - 07 - 10） [0057] - [0062], 図13	6, 8, 15
Y	JP 2013-175494 A（ソニー株式会社）05.09.2013（2013 - 09 - 05） [0074], [0075], 図9	8
Y	US 2019/0115375 A1（SAMSUNG ELECTRONICS CO., LTD.）18.04.2019（2019 - 04 - 18） [0038] - [0076], 図3, 4	18
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 21.12.2021		国際調査報告の発送日 28.12.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2015/0372031 A1 (Y00N, Junho) 24.12.2015 (2015 - 12 - 24) 全文, 全図	1-25
A	US 2018/0190692 A1 (SAMSUNG ELECTRONICS CO., LTD.) 05.07.2018 (2018 - 07 - 05) 全文, 全図	1-25
A	JP 2019-145544 A (ソニーセミコンダクタソリューションズ株式会社) 29.08.2019 (2019 - 08 - 29) 全文, 全図	1-25

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/039805

引用文献			公表日	パテントファミリー文献	公表日
JP	2015-162679	A	07.09.2015	US 2015/0243694 A1 [0047]-[0068], [0085], [0086], Figs.1-14, 25 KR 10-2015-0101681 A CN 104882460 A TW 201543659 A	
JP	2020-13817	A	23.01.2020	EP 3823027 A1 [0032], Figs.4, 5 CN 112385041 A WO 2020/012824 A1	
JP	2014-131083	A	10.07.2014	(ファミリーなし)	
JP	2013-175494	A	05.09.2013	US 2014/0054662 A1 [0111]-[0113], Fig.9 WO 2012/117931 A1 CN 103403869 A KR 10-2014-0015326 A	
US	2019/0115375	A1	18.04.2019	KR 10-2019-0041830 A CN 109671731 A	
US	2015/0372031	A1	24.12.2015	KR 10-2016-0000046 A	
US	2018/0190692	A1	05.07.2018	KR 10-2018-0078418 A	
JP	2019-145544	A	29.08.2019	US 2021/0082974 A1 全文, 全図 WO 2019/159711 A1 CN 111527606 A	