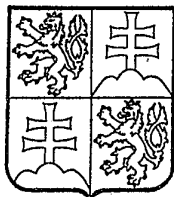


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

272 653

(11)

(13) B1

(51) Int. Cl.⁵
H 03 M 13/00

(21) PV 8637-86.L

(22) Přihlášeno 26 11 86

(40) Zveřejněno 13 06 90

(45) Vydáno 25 11 91

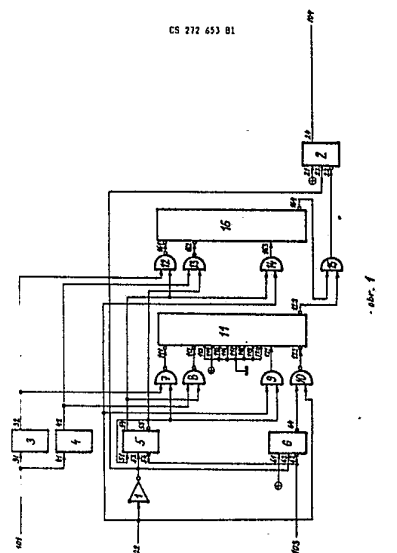
(75) Autor vynálezu SAPÁK VOJTĚCH ing., BRNO

(54)

Způsob stanovení délky vyhodnocovacího okna
pro dekódování dat a zapojení k provádění tohoto způsobu

(57)

Způsob umožňující stanovení délky vyhodnocovacího okna pro dekódování dat s různou délkou periody hodinových impulsů, přičemž změna frekvence je možná až do délky vyhodnocovacího okna a periody hodinových impulsů bit od bitu. Zapojení k provádění tohoto způsobu sestává z bistabilních klopných obvodů, logických obvodů a dvou čítačů.



1

Podstatou zapojení k provádění tohoto způsobu je, že vstup děliče dvěma je připojen na vstup děliče třemi a tvoří současně měrný vstup zapojení, výstup děliče dvěma je připojen na první vstup prvního dvouvstupového obvodu typu negace logického součinu a na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na sestupný čítaací vstup druhého čítače, výstup děliče třemi je připojen na první vstup druhého dvouvstupového obvodu typu negace logického součinu a na první vstup pátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na vzestupný čítaací vstup druhého čítače, vstup invertoru je připojen na první vstup druhého dvouvstupového obvodu typu logického součinu, na druhý vstup třetího dvouvstupového obvodu typu logického součinu a na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu a tvoří současně hodinový vstup zapojení, výstup invertoru je připojen na hodinový vstup bistabilního klopného obvodu vyhodnocovacího okna, na hodinový vstup bistabilního klopného obvodu přepínače a na hodinový vstup bistabilního klopného obvodu prvního impulsu, přímý výstup bistabilního klopného obvodu přepínače je připojen na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu, na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu a na první vstup třetího dvouvstupového obvodu typu logického součinu, jehož výstup je připojen na nulovací vstup druhého čítače, inverzní výstup bistabilního klopného obvodu přepínače je připojen na datový vstup bistabilního klopného obvodu přepínače, na druhý vstup prvního dvouvstupového obvodu typu negace lo-

gického součinu, na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu typu logického součinu, jehož výstup je připojen na nulovací vstup prvního čítače, nulovací vstup bistabilního klopného obvodu prvního impulsu je připojen na nastavovací vstup bistabilního klopného obvodu přepínače a tvoří současně řídící vstup zapojení, datový vstup bistabilního klopného obvodu prvního impulsu je připojen na svorku kladného potenciálu, inverzní výstup bistabilního klopného obvodu prvního impulsu je připojen na první vstup třetího dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na nastavovací vstup prvního čítače, výstup prvního dvouvstupového obvodu typu negace logického součinu je připojen na sestupný čítací vstup prvního čítače, výstup druhého dvouvstupového obvodu typu negace logického součinu je připojen na vzestupný čítací vstup prvního čítače, jehož výstup je připojen na druhý vstup prvního dvouvstupového typu logického součinu, první, třetí až osmý vstup nastavení prvního čítače jsou připojeny na svorku nulového potenciálu, druhý vstup nastavení prvního čítače je připojen na kladný potenciál, výstup druhého čítače je připojen na první vstup prvního dvouvstupového obvodu typu logického součinu, jehož výstup je připojen na nulovací vstup bistabilního klopného obvodu vyhodnocovacího okna, datový vstup bistabilního klopného obvodu vyhodnocovacího okna je připojen na svorku kladného potenciálu, přímý výstup bistabilního klopného obvodu vyhodnocovacího okna tvoří současně výstup vyhodnocovacího okna zapojení.

Výhodou způsobu stanovení délky vyhodnocovacího okna pro dekódování dat a zapojení k provádění tohoto způsobu podle vynálezu je, že umožňuje stanovení délky vyhodnocovacího okna pro dekódování dat s různou délkou periody hodinových impulsů a změna frekvence je možná až do rozdílu délky vyhodnocovacího okna a periody hodinových impulsů bit od bitu. Další výhodou je, že umožňuje stanovení délky vyhodnocovacího okna s různou frekvencí hodinových impulsů a podíl frekvencí hodinových impulsů různých datových bloků může být i několikanásobný, přičemž odpadá větší množství dat nulových pro nesyntronování následujících aktuálních dat a toto množství dat je u popisovaného způsobu stanovení vyhodnocovacího okna zmenšeno na pouhý jeden bit dat. U zařízení s mechanickým posuvem záznamového média odpadá stabilizace rychlosti jeho posuvu.

Příklad způsobu stanovení délky vyhodnocovacího okna pro dekódování dat podle vynálezu je znázorněn v časovém diagramu na obr. 3 připojených výkresů.

V časovém diagramu dle obr. 3 znamená CL hodinové impulsy, U elektrické napětí jako měrná veličina, VO vyhodnocovací okno. Příchozem prvního hodinového impulsu CL 1. započne vzrůstat od nuly elektrické napětí U. Jeho vzrůstání, na příklad až do výše 1 V, skončí příchozem druhého hodinového impulsu CL 2., čímž je analogově změřena délka periody hodinového impulsu CL. Tímto druhým hodinovým impulsem CL 2. započne odměřování délky vyhodnocovacího okna VO tím, že uvedené elektrické napětí U klesá větší rychlostí než jakou vzrůstalo, z dosažené hodnoty 1 V zpět na nulu, čili v kratší době. V tuto dobu skončí také impuls vyhodnocovacího okna VO, které platí pro periodu hodinového impulsu CL, začínající druhým hodinovým impulsem CL 2. a končící třetím hodinovým impulsem CL 3.

Příklad zapojení k provádění způsobu podle vynálezu je znázorněn na připojených výkresech, na nichž

obr. 1 představuje schéma zapojení,

obr. 2 časový diagram signálů v zapojení dle obr. 1.

Vstup 31 děliče 3 dvěma je připojen na vstup 41 děliče 4 třemi a tvoří současně měrný vstup 101 zapojení pro připojení na neznázorněný oscilátor. Výstup 32 děliče 3 dvěma je připojen na první vstup prvního dvouvstupového obvodu 7 typu negace logického součinu a na první vstup čtvrtého dvouvstupového obvodu 12 typu negace logického součinu, jehož výstup je připojen na sestupný čítací vstup 161 druhého osmibitového čítače 16. Výstup 42 děliče 4 třemi je připojen na první vstup druhého dvouvstupového obvodu

8 typu negace logického součinu a na první vstup pátého dvouvstupového obvodu 13 typu negace logického součinu, jehož výstup je připojen na vzestupný čítací vstup 162 druhého osmibitového čítače 16. Vstup invertoru 1 je připojen na první vstup druhého dvouvstupového obvodu 9 typu logického součinu, na druhý vstup třetího dvouvstupového obvodu 10 typu negace logického součinu a na druhý vstup třetího dvouvstupového obvodu 10 typu negace logického součinu a tvoří současně hodinový vstup 102 zapojení pro připojení na neznázorněný separátor datových a hodinových impulsů. Výstup invertoru 1 je připojen na hodinový vstup 22 klopného obvodu 2 vyhodnocovacího okna typu D, na hodinový vstup 52 klopného obvodu 5 přepínače typu D a na hodinový vstup 62 klopného obvodu 6 prvního impulsu typu D. Přímý výstup 54 klopného obvodu 5 přepínače typu D je připojen na druhý vstup druhého dvouvstupového obvodu 8 typu negace logického součinu, na druhý vstup čtvrtého dvouvstupového obvodu 12 typu negace logického součinu a na první vstup třetího dvouvstupového obvodu 14 typu logického součinu, jehož výstup je připojen na nulovací vstup 163 druhého osmibitového čítače 16. Inversní výstup 55 klopného obvodu 5 přepínače typu D je připojen na datový vstup 51 klopného obvodu 5 přepínače typu D, na druhý vstup prvního dvouvstupového obvodu 7 typu negace logického součinu, na druhý vstup pátého dvouvstupového obvodu 13 typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu 9 typu logického součinu, jehož výstup je připojen na nulovací vstup 121 prvního osmibitového čítače 11. Nulovací vstup 63 klopného obvodu 6 prvního impulsu typu D je připojen na nastavovací vstup 53 klopného obvodu 5 přepínače typu D a tvoří současně řídicí vstup 103 zapojení pro připojení na neznázorněnou řídicí jednotku. Datový vstup 61 klopného obvodu 6 prvního impulsu typu D je připojen na kladný potenciál. Inversní výstup 64 klopného obvodu 6 prvního impulsu typu D je připojen na první vstup třetího dvouvstupového obvodu 10 typu negace logického součinu, jehož výstup je připojen na nastavovací vstup 122 prvního osmibitového čítače 11. Výstup prvního dvouvstupového obvodu 7 typu negace logického součinu je připojen na sestupný čítací vstup 111 prvního osmibitového čítače 11. Výstup druhého dvouvstupového obvodu 8 typu negace logického součinu je připojen na vzestupný čítací vstup 112 prvního osmibitového čítače 11, jehož výstup 123 je připojen na druhý vstup prvního dvouvstupového obvodu 15 typu logického součinu. První, třetí až osmý vstup 113, 115 až 120 nastavení prvního osmibitového čítače 11 jsou připojeny na nulový potenciál, druhý vstup 114 nastavení je připojen na kladný potenciál. Výstup 164 druhého osmibitového čítače 16 je připojen na první vstup prvního dvouvstupového obvodu 15 typu logického součinu, jehož výstup je připojen na nulovací vstup 23 klopného obvodu 2 vyhodnocovacího okna typu D. Datový vstup 21 klopného obvodu 2 vyhodnocovacího okna typu D je připojen na kladný potenciál. Přímý výstup 24 klopného obvodu 2 vyhodnocovacího okna typu D tvoří současně výstup 104 vyhodnocovacího okna zapojení pro připojení na neznázorněný dekodér dat. V zapojení lze použít i jiných vhodných bistabilních klopných obvodů, jakož i čítačů o jiném počtu bitů.

Hodinové impulsy, z jejichž periody se stanoví délka vyhodnocovacího okna, jsou obsahem signálu na hodinovém vstupu 102 zapojení ve formě úzkých impulsů s přechodem z nízké hladiny na vysokou hladinu a zpět na nízkou hladinu. V klidovém stavu má signál na řídicím vstupu 103 zapojení nízkou hladinu. Touto hladinou je nulován klopný obvod 6 prvního impulsu typu D pro vytvoření prvního impulsu a nastaven do jedničky klopný obvod 5 přepínače typu D, jehož výstupní signály zajišťují, že jeden z osmibitových čítačů 11, 16 čítá nahoru měrný kmitočet signálu na výstupu 42 děliče 4 třemi a měří tak interval mezi dvěma hodinovými impulsy a druhý z čítačů 11, 16 čítá dolů měrný kmitočet signálu na výstupu 32 děliče 3 dvěma a vytváří tak při dočítání do stavu nula impuls signálu na nulovacím vstupu 23 klopného obvodu 2 vyhodnocovacího okna typu D. Klopný obvod 2 vyhodnocovacího okna typu D je v klidovém stavu periodicky nulován v okamžiku, kdy druhý z osmibitových čítačů 11, 16, čítající dolů, dočítá do stavu nula. Během dekódování bloků dat má signál na řídicím vstupu 103 zapojení vysokou hladinu, to znamená, že před příchodem prvního hodinového impulsu se změní hladina tohoto signálu z nízké hladiny na

vysokou hladinu a po přijetí posledního hodinového impulsu se změní z hladiny vysoké na hladinu nízkou. Závěrnou hranou prvního hodinového impulsu na hodinovém vstupu 102 zapojení je překlopen klopný obvod 6 prvního impulsu typu D do jedničky a třetí dvouvstupový obvod 10 typu negace logického součinu vygeneruje impuls signálu, který nastaví první osmibitový čítač 11 na stav daný pevně nastavenými vstupy 113 až 120 nastavení na číslo blízké nule, na příklad číslo dvě, jak je naznačeno na obr. 2. Další impulsy už tento obvod nepropustí až do skončení dekódování celého bloku dat. Závěrnou hranou každého hodinového impulsu je překlopen klopný obvod 5 přepínače typu D do opačného stavu a nastaven klopný obvod 2 vyhodnocovacího okna typu D do jedničky. Signály na výstupech klopného obvodu 5 přepínače typu D jsou přivedeny na obvody 7, 8, 9, 12, 13, 14, které propustí nebo nepropustí signály na výstupu 32 děliče 3 dvěma, na výstupu 42 děliče 4 třemi a na hodinovém vstupu 22 zapojení do obou osmibitových čítačů 11, 16 tak, že jeden z osmibitových čítačů 11, 16 je hodinovým impulsem vynulován a následující interval čítá nahoru pomocí pomalejšího kmitočtu signálu na výstupu 42 děliče 4 třemi až do příchodu následujícího hodinového impulsu a druhý z osmibitových čítačů 11, 16 má tímto hodinovým impulsem změněn režim čítání a načítaný stav z předchozího čítání nahoru čítá dolů pomocí rychlejšího kmitočtu na výstupu 32 dvěma a při průchodu stavem nula generuje impuls signálu na nulovacím vstupu 23 klopného obvodu 2 vyhodnocovacího okna typu D, který nuluje klopný obvod 2 vyhodnocovacího okna typu D. Příchodem dalšího následujícího hodinového impulsu se režim obou osmibitových čítačů 11, 16 vymění a tato činnost se periodicky opakuje. Činnost obvodu je dále zřejmá z časového diagramu na obr. 2, kde jsou znázorněny průběhy signálů na vybraných vstupech a výstupech zapojení dle obr. 1, stav obou osmibitových čítačů 11, 16 a kde číslo n znamená maximální číslo obou osmibitových čítačů 11, 16, to je všechny jeho bity rovnající se jedničce. V popsaném zapojení se jako měrné veličiny k měření délky periody hodinových impulsů používá měrných impulsů. V některých případech lze jako měrné veličiny použít elektrického napětí nebo elektrického proudu.

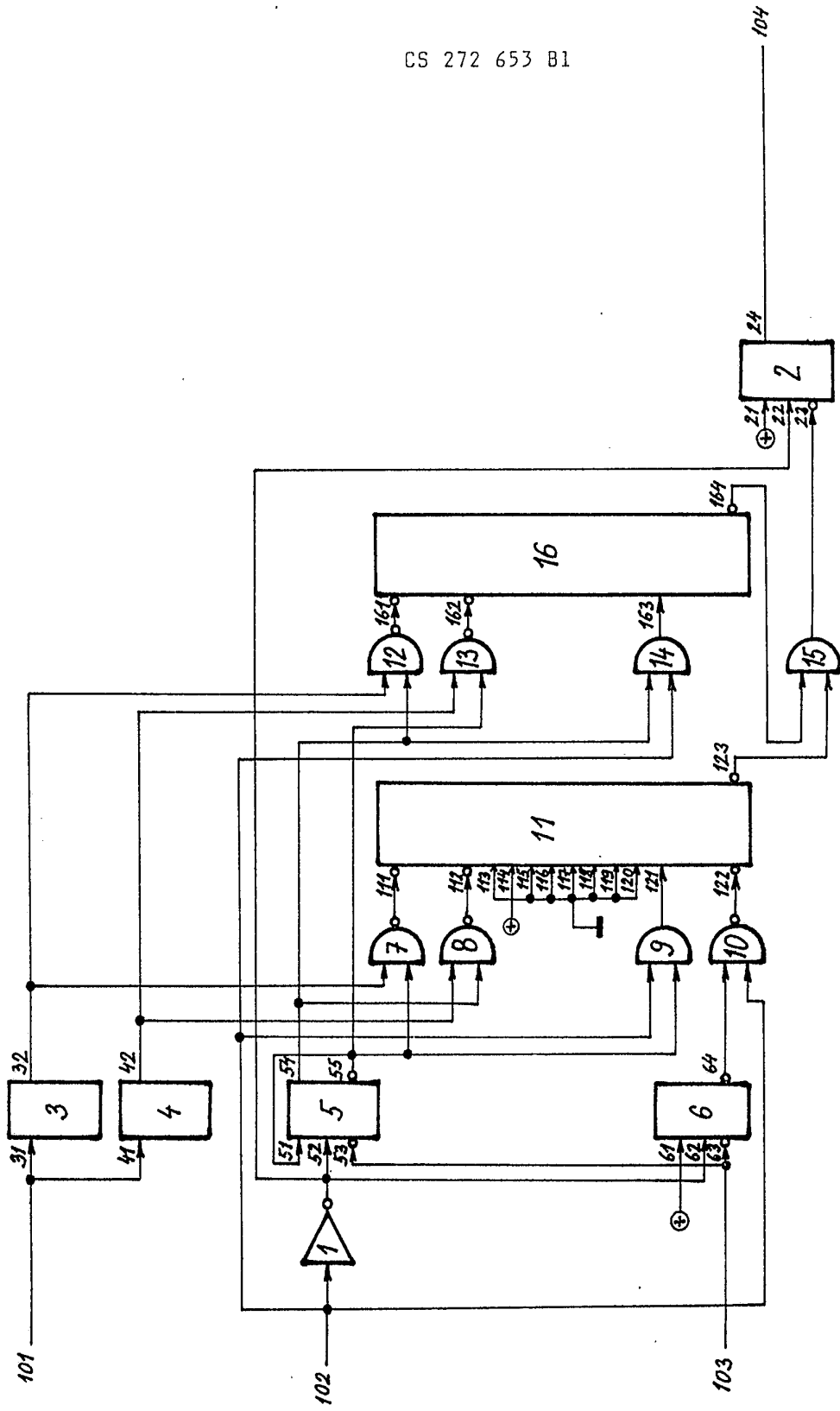
Vynálezu lze využít ke stanovení délky vyhodnocovacího okna pro dekódování dat s vlastní synchronizací, přicházející z paměti s magnetickým záznamem dat, z datové linky přenosu dat a podobně zejména ze zařízení s plynule kolísající frekvencí hodinových impulsů.

P Ř E D M Ě T V Y N Á L E Z U

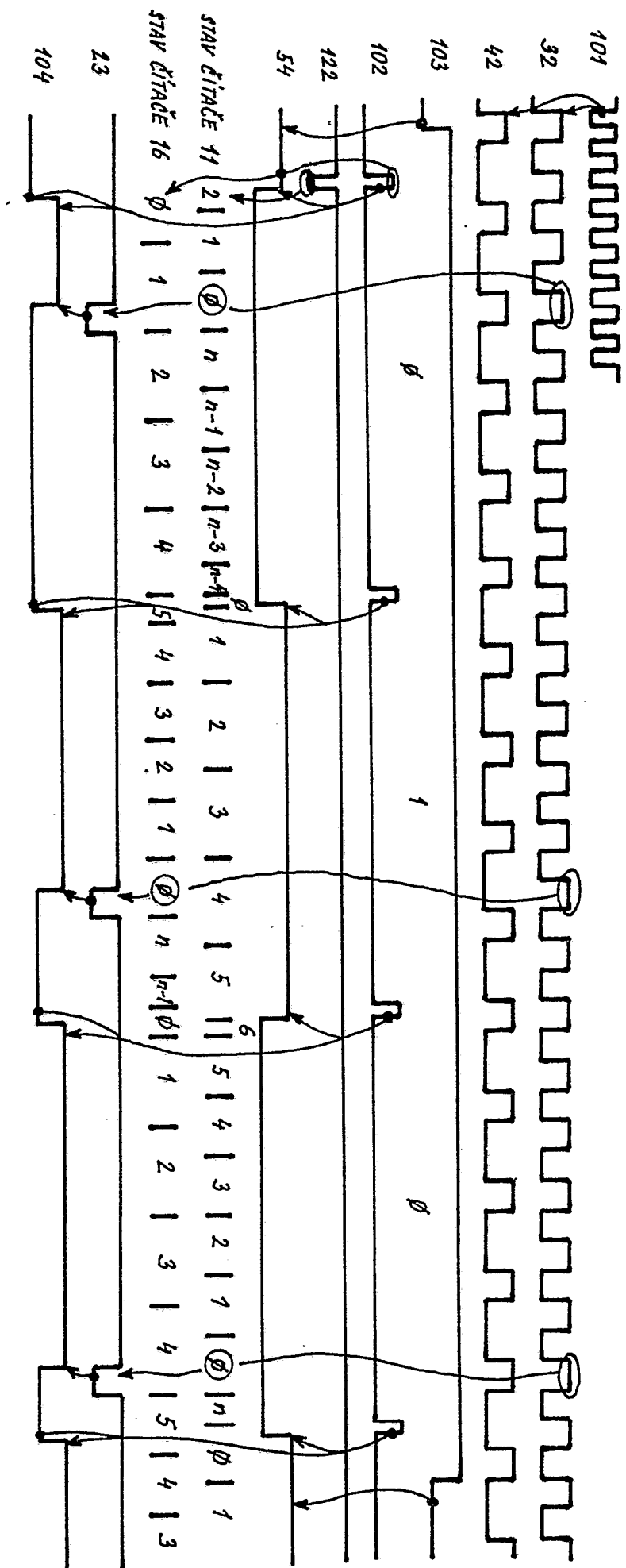
1. Způsob stanovení délky vyhodnocovacího okna pro dekódování dat, inicializovaného hodinovým impulsem, vyznačený tím, že změnou měrné veličiny z výchozí hodnoty se změní délka periody hodinového impulsu a následnou rychlejší změnou této měrné veličiny k výchozí hodnotě se odměří délka vyhodnocovacího okna pro bezprostředně následující periodu hodinového impulsu.

2. Zapojení k provádění způsobu podle bodu 1 s bistabilními klopnými obvody a s logickými obvody, vyznačené tím, že vstup (31) děliče (3) dvěma je připojen na vstup (41) děliče (4) třemi a tvoří současně vstup (101) zapojení, výstup (32) děliče (3) dvěma je připojen na první vstup prvního dvouvstupového obvodu (7) typu negace logického součinu a na první vstup čtvrtého dvouvstupového obvodu (12) typu negace logického součinu, jehož výstup je připojen na sestupný čítací vstup (161) druhého čítače (16), výstup (42) děliče (4) třemi je připojen na první vstup druhého dvouvstupového obvodu (8) typu negace logického součinu a na první vstup pátého dvouvstupového obvodu (13) typu negace logického součinu, jehož výstup je připojen na vstupný čítací vstup (162) druhého čítače (16), vstup invertoru (1) je připojen na první vstup druhého dvouvstupového obvodu (9) typu logického součinu, na druhý vstup třetího dvouvstupového obvodu (14) typu logického součinu a na druhý vstup třetího dvouvstupového obvodu (10) typu negace logického součinu a tvoří sou-

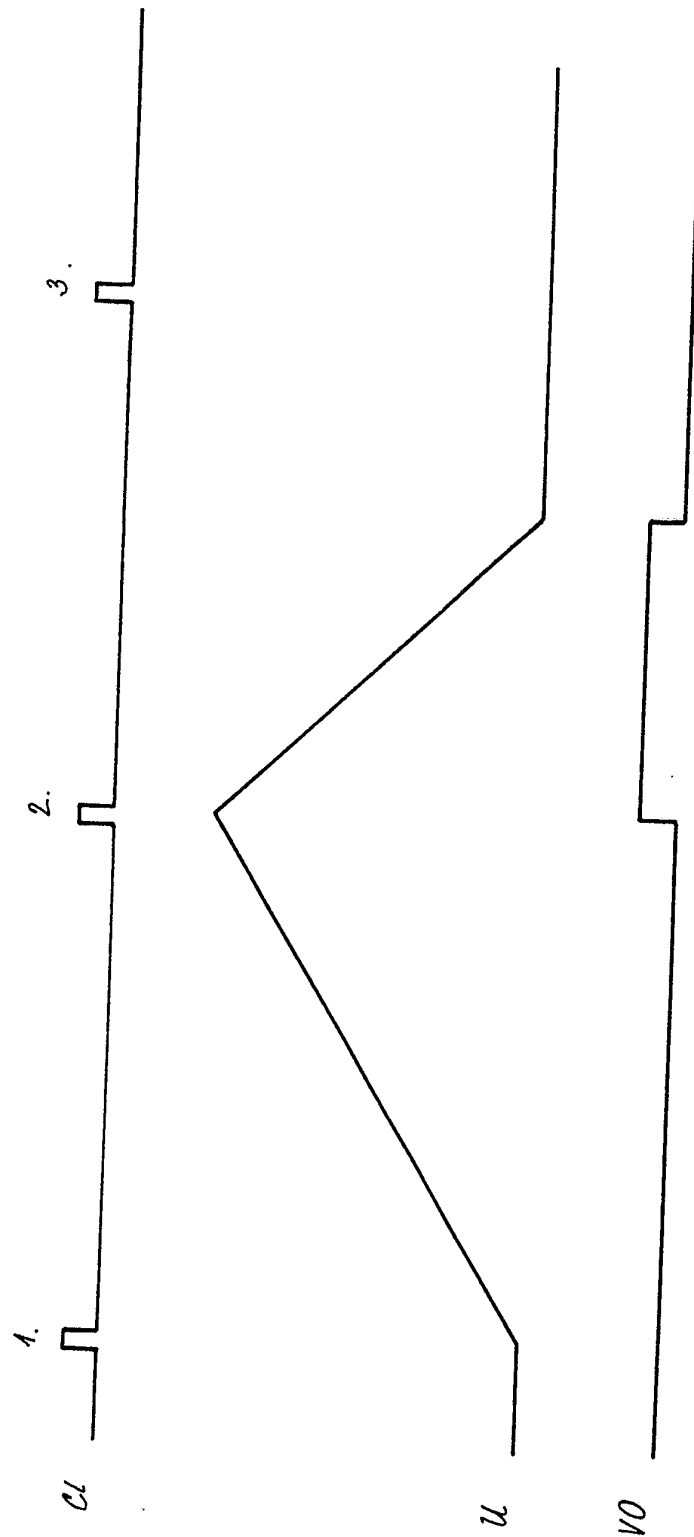
časně hodinový vstup (102) zapojení, výstup invertoru (1) je připojen na hodinový vstup (22) bistabilního klopného obvodu (2) vyhodnocovacího okna, na hodinový vstup (52) bistabilního klopného obvodu (5) přepínače a na hodinový vstup (62) bistabilního klopného obvodu (6) prvního impulsu, přímý výstup (54) bistabilního klopného obvodu (5) přepínače je připojen na druhý vstup druhého dvouvstupového obvodu (8) typu negace logického součinu, na druhý vstup čtvrtého dvouvstupového obvodu (12) typu negace logického součinu a na první vstup třetího dvouvstupového obvodu (14) typu logického součinu, jehož výstup je připojen na nulovací vstup (163) druhého čítače (16) inverzní výstup (55) bistabilního klopného obvodu (5) přepínače je připojen na datový vstup (51) bistabilního klopného obvodu (5) přepínače, na druhý vstup prvního dvouvstupového obvodu (7) typu negace logického součinu, na druhý vstup pátého dvouvstupového obvodu (13) typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu (9) typu logického součinu, jehož výstup je připojen na nulovací vstup (121) prvního čítače (11), nulovací vstup (63) bistabilního klopného obvodu (6) prvního impulsu je připojen na nastavovací vstup (53) bistabilního klopného obvodu (5) přepínače a tvoří současně řídicí vstup (103) zapojení, datový vstup (61) bistabilního klopného obvodu (6) prvního impulsu je připojen na svorku kladného potenciálu, inverzní výstup (64) bistabilního klopného obvodu (6) prvního impulsu je připojen na první vstup třetího dvouvstupového obvodu (10) typu negace logického součinu, jehož výstup je připojen na nastavovací vstup (122) prvního čítače (11), výstup prvního dvouvstupového obvodu (7) typu negace logického součinu je připojen na sestupný čítací vstup (111) prvního čítače (11), výstup druhého dvouvstupového obvodu (8) typu negace logického součinu je připojen na vzestupný čítací vstup (112) prvního čítače (11), jehož výstup (123) je připojen na druhý vstup prvního dvouvstupového obvodu (15) typu logického součinu, první, třetí až osmý vstup (113, 115 až 120) nastavení prvního čítače (11) jsou připojeny na svorku nulového potenciálu, druhý vstup (114) nastavení prvního čítače (11) je připojen na kladný potenciál, výstup (164) druhého čítače (16) je připojen na první vstup prvního dvouvstupového obvodu (15) typu logického součinu, jehož výstup je připojen na nulovací vstup (23) bistabilního klopného obvodu (2) vyhodnocovacího okna, datový vstup (21) bistabilního klopného obvodu (2) vyhodnocovacího okna je připojen na svorku kladného potenciálu, přímý výstup (24) bistabilního klopného obvodu (2) vyhodnocovacího okna tvoří současně výstup (104) vyhodnocovacího okna zapojení.



obr. 1



obr. 2



obr. 3