



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월14일
(11) 등록번호 10-1419173
(24) 등록일자 2014년07월07일

(51) 국제특허분류(Int. Cl.)
H01L 33/00 (2010.01) H01L 29/86 (2006.01)
(21) 출원번호 10-2013-0031105
(22) 출원일자 2013년03월22일
심사청구일자 2013년03월22일
(56) 선행기술조사문헌
KR101007424 B1

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스
내 (서천동, 경희대학교)
(72) 발명자
최재우
서울 송파구 송파대로 567, 510동 307호 (잠실동,
주공아파트)
(74) 대리인
오세중

전체 청구항 수 : 총 13 항

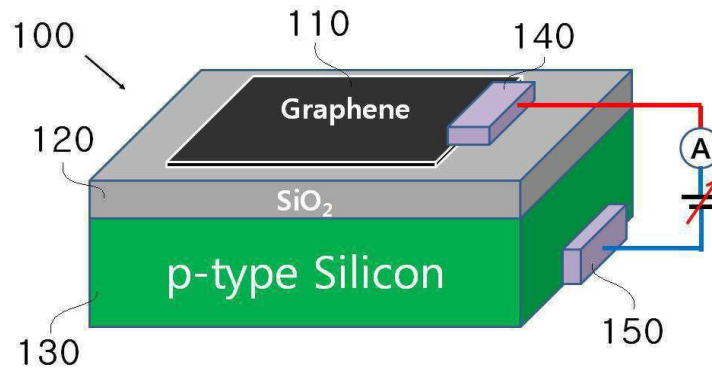
심사관 : 김태연

(54) 발명의 명칭 그래핀 투과 발광 다이오드

(57) 요약

본 발명에 따른 그래핀 투과 발광 투과 다이오드는 반도체층, 상기 반도체층 상에 마련된 부도체층; 및 상기 부도체층 상에 마련된 그래핀층을 포함하는 것을 특징으로 한다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호 1345172597

부처명 교육과학기술부

연구사업명 일반연구자지원

연구과제명 무촉매 나노 그래핀 성장 및 재결정화 기술 개발

기 여 율 1/1

주관기관 경희대학교

연구기간 2012.05.01 ~ 2013.04.30

특허청구의 범위

청구항 1

p형 반도체층;

상기 반도체층 상에 마련된 부도체층; 및

상기 부도체층 상에 마련된 그래핀층을 포함하는 그래핀을 포함하되,

상기 반도체층과 그래핀층 사이에는 역방향 바이어스가 인가되고,

상기 부도체층은 홀 터널링 에너지 배리어가 전자의 터널링 에너지 배리어보다 높은 재질로 형성되며,

전자가 상기 부도체층을 투과(tunneling)하여 상기 그래핀층에서 발광되는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 반도체층은 에너지 밴드갭이 1.4 eV 이상인 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 5

제4항에 있어서,

상기 반도체층은 AlAs, GaP, GaAs, GaN, SiC 및 금속 산화물 반도체 중 어느 하나를 재료로 하는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 6

삭제

청구항 7

n형 반도체층;

상기 반도체층 상에 마련된 부도체층; 및

상기 부도체층 상에 마련된 그래핀층을 포함하는 그래핀을 포함하되,

상기 반도체층과 그래핀층 사이에는 순방향 바이어스가 인가되고,

상기 부도체층은 홀 터널링 에너지 배리어가 전자 터널링 에너지 배리어보다 높은 재질로 형성되며,

전자가 상기 부도체층을 투과(tunneling)하여 상기 그래핀층에서 발광되는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 8

삭제

청구항 9

제1항 또는 제7항에 있어서,

상기 부도체층은 SiO_2 , TiO_2 , Al_2O_3 , Ta_2O_5 , SrTiO_3 , ZrO_2 , HfO_2 , HfSiO_4 , La_2O_3 및 Y_2O_3 중 어느 하나를 재료로 하는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 10

n형 반도체층;

상기 반도체층 상에 마련된 부도체층; 및

상기 부도체층 상에 마련된 그래핀층을 포함하는 그래핀을 포함하되,

상기 반도체층과 그래핀층 사이에는 역방향 바이어스가 인가되고,

상기 부도체층은 전자 터널링 에너지 배리어가 홀 터널링 에너지 배리어보다 높은 재질로 형성되며,

홀이 상기 부도체층을 투과(tunneling)하여 상기 그래핀층에서 발광되는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 11

삭제

청구항 12

제7항 또는 제10항에 있어서,

상기 부도체층은 질화물 계열을 재료로 하는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 13

제7항 또는 제10항에 있어서,

상기 반도체층은 n형으로 도핑된 IT0로 구성되는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 14

삭제

청구항 15

제1항, 제7항 및 제10항 중 어느 한 항에 있어서,

상기 부도체층은 5 nm 내지 500 nm의 두께로 형성되는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 16

금속층;

상기 금속층 상에 마련된 부도체층; 및

상기 부도체층 상에 마련된 그래핀층을 포함하되,

상기 금속층과 그래핀층 사이에는 순방향 바이어스가 인가되고,

상기 부도체층은 홀 터널링 에너지 배리어가 전자 터널링 에너지 배리어보다 높은 재질로 형성되며,

전자가 상기 부도체층을 투과(tunneling)하여 상기 그래핀층에서 발광되는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 17

삭제

청구항 18

제16항에 있어서,

상기 금속층은 일함수가 3.5 eV 이하인 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 19

제16항에 있어서,

발광하는 빛의 파장의 크기는 상기 금속층의 일함수 크기에 비례하는 것을 특징으로 하는 그래핀 투과 발광 다이오드.

청구항 20

제16항에 있어서,

상기 부도체층은 실리콘 산화물, 금속산화물, High K 비전도성 유전체 및 플라스틱 중 어느 하나를 재료로 하고,

상기 High K 비전도성 유전체는 HfO_2 , ZrO_2 , TiO_2 및 Ta_2O_5 중 어느 하나인 것을 특징으로 하는 투과 발광 다이오드.

명세서

기술분야

[0001] 본 발명은 그래핀-부도체-반도체 구조 또는 그래핀-부도체-금속 구조를 갖는 전자소자에 관한 것으로, 더욱 상세하게는 양자 터널링(Quantum tunneling) 현상을 이용하여 매우 큰 온/오프 신호비(on/off signal ratio)를 구현함과 동시에 가변에너지의 빛을 방출하는 그래핀 투과 발광 다이오드에 관한 것이다.

배경기술

[0002] 그래핀(graphene)은 탄소 화합물로서, 2차원 6각형 탄소 결정 구조(2-dimensional hexagonal crystalline carbon structure)를 가지는 물질이며 전기적, 열적 및 광학적 특성이 우수하여 최근 널리 연구되고 있다.

[0003] 그래핀은 제로 에너지 갭 반도체(zero gap semiconductor)로서, 기본적으로 금속성(metal-like) 성격을 가지고 있으며, 캐리어 이동도(mobility)가 상온(15 내지 25℃)에서 $100,000 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 로 기존 실리콘 대비 약 100배 정도 높아 고속 동작 소자, 예를 들어 RF 소자(radio frequency device)에 적용될 수 있으나, 그래핀은 근본적으로 에너지 밴드갭을 갖고 있지 않아 높은 온/오프 신호비(on/off signal ratio)를 요구하는 스위칭 소자에는 적절하지 않은 것으로 알려져 있다.

[0004] 그리하여 그래핀에 에너지 밴드갭을 부여하기 위한 여러 가지 방법들이 연구되어 왔다. 즉, 그래핀에 수직으로 전기장을 가하여 에너지 밴드갭을 부여하는 방법, 그래핀과 기판 사이의 상호작용을 이용하여 에너지 밴드갭을 형성하는 방법, 그래핀의 크기를 조절하여 양자 구속 효과로 인하여 에너지 밴드갭을 획득하는 방법, 그래핀의 sp² 결합 구조를 부분적으로 sp³ 결합으로 바꾸어 에너지 밴드갭을 갖게 하는 연구 등과 같이 그래핀이 발견된 이래로 많은 연구 기관들에 의해 연구가 계속되어 왔다.

[0005] 하지만, 그래핀에 에너지 밴드갭을 형성하기 위한 이들 방법은 공정이 매우 까다롭고, 그래핀이 가지고 있는 우수한 물성들에 부정적인 요소로 작용하여, 이들 방법에 따라 그래핀에 에너지 밴드갭이 형성된다 하더라도 기존의 소자들보다 우수한 소자 특성을 구현하지는 못했다.

[0006] 특히, 종래의 그래핀을 이용한 트랜지스터로는 그래핀의 채널폭(channel width)을 10nm 이하로 작게 하여 사이즈 효과(size effect)에 의하여 밴드갭(band gap)을 형성하는 전계 효과 트랜지스터(field effect transistor)가 주로 제작되었으나, 현재까지 기존의 실리콘(Si) 기반 트랜지스터(transistor)에 비해 월등한 스위칭 속도(switching speed)나 온/오프 신호비(on/off signal ratio)를 구현하지는 못하고 있다.

[0007] 또한, 그래핀을 이용한 소자는 생산 공정이 간편하고 제조비용이 저렴해야 상용화가 용이하고 산업상 이용성이

높다. 그러나 종래의 기계적인 박리를 통해 그래핀을 얻는 방법은 대면적 구현이 불가능하다는 단점 때문에 상용화에 적합하지 않다. 또한 상대적으로 높은 품질과 더불어 대면적 구현이 가능한 것으로 알려진 SIC를 이용하여 고온에서 열처리를 통해 그래핀을 얻는 방법도 있으나, SIC 기관의 비싼 가격으로 인해 상용화에는 적합하지 않다.

[0008] 한편, 실리콘 기반 반도체 기술, 즉, CMOS (Complementary Metal Oxide Semiconductor) 기술은 현대 정보기술의 핵심 기술로서, 세대를 거듭하면서 소자의 소형화와 동시에 그 성능도 더욱 향상되고 있다. CMOS 기술에 사용되는 Field Effect Transistor(FET)의 최소 channel length는 수십 nm에 이르게 되었고, CMOS 소자의 집적 기술도 발달하여, 한 소자 안에 수십억 개의 CMOS 소자가 집적되어 있다. 집적화 기술이 발달함에 따라, 단위 면적당 소자수가 증가하고 정보 처리 능력이 증가함과 동시에, 단위 면적당 사용하는 에너지, 파워(power) 및 발생 열은 나날이 증가하고 있다. 이는 각 소자를 구동하기 위해 필요로 하는 에너지 손실과 소자의 소형화로 발생하는 leakage current로 열손실이 매우 크기 때문이다. 이와 같이 소자의 소형화 및 집적화에 따라 CMOS 기술에서 발생하는 문제는 short-channel effect, drain-induced barrier lowering, 얇은 부도체 산화막으로 인한 tunneling current, 전하 운반자의 이동도 감소, 도선의 전기저항 및 고전류 밀도에 따른 도선의 불안전성, 고온 발생에 따른 소자의 불안정성 등이 있다.

[0009] 또한, 디스플레이 기술은 반도체 기술과 더불어 현대의 전자기술의 발전 원동력으로서, 디스플레이의 화소 구동은 일반적으로 능동 매트릭스(matrix) 방식을 사용하며, 이를 위해 박막 트랜지스터(TFT)가 이용된다. 대표적인 TFT 재료는 비정질 실리콘(amorphous silicon)이 있으나, 디스플레이의 화면이 커지면서 빠른 속도로 스위칭을 해야함에 따라 이동도가 낮은 비정질실리콘은 그 한계를 나타낸 바 있다. 따라서 상대적으로 높은 이동도를 가진 재료를 이용한 TFT로서, 다결정 실리콘(poly silicon)을 이용한 TFT와 산화물반도체(Metal Oxide Semiconductor)를 이용하는 TFT가 개발되었다. 하지만 다결정 실리콘의 경우, 비정질 실리콘을 증착한 후 결정화 과정을 거쳐야 하므로 표면의 균일성이 떨어지는 단점이 있다. 또한 금속산화물의 경우, 근본적으로 화학적 상태가 불완전하여 일정한 물성을 유지하기가 어려운 단점이 있다. 특히, 디스플레이 기술은 단순한 대화면 디스플레이 개발에 그치지 않고 아주 조밀한 작은 화소로 구성된 대형 디스플레이 개발이 진행되고 있으며, 나아가 휘어지기 쉬운 디스플레이(Flexible Display) 개발에 박차를 가하고 있다. 하지만 다결정실리콘은 고온 열처리를 요구하고, 금속산화물은 쉽게 부서지는 특성이 있어, 이들을 플렉서블 디스플레이(Flexible Display)에 사용하기에는 적합하지 않다.

[0010] 따라서, 그래핀이 가지고 있는 우수한 물리적 특성을 효율적으로 활용하고, 반도체 및 비정질 반도체 기반기술을 접목하여 그래핀과 반도체 및 비정질 반도체 기술이 가지고 있는 취약점과 한계를 극복하며, 간단한 생산 공정으로 상용화가 용이한 새로운 전자 소자의 개발이 요청되고 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 상술한 문제점들을 해결하기 위하여, 그래핀의 우수한 물리적 특성들을 보존하면서도 생산 공정이 간단하며, 온/오프 신호비(on/off signal ratio)가 크고 스위칭 속도가 빠른 그래핀-부도체-반도체의 구조 또는 그래핀-부도체-금속의 구조를 갖는 투과 다이오드를 제공함과 동시에 가변 에너지의 빛을 방출하는 그래핀 투과 발광 다이오드를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0012] 상기한 목적을 달성하기 위하여, 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드는, (1) 반도체층, (2) 상기 반도체층 상에 마련된 부도체층, (3) 상기 부도체층 상에 마련된 그래핀층을 포함한다.

[0013] 구체적으로, 상기 반도체층과 상기 그래핀층에 역방향 바이어스가 인가되는 것이 바람직하다.

[0014] 또한, 상기 반도체층은 p형 반도체층일 수 있다.

[0015] 상기 반도체층이 p형 반도체층인 경우, 상기 반도체층은 에너지 밴드갭이 1.4 eV 이상인 것이 바람직하다. 구체적으로, 상기 반도체층은 AlAs, GaP, GaAs, GaN, SiC 및 금속 산화물 반도체 중 어느 하나를 재료로 한다.

[0016] 상기 부도체층은 홀 터널링 에너지 배리어가 전자의 터널링 에너지 배리어보다 높은 것이 바람직하다. 구체적으로, 상기 부도체층은 SiO₂, TiO₂, Al₂O₃, Ta₂O₅, SrTiO₃, ZrO₂, HfO₂, HfSiO₄, La₂O₃ 및 Y₂O₃ 중 어느 하나를 재료

로 한다.

- [0017] 한편, 상기 반도체층은 n형 반도체층일 수 있다.
- [0018] 상기 반도체층이 n형 반도체층이고 상기 반도체층과 상기 그래핀층에 순방향 바이어스가 인가되는 경우, 상기 부도체층은 홀 터널링 에너지 배리어가 전자 터널링 에너지 배리어보다 높은 것이 바람직하다.
- [0019] 반대로, 상기 반도체층이 n형 반도체층이고 상기 반도체층과 상기 그래핀층에 역방향 바이어스가 인가되는 경우, 상기 부도체층은 전자 터널링 에너지 배리어가 홀 터널링 에너지 배리어보다 높은 것이 바람직하다. 구체적으로, 상기 부도체층은 질화물 계열을 재료로 한다.
- [0020] 특히, 상기 반도체층이 n형 반도체층인 경우, 파울리 차단 현상에 의해 상기 그래핀층에서 발광되는 것이 바람직하다.
- [0021] 또한, 상기 반도체층은 n형으로 도핑된 ITO로 구성될 수 있다.
- [0022] 한편, 상기 부도체층은 전하가 투과(tunneling)하도록 형성되고, 5 nm 내지 500 nm의 두께로 형성되는 것이 바람직하다.
- [0023] 한편, 본 발명의 제2실시예에 따른 그래핀 투과 발광 다이오드는, (1) 금속층, (2) 상기 금속층 상에 마련된 부도체층, (3) 상기 부도체층 상에 마련된 그래핀층을 포함한다.
- [0024] 구체적으로, 상기 금속층과 상기 그래핀층에 순방향 바이어스가 인가되는 것이 바람직하다.
- [0025] 특히, 상기 금속층은 일함수가 3 eV 이하인 것이 바람직하다.
- [0026] 또한, 상기 그래핀 투과 발광 다이오드는 금속층의 일함수에 따라 빛의 파장이 비례한다.
- [0027] 상기 부도체층은 실리콘 산화물, 금속산화물, High K 비전도성 유전체 및 플라스틱 중 어느 하나를 재료로 하는 것이 바람직하다. 구체적으로, 상기 High K 비전도성 유전체는 HfO_2 , ZrO_2 , TiO_2 및 Ta_2O_5 중 어느 하나이다.

발명의 효과

- [0028] 상기와 같이 구성되는 본 발명에 따른 그래핀 투과 발광 다이오드는 다음과 같은 효과를 갖는다.
- [0029] (1) 구조가 그래핀-부도체-반도체 또는 그래핀-부도체-금속으로 간단하다. 특히, 그래핀-실리콘 옥사이드(SiO_2)-실리콘(Si)의 구조로 구성하면 매우 간단하게 본 발명을 구성할 수 있다.
- [0030] (2) 제조가 매우 용이하다. 특히, 그래핀-실리콘 옥사이드(SiO_2)-실리콘(Si)의 구조로 구성한 경우, 일반적으로 쉽게 구할 수 있는 실리콘 옥사이드가 증착된 실리콘 반도체 기판에 그래핀을 증착하는 공정만 추가하면 되므로 제조가 쉽다.
- [0031] (3) 제조비용이 매우 낮다. 즉, 구조와 생산 공정이 간단하므로 낮은 재료비용, 공정비용 및 생산비용으로 제조가 가능하다.
- [0032] (4) 양자 투과 현상을 이용하므로 온/오프 신호비(on/off signal ratio)가 매우 높고 빠른 속도로 구동이 가능하다.
- [0033] (5) 구조가 간단하고 종래의 CMOS(Complementary Metal Oxide Semiconductor) 공정과 부합하므로 CMOS 집적회로에 집적이 가능하며, 이에 따라, 그래핀을 이용한 능동 소자 개발에 직접 활용될 수 있다.

도면의 간단한 설명

- [0034] 도 1은 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드의 구조를 나타낸 도면.
- 도 2는 본 발명의 제1실시예에 따른 p형 반도체를 구비한 그래핀 투과 발광 다이오드의 구조를 나타낸 도면.
- 도 3은 본 발명의 제1실시예에 따른 p형 반도체를 구비한 그래핀 투과 발광 다이오드의 동작원리를 나타낸 도면.
- 도 4는 본 발명의 제1실시예에 따른 n형 반도체를 구비한 그래핀 투과 발광 다이오드의 구조를 나타낸 도면.

도 5는 본 발명의 제1실시예에 따른 n형 반도체를 구비한 그래핀 투과 발광 다이오드의 동작원리를 나타낸 도면.

도 6 및 7은 본 발명의 제2실시예에 따른 그래핀 투과 발광 다이오드의 구조를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0035] 본 발명의 상기 목적과 수단 및 그에 따른 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다.
- [0036] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하도록 한다.
- [0037] 먼저, 그래핀-부도체-반도체의 구조로 구성된 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드를 설명하도록 한다.
- [0038] 도 1은 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드를 나타낸 것으로서, 상기 그래핀 투과 발광 다이오드는 반도체층(30), 상기 반도체층(30) 상에 마련된 부도체층(20), 상기 부도체층(20) 상에 마련된 그래핀층(10)을 포함하여 구성된다.
- [0039] 상기 그래핀층(10)은 통상적으로 0.34 nm 내외의 두께를 갖는 단층 그래핀 구조나 단층 그래핀이 복수로 적층된 구조로 형성될 수 있다. 구체적으로 상기 그래핀층(10)은 화학기상증착법(CVD)으로 성장시키는 것이 바람직하나 단결정 그래파이트로부터 물리적으로 또는 화학적으로 그래핀을 분리하는 방법으로 형성될 수도 있다. 한편, 화학기상증착법(CVD)으로는 일반적인 CVD법 이외에도, RTCVD(급속가열 화학기상증착법), PECVD(플라즈마 화학기상증착법), ICPCVD(유도결합형 플라즈마 화학기상증착법), MOCVD(유기금속 화학기상증착법) 등이 사용될 수 있다.
- [0040] 상기 부도체층(20)은 전하가 양자 투과 현상에 의해 투과(tunneling)하도록 절연물질로 형성된다. 상기 부도체층(20)의 두께가 너무 얇을 경우 전하의 투과(tunneling)가 너무 잘 일어나 스위칭 특성이 악화된다. 또한, 너무 두꺼울 경우 전하의 투과(tunneling)가 잘 일어나지 않으므로, 높은 전압을 인가하여 전하를 터널링(tunneling)시켜야 한다. 따라서 상기 부도체층(20)은 이를 고려하여, 바람직하게는 수 nm 내지 수백 nm, 가장 바람직하게는 5 nm 내지 500 nm의 두께로 형성된다. 특히, 상기 부도체층(20)은 에너지 밴드갭이 크고, 유전상수가 큰 재료로서, 실리콘 산화물(Si_xO_y), 금속산화물, High K 비전도성 유전체 및 플라스틱과 같은 유기물을 사용하는 것이 바람직하다.
- [0041] 구체적으로, 상기 부도체층(20)의 재료는 알루미늄 산화물(Al_xO_y), 하프늄 산화물(Hf_xO_y), 지르코늄 산화물(Zr_xO_y), 이트륨 산화물(Y_xO_y), 란탄 산화물(La_xO_y), 탄탈륨 산화물(Ta_xO_y), 프라세오디뮴 산화물(Pr_xO_y), 및 티타늄 산화물(Ti_xO_y), 알루미늄 실리콘 산화물($\text{Al}_x\text{Si}_y\text{O}_z$), 지르코늄 실리콘 산화물(ZrSi_xO_y), 및 하프늄 실리콘 산화물(HfSi_xO_y) 중의 어느 하나를 포함할 수 있으며, 이들의 조합으로 이루어질 수도 있다.
- [0042] 특히, 상기 High K 비전도성 유전체는 HfO_2 , ZrO_2 , TiO_2 및 Ta_2O_5 로 구성되는 군에서 선택되는 1종 이상의 물질을 포함하나, 이에 한정되는 것은 아니다.
- [0043] 상기 반도체층(30)은 n형으로 도핑된 n형 반도체층이나 p형으로 도핑된 p형 반도체층으로서, 다양한 크기의 에너지 밴드갭을 가진 반도체(Si , aSi , SiC , aSiC , Ge , GaAs , GaN , InGaAs , AlGaAs , Metal Oxides 등)로 구성된다.
- [0044] 또한, 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드는, 도 2 내지 도 5에 도시된 바와 같이, 상기 그래핀층(10) 상에 형성되는 제1전극(140, 240), 상기 반도체층(30) 상에 형성되는 제2전극(150, 250)을 포함하여 구성될 수 있다.
- [0045] 상기 제1전극(140, 240) 및 제2전극(150, 250)은 도전성을 가지는 물질, 즉, Au , Ni , Ti , Cr 등의 금속, ITO(indium tin oxide), IZO(indium zinc oxide), AZO(aluminum zinc oxide), IZTO(indium zinc tin oxide) 등의 투명전도성산화물(TCO), 도전성 폴리머, 그래핀 등으로 형성될 수 있다. 구체적으로 상기 제1전극(140, 240)과 제2전극(150, 250)은 화학기상증착법(CVD), 플라즈마 여기 CVD(plasma enhanced CVD, PECVD), 저압

CVD(low pressure CVD, LPCVD), 물리기상증착법(physical vapor deposition, PVD), 스퍼터링(sputtering), 원자층 증착법(atomic layer deposition, ALD) 등의 증착 방법에 의하여 형성될 수 있으나, 이러한 방법으로 한정되는 것은 아니다.

- [0046] 이하, 상기 반도체층(30)이 p형 반도체층인 경우와 n형 반도체층인 경우로 나누어 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드의 동작원리에 대하여 설명하도록 한다.
- [0047] 먼저, 본 발명의 제1실시예에 따라 p형 반도체층을 구비한 그래핀 투과 발광 다이오드(100)에 대하여 설명하도록 한다.
- [0048] 도 2에 도시된 바와 같이, 본 발명의 제1실시예에 따라 p형 반도체층을 구비한 그래핀 투과 발광 다이오드(100)는 상기 반도체층(130)으로 p형 실리콘 반도체 기판을, 상기 부도체층(120)으로 실리콘 옥사이드(SiO_2)를 각각 사용할 수 있다. 이는 실리콘웨이퍼에 열처리를 통해 실리콘 옥사이드층(SiO_2)을 용이하게 형성할 수 있으므로, 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드(100)를 간편하고 값싸게 구현할 수 있기 때문이다. 상기와 같이 구성되는 p형 반도체층을 구비한 그래핀 투과 발광 다이오드(100)는 인가되는 전압에 따라 부도체층(120)에 양자 투과 현상이 발생하거나 발생하지 않게 되면서 통상적인 다이오드와 같이 정류작용을 할 수도 있다.
- [0049] 구체적으로, 도 3에 도시된 바와 같이, 반도체층(130)에 연결된 제2전극(150)에 양(+의) 전압을 인가하고, 그래핀층(110)에 연결된 제1전극(140)에 음(-)의 전압을 인가하면, 상기 부도체층(120)과 반도체층(130) 사이에는 홀(hole)이 누적되고, 상기 그래핀층(110)과 부도체층(120) 사이에는 전자(electron)가 누적된다. 이로 인하여, 반도체층(130)의 페르미 준위(Fermi level)는 낮아지고, 그래핀층(110)의 페르미 준위(Fermi level)는 상대적으로 높아진다. 이는 평판 축전기에서 전하가 부도체의 양면에 충전되는 것과 같은 효과를 갖는다. 전압을 일정 수준 이상으로 증가시키면, 양자 투과 효과에 의해 반도체층(130)과 부도체층(120) 사이의 홀(hole)은 부도체층(120)을 투과하여 그래핀층(110)으로 전달되고, 동시에 그래핀층(110)에 있는 전자(electron)는 부도체층(120)을 투과하여 p형 반도체층(130)으로 전달되면서 그래핀 투과 발광 다이오드(100)에는 투과 전류(I_{GS})가 급격하게 많이 흐르게 된다. 이와 같이 그래핀 투과 발광 다이오드(100)에 큰 투과 전류(I_{GS})가 흐르도록 하는 전압을 순방향 바이어스(forward bias), 그 투과 전류를 순방향 전류(forward current, $I_{GS,F}$)라 한다.
- [0050] 위의 경우와 반대로, 도 3에 도시된 바와 같이, 반도체층(130)과 연결된 제2전극(150)에 음(-)의 전압을, 그래핀층(110)에 연결된 제1전극(140)에 양(+의) 전압을 각각 인가하면, 그래핀층(110)과 부도체층(120) 사이의 계면에는 홀(hole)이 누적되고, 반도체층(130)과 부도체층(120) 사이에는 움직일 수 있는 홀(hole)의 수가 점점 줄어든다. 결과적으로 반도체층(130)은 홀(hole) 도핑에 사용된 불순물이 이온화되어, 움직일 수 없는 고정된 음(-) 전하의 공간전하영역(space charge region)이 형성된다. 이 음(-) 전하의 공간전하영역(space charge region)은 가해진 전압의 크기에 비례하여 점점 넓어진다. 이에 따라, 그래핀층(110)의 페르미 준위(Fermi level)는 점점 낮아지면서, p형 반도체처럼 행동하고, 반대로 p형 반도체층(130)은 음(-)으로 대전되면서 페르미 준위(Fermi level)가 점점 높아져 높은 에너지 장벽과 움직일 수 있는 전하의 결핍에 의해 전류(I_{GS})가 거의 흐르지 않게 된다. 이와 같이 p형 반도체층을 구비한 그래핀 투과 발광 다이오드(100)에 투과 전류(I_{GS})가 흐르지 않도록 가해진 전압을 역방향 바이어스(reverse bias)라 하고, 그 전류를 역방향 전류(reverse current, $I_{GS,R}$)라 한다.
- [0051] 하지만 상온(15 내지 25℃)에서의 그래핀 투과 발광 다이오드(100)는 역방향 바이어스(reverse bias)에도 불구하고, 상온(15 내지 25℃)의 열에너지에 의해서 공간전하영역(space charge region)에서 여기된 전자(electron)와 홀(hole)이 생성되어 가해진 전압에 의해 전자(electron)는 그래핀층(110) 쪽으로, 홀(hole)은 반도체층(130) 쪽으로 이동하여 전류가 조금씩 흐르게 된다. 이와 같은 역방향 전류(reverse current)를 최소화하기 위해서는 그래핀 투과 발광 다이오드(100)를 저온으로 유지하거나 상기 반도체층(130)으로 에너지 밴드갭이 큰 반도체, 즉, Si의 에너지 밴드갭과 같거나 큰 에너지 밴드갭을 갖는 반도체, 더 구체적으로는 에너지 밴드갭이 1.4 eV 이상인 반도체를 사용하는 것이 바람직하다. 일례로, 상기 반도체층(130)은 AlAs (2.15 eV), GaP (2.26 eV), GaAs (1.42 eV), GaN (3.3 eV), SiC (2.6 eV (alpha) 또는 2.8 eV (beta)), 금속 산화물 반도체(3 ~ 10 eV) 등으로 구성될 수 있다. 이는 반도체층(130)이 에너지 밴드갭이 작은 재질로 구성될 경우, 상온(15 내지 25℃)에서 전자(electron)와 홀(hole)이 열적으로 쉽게 여기(excitation)되어 소자의 온/오프 신호비

(on/off signal ratio)를 악화시키기 때문이다. 일례로, 진성 실리콘 반도체(에너지 갭 ~ 1.1 eV)의 경우, 상온(15 내지 25℃)에서 1.5×10^{10} 개/cm³의 전자와 홀이 여기된다. 반대로, 반도체층(130)이 에너지 밴드갭이 큰 재료로 구성될 경우, 상온(15 내지 25℃)에서 전자(electron)와 홀(hole)이 열적으로 여기될 확률이 에너지 밴드갭의 지수함수적으로 낮아 높은 온/오프 신호비(on/off signal ratio)를 갖는 전자소자를 구현할 수 있다.

[0052] 한편, 상기 그래핀 투과 발광 다이오드(100)에 더 큰 역방향 바이어스(reverse bias)를 인가하면, 반도체층(130)과 부도체층(120) 사이의 계면에서는 전자(electron)가 누적되기 시작하고, 그래핀층(110)에는 더 많은 홀(hole)이 누적된다. 상기 그래핀 투과 발광 다이오드(100)에 점점 더 큰 역방향 바이어스(reverse bias)를 인가하면, 반도체층(130)에 누적된 전자(electron)는 상대적으로 낮은 터널링 에너지 배리어(tunneling energy barrier)로 인하여 그래핀층(110)으로 터널링(tunneling)하게 된다. 이때 그래핀층(110)에 투과된 전자(electron)는 그래핀층(110)에 누적된 홀(hole)과 정전기 상호작용(electrostatic interaction)으로 결합하면서 발광하게 된다. 즉, 그래핀층(110)의 페르미 준위는 전하 중립점인 디랙점(Dirac point)을 지나 더 낮아지면서 강한 p-type 특성을 보인다. 이로 인하여, 반도체층(130)으로부터 투과(tunneling)된 전자(electron)는 그래핀층(110)의 홀(hole)과 엑시톤(exiton)을 형성하고, 이때, 그래핀층(110)이 이차원 특성에 따라 전하 간의 스크린이 약하므로, 전자(electron)와 홀(hole)은 정전기적 인력에 의하여 쉽게 결합하면서 빛을 발생시키게 된다. 즉, 본 발명의 제1실시예에 따라 p형 반도체층을 구비한 그래핀 투과 발광 다이오드(100)는 상기 반도체층(130)과 그래핀층(110)에 역방향 바이어스(reverse bias)가 인가되면 발광한다.

[0053] 특히, 역방향 바이어스(reverse bias)에서 전자(electron)는 쉽게 투과(tunneling)하고 홀(hole)은 쉽게 투과(tunneling)하지 못하도록, 상기 부도체층(120)은 홀(hole) 터널링 에너지 배리어(tunneling energy barrier)가 전자의 터널링 에너지 배리어보다 높은 물질로 구성되는 것이 바람직하다. 상기 홀(hole) 터널링 에너지 배리어(tunneling energy barrier)가 전자의 터널링 에너지 배리어보다 높은 물질은 SiO₂, TiO₂, Al₂O₃, Ta₂O₅, SrTiO₃, ZrO₂, HfO₂, HfSiO₄, La₂O₃ 및 Y₂O₃구성되는 군에서 선택될 수 있으나, 이에 한정되는 것은 아니다.

[0054] 일례로, 실리콘 옥사이드(SiO₂)는 실리콘(Si)에 대해 전자의 터널링 에너지 배리어가 약 3.2 eV인 반면, 홀의 터널링 에너지 배리어는 약 5 eV 이다. 따라서 상기 반도체층(130)이 실리콘반도체(Si)로 구성되는 경우에는 상기 부도체층(120)이 실리콘옥사이드(SiO₂)로 구성되는 것이 바람직하다.

[0055] 다음으로, 본 발명의 제1실시예에 따라 n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)에 대하여 설명하도록 한다.

[0056] 도 4에 도시된 바와 같이, 본 발명의 제1실시예에 따라 n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)에서 상기 반도체층(230)은 n형 실리콘 반도체 기판을, 상기 부도체층(220)은 실리콘 옥사이드(SiO₂)를, 상기 그래핀층(210)은 p형으로 도핑시킨 그래핀을 각각 사용할 수 있다. 상기 n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)는 반도체층(230)과 그래핀층(210)에 순방향 바이어스(forward bias) 및 역방향 바이어스(reverse bias)가 인가되면 발광한다. n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)의 순방향 바이어스(forward bias) 및 역방향 바이어스(reverse bias)는 p형 반도체층을 구비한 그래핀 투과 발광 다이오드(100)의 경우와 반대 극성으로 전압을 걸어준다.

[0057] 구체적으로, 도 5에 도시된 바와 같이, n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)에 순방향 바이어스(forward bias)를 인가하면, n형 반도체층(230)의 전자(electron)는 그래핀층(210)으로 쉽게 투과(tunneling)하고, 터널링된 전자(electron)는 그래핀층(210) 내에 있는 홀(hole)과 정전기 상호작용(electrostatic interaction)으로 결합하면서 발광하게 된다. 특히, 순방향 바이어스(forward bias)에서 그래핀층(210)에 누적된 홀(hole)이 n형 반도체층(230)으로 쉽게 투과(tunneling)하지 못하도록, 상기 부도체층(220)은 에너지 밴드갭이 크고, 홀 터널링 에너지 배리어가 전자 터널링 에너지 배리어보다 큰 물질로 구성되는 것이 바람직하다. 상기 홀 터널링 에너지 배리어가 전자 터널링 에너지 배리어보다 큰 물질은 SiO₂, TiO₂, Al₂O₃, Ta₂O₅, SrTiO₃, ZrO₂, HfO₂, HfSiO₄, La₂O₃ 및 Y₂O₃로 구성되는 군에서 선택될 수 있으나, 이에 한정되는 것은 아니다.

[0058] 반대로, n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)에 역방향 바이어스(reverse bias)를 인가하면, 반도체층(230)에 양(+)의 공간전하영역(space charge region)이 형성되고, 그래핀층(210)에는 전자(electron)

가 누적된다. 하지만, 그래핀층(210)과 반도체층(230) 사이에 전하가 흐르지 않으므로, 상기 그래핀 투과 발광 다이오드(200)는 오프(off) 상태를 유지한다. 이에 따라, n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)는 높은 온/오프 신호비(on/off signal ratio) 특성을 갖게 된다.

[0059] 이때, 상기 n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)에 더 큰 역방향 바이어스(reverse bias)를 인가하면, 반도체층(230)과 부도체층(220) 사이의 계면에서는 홀(hole)이 누적되기 시작하고, 그래핀층(210)에는 더 많은 전자(electron)가 누적된다. 상기 그래핀 투과 발광 다이오드(100)에 점점 더 큰 역방향 바이어스(reverse bias)를 인가하면, 반도체층(230)에 누적된 홀(hole)은 그래핀에 투과하여 그래핀층(210)에 누적된 전자(electron)와 결합하면서 발광하게 된다.

[0060] 하지만, 더 높은 발광 효율을 갖도록, 상기 n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)는 그래핀층(210)에서 발광되는 것이 바람직하다. 이는 그래핀층(210)에서 발생하는 파울리 차단 현상(Pauli blocking) 때문이다. 즉, 역방향 바이어스(reverse bias)에 의해 그래핀층(210)에 강한 음(-)의 전압이 가해져 전자(electron)가 그래핀층(120)에 축적되면서 디락점(Diracpoint)을 지나 페르미 준위가 높아지게 되면, 페르미 준위에 있는 전자(electron)는 같은 상태에서 전자가 두 개 이상 존재할 수 없으므로 낮은 에너지 상태로 전이가 쉽게 발생하지 않게 된다.

[0061] 따라서, 부도체층(220)을 전자(electron) 터널링 에너지 배리어(tunneling energy barrier)가 홀 터널링 에너지 배리어보다 높은 물질로 구성하여 그래핀층(210)에 누적된 전자(electron)가 반도체층(230)으로 투과(tunneling)하지 못하도록 하는 것이 바람직하다. 이에 따라, 반도체층(230)에서는 반전 현상(type inversion)이 발생하여 홀(hole)이 그래핀층(210)으로 투과(tunneling)하며, 투과된 홀(hole)은 그래핀층(210)에 누적된 전자(electron)와 정전기 상호작용(electrostatic interaction)으로 결합하여 발광하게 된다. 상기 전자 터널링 에너지 배리어가 홀 터널링 에너지 배리어보다 큰 물질은 BN, AlN, Si₃N₄ 등과 같은 질화물(Nitride) 계열로 구성될 수 있으나, 이에 한정되는 것은 아니다.

[0062] 특히, 본 발명의 제1실시예에 따라 n형 반도체층을 구비한 그래핀 투과 발광 다이오드(200)에 인가되는 순방향 바이어스(forward bias)는 역방향 바이어스(reverse bias)에 비해 전압의 절대값이 작으며, 이에 따라, 상기 그래핀 투과 발광 다이오드(200)는 낮은 전압으로도 발광되는 특성을 갖는다.

[0063] 한편, 상기 부도체층(220)을 SiO₂, ZnO, Fe₂O₃, SnO₃, WO₃ 또는 high K 비전도성 유전체(예를 들어, HfO₂, ZrO₂, TiO₂, Ta₂O₅)로 구성하고, 상기 n형 반도체층(230)을 n형으로 도핑된 ITO로 구성하면, 투명한 기판에 양면으로 발광하는 소자를 구현할 수 있다.

[0064] 다음으로, 그래핀-부도체-금속의 구조로 구성된 본 발명의 제2실시예에 따른 그래핀 투과 발광 다이오드를 설명하도록 한다.

[0065] 도 6은 본 발명의 제2실시예에 따른 그래핀 투과 발광 다이오드(300)를 나타낸 것으로서, 상기 그래핀 투과 발광 다이오드(300)는 금속층(330), 상기 금속층(330) 상에 마련된 부도체층(320), 상기 부도체층(320) 상에 마련된 그래핀층(310)을 포함한다.

[0066] 본 발명의 제2실시예에 따른 그래핀 투과 발광 다이오드(300)는 도 7에 도시된 바와 같이 상기 그래핀층(310) 상에 형성되는 제1전극(340), 상기 금속층(330) 상에 형성되는 제2전극(350)을 포함할 수 있으며, 상기 금속층(330)과 그래핀층(310)에 순방향 바이어스(forward bias)가 인가되면 발광한다. 본 발명의 제2실시예에 따른 그래핀 투과 발광 다이오드(300)의 순방향 바이어스(forward bias)는 n형 반도체층을 구비한 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드(200)의 순방향 바이어스(forward bias)와 동일한 극성으로 전압을 걸어준다.

[0067] 본 발명의 제2실시예에 따른 그래핀 투과 발광 다이오드(300)는 상기 금속층(330)의 일함수에 따라 발광하는 빛의 파장을 조절할 수 있다. 즉, 상기 금속층(330)은 상기 그래핀층(310)에 효율적으로 전자를 공급하기 위한 구성으로서, 상기 금속층(330)의 페르미 준위와 상기 그래핀층(310)의 페르미 준위의 차이에 해당하는 에너지가 빛에너지로 전환된다. 따라서 상기 금속층(330)의 일함수 크기는 방출하는 빛의 에너지에 직접 영향을 주며, 구체적으로, 발광하는 빛의 파장의 크기는 상기 금속층(330)의 일함수 크기에 비례한다.

[0068] 특히, 상기 금속층(330)의 페르미 준위가 상기 그래핀층(310)의 디락점에서 1 eV 이상일 경우, 상기 그래핀층

(310)은 가시광선을 방출한다. 통상적으로 그래핀의 일함수는 4.5 eV 내외이다. 따라서, 가시광선 방출을 위해서는 상기 금속층(330)이 MgAg 등의 합금류와 Na, Li, K 등의 알칼리 금속과 같이 일함수가 3.5 eV 이하인 금속으로 구성되는 것이 바람직하다.

[0069] 그 외에, 상기 그래핀층(310), 부도체층(320), 제1전극(340) 및 제2전극(350)은 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드(100)의 구성과 동일하므로 이하 설명은 생략하도록 한다.

[0070] 또한, 본 발명의 제2실시예에 따른 그래핀 투과 발광 다이오드(300)의 동작원리는 n형 반도체를 구비한 본 발명의 제1실시예에 따른 그래핀 투과 발광 다이오드(200)의 순방향 바이어스(forward bias)에서 동작원리와 동일하며, 이하 설명은 생략하도록 한다.

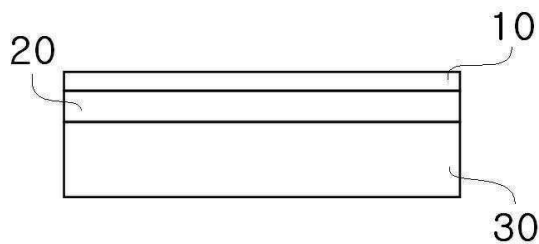
[0071] 이상과 같이 본 발명을 도면에 도시한 실시예를 참고하여 설명하였으나, 이는 발명을 설명하기 위한 것일 뿐이며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 발명의 상세한 설명으로부터 다양한 변형 또는 균등한 실시예가 가능하다는 것을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 권리범위는 특허청구범위의 기술적 사상에 의해 결정되어야 한다.

부호의 설명

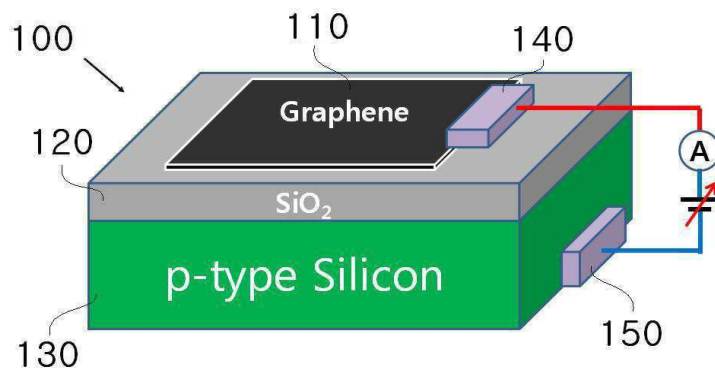
[0072] 10, 110, 210, 310 : 그래핀층 20, 120, 220, 320 : 부도체층
30, 130, 230 : 반도체층 330 : 금속층
40, 140, 240, 340 : 제1전극 50, 150, 250, 350 : 제2전극
100, 200, 300 : 그래핀 투과 발광 다이오드

도면

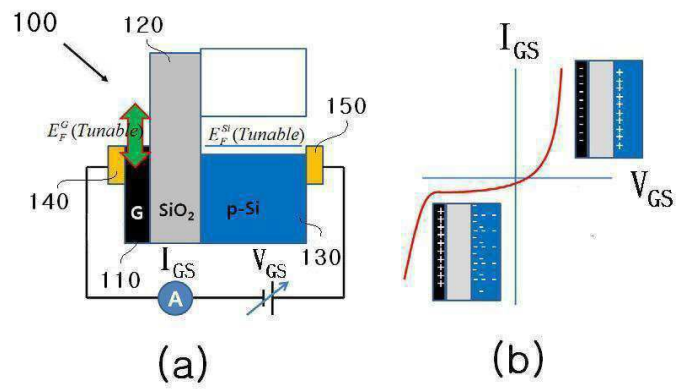
도면1



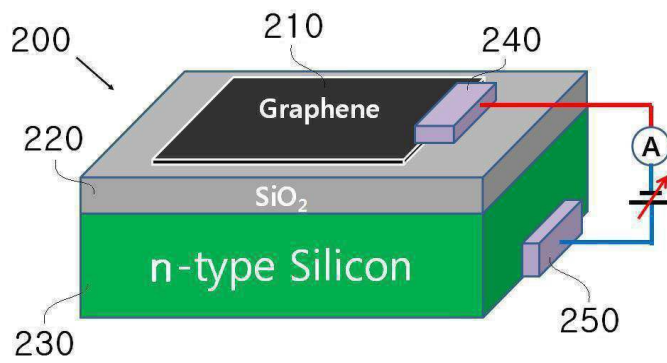
도면2



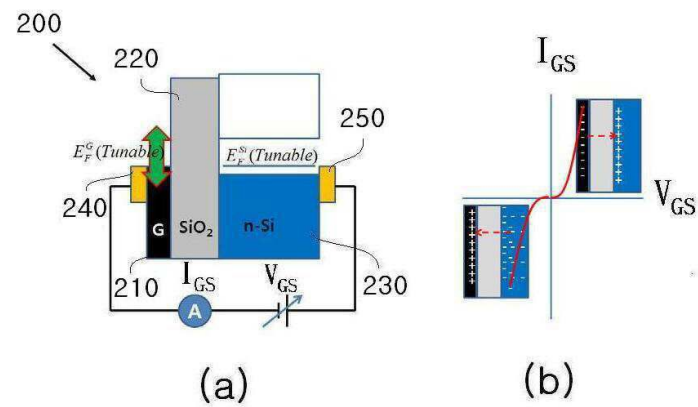
도면3



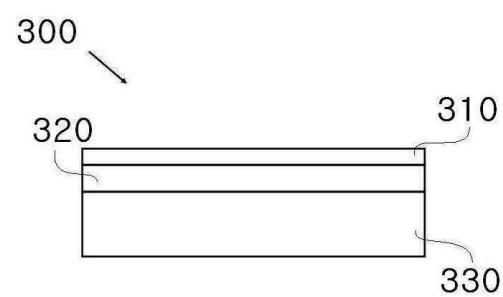
도면4



도면5



도면6



도면7

