



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

256 845

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 11 12 86
(21) PV 9189-86.P

(51) Int. Cl.⁴

H 03 K 7/06

(40) Zveřejněno 17 09 87
(45) Vydáno 01 02 89

(75)

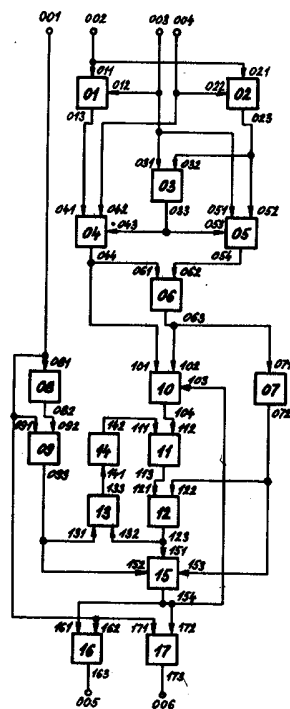
Autor vynálezu

KLIMENT DUŠAN ing., PRAHA

(54)

Zapojení kombinovaného impulsního modulátoru

Zapojení se týká modulátoru a řeší programátor paměti PROM pro tento modulátor. Modulátor převádí analogový signál akční veličiny regulátoru na dvojici dvouhodnotových signálů, u kterých střední doba sepnutí odpovídá absolutní hodnotě akční veličiny. Modulátor se skládá z bloku stanovení parametrů impulsování a z impulsovacího obvodu. Parametry impulsování, to je požadovanou šířku impulsu a požadovanou délku mezery mezi impulsy, určuje modulátor pomocí násobičky, děličky, dvou výběrových bloků a rozdílového členu jednak v režimu šířkové modulace, jednak v režimu frekvenční modulace. Přechod mezi režimy řídí komparátor na základě podmínky dodržení minimální přípustné periody impulsování. Impulsovací obvod tvořený čítačem s pomocnými obvody je vedle parametrů impulsování řízen i znaménkovým vstupem, který udává zpravidla smysl otáčení řízeného servomotoru. Zapojení se využije při automatickém řízení technologických procesů ve všech průmyslových oborech.



Vynález se týká zapojení kombinovaného impulsního modulátoru, pro převod analogového signálu akční veličiny regulátoru na dvojici dvouhodnotových signálů, u kterých střední doba sepnutí odpovídá absolutní hodnotě akční veličiny.

Známa zapojení impulsních modulátorů používaných v oboru automatického řízení technologických procesů pracují jako šířkové modulátory, to je jako převodníky úroveň/ střída. Pro tyto převodníky se volí opakovací frekvence impulsů tak, aby vyhovovala požadavkům na dynamiku převodníku. Pro regulace na konstantní hodnotu, v režimech blízkých ustálenému stavu a při používání servomotorů s asynchronními motory, v situacích kdy má výstup modulátoru odpovídat velmi malým požadovaným středním rychlostem pohybu akčního orgánu, nelze při pevně zvolené opakovací frekvenci zachovat linearitu soustavy regulátor-servopohon. Vzniklé pásmo necitlivosti v některých případech zbytečně omezuje dosažitelnou přesnost regulace. Závažnějším nedostatkem je též zbytečně vysoká frekvence spínání servomotoru, která ovlivňuje pravděpodobnost přetížení motoru a opotřebení mechanických dílů servomotoru. Souvisí s kvantováním vstupního signálu převodníku do poměrně malého počtu úrovní, určeného vedle opakovací frekvence impulsů, také minimální šířkou výstupního impulsu, vyvolávajícího definovanou odezvu servomotoru. Požadavek zmenšení kvantovacích chyb je pro šířkový modulátor v protikladu s požadavkem na snížení zpoždění modulátoru.

Zvětšení periody impulsování může vyvolat nežádoucí zvlnění regulované veličiny tehdy, jestliže řízená soustava neodfiltruje dodatečně frekvenci impulsování. Pro malé výstupní signály je výhodnější použít frekvenčního modulátoru nazývaného též intervalovým pulsním modulátorem s pevnou šířkou impulsu, který však pro větší hodnoty vstupu dává často nepřípustný počet sepnutí servomotoru.

Tyto nedostatky odstraňuje zapojení kombinovaného impulsního modulátoru podle vynálezu, u kterého je signálový vstup zapojení spojen s prvním vstupem děličky a s prvním vstupem násobičky. Výstup násobičky je spojen s prvním vstupem prvního výběrového bloku, jehož druhý vstup je spojen se druhým vstupem děličky a se druhým parametrickým vstupem zapojení. První parametrický vstup zapojení je spojen se druhým vstupem násobičky, s prvním vstupem druhého výběrového bloku a s prvním vstupem prvního komparátoru. Druhý vstup prvního komparátoru je spojen s výstupem děličky a se druhým vstupem druhého výběrového bloku. Řídicí vstup druhého výběrového bloku je spojen s výstupem prvního komparátoru a s řídicím vstupem prvního výběrového bloku, jehož výstup je spojen s prvním vstupem rozdílového členu. Druhý vstup rozdílového členu je spojen s výstupem druhého řídicího bloku. Podstata vynálezu spočívá v tom, že výstup prvního výběrového bloku je spojen s prvním vstupem třetího výběrového bloku, jehož druhý vstup je spojen s výstupem rozdílového členu a se vstupem koincidenčního členu. Výstup koincidenčního členu je spojen se druhým vstupem pomocného hradla a s nahazovacím vstupem klopného obvodu. Výstup klopného obvodu je spojen s řídicím vstupem prvního výstupního hradla, s řídicím vstupem druhého výstupního hradla a se vstupem třetího výběrového bloku. Výstup třetího výběrového bloku je spojen se druhým vstupem druhého komparátoru, jehož první vstup je spojen s výstupem čítače.

Výstup druhého komparátoru je spojen s prvním vstupem pomocného hradla. Výstup pomocného hradla je spojen s překlápěcím vstupem klopného obvodu a se druhým vstupem logického součtového bloku, jehož výstup je spojen s nulovacím vstupem čítače. První vstup logického součtového bloku je spojen s nulovacím vstupem klopného obvodu a s výstupem neekvivalentního bloku. Druhý vstup neekvivalentního bloku je spojen s výstupem paměti znaménkového bitu, jejíž vstup je spojen se znaménkovým vstupem zapojení, s prvním vstupem neekvivalentního bloku, s hradlovacím vstupem prvního výstupního hradla a s hradlovacím vstupem druhého výstupního hradla. Výstup druhého výstupního hradla je spojen se druhým výstupem zapojení. První výstup zapojení je spojen s výstupem prvního výstupního hradla.

Výhodou uspořádání podle vynálezu je možnost automatického přechodu z režimu šířkové modulace do režimu frekvenční modulace a naopak. Uživatel má možnost zadat, popřípadě i průběžně měnit dva parametry kombinovaného modulátoru, které mají názorný význam a určují podmínky přechodu mezi oběma režimy. Prvním parametrem je minimální přípustná perioda impulsování. Druhým parametrem je minimální přípustná šířka impulsu. Modulátor má výhodné dynamické vlastnosti. Při rychlých změnách vstupního signálu přejde modulátor s malým zpožděním do nového režimu, nebo dynamicky prodlouží či zkrátí impuls, nebo mezeru mezi impulsy. Při průchodu vstupu nulovou úrovní, změně polaritu výstupu, to znamená, že přejde na impulsování alternativního výstupu. Statická charakteristika převodníku vykazuje velmi malou necitlivost, danou délkou použitého slova. Zároveň zavádí dynamickou necitlivost potlačující neklid v regulačním obvodu při vstupním signálu kolísajícím s relativně krátkou periodou kolem nuly.

Modulátor umožňuje dosažení vysoké přesnosti regulace v režimu frekvenční modulace. Umožňuje i dosažení vysoké kvality přechodných dějů v režimu šířkové modulace. Současně dává možnost omezit počet výstupních impulsů a tím přispět k vyšší spolehlivosti a životnosti akčního členu. Výhody modulátoru se projevují zejména při řízení rychlejších objektů nízkého řádu, které mají vysoký poměr doby náběhu k době průtahu a v těch případech, kdy se používají servopohony s konstantní rychlostí bez polohové zpětné vazby a s omezeným hodinovým počtem sepnutí. Pokud se zapojení využije jako součást koncového členu pro řízení servopohonu, potom může zpracovávat i havarijní povely "více" a "méně" a vyhovět požadavku na přestavování akčního orgánu maximální rychlostí ve velkém rozsahu s možností rychlého zastavení případně t reverzace. Volbou dvou parametrů modulátoru lze dosáhnout velmi různorodého chování, vyhovujícího v různých oblastech použití, a proto je jeho uspořádání vhodné jako základ jednotky modulátoru univerzálního systému pro automatické řízení technologických procesů. Zapojení je možno snadno realizovat číslicovými integrovanými obvody, nebo hybridně kombinací obvodů malé a střední hustoty integrace a procesoru. Pro pevně zvolené parametry modulátoru lze zapojení využít pro přípravu paměti PROM, pro konkrétní modulátory, případně pro odzkoušení vlivu obou parametrů na regulační proces s konkrétním objektem.

Příklad uspořádání podle vynálezu je znázorněn na připojeném výkresu v blokovém schématu.

Jednotlivé bloky zapojení je možno charakterizovat takto.

Násobička 01 je vytvořena z paměti typu PROM, nebo z procesoru a podpůrných obvodů. Slouží k násobení signálů na svých vstupech.

Dělička 02 je vytvořena z pamětí typu PROM, nebo z procesoru s podpůrnými obvody, případně z aritmeticko logické jednotky s podpůrnými obvody. Dělí hodnotu na svém druhém vstupu hodnotou na svém prvním vstupu. První komparátor 03 je integrovaný komparátor, který porovnává hodnotu na svém prvním vstupu s hodnotou na svém druhém vstupu a svým výstupem řídí první výběrový blok 04 a druhý výběrový blok 05. První výběrový blok 04 je tvořen integrovaným obvodem multiplexeru. Podle logického signálu na svém řídicím vstupu určuje požadovanou šířku impulsu. Druhý výběrový blok 05 je tvořen integrovaným multiplexerem. Podle logického signálu a na svém řídicím vstupu určuje požadovanou periodu impulsování. Rozdílový člen 06 je vytvořen z integrovaného binárního sumátoru s pomocnými invertory. Odečítá hodnotu na svém prvním vstupu od hodnoty na svém druhém vstupu a rozdíl těchto hodnot ovlivňuje požadovanou délku mezery mezi impulsy. Pomocný koincidenční obvod 07 je tvořen integrovanými obvody invertorů s otevřeným kolektorem a společným pracovním odporem. Slouží k testování požadované mezery mezi impulsy. Paměť 08 znaménkového bitu je tvořena klopným obvodem typu JK. Na svém výstupu udává starší hodnotu znaménkového vstupu. Neekvivalentní blok 09 je vytvořen ze dvou invertorů a hradla typu OR. Spolu s pamětí 08 znaménkového bitu vyhodnocuje průchod vstupního signálu nulovou hladinou. Třetí výběrový blok 10 je tvořen multiplexerem. Poskytuje údaj o požadované šířce impulsu nebo o požadované délce mezery. Druhý komparátor 11 je vytvořen v integrovaném provedení. Slouží k testování, zda skutečná šířka impulsu nebo skutečná délka mezery mezi impulsy překročila požadovanou hodnotu. Pomocné hradlo 12 je tvořené obvodem NAND. Podle signálu na svém druhém vstupu blokuje nebo propouští signál ze svého prvního vstupu. Logický součtový blok 13 je vytvořen z hradla typu OR. Na základě informace o dosažení nebo

překročení požadované šířky impulsu nebo požadované délky mezery mezi impulsy vytváří nulovací signál pro čítač. Čítač 14 je vytvořen integrovanými obvody vratného čítače. Používá režim vzestupného čítání s nulováním. Klopný obvod 15 je tvořen integrovaným klopným obvodem typu JK. Překlápí do opačného stavu s významem mezera/ impuls v každém taktu, ve kterém vstupuje log.1 na jeho překlápěcí vstup. Při vyhodnoceném průchodu nulou se vynuluje nulovacím vstupem a nahazuje se při koincidenci s nulou svým nahazovacím vstupem. První výstupní hradlo je hradlo typu NAND. Při kladné polaritě znaménkového vstupu zapojení propouští signál na výstup 006 zapojení. Druhé výstupní hradlo 17 je rovněž hradlo typu NAND. Propouští na výstup zapojení signál při záporné polaritě znaménkového vstupu 001 zapojení.

Jednotlivé bloky jsou zapojeny takto. Signálový vstup 002 zapojení je spojen s prvním vstupem 021 děličky 2 a s prvním vstupem 011 násobičky 01. Výstup 013 násobičky 01 je spojen s prvním vstupem 041 prvního výběrového bloku 04, jehož druhý vstup 042 je spojen se druhým vstupem 022 děličky 02 a se druhým parametrickým vstupem 004 zapojení. První parametrický vstup 003 zapojení je spojen se druhým vstupem 012 násobičky 01, s prvním vstupem 051 druhého výběrového bloku 05 a s prvním vstupem 031 prvního komparátoru 03. Druhý vstup 032 prvního komparátoru 03 je spojen s výstupem 023 děličky 02 a se druhým vstupem 052 druhého výběrového bloku 05. Řídící vstup 053 druhého výběrového bloku 05 je spojen s výstupem 033 prvního komparátoru 03 a s řídicím vstupem 043 prvního výběrového bloku 04, jehož výstup 044 je spojen s prvním vstupem 061 rozdílového členu 06 a s prvním vstupem 101 třetího výběrového bloku 10. Výstup 054 druhého řídicího bloku 05 je spojen se druhým vstupem 062 rozdílového členu 06. Výstup 063 rozdílového členu 06 je spojen se druhým vstupem 102

výběrového bloku 10 a se vstupem 071 koincidenčního členu 07. Výstup 072 koincidenčního členu 07 je spojen se druhým vstupem 122 pomocného hradla 12 a s nahazovacím vstupem 153 klopného obvodu 15. Výstup 154 klopného obvodu 15 je spojen s řídicím vstupem 161 prvního výstupního hradla 16, s řídicím vstupem 172 druhého výstupního hradla 17 a s řídicím vstupem 103 třetího výběrového bloku 10. Výstup 104 třetího výběrového bloku 10 je spojen se druhým vstupem 112 druhého komparátoru 11, jehož první vstup 111 je spojen s výstupem 142 čítače 14. Výstup 113 druhého komparátoru 11 je spojen s prvním vstupem 121 pomocného hradla 12. Výstup 123 pomocného hradla 12 je spojen s překlápěcím vstupem 151 klopného obvodu 15 a se druhým vstupem 132 logického součtového bloku 13, jehož výstup 133 je spojen s nulovacím vstupem 141 čítače 14. První vstup 131 logického součtového bloku 13 je spojen s nulovacím vstupem 152 klopného obvodu 15 a s výstupem 093 neekvivalentního bloku 9. Druhý vstup 092 neekvivalentního bloku 9 je spojen s výstupem 082 paměti 08 znaménkového bitu, jejíž vstup 081 je spojen se znaménkovým vstupem 001 zapojení, s prvním vstupem 091 neekvivalentního bloku 9, s hradlovacím vstupem 162 prvního výstupního hradla 16 a s hradlovacím vstupem 171 druhého výstupního hradla 17. Výstup 173 druhého výstupního hradla 17 je spojen se druhým výstupem 006 zapojení. První výstup 005 zapojení je spojen s výstupem 163 prvního výstupního hradla 16.

Blok, který slouží ke stanovení parametrů impulsování, zahrnuje násobičku 01, děličku 02, první komparátor 03, první výběrový blok 04, druhý výběrový blok 05 a rozdílový člen 06. V těchto blocích se stanoví momentální požadovaná šířka impulsu, která je na výstupu 044 prvního výběrového bloku 04, a požadovaná délka mezery mezi impulsy, která je na výstupu 063 rozdílového členu 06. Blok,

který slouží ke stanovení parametrů impulsování, může být součástí modulátoru, nebo programového přípravku paměti PROM, které v konkrétním modulátoru mohou nahrazovat celý blok parametrů impulsování. Ostatní bloky zapojení zahrnuté pod značkami 07 až 017 vytvářejí vlastní impulsovací obvod.

Všechny bloky zapojení pracují periodicky. Perioda zpracování impulsovacího obvodu může být stejná nebo kratší než je perioda pro zpracování pro blok stanovení parametrů impulsování. Předpokládá se, že časové synchronizační impulsy přicházejí do obvodu zvenčí. Ze znaménkového vstupu 001 zapojení přichází informace o znaménku vstupního signálu modulátoru. Tato informace přichází na vstup 081 paměti 08 znaménkového bitu, na první vstup 091 neekvivalentního bloku 9, na hradlovací vstup 162 prvního výstupního hradla 16 a na hradlovací vstup 171 druhého výstupního hradla 17. Ze signálového vstupu 002 zapojení přichází informace o absolutní hodnotě vstupního signálu. Tato informace přichází na první vstup 011 násobičky 01 a na první vstup 021 děličky 02. Na prvním parametrickém vstupu 003 zapojení je informace o minimální přípustné periodě impulsování, která přichází na druhý vstup 012 násobičky 01, na první vstup 031 prvního komparátoru 03 a na první vstup 051 druhého výběrového bloku 05. Na druhém parametrickém vstupu 004 zapojení je informace o minimální přípustné šířce impulsu, která přichází na druhý vstup 022 děličky 02 a na druhý vstup 042 prvního výběrového bloku 04. Ze signálů na svých vstupech 011 a 012 určuje násobička 01 požadovanou hodnotu šířky impulsu pro šířkový modulátor s opakovací periodou určenou parametrem z prvního parametrického vstupu 003 zapojení. Součin obou signálů na vstupech 011 a 012 násobičky 01 se normalizuje tak, že pro maximální hodnotu na prvním vstupu 011 násobičky 01 je na jejím výstupu 013 hodnota prvního parametru jako na prvním parametrickém

vstupu 003 zapojení. Dělička 02 určuje ze signálů na svých vstupech 021 a 022 požadovanou periodu impulsování, přičemž podíl se normalizuje tak, že pro maximální hodnotu na signálovém vstupu 002 zapojení je na výstupu 023 děličky 02 velikost druhého parametru jako na druhém parametrickém vstupu 004 zapojení. V prvním komparátoru 03 se porovnává signál nesoucí informaci o požadované hodnotě impulsování, který se na prvním vstupu 031 prvního komparátoru 03 se signálem nesoucím informaci o minimální přípustné hodnotě impulsování, který je na druhém vstupu 032 prvního komparátoru 03. Jestliže je požadovaná perioda pro frekvenční modulaci větší, než je minimální přípustná perioda impulsování, která je na prvním parametrickém vstupu 003 zapojení, je na výstupu 033 prvního komparátoru 03 signál log.1, a tím je pro modulátor určen režim frekvenční modulace. Signál log.1 přichází na řídicí vstup 053 druhého řídicího bloku 05. Na výstupu 054 druhého řídicího bloku 05 je požadovaná perioda impulsování, která přichází z výstupu 023 děličky 02. První výběrový blok 04 udává na svém výstupu 044 minimální přípustnou šířku impulsu, jejíž hodnota je na druhém vstupu 042 prvního výběrového bloku 04. Jestliže je požadovaná perioda impulsování pro frekvenční modulaci menší, než je parametr z prvního parametrického vstupu 003 zapojení, je na výstupu 033 prvního komparátoru 03 signál log 0, a tím je pro modulátor určen režim šířkové modulace. Při tomto režimu dává první výběrový blok 04 na svém výstupu 044 informaci o požadované šířce impulsu. Informace o požadované šířce impulsu přichází na první vstup 041 prvního výběrového bloku 04 z výstupu 013 násobičky 01. Druhý výběrový blok 05 dává na svém výstupu 054 informaci o požadované délce periody, která se rovná minimální přípustné délce periody určené na prvním parametrickém vstupu 03 zapojení. Informace z výstupů obou výběrových bloků se

vedou na vstupy 061 a 062 rozdílového členu 06. V rozdílovém členu 06 se určí požadovaná délka mezery mezi impulsy odečtením požadované šířky impulsu z prvního vstupu 061 rozdílového členu 06 od požadované periody impulsování, z jeho druhého vstupu 062. Signály na výstupu 044 prvního výběrového bloku 04 a na výstupu 063 rozdílového členu 06 určují parametry impulsování pro impulsovací obvod. Tyto parametry odpovídají hodnotám na signálovém vstupu 002 zapojení a na obou parametrických vstupech 003 a 004 zapojení. Čítač 14, který je součástí impulsovacího obvodu, čítá vzestupně až do okamžiku, kdy načítaná hodnota na jeho výstupu 142 je rovná nebo větší než horní mez, kterou určuje na svém výstupu 104 třetí výběrový blok 10. Výběrový blok 10 střídavě určuje požadovanou délku mezery mezi impulsy nebo požadovanou šířku impulsu. Rozlišení mezi stavy - mezera mezi impulsy - a - šířka impulsu - zajišťuje klopný obvod 15. Signálem z výstupu 154 výběrového bloku 15 se ovládá řídicí vstup 103 třetího výběrového bloku 10 tak, že pro stav - šířka impulsu - přechází na výstup 104 třetího výběrového bloku 10 signál z jeho prvního vstupu 101 o žádané šířce impulsu. Pro stav - mezera mezi impulsy - přechází na výstup 104 třetího výběrového bloku 10 signál z jeho druhého vstupu 102 o žádané délce mezery mezi impulsy. Čítač 14 se nuluje signálem na svém nulovacím vstupu 141. Nulování provádí logický součtový blok 13 signálem na svém výstupu 133. Nulování se provádí vždy, když dojde ke změně stavu - mezera mezi impulsy - a - šířka impulsu - . To znamená, že na druhém vstupu 132 logického součtového bloku 13 je signál log.1. Nulování se též provádí, jestliže se vyhodnotí průchod vstupního signálu modulátoru nulou. To je při stavu, když je na prvním vstupu 131 logického součtového bloku 13 signál log.1. Průchod vstupního signálu nulou vyhodnocuje neekvivalentní blok 09 spolu

s paměti 08 znaménkového bitu. Jestliže se liší současné znaménko na znaménkovém vstupu 001 zapojení od znaménka zaznamenaného v minulém taktu, které je zaznamenáno v paměti 08 znaménkového bitu, potom se na výstupu 093 neekvivalentního bloku 09 objeví signál log.1. Tímto signálem se vynuluje přes logický součtový blok 13 čítač 14. Současně se tímto signálem vynuluje klopný obvod 15 přes svůj nulovací vstup 152. Klopný obvod 15 přejde do stavu - mezera . Jestliže má požadovaná hodnota délky mezery mezi impulsy na vstupu 071 koincidenčního členu 07 nulovou hodnotu, je na výstupu 072 koincidenčního členu 07 signál log.0. Tímto signálem se blokuje průchod signálu z prvního vstupu 121 pomocného hradla 12 na jeho výstup 123. Současně se přes nahazovací vstup 153 klopného obvodu 15 nastaví na jeho výstupu 154 signál log.1. Signál z výstupu 154 klopného obvodu 15 přechází na řídicí vstup 161 prvního výstupního hradla 16 a na řídicí vstup 172 druhého výstupního hradla 17. První vstupní hradlo 16 propustí signál ze svého řídicího výstupu 161 na svůj výstup 162 a na první výstup 005 zapojení, jestliže znaménko na znaménkovém vstupu 001 zapojení je kladné. Druhé výstupní hradlo 17 propustí signál ze svého řídicího vstupu 172 na svůj výstup 173 a na druhý výstup 006 zapojení, jestliže znaménko na znaménkovém vstupu 001 zapojení je záporné.

Vynálezu se využije v zařízeních pro automatické řízení technologických procesů, například v obvodech pro regulaci průtoků, jako podřízených smyček pro regulaci hladin nebo pro regulaci teplot.

P Ř E D M Ě T V Y N Á L E Z U

256 845

Zapojení kombinovaného impulsního modulátoru, u kterého je signálový vstup zapojení spojen s prvním vstupem děličky, a s prvním vstupem násobičky, jejíž výstup je spojen s prvním vstupem prvního výběrového bloku, jehož druhý vstup je spojen se druhým vstupem děličky a se druhým parametrickým vstupem zapojení, jehož první parametrický vstup je spojen se druhým vstupem násobičky, s prvním vstupem druhého výběrového bloku a s prvním vstupem prvního komparátoru, jehož druhý vstup je spojen s výstupem děličky a se druhým vstupem druhého výběrového bloku, jehož řídicí vstup je spojen s výstupem prvního komparátoru a s řídicím vstupem prvního výběrového bloku, jehož výstup je spojen s prvním vstupem rozdílového členu, jehož druhý vstup je spojen s výstupem druhého řídicího bloku, vyznačující se tím, že výstup (044) prvního výběrového bloku (04) je spojen s prvním vstupem (101) třetího výběrového bloku (10), jehož druhý vstup (102) je spojen s výstupem (063) rozdílového členu (06) a se vstupem (071) koincidenčního členu (07), jehož výstup (72) je spojen se druhým vstupem (122) pomocného hradla (12) a s nahazovacím vstupem (153) klopného obvodu (15), jehož výstup (154) je spojen s řídicím vstupem (161) prvního výstupního hradla (16), s řídicím vstupem (172) druhého výstupního hradla (17) a s řídicím vstupem (103) třetího výběrového bloku (10), jehož výstup (104) je spojen se druhým vstupem (112) druhého komparátoru (11), jehož první vstup (111) je spojen s výstupem (142) čítače (14) a výstup (113) druhého komparátoru (11) je spojen s prvním vstupem (121) pomocného hradla (12), jehož výstup (123) je spojen s překlápěcím vstupem (151) klopného obvodu (15) a se druhým vstupem (132) logického součtového bloku (13), jehož výstup (133) je spojen s nulovacím vstupem (141) čítače (14) a první vstup (131) logického součtového bloku (13) je spojen s nulovacím vstupem (152) klopného obvodu (15) a s výstupem (093) neekvivalentního bloku (9), jehož druhý vstup

(092) je spojen s výstupem (082) paměti (08) znaménkového bitu, jejíž vstup (081) je spojen se znaménkovým vstupem (001) zapojení, s prvním vstupem (091) neekvivalentního bloku (9), s hradlovacím vstupem (162) prvního výstupního hradla (16) a s hradlovacím vstupem (171) druhého výstupního hradla (17), jehož výstup (173) je spojen se druhým výstupem (006) zapojení, jehož první výstup (005) je spojen s výstupem (163) prvního výstupního hradla (16).

1 výkres

