



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0066476  
(43) 공개일자 2008년07월16일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0003966

(22) 출원일자 2007년01월12일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

최상준

경기 용인시 기흥구 연남동 삼성래미안2차아파트  
210-1902

이정현

경기 용인시 수지구 풍덕천2동 태영레스빌아파트  
106-803

이창수

경기 수원시 권선구 권선동 올림픽공원 대우미래  
사랑 102-503

(74) 대리인

리엔목특허법인

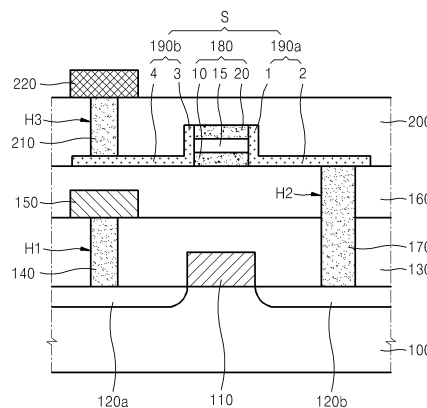
전체 청구항 수 : 총 15 항

#### (54) 저항성 메모리 소자 및 그 제조방법

#### (57) 요약

본 발명은 저항성 메모리 소자 및 그 제조방법에 관한 것이다. 개시된 본 발명의 저항성 메모리 소자는 스위칭 소자 및 이에 연결된 스토리지 노드를 포함하는 저항성 메모리 소자로서, 상기 스토리지 노드는, 상호 이격된 복수의 저항 변화층을 포함하는 적층 구조물; 및 상기 적층 구조물의 양측벽에 각각 형성된 제1 및 제2 전극;을 포함한다. 여기서, 상기 저항 변화층들은 상기 제1 및 제2 전극에 병렬로 연결되어 있고, 서로 다른 스위칭 전압을 가질 수 있다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

스위칭 소자 및 이에 연결된 스토리지 노드를 포함하는 저항성 메모리 소자에 있어서,  
상기 스토리지 노드는,  
상호 이격된 복수의 저항 변화층을 포함하는 적층 구조물; 및  
상기 적층 구조물의 양측벽에 각각 형성된 제1 및 제2 전극;을 포함하고,  
상기 저항 변화층들은 병렬로 상기 제1 및 제2 전극에 연결된 것을 특징으로 하는 저항성 메모리 소자.

### 청구항 2

제 1 항에 있어서, 상기 저항 변화층들은 서로 다른 스위칭 전압을 갖는 것을 특징으로 하는 저항성 메모리 소자.

### 청구항 3

제 1 항에 있어서, 상기 저항 변화층들 사이마다 절연층이 개재된 것을 특징으로 하는 저항성 메모리 소자.

### 청구항 4

제 1 항에 있어서, 상기 저항 변화층들 중 하나는  $\text{Cu}_{2-x}\text{S}$ 층인 것을 특징으로 하는 저항성 메모리 소자.

### 청구항 5

제 1 항에 있어서, 상기 저항 변화층들 중 하나는 Ge-Te층인 것을 특징으로 하는 저항성 메모리 소자.

### 청구항 6

제 1 항에 있어서, 상기 저항 변화층들 중 하나는  $\text{Cu}_{2-x}\text{S}$ 층이고, 다른 하나는 Ge-Te층인 것을 특징으로 하는 저항성 메모리 소자.

### 청구항 7

제 1 항에 있어서, 상기 제1 전극은 상기 적층 구조물의 측벽을 덮는 제1 영역 및 상기 적층 구조물의 외측으로 확장된 제2 영역을 포함하는 것을 특징으로 하는 저항성 메모리 소자.

### 청구항 8

제 7 항에 있어서, 상기 스위칭 소자는 상기 제2 영역과 연결된 것을 특징으로 하는 저항성 메모리 소자.

### 청구항 9

제 1 및 7 항 중 어느 한 항에 있어서, 상기 제2 전극은 상기 적층 구조물의 측벽을 덮는 제3 영역 및 상기 적층 구조물의 외측으로 확장된 제4 영역을 포함하는 것을 특징으로 하는 저항성 메모리 소자.

### 청구항 10

스위칭 소자가 형성된 기판을 마련하는 단계;  
상기 기판 상에 상기 스위칭 소자를 덮는 층간절연막을 형성하는 단계;  
상기 층간절연막에 상기 스위칭 소자를 노출시키는 콘택홀을 형성하는 단계;  
상기 콘택홀 내에 도전성 플러그를 형성하는 단계;  
상기 도전성 플러그와 인접한 상기 층간절연막 상에 서로 이격된 복수의 저항 변화층을 포함하는 적층 구조물을 형성하는 단계; 및  
상기 층간 절연막 상에 상기 적층 구조물의 일측벽을 덮고 상기 일측벽과 상기 도전성 플러그를 연결하는 제1

전극을 형성하면서, 상기 적층 구조물의 타측벽에 제2 전극을 형성하는 단계;를 포함하고,  
상기 저항 변화층들은 상기 제1 및 제2 전극에 병렬로 연결되게 형성하는 것을 특징으로 하는 저항성 메모리 소자의 제조방법.

#### 청구항 11

제 10 항에 있어서, 상기 저항 변화층들은 서로 다른 스위칭 전압을 갖는 것을 특징으로 하는 저항성 메모리 소자의 제조방법.

#### 청구항 12

제 10 항에 있어서, 상기 저항 변화층들 사이마다 절연층이 개재된 것을 특징으로 하는 저항성 메모리 소자의 제조방법.

#### 청구항 13

제 10 항에 있어서, 상기 저항 변화층들 중 하나는  $Cu_{2-x}S$ 로 형성하고, 다른 하나는 Ge-Te로 형성하는 것을 특징으로 하는 저항성 메모리 소자의 제조방법.

#### 청구항 14

제 10 항에 있어서, 상기 제2 전극은 상기 적층 구조물의 외측으로 확장되게 형성하는 것을 특징으로 하는 저항성 메모리 소자의 제조방법.

#### 청구항 15

제 10 항에 있어서, 상기 제1 및 제2 전극을 형성하는 단계는

상기 층간절연막 상에 상기 도전성 플러그 및 상기 적층 구조물을 덮는 전극층을 형성하는 단계;

상기 전극층 상에 상기 적층 구조물을 가로질러 상기 적층 구조물 양측으로 확장되고 상기 도전성 플러그를 덮는 마스크층을 형성하는 단계;

상기 마스크층 둘레의 상기 전극층을 제거하는 단계;

상기 적층 구조물 상에 형성된 상기 마스크층 및 상기 전극층을 제거하는 단계; 및

상기 적층 구조물 둘레에서 상기 마스크층을 제거하는 단계;를 포함하는 것을 특징으로 하는 저항성 메모리 소자의 제조방법.

## 명 세 서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <19> 1. 발명의 분야
- <20> 본 발명은 반도체 메모리 소자에 관한 것으로서, 보다 자세하게는 저항성 메모리 소자 및 그 제조방법에 관한 것이다.
- <21> 2. 관련기술의 설명
- <22> RRAM(Resistive random access memory)은 전이 금속 산화물과 같은 저항 변화 물질의 저항이 전압에 따라 달라지는 특성(저항 변화 특성)을 이용한 것이다. 즉, 저항 변화 물질에 세트 전압(set voltage) 이상의 전압이 인가되면 저항 변화 물질의 저항이 작아진다. 이때를 온(ON) 상태라 한다. 그리고 저항 변화 물질에 리세트 전압(reset voltage) 이상의 전압이 인가되면 저항 변화 물질의 저항이 증가한다. 이때를 오프(OFF) 상태라 한다.
- <23> 이러한 RRAM은 플래시 메모리보다 동작 속도가  $10^5$  배 이상 빠르고, 낮은 전압에서 구동이 가능하다는 장점이

있다. 또한  $10^{10}$  회 이상 반복해서 정보를 쓰고 지울 수 있어서 저장매체가 필요한 모든 기기에 사용이 가능할 것으로 기대되고 있다.

<24> 하지만 종래의 RRAM은 단위 셀에 0 또는 1만 저장할 수 있을 뿐, 멀티 비트 데이터를 저장하기 어렵다. 그러므로 종래의 RRAM의 집적도는 높이기 어렵다.

### 발명이 이루고자 하는 기술적 과제

<25> 본 발명이 이루고자 하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 멀티 비트(multi-bit) 특성을 갖는 저항성 메모리 소자를 제공하는데 있다.

<26> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 저항성 메모리 소자의 제조방법을 제공하는데 있다.

### 발명의 구성 및 작용

<27> 상기 기술적 과제를 달성하기 위하여, 본 발명은 스위칭 소자 및 이에 연결된 스토리지 노드를 포함하는 저항성 메모리 소자에 있어서, 상기 스토리지 노드는, 상호 이격된 복수의 저항 변화층을 포함하는 적층 구조물; 및 상기 적층 구조물의 양측벽에 각각 형성된 제1 및 제2 전극;을 포함하고, 상기 저항 변화층들은 병렬로 상기 제1 및 제2 전극에 연결된 것을 특징으로 하는 저항성 메모리 소자를 제공한다.

<28> 여기서, 상기 저항 변화층들은 서로 다른 스위칭 전압을 가질 수 있다.

<29> 상기 저항 변화층들 사이마다 절연층이 개재될 수 있다.

<30> 상기 저항 변화층들 중 하나는  $\text{Cu}_2\text{-xS}$ 층 또는 Ge-Te층일 수 있다.

<31> 상기 저항 변화층들 중 하나는  $\text{Cu}_2\text{-xS}$ 층이고, 다른 하나는 Ge-Te층일 수 있다.

<32> 상기 제1 전극은 상기 적층 구조물의 측벽을 덮는 제1 영역 및 상기 적층 구조물의 외측으로 확장된 제2 영역을 포함할 수 있다.

<33> 상기 스위칭 소자는 상기 제2 영역과 연결될 수 있다.

<34> 상기 제2 전극은 상기 적층 구조물의 측벽을 덮는 제3 영역 및 상기 적층 구조물의 외측으로 확장된 제4 영역을 포함할 수 있다.

<35> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 스위칭 소자가 형성된 기판을 마련하는 단계; 상기 기판 상에 상기 스위칭 소자를 덮는 층간절연막을 형성하는 단계; 상기 층간절연막에 상기 스위칭 소자를 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀 내에 도전성 플러그를 형성하는 단계; 상기 도전성 플러그와 인접한 상기 층간절연막 상에 서로 이격된 복수의 저항 변화층을 포함하는 적층 구조물을 형성하는 단계; 및 상기 층간 절연막 상에 상기 적층 구조물의 일측벽을 덮고 상기 일측벽과 상기 도전성 플러그를 연결하는 제1 전극을 형성하면서, 상기 적층 구조물의 타측벽에 제2 전극을 형성하는 단계;를 포함하고, 상기 저항 변화층들은 상기 제1 및 제2 전극에 병렬로 연결되게 형성하는 것을 특징으로 하는 저항성 메모리 소자의 제조방법을 제공한다.

<36> 상기 저항 변화층들은 서로 다른 스위칭 전압을 가질 수 있다.

<37> 상기 저항 변화층들 사이마다 절연층이 개재될 수 있다.

<38> 상기 저항 변화층들 중 하나는  $\text{Cu}_2\text{-xS}$ 로 형성하고, 다른 하나는 Ge-Te로 형성할 수 있다.

<39> 상기 제2 전극은 상기 적층 구조물의 외측으로 확장되게 형성할 수 있다.

<40> 상기 제1 및 제2 전극을 형성하는 단계는 상기 층간절연막 상에 상기 도전성 플러그 및 상기 적층 구조물을 덮는 전극층을 형성하는 단계; 상기 전극층 상에 상기 적층 구조물을 가로질러 상기 적층 구조물 양측으로 확장되고 상기 도전성 플러그를 덮는 마스크층을 형성하는 단계; 상기 마스크층 둘레의 상기 전극층을 제거하는 단계; 상기 적층 구조물 상에 형성된 상기 마스크층 및 상기 전극층을 제거하는 단계; 및 상기 적층 구조물 둘레에서 상기 마스크층을 제거하는 단계;를 포함할 수 있다.

<41> 이러한 본 발명을 이용하면, 멀티 비트 특성을 가져 집적도가 높은 저항성 메모리 소자를 구현할 수 있다.

<42> 이하, 본 발명의 실시예에 따른 저항성 메모리 소자 및 그 제조방법을 첨부된 도면들을 참조하여 상세하게 설명

한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

- <43> 도 1은 본 발명의 실시예에 따른 저항성 메모리 소자(이하, 본 발명의 RRAM)를 보여준다.
- <44> 도 1을 참조하면, 기판(100) 상에 게이트(110)가 존재하고, 게이트(110) 양측의 기판(100) 내에 제1 및 제2 불순물영역(120a, 120b)이 존재한다. 제1 및 제2 불순물영역(120a, 120b) 중 어느 하나는 소오스이고, 나머지는 드레인이다. 게이트(110)와 제1 및 제2 불순물영역(120a, 120b)은 트랜지스터를 구성한다. 기판(100) 상에 상기 트랜지스터를 덮는 제1 층간절연층(130)이 형성되어 있다. 제1 층간절연층(130)에 제1 불순물영역(120a)을 노출시키는 제1 콘택홀(H1)이 형성되어 있고, 제1 콘택홀(H1)은 제1 도전성 플러그(140)로 채워져 있다. 제1 층간절연층(130) 상에 제1 도전성 플러그(140)의 노출된 부분을 덮는 비트라인(150)이 형성되어 있다. 제1 층간절연층(130) 상에 비트라인(150)을 덮도록 제2 층간절연층(160)이 형성되어 있다. 제1 및 제2 층간절연층(130, 160)에 제2 불순물영역(120b)을 노출시키는 제2 콘택홀(H2)이 형성되어 있고, 제2 콘택홀(H2)은 제2 도전성 플러그(170)로 채워져 있다.
- <45> 제2 도전성 플러그(170)와 인접한 제2 층간절연층(160) 상에 적층 구조물(180)이 형성되어 있다. 적층 구조물(180)은 복수의 저항 변화층을 포함할 수 있다. 상기 저항 변화층들은 서로 다른 스위칭 전압을 가질 수 있다. 상기 저항 변화층들 사이마다 절연층이 개재(interpose)될 수 있다. 예컨대, 적층 구조물(180)은 제1 저항 변화층(10), 절연층(15) 및 제2 저항 변화층(20)이 차례로 적층된 구조일 수 있다. 제1 저항 변화층(10)은  $\text{Cu}_{2-x}\text{S}$ 층일 수 있고, 제2 저항 변화층(20)은 Ge-Te층일 수 있다. 적층 구조물(180)은 제2 저항 변화층(20) 상에 형성된 다른 절연층(미도시)을 더 포함할 수도 있다. 적층 구조물(180)은 육면체일 수 있다. 적층 구조물(180)의 양측 벽에 제1 및 제2 전극(190a, 190b)이 형성되어 있다. 제1 전극(190a)은 L자 모양을 갖고 제2 도전성 플러그(170)와 연결되어 있다. 제2 전극(190b)은 제1 전극(190a)과 대칭적인 모양을 가질 수 있다. 다시 말해, 제1 전극(190a)은 적층 구조물(180)의 상기 양측벽 중 하나(도 1에서 적층 구조물(180)의 오른쪽 벽)를 덮도록 형성된 제1 영역(1) 및 제1 영역(1)의 하단부에 제1 영역(1)과 수직하게 형성된 제2 영역(2)을 포함할 수 있다. 이와 유사하게, 제2 전극(190b)은 적층 구조물(180)의 상기 양측벽 중 다른 하나(도 1에서 적층 구조물(180)의 왼쪽 벽)를 덮도록 형성된 제3 영역(3) 및 제3 영역(3)의 하단부에 상기 제3 영역(3)과 수직하게 형성된 제4 영역(4)을 포함할 수 있다. 적층 구조물(180), 제1 전극(190a) 및 제2 전극(190b)은 스토리지 노드(S)를 구성한다.
- <46> 제2 층간절연층(160) 상에 스토리지 노드(S)를 덮는 제3 층간절연층(200)이 형성되어 있다. 제3 층간절연층(200)에 제2 전극(190b)을 노출시키는 제3 콘택홀(H3)이 형성되어 있다. 제3 콘택홀(H3)은 제3 도전성 플러그(210)로 채워져 있다. 제3 층간절연층(200) 상에 제3 도전성 플러그(210)의 노출된 부분을 덮는 배선(220)이 형성되어 있다.
- <47> 게이트(110)에 문턱 전압 이상의 전압을 인가하여 게이트(110) 아래에 채널을 형성한 후, 비트라인(150)과 배선(220) 각각에 소정의 전압을 인가하면, 제1 및 제2 전극(190a, 190b) 사이에 전압이 인가될 수 있다. 제1 및 제2 전극(190a, 190b) 사이에 인가된 상기 전압에 따라, 제1 및 제2 저항 변화층(10, 20)의 저항이 변화될 수 있다.
- <48> 도 2a 및 도 2b는 각각  $\text{Cu}_{2-x}\text{S}$ 층(두께=200Å) 및 Ge-Te층(두께=300Å)의 전압-전류 특성을 보여주는 그래프이다.
- <49> 도 2a를 참조하면,  $\text{Cu}_{2-x}\text{S}$ 층의 저항은 0.25V 및 -0.4V 부근에서 급격히 변화된다. 그러므로  $\text{Cu}_{2-x}\text{S}$ 층의 세트 전압(set voltage) 및 리세트 전압(reset voltage)은 각각 약 0.25V 및 약 -0.4V일 수 있다.
- <50> 도 2b를 참조하면, Ge-Te층의 세트 전압(set voltage) 및 리세트 전압(reset voltage)은 각각 약 0.5V 및 약 -0.8V이다.
- <51> 도 2a와 도 2b를 비교하면,  $\text{Cu}_{2-x}\text{S}$ 층의 세트 전압(set voltage)과 Ge-Te층의 세트 전압(set voltage)의 차이는 0.25V 정도이고,  $\text{Cu}_{2-x}\text{S}$ 층의 리세트 전압(reset voltage)과 Ge-Te층의 리세트 전압(reset voltage)의 차이는 0.4V 정도이다.
- <52> 그러므로  $\text{Cu}_{2-x}\text{S}$ 로 형성된 제1 저항 변화층(10)과 Ge-Te로 형성된 제2 저항 변화층(20)을 갖는 도 1의 적층 구조물(180)은 그에 인가되는 전압에 따라 명확히 구분되는 네 가지 저항 상태를 가질 수 있다. 이것은 적층 구조물(180)을 포함한 본 발명의 RRAM은 멀티 비트 특성을 가짐을 의미한다.
- <53> 도 3은  $\text{Cu}_{2-x}\text{S}$ 로 형성된 제1 저항 변화층(10)과 Ge-Te로 형성된 제2 저항 변화층(20)을 갖는 도 1의 적층 구조물

(180)의 전압-전류 특성을 보여주는 시뮬레이션 결과이다.

- <54> 도 1 및 도 3을 참조하면, 적층 구조물(180)은 그에 인가되는 전압에 따라 제1 내지 제4 상태를 가질 수 있다. 이하에서, 상기 제1 내지 제4 상태에 대해 자세히 설명한다.
- <55> 첫째, 제1 저항 변화층(10)의 세트 전압보다 크고 제2 저항 변화층(20)의 세트 전압보다 낮은 전압이 인가되면, 적층 구조물(180)은 상기 제1 상태를 가질 수 있다. 상기 제1 상태에서 제1 저항 변화층(10)은 저저항 상태이고 제2 저항 변화층(20)은 고저항 상태일 수 있다. 이때 적층 구조물(180)의 전압-전류 특성은 제1 그래프(G1)를 따른다. 상기 제1 상태는 데이터 (1,0)에 대응할 수 있다.
- <56> 둘째, 제2 저항 변화층(20)의 세트 전압보다 큰 전압이 인가되면, 적층 구조물(180)은 상기 제2 상태를 가질 수 있다. 상기 제2 상태에서 제1 및 제2 저항 변화층(10, 20)은 저저항 상태일 수 있다. 이때 적층 구조물(180)의 전압-전류 특성은 제2 그래프(G2)를 따른다. 상기 제2 상태는 데이터 (1,1)에 대응할 수 있다.
- <57> 셋째, 제2 저항 변화층(20)의 리세트 전압보다 크고 제1 저항 변화층(10)의 리세트 전압보다 작은 전압이 인가되면, 적층 구조물(180)은 상기 제3 상태를 가질 수 있다. 상기 제3 상태에서 제1 저항 변화층(10)은 고저항 상태이고 제2 저항 변화층(20)은 저저항 상태일 수 있다. 이때 적층 구조물(180)의 전압-전류 특성은 제3 그래프(G3)를 따른다. 상기 제3 상태는 데이터 (0,1)에 대응할 수 있다.
- <58> 넷째, 제2 저항 변화층(20)의 리세트 전압보다 작은 전압이 인가되면, 적층 구조물(180)은 상기 제4 상태를 가질 수 있다. 상기 제4 상태에서 제1 및 제2 저항 변화층(10, 20)은 고저항 상태일 수 있다. 이때 적층 구조물(180)의 전압-전류 특성은 제4 그래프(G4)를 따른다. 상기 제4 상태는 데이터 (0,0)에 대응할 수 있다.
- <59> 이와 같이 본 발명의 RRAM에서 서로 다른 스위칭 전압을 갖는 복수의 저항 변화층(10, 20)이 제1 및 제2 전극(190a, 190b)에 병렬로 연결되어 있기 때문에, 하나의 스토리지 노드(S)에 멀티 비트 데이터를 기록할 수 있다.
- <60> 또한 본 발명의 RRAM의 특성은 제1 및 제2 저항 변화층(10, 20)의 두께를 조절함으로써 용이하게 조절할 수 있다. 이것은 제1 및 제2 저항 변화층(10, 20)의 두께에 따라, 전극들(190a, 190b)과 저항 변화층들(10, 20)들 간의 접촉 면적이 달라지고, 저항 변화층들(10, 20)의 세트 및 리세트 전압이 달라지기 때문이다. 다시 말해, 제1 및 제2 저항 변화층(10, 20)의 두께 조절은 매우 용이하기 때문에, 본 발명의 RRAM의 특성은 사용자의 목적에 맞게 용이하게 조절될 수 있다. 예컨대, 전극들(190a, 190b)과 저항 변화층들(10, 20)들 간의 접촉 면적을 줄이면, 오프 커런트(off current)를 감소시켜 소비 전력을 줄일 수 있고, 동시에 온 커런트(on current)와 오프 커런트(off current)간 차이를 증가시켜 센싱 마진(sensing margin)을 증가시킬 수 있다.
- <61> 도 4a 내지 도 4h는 본 발명의 실시예에 따른 저항성 메모리 소자의 제조방법을 단계별로 보여준다.
- <62> 도 4a를 참조하면, 기판(100) 상에 게이트(110)를 형성한 후, 상기 게이트(110) 양측의 기판(100) 내에 제1 및 제2 불순물영역(120a, 120b)을 형성한다. 그 다음, 기판(100) 상에 게이트(110)를 덮는 제1 층간절연막(130)을 형성한다.
- <63> 도 4b를 참조하면, 제1 층간절연막(130)을 식각하여 제1 불순물영역(120a)을 노출시키는 제1 콘택홀(H1)을 형성하고, 제1 콘택홀(H1) 내에 제1 도전성 플러그(140)를 형성한다. 그런 다음, 제1 층간절연막(130) 상에 제1 도전성 플러그(140)의 노출된 부분을 덮는 비트라인(150)을 형성하고, 비트라인(150)을 덮도록 제1 층간절연막(130) 상에 제2 층간절연막(160)을 형성한다.
- <64> 도 4c를 참조하면, 제2 층간절연막(160) 및 제1 층간절연막(130)을 식각하여 제2 불순물영역(120b)을 노출시키는 제2 콘택홀(H2)을 형성하고, 제2 콘택홀(H2) 내에 제2 도전성 플러그(170)를 형성한다. 그런 후, 제2 도전성 플러그(170)와 인접한 제2 층간절연막(160) 상에 적층 구조물(180)을 형성한다. 적층 구조물(180)은 육면체일 수 있고, 차례로 적층된 제1 저항 변화층(10), 절연층(15) 및 제2 저항 변화층(20)을 포함할 수 있다. 제1 저항 변화층(10)은  $\text{Cu}_2\text{-xS}$ 로 형성하고, 제2 저항 변화층(20)은 Ge-Te로 형성할 수 있다.
- <65> 다음으로, 제2 층간절연막(160) 상에 제1 도전성 플러그(140) 및 적층 구조물(180)을 덮는 전극층(190)을 컨포멀하게(conformally) 형성한다.
- <66> 도 4d를 참조하면, 전극층(190) 상에 적층 구조물(180)을 가로질러 적층 구조물(180) 양측으로 확장되고, 제1 도전성 플러그(140)를 덮는 마스크층(M1)을 형성한다. 마스크층(M1)의 길이( $l$ )는 적층 구조물(180)의 길이보다 길고, 마스크층(M1)의 폭은 적층 구조물(180)의 폭보다 작을 수 있다. 마스크층(M1)은 적층 구조물(180)을 중심으로 대칭적인 구조를 가질 수 있다.



- <67> 그 다음, 마스크층(M1)을 식각 마스크로 이용해서 전극층(190)을 식각한다. 전극층(190)을 식각할 때, 적층 구조물(10)의 일부가 식각될 수도 있다. 도 4e는 상기 식각이 완료된 상태를 보여준다.
- <68> 도 4f를 참조하면, 적층 구조물(180) 상에 형성된 마스크층(M1) 및 전극층(190)을 CMP(chemical mechanical polishing) 공정으로 제거한다. 그 결과, 적층 구조물(180)의 일측벽에 제2 도전성 플러그(170)와 콘택하는 제1 전극(190a)이 형성됨과 동시에 적층 구조물(180)의 타측벽에 제2 전극(190b)이 형성된다. 그런 다음, 적층 구조물(180) 양측에 잔류된 마스크층(M1)을 에칭(ashing) 공정 또는 습식 식각 공정으로 제거한다.
- <69> 도 4g를 참조하면, 적층 구조물(180), 제1 전극(190a) 및 제2 전극(190b)을 덮도록 제2 층간절연막(160) 상에 제3 층간절연막(200)을 형성한다.
- <70> 도 4h를 참조하면, 제3 층간절연막(200)을 식각하여 제2 전극(190b)의 일부를 노출시키는 제3 콘택홀(H3)을 형성하고, 제3 콘택홀(H3) 내에 제3 도전성 플러그(210)를 형성한다. 그런 다음, 제3 층간절연막(200) 상에 제3 도전성 플러그(210)의 노출된 부분을 덮는 배선(220)을 형성한다.
- <71> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 스토리지 노드(S)를 포함한 본 발명의 RRAM의 구조는 변형될 수 있고, 그의 구성 요소는 보다 다양화될 수 있음을 알 수 있을 것이다. 특히, 적층 구조물(180)은 세 개 이상의 저항 변화층을 가질 수 있고, 상기 트랜지스터 대신 다른 구조의 스위칭 소자가 사용될 수 있음을 알 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

### 발명의 효과

- <72> 상술한 바와 같이, 본 발명의 RRAM에 구비되는 스토리지 노드(S)는 서로 다른 스위칭 전압을 갖는 복수의 저항 변화층(10, 20)이 제1 및 제2 전극(190a, 190b)에 병렬로 연결된 구조를 갖는다. 그러므로 본 발명의 RRAM에서는 하나의 스토리지 노드(S)에 멀티 비트 데이터를 기록할 수 있는 바, 소자의 집적도가 증가된다.
- <73> 또한 본 발명의 RRAM의 특성은 저항 변화층들(10, 20)의 두께를 조절함으로써 용이하게 조절할 수 있다.

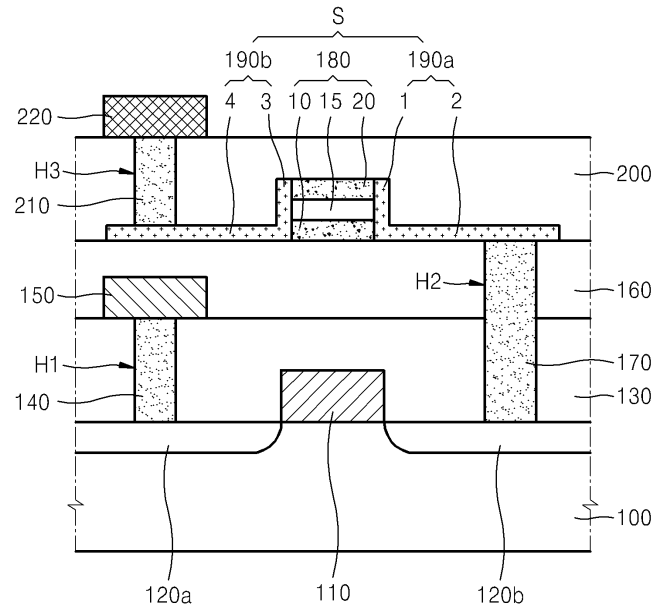
### 도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예에 따른 저항성 메모리 소자를 보여주는 단면도이다.
- <2> 도 2a 및 도 2b는 각각  $\text{Cu}_{2-x}\text{S}$ 층 및 Ge-Te층의 전압-전류 특성을 보여주는 그래프이다.
- <3> 도 3은  $\text{Cu}_{2-x}\text{S}$ 로 형성된 제1 저항 변화층과 Ge-Te로 형성된 제2 저항 변화층을 갖는 도 1의 적층 구조물의 전압-전류 특성을 보여주는 시뮬레이션 결과이다.
- <4> 도 4a 내지 도 4h는 본 발명의 실시예에 따른 저항성 메모리 소자의 제조방법을 단계별로 보여주는 단면도이다.
- <5> \*도면의 주요부분에 대한 부호의 설명\*
- |                       |                  |
|-----------------------|------------------|
| <6> 1 : 제1 영역         | 2 : 제2 영역        |
| <7> 3 : 제3 영역         | 4 : 제4 영역        |
| <8> 10 : 제1 저항 변화층    | 15 : 절연층         |
| <9> 20 : 제2 저항 변화층    | 100 : 기판         |
| <10> 110 : 게이트        | 120a : 제1 불순물영역  |
| <11> 120b : 제2 불순물영역  | 130 : 제1 층간절연막   |
| <12> 140 : 제1 도전성 플러그 | 150 : 비트라인       |
| <13> 160 : 제2 층간절연막   | 170 : 제2 도전성 플러그 |
| <14> 180 : 적층 구조물     | 190 : 전극층        |
| <15> 190a : 제1 전극     | 190b : 제2 전극     |

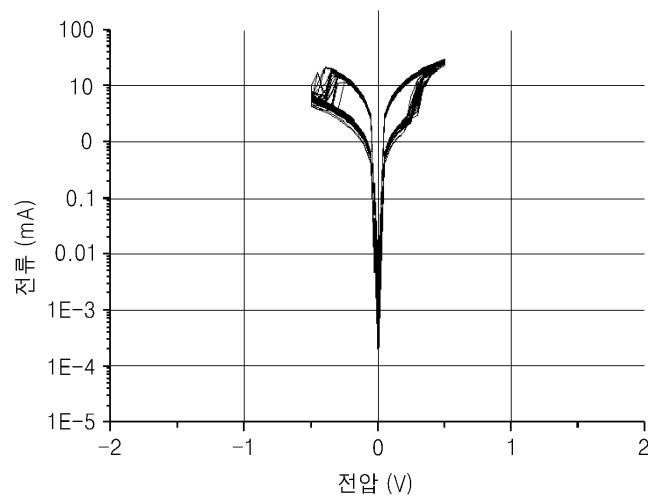
- <16> 200 : 제3 층간절연막                      210 : 제3 도전성 플러그
- <17> 220 : 배선                                      H1~H3 : 제1 내지 제3 콘택홀
- <18> M1 : 마스크층                                S : 스토리지 노드

도면

도면1

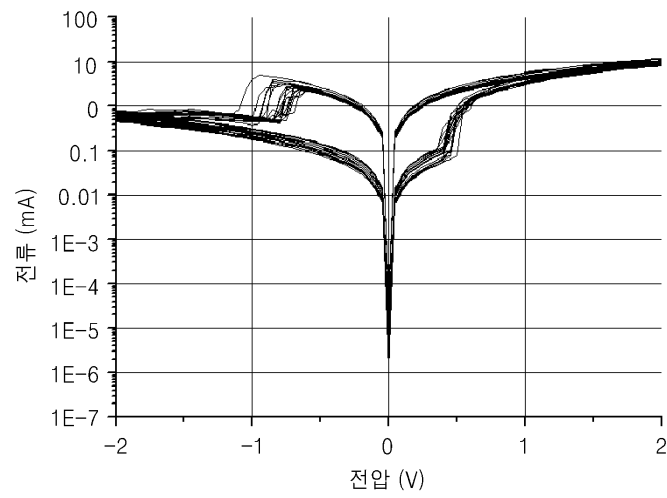


도면2a

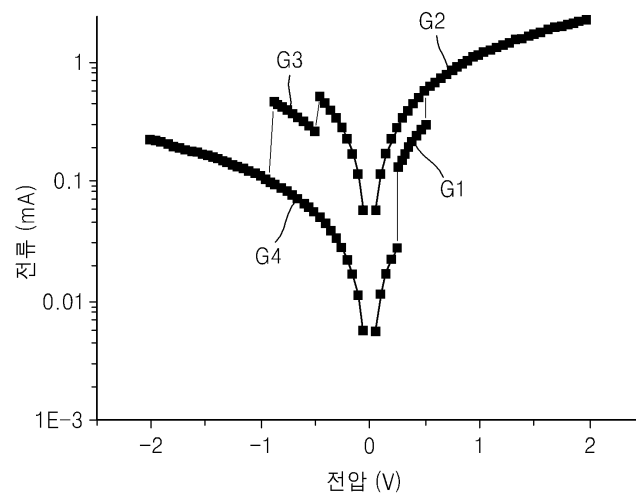




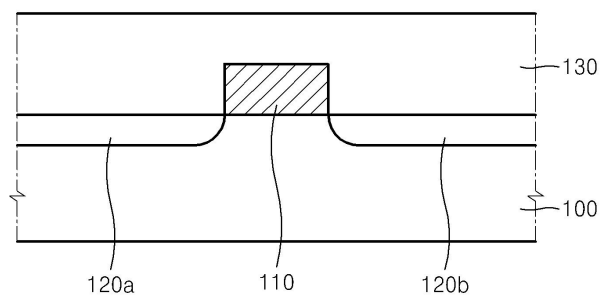
도면2b



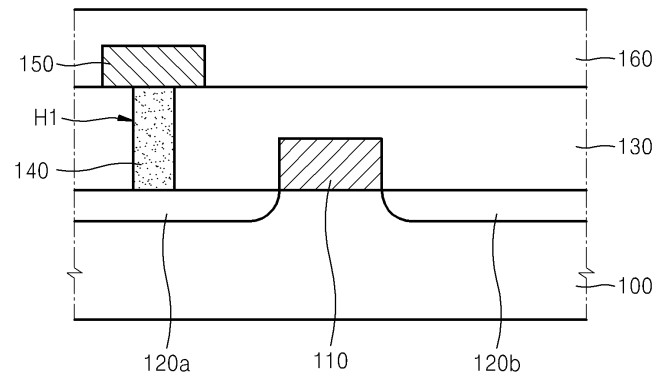
도면3



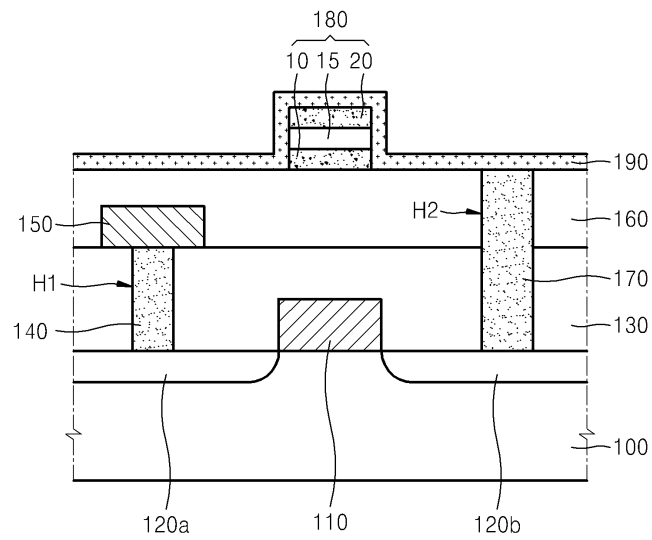
도면4a



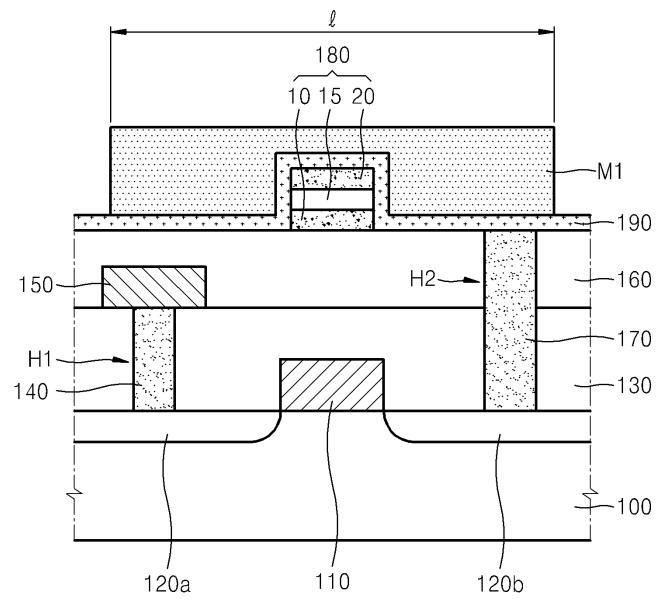
도면4b



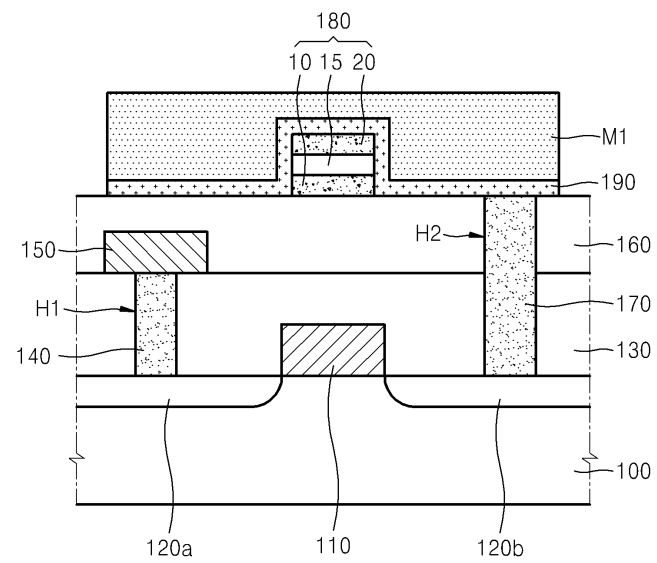
도면4c



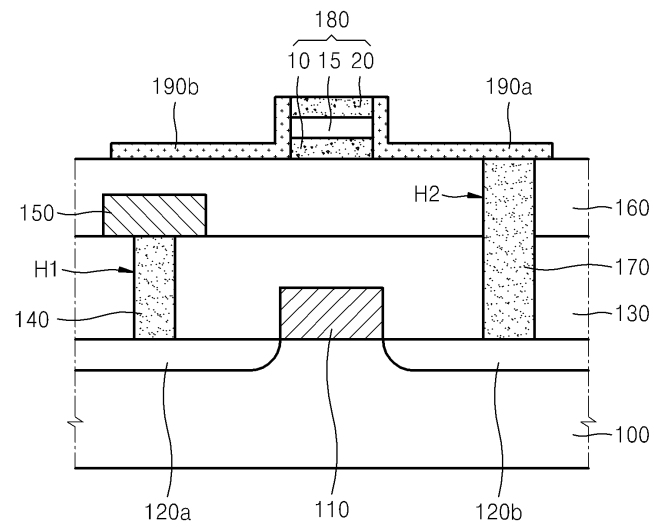
도면4d



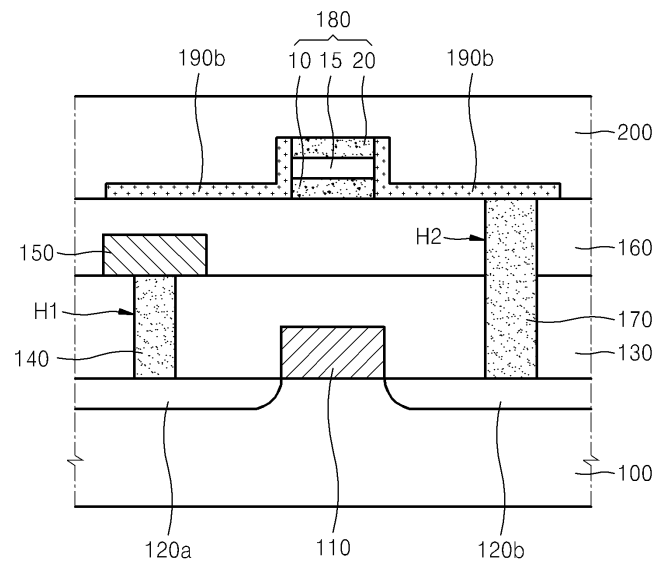
도면4e



도면4f



도면4g



도면4h

