

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3751599号
(P3751599)

(45) 発行日 平成18年3月1日(2006.3.1)

(24) 登録日 平成17年12月16日(2005.12.16)

(51) Int. Cl.	F I
HO 2M 7/21 (2006.01)	HO 2M 7/21 A
HO 2M 7/12 (2006.01)	HO 2M 7/12 M
HO 2M 7/219 (2006.01)	HO 2M 7/219

請求項の数 24 外国語出願 (全 12 頁)

(21) 出願番号	特願2003-56368 (P2003-56368)	(73) 特許権者	591074389
(22) 出願日	平成15年3月3日(2003.3.3)		インターナショナル・レクチファイヤー・
(65) 公開番号	特開2004-147485 (P2004-147485A)		コーポレーション
(43) 公開日	平成16年5月20日(2004.5.20)		INTERNATIONAL RECTI
審査請求日	平成15年5月6日(2003.5.6)		FIER CORPORATION
(31) 優先権主張番号	60/361, 415		アメリカ合衆国90245カリフォルニア
(32) 優先日	平成14年3月1日(2002.3.1)		州 エル・セグンド、カンザス・ストリー
(33) 優先権主張国	米国 (US)		ト233番
(31) 優先権主張番号	60/395, 970	(74) 代理人	100077481
(32) 優先日	平成14年7月12日(2002.7.12)		弁理士 谷 義一
(33) 優先権主張国	米国 (US)	(74) 代理人	100088915
(31) 優先権主張番号	10/375, 743		弁理士 阿部 和夫
(32) 優先日	平成15年2月26日(2003.2.26)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 3相正弦波ソースの同期整流用MOSゲートデバイスドライバ

(57) 【特許請求の範囲】

【請求項1】

複数の出力相電圧および複数の相間電圧を有する正弦波ソースを整流することによってDC出力を発生させる整流回路であって、

前記出力相電圧に結合され、複数のスイッチを有するブリッジ回路と、

前記出力相電圧および前記ブリッジ回路に結合され、前記相間電圧のそれぞれの絶対値に基づいて前記スイッチを制御するように構成された制御回路と、を備え、

前記出力相電圧を整流して前記DC出力を発生させ、前記相間電圧の絶対値が前記出力相電圧に基づいて決定されることを特徴とする整流回路。

【請求項2】

前記出力相電圧は、 V_A 出力相電圧、 V_B 出力相電圧および V_C 出力相電圧を含むことを特徴とする請求項1に記載の整流回路。

【請求項3】

前記相間電圧は、 V_{AB} 相間電圧、 V_{BC} 相間電圧および V_{CA} 相間電圧を含み、前記相間電圧が式、

$$V_{AB} = V_A - V_B$$

$$V_{BC} = V_B - V_C$$

$V_{CA} = V_C - V_A$ に基づいて決定されることを特徴とする請求項2に記載の整流回路。

【請求項4】

前記DC出力を与えるためのDC出力バスと、前記正弦波ソースに結合されたリターンバスと、をさらに備え、

前記ブリッジ回路の前記スイッチは、第1のノードを介して結合された第1のスイッチ対と、第2のノードを介して結合された第2のスイッチ対と、第3のノードを介して結合された第3のスイッチ対と、を含み、

前記 V_A 出力相電圧、前記 V_B 出力相電圧および前記 V_C 出力相電圧は、前記第1のノード、前記第2のノードおよび前記第3のノードにそれぞれ結合され、

各スイッチ対の前記スイッチの一方は前記DC出力バスに結合され、

各スイッチ対の前記スイッチの他方は前記リターンバスに結合されていることを特徴とする請求項3に記載の整流回路。

10

【請求項5】

前記第1のスイッチ対は第1のスイッチおよび第2のスイッチを含み、前記第2のスイッチ対は第3のスイッチおよび第4のスイッチを含み、前記第3のスイッチ対は第5のスイッチおよび第6のスイッチを含み、

前記第1、第3および第5のスイッチは前記DCバスに結合され、

前記第2、第4および第6のスイッチは前記リターンバスに結合され、

前記制御回路は、

(a) 前記 V_{AB} の絶対値が前記 V_{BC} および V_{CA} の絶対値よりも大きく、かつ V_A の大きさが0よりも大きいときに、前記第1および第4のスイッチをターンオンし、

(b) 前記 V_{AB} の絶対値が前記 V_{BC} および V_{CA} の絶対値よりも大きく、かつ V_A の大きさが0よりも小さいときに、前記第2および第3のスイッチをターンオンし、

(c) 前記 V_{BC} の絶対値が前記 V_{AB} および V_{CA} の絶対値よりも大きく、かつ V_B の大きさが0よりも大きいときに、前記第3および第6のスイッチをターンオンし、

(d) 前記 V_{BC} の絶対値が前記 V_{AB} および V_{CA} の絶対値よりも大きく、かつ V_B の大きさが0よりも小さいときに、前記第4および第5のスイッチをターンオンし、

(e) 前記 V_{CA} の絶対値が前記 V_{AB} および V_{BC} の絶対値よりも大きく、かつ V_C の大きさが0よりも大きいときに、前記第2および第5のスイッチをターンオンし、

(f) 前記 V_{CA} の絶対値が前記 V_{AB} および V_{BC} の絶対値よりも大きく、かつ V_C の大きさが0よりも小さいときに、前記第1および第6のスイッチをターンオンするように、構成されていることを特徴とする請求項4に記載の整流回路。

20

30

【請求項6】

前記複数のスイッチは、複数のMOSFETおよび複数のIGBTの少なくとも一方を含んでいることを特徴とする請求項5に記載の整流回路。

【請求項7】

前記制御回路は、 V_A 、 V_B および V_C の少なくとも1つが前記DC出力よりも大きいときに、前記ゲートノードを制御するように構成されていることを特徴とする請求項5に記載の整流回路。

【請求項8】

前記制御回路は、複数の相間電圧のそれぞれの前記絶対値に基づいて個々の論理信号を発生させるように構成された個々の論理比較器を含んでいることを特徴とする請求項3に記載の整流回路。

40

【請求項9】

前記DC出力を与えるためのDC出力バスと、前記正弦波ソースに結合されたリターンバスと、をさらに備え、

前記ブリッジ回路の前記スイッチは、第1のノードを介して結合された第1のスイッチ対と、第2のノードを介して結合された第2のスイッチ対と、第3のノードを介して結合された第3のスイッチ対と、を含み、

前記 V_A 出力相電圧、前記 V_B 出力相電圧および前記 V_C 出力相電圧は、前記第1のノード、前記第2のノードおよび前記第3のノードにそれぞれ結合され、

各スイッチ対の前記スイッチの一方は前記DC出力バスに結合され、

50

各スイッチ対の前記スイッチの他方は前記リターンバスに結合されていることを特徴とする請求項 8 に記載の整流回路。

【請求項 10】

前記第 1 のスイッチ対は第 1 のスイッチおよび第 2 のスイッチを含み、前記第 2 のスイッチ対は第 3 のスイッチおよび第 4 のスイッチを含み、前記第 3 のスイッチ対は第 5 のスイッチおよび第 6 のスイッチを含み、

前記第 1、第 3 および第 5 のスイッチは前記 DC バスに結合され、

前記第 2、第 4 および第 6 のスイッチは前記リターンバスに結合され、

前記制御回路は、

(a) 前記 V_{AB} の絶対値が前記 V_{BC} および V_{CA} の絶対値よりも大きく、かつ V_A 10
B の大きさが 0 よりも大きいときに、前記第 1 および第 4 のスイッチをターンオンし、

(b) 前記 V_{AB} の絶対値が前記 V_{BC} および V_{CA} の絶対値よりも大きく、かつ V_A 10
B の大きさが 0 よりも小さいときに、前記第 2 および第 3 のスイッチをターンオンし、

(c) 前記 V_{BC} の絶対値が前記 V_{AB} および V_{CA} の絶対値よりも大きく、かつ V_B 10
C の大きさが 0 よりも大きいときに、前記第 3 および第 6 のスイッチをターンオンし、

(d) 前記 V_{BC} の絶対値が前記 V_{AB} および V_{CA} の絶対値よりも大きく、かつ V_B 10
C の大きさが 0 よりも小さいときに、前記第 4 および第 5 のスイッチをターンオンし、

(e) 前記 V_{CA} の絶対値が前記 V_{AB} および V_{BC} の絶対値よりも大きく、かつ V_C 10
A の大きさが 0 よりも大きいときに、前記第 2 および第 5 のスイッチをターンオンし、

(f) 前記 V_{CA} の絶対値が前記 V_{AB} および V_{BC} の絶対値よりも大きく、かつ V_C 20
A の大きさが 0 よりも小さいときに、前記第 1 および第 6 のスイッチをターンオンするように、構成されていることを特徴とする請求項 9 に記載の整流回路。

【請求項 11】

複数の出力相電圧および複数の相間電圧を有する正弦波ソースを整流することによって DC 出力を発生させる整流回路であって、

前記出力相電圧に結合され、複数のスイッチを有するブリッジ回路と、

前記出力相電圧および前記ブリッジ回路に結合され、前記相間電圧に基づいて前記スイッチを制御するように構成された制御回路と、を備え、

前記出力相電圧を整流して前記 DC 出力を発生させ、前記制御回路は、ダイオードモードで整流を始めることを特徴とする整流回路。 30

【請求項 12】

前記制御回路は、前記正弦波ソースの周期を予測することを特徴とする請求項 11 に記載の整流回路。

【請求項 13】

前記制御回路は、前記正弦波ソースの前記周期の変動を補償するように構成されていることを特徴とする請求項 12 に記載の整流回路。

【請求項 14】

前記制御回路は、前記正弦波ソースの前記周期に基づく情報を測定および更新するように構成されていることを特徴とする請求項 12 に記載の整流回路。

【請求項 15】

前記制御回路が遅延を提供するように構成されており、前記ゲートノードのターンオフ時間は前記遅延に基づいて決定されることを特徴とする請求項 12 に記載の整流回路。 40

【請求項 16】

前記遅延は $100 \mu s$ であることを特徴とする請求項 15 に記載の整流回路。

【請求項 17】

前記ダイオードモードでの前記整流は $1.5 ms$ の間続くことを特徴とする請求項 12 に記載の整流回路。

【請求項 18】

複数の出力相電圧および複数の相間電圧を有する正弦波ソースを、個々のゲートノードを有する複数の MOSFET を用いて整流することによって DC 出力を発生させる方法で 50

あって、

前記出力相電圧に結合され、複数のスイッチを有するブリッジ回路を用意すること、および

前記相間電圧のそれぞれの絶対値に基づいて前記ブリッジ回路の前記スイッチを制御すること、を備え、

前記出力相電圧を整流して前記DC出力を発生させ、前記相間電圧の絶対値を、前記出力相電圧に基づいて決定することを特徴とする方法。

【請求項19】

前記出力相電圧は、 V_A 出力相電圧、 V_B 出力相電圧および V_C 出力相電圧を含むことを特徴とする請求項18に記載の方法。

10

【請求項20】

前記相間電圧は、 V_{AB} 相間電圧、 V_{BC} 相間電圧および V_{CA} 相間電圧を含み、前記相間電圧が式、

$$V_{AB} = V_A - V_B$$

$$V_{BC} = V_B - V_C$$

$$V_{CA} = V_C - V_A$$

に基づいて決定されることを特徴とする請求項19に記載の方法。

【請求項21】

DC出力バスおよびリターンバスを用意することをさらに備え、

前記ブリッジ回路の前記スイッチは、第1のノードを介して結合された第1のスイッチ対と、第2のノードを介して結合された第2のスイッチ対と、第3のノードを介して結合された第3のスイッチ対と、を有し、

20

前記 V_A 出力相電圧、前記 V_B 出力相電圧および前記 V_C 出力相電圧は、前記第1のノード、前記第2のノードおよび前記第3のノードにそれぞれ結合され、

各スイッチ対の前記スイッチの一方は前記DC出力バスに結合され、

各スイッチ対の前記スイッチの他方は前記リターンバスに結合されていることを特徴とする請求項20に記載の方法。

【請求項22】

前記第1のスイッチ対は第1のスイッチおよび第2のスイッチを有し、前記第2のスイッチ対は第3のスイッチおよび第4のスイッチを有し、前記第3のスイッチ対は第5のスイッチおよび第6のスイッチを有し、

30

前記第1、第3および第5のスイッチは前記DCバスに結合され、

前記第2、第4および第6のスイッチは前記リターンバスに結合され、

前記制御回路は、

(g) 前記 V_{AB} の絶対値が前記 V_{BC} および V_{CA} の絶対値よりも大きく、かつ V_A の大きさが0よりも大きいときに、前記第1および第4のスイッチをターンオンし、

(h) 前記 V_{AB} の絶対値が前記 V_{BC} および V_{CA} の絶対値よりも大きく、かつ V_A の大きさが0よりも小さいときに、前記第2および第3のスイッチをターンオンし、

(i) 前記 V_{BC} の絶対値が前記 V_{AB} および V_{CA} の絶対値よりも大きく、かつ V_B の大きさが0よりも大きいときに、前記第3および第6のスイッチをターンオンし、

(j) 前記 V_{BC} の絶対値が前記 V_{AB} および V_{CA} の絶対値よりも大きく、かつ V_B の大きさが0よりも小さいときに、前記第4および第5のスイッチをターンオンし、

40

(k) 前記 V_{CA} の絶対値が前記 V_{AB} および V_{BC} の絶対値よりも大きく、かつ V_C の大きさが0よりも大きいときに、前記第2および第5のスイッチをターンオンし、

(l) 前記 V_{CA} の絶対値が前記 V_{AB} および V_{BC} の絶対値よりも大きく、かつ V_C の大きさが0よりも小さいときに、前記第1および第6のスイッチをターンオンするように、構成されていることを特徴とする請求項21に記載の方法。

【請求項23】

前記複数のスイッチは、複数のMOSFETおよび複数のIGBTの少なくとも一方を含むことを特徴とする請求項22に記載の方法。

【請求項24】

50

前記制御回路は、 V_A 、 V_B および V_C の少なくとも1つが前記DC出力よりも大きいときに前記ゲートノードを制御するように構成されていることを特徴とする請求項22に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、3相交流(AC)電源から直流(DC)出力を発生させる回路、たとえば整流器回路内のMOSゲートデバイスを駆動するためのMOSゲートドライバを備える回路に関する。

【0002】

10

【従来の技術】

少なくとも一部のパワーエレクトロニクス応用例、たとえばACモータ駆動応用例、自動車用発電機応用例、および／またはスイッチング電源応用例などは、正弦波電圧源を整流してDC出力を発生させる回路を含む場合があると考えられる。正弦波電圧源の整流は、たとえばダイオードブリッジによって、またはたとえばMOSFETおよびIGBTなどのMOSゲートデバイスを含む能動スイッチブリッジの集合によって、行うことができる。

【0003】

能動スイッチブリッジ、たとえばMOSFETおよび／またはIGBTを用いるスイッチブリッジは、ダイオードブリッジと比較して有利であり得る。というのは、MOSFETおよび／またはIGBTのチャネルは、ダイオードブリッジのダイオードとは対照的に、電流を流すからである。この有利な方法において、MOSFETおよび／またはIGBTを用いる能動スイッチブリッジは、伝導損失をより良好に低減することができる。

20

【0004】

【発明が解決しようとする課題】

しかしながら、MOSFETおよび／またはIGBTを用いる能動スイッチブリッジを適切に動作させるためには、MOSFETおよび／またはIGBTのゲートノード用信号を、正弦波電圧源に対して適切な時間で発生させなければならない。

【0005】

さらに、正弦波電圧源が著しいインダクタンスによって相電圧(phase voltage)を発生させる場合には、ブリッジ回路の動作中にスイッチング損失が起こる場合があり、そうすると適切な制御信号タイミングが得られない。

30

【0006】

したがって、MOSFETおよび／またはIGBTのゲートノードのターンオンおよびターンオフに対する、より最適な時点(time instants)を検出することが有利であると考えられる。

【0007】

【課題を解決するための手段】

従来技術の整流回路のこれらおよび他の不利な点を克服するために、本発明の典型的な実施形態によって、複数の出力相電圧および複数の相間電圧(phase-to-phase voltage)を有する正弦波ソースを整流することによってDC出力を発生させる整流回路および方法であって、この整流回路は、出力相電圧に結合され複数のスイッチを有するブリッジ回路と、出力相電圧およびブリッジ回路に結合され相間電圧のそれぞれの絶対値に基づいてスイッチを制御するように構成された制御回路と、を備え、出力相電圧を整流してDC出力を発生させ、相間電圧の絶対値を、出力相電圧に基づいて決定する整流回路および方法が提供される。各相間電圧は、2つの出力相電圧の間の電圧を表わす。

40

【0009】

本発明による典型的な整流回路は、相間電圧の絶対値を比較することによって、ブリッジ回路のスイッチを適切な時間でターンオンおよび／またはターンオフして正弦波ソースを

50

適切に整流し、DC出力を発生させることができる。たとえば本発明による典型的な整流回路は、出力相電圧の大きさおよび相間電圧の絶対値の相対的な大きさに基づく適切な時間で、それぞれのスイッチのペアを動作させることができる。

【0010】

正弦波ソースが著しいインダクタンスを有する場合には、本発明による追加の典型的なタイミング回路を設けてスイッチをより良好に制御することによって、3相正弦波ACソース125の整流を改善することができる。このようにして、制御回路は、スイッチをターンオフにしておくことによって、および正弦波ソースの周期を予測することによって、スイッチターンオフをダイオードモードで（たとえばMOSFETスイッチ）行うことができる。周期の情報を用いて、ターンオフ転換時間（commutation times）を予測することができ、また、スイッチのターンオフが正弦波周期の終了前に起こるように遅延を設けることができる。

10

【0011】

【発明の実施の形態】

図1を参照すると、本発明による第1の典型的な整流回路100が示されている。整流回路100は、MOSゲートデバイス（たとえば垂直伝導MOSFET）の3相ブリッジ105を含み、ブリッジは3つの枝（leg）110a、110b、110cを含んでいる。枝110aは、MOSFET115a、120aを含み、枝110bはMOSFET115b、120bを含み、枝110cはMOSFET115c、120cを含んでいる。また整流回路100は、3相正弦波ACソース125を含み、この電源は電源出力相 V_A 、 V_B 、 V_C を発生させる。これらの出力相は、MOSFET115a、120aの間、MOSFET115b、120bの間、および、MOSFET115c、120cの間のそれぞれのノードに、それぞれ電氣的に接続されている。DC出力バス135がMOSFET115a、115bおよび115cのドレインに接続され、リターンバス130がMOSFET120a、120bおよび120cのソースに接続されている。電流検出抵抗22が、DC出力バス135とリターンバス130との間に設けられている。

20

【0012】

図1ではMOSFETスイッチが含まれているが、MOSFET115a、115b、115c、120a、120bおよび120cの代わりに、従来のどんな回路スイッチ、たとえばIGBT、固体回路スイッチ、リレー、トランジスタスイッチング配列などにしても良い。

30

【0013】

本発明の典型的な実施形態によれば、MOSFET115a、120a、115b、120b、115c、120cのゲート信号（すなわちQ1、Q2、Q3、Q4、Q5、Q6）を、以下においてより完全に説明する方法で制御してDC出力バス135を整流する。

【0014】

次に図2を参照すると、MOSFET115a、120a、115b、120b、115c、120cのゲート信号Q1、Q2、Q3、Q4、Q5、Q6をそれぞれ制御するための、本発明による典型的な制御回路200が示されている。整流回路200は、従来の論理素子を含み、3相ACソース125の1つの周期の「スライス（slices）」、すなわちその間隔（intervals）の間に3つの相間電圧（すなわち V_{AB} 、 V_{BC} 、 V_{CA} ）の1つの絶対値が他の2つの相間電圧の絶対値よりも大きい間隔、にわたって適切な制御信号を発生させるように動作可能である。制御回路200は、たとえば、集積回路、ドライバASICおよび／または制御ASICに組み込んでも良い。図2に示すように、制御回路200には、アンドゲート205a、205b、205c、...、205f、オアゲート210a、210b、210c、...、210f、インバータゲート215a、215b、215c、...、215f、および比較器220a、220b、220cが含まれる。比較器220a、220b、220cは、論理信号 V_{AB} （論理）、 V_{BC} （論理）、 V_{CA} （論理）を、次の3つの相間電圧 V_{AB} 、 V_{BC} 、 V_{CA}

$$V_{AB} = V_A - V_B$$

40

50

$$V_{BC} = V_B - V_C$$

$V_{CA} = V_C - V_A$ に基づいて発生させる。

【0015】

比較器 220a、220b、220c は、たとえば、それぞれの相間電圧が 0 ボルトよりも大きいときに高論理値（たとえば「1」）に対応する論理信号 V_{AB} （論理）、 V_{BC} （論理）、 V_{CA} （論理）、および、それぞれの相間電圧が 0 ボルトよりも小さいときに低論理値（たとえば「0」）に対応する他の電気信号を発生させることができる（たとえば相間電圧が 0 ボルトよりも大きいときに「5」ボルト、および相間電圧が 0 ボルトよりも小さいときに「0」ボルト）。

【0016】

次のことが容易に理解される。すなわち V_{AB} の絶対値が V_{BC} および V_{CA} の絶対値よりも大きいのは、 V_{BC} および V_{CA} が両方ともゼロよりも小さいか、または、両方ともゼロよりも大きいときである（すなわち V_{BC} （論理）＝「0」かつ V_{CA} （論理）＝「0」、または、 V_{BC} （論理）＝「1」かつ V_{CA} （論理）＝「1」）。また、 V_{BC} の絶対値が V_{AB} および V_{CA} の絶対値よりも大きいのは、 V_{AB} および V_{CA} が両方ともゼロよりも小さいか、または、両方ともゼロよりも大きいときである（すなわち V_{AB} （論理）＝「0」かつ V_{CA} （論理）＝「0」、または、 V_{AB} （論理）＝「1」かつ V_{CA} （論理）＝「1」）。さらに、 V_{CA} の絶対値が V_{AB} および V_{BC} の絶対値よりも大きいのは、 V_{AB} および V_{BC} が両方ともゼロよりも小さいか、または、両方ともゼロよりも大きいときである（すなわち V_{AB} （論理）＝「0」かつ V_{BC} （論理）＝「0」、または、 V_{AB} （論理）＝「1」かつ V_{BC} （論理）＝「1」）。

【0017】

V_{AB} の絶対値が V_{BC} および V_{CA} の絶対値よりも大きく、かつ、 V_{AB} の大きさがゼロよりも大きい（すなわち V_{BC} （論理）＝「0」かつ V_{CA} （論理）＝「0」）ときに、制御回路 200 は、ゲート信号 Q1 および Q4 をターンオンすると同時に信号 Q2、Q3、Q5 および Q6 をスイッチオフするように動作する。 V_{AB} の絶対値が V_{BC} および V_{CA} の絶対値よりも大きく、かつ、 V_{AB} の大きさがゼロよりも小さい（すなわち V_{BC} （論理）＝「1」かつ V_{CA} （論理）＝「1」）ときに、制御回路 200 は、ゲート信号 Q2 および Q3 をターンオンすると同時に信号 Q1、Q4、Q5 および Q6 をスイッチオフするように動作する。 V_{BC} の絶対値が V_{AB} および V_{CA} の絶対値よりも大きく、かつ、 V_{BC} の大きさがゼロよりも大きい（すなわち V_{AB} （論理）＝「0」かつ V_{CA} （論理）＝「0」）ときに、制御回路 200 は、ゲート信号 Q3 および Q6 をターンオンすると同時に信号 Q1、Q2、Q4 および Q5 をスイッチオフするように動作する。 V_{BC} の絶対値が V_{AB} および V_{CA} の絶対値よりも大きく、かつ、 V_{BC} の大きさがゼロよりも小さい（すなわち V_{AB} （論理）＝「1」かつ V_{CA} （論理）＝「1」）ときに、制御回路 200 は、ゲート信号 Q4 および Q5 をターンオンすると同時に信号 Q1、Q2、Q3 および Q6 をスイッチオフするように動作する。 V_{CA} の絶対値が V_{AB} および V_{BC} の絶対値よりも大きく、かつ、 V_{CA} の大きさがゼロよりも大きい（すなわち V_{AB} （論理）＝「0」かつ V_{BC} （論理）＝「0」）ときに、制御回路 200 は、ゲート信号 Q2 および Q5 をターンオンすると同時に信号 Q1、Q3、Q4 および Q6 をスイッチオフするように動作する。 V_{CA} の絶対値が V_{AB} および V_{BC} の絶対値よりも大きく、かつ、 V_{CA} の大きさがゼロよりも小さい（すなわち V_{AB} （論理）＝「1」かつ V_{BC} （論理）＝「1」）ときに、制御回路 200 は、ゲート信号 Q1 および Q6 をターンオンすると同時に信号 Q2、Q3、Q4 および Q5 をスイッチオフするように動作する。

【0018】

制御回路 200 の動作を、下に示す表の形式で表わす。

【0019】

【表 1】

10

20

30

40

	Q1	Q2	Q3	Q4	Q5	Q6
$V_{BC}(\text{論理}) = \text{「0」}$ $V_{CA}(\text{論理}) = \text{「0」}$	オン	オフ	オフ	オン	オフ	オフ
$V_{BC}(\text{論理}) = \text{「1」}$ $V_{CA}(\text{論理}) = \text{「1」}$	オフ	オン	オン	オフ	オフ	オフ
$V_{CA}(\text{論理}) = \text{「0」}$ $V_{AB}(\text{論理}) = \text{「0」}$	オフ	オフ	オン	オフ	オフ	オン
$V_{CA}(\text{論理}) = \text{「1」}$ $V_{AB}(\text{論理}) = \text{「1」}$	オフ	オフ	オフ	オン	オン	オフ
$V_{AB}(\text{論理}) = \text{「0」}$ $V_{BC}(\text{論理}) = \text{「0」}$	オフ	オン	オフ	オフ	オン	オフ
$V_{AB}(\text{論理}) = \text{「1」}$ $V_{BC}(\text{論理}) = \text{「1」}$	オン	オフ	オフ	オフ	オフ	オン

10

【0020】

次に図4を参照すると、 V_{AB} 、 V_{BC} および V_{CA} に対するゲート信号Q1、Q2、Q3、Q4、Q5およびQ6の図式的なタイムダイアグラムが示されている。たとえば、 V_{AB} の絶対値が V_{BC} および V_{CA} の絶対値よりも大きく、かつ、 V_{AB} がゼロよりも大きいときに、制御回路200は、ゲート信号Q1およびQ4をターンオンすると同時に信号Q2、Q3、Q5およびQ6をスイッチオフするように動作する。こうして、電流がMOSFET115aおよび120bを流れ、3相正弦波ACソース125が整流される。

20

【0021】

次に図3を参照すると、MOSFET115a、120a、115b、120b、115c、120cのゲート信号Q1、Q2、Q3、Q4、Q5、Q6を制御するための、本発明による他の典型的な制御回路300が示されている。制御回路300は、 V_A 、 V_B または V_C がDC出力バス135より大きいときに、ゲート信号Q1、Q2、Q3、Q4、Q5、Q6を制御して3相正弦波ACソース125を整流する。このようにして、電流がDCバスから整流回路内へ逆に流れ込まないように、より確実にすることができる。逆に流れると、不都合なことに、正弦波ソース電圧に対してDCバス電圧が下がる。図3に示したように、整流回路300には、アンドゲート305a、305b、305c、...、305l、オアゲート310a、310b、310c、...、310g、インバータゲート315a、315b、315c、...、315f、および、比較器320a、320b、320c、...、320fが含まれる。

30

【0022】

図5の整流回路に例示される3相正弦波ACソースのように、3相正弦波ACソース125が著しいインダクタンスを有する場合には、追加のタイミング回路を設けて、MOSFET115a、120a、115b、120b、115c、120cのゲート信号Q1、Q2、Q3、Q4、Q5、Q6をより良好に制御することによって、3相正弦波ACソース125の整流を改善することができる。

40

【0023】

次に図6を参照すると、インダクタンスを有する3相正弦波ACソース125を整流するための、本発明による他の典型的な制御回路600が示されている。制御回路600は、相電圧値のみに基づいて、ゲート信号Q1、Q2、Q3、Q4、Q5、Q6をターンオンするように動作可能である。具体的には、相電圧が一定の値を超える（下回る）ときに、ハイサイド（ローサイド）のボディダイオードが導通するため、ハイサイド（ローサイド）のMOSFETをターンオンさせることができる。

【0024】

50

図6の制御回路600は、ゲート信号Q1、Q2、Q3、Q4、Q5、Q6をターンオフにしておくことによって、および3相正弦波ACソース125の周期を予測することによって、MOSFETのターンオフをダイオードモードで行う。ダイオード整流は、たとえば1.5msの間続いても良い。周期の情報を用いて、MOSFETゲートドライバは、ターンオフ転流時間を予測することができる。ゲート信号Q1、Q2、Q3、Q4、Q5、Q6の実際のターンオフが周期の終了前に起こることによって、MOSFETのボディダイオードが遅延時間の間、導通するように、遅延、たとえば100μs、を設けることができる。しかし、遅延は、電源の最大の周期変動に適応できる程度に十分大きくなければならない。制御回路600は、3相正弦波ACソース125の進行状況を追うために、たとえば電源の周期の情報を連続的に測定および更新しても良い。

10

【0025】

遅延およびダイオード整流の時間は、特定の応用例に応じて調整できることを理解されたい。

【0026】

本発明を、その特定の実施形態について説明してきたが、多くの他の変形および変更ならびに他の応用例が当業者には明らかとなる。したがって、本発明を、本明細書における具体的な開示によって限定しないことが好ましい。

【図面の簡単な説明】

【図1】本発明による第1の典型的な整流回路を示す図である。

【図2】本発明による第1の典型的な制御回路を示す図である。

20

【図3】本発明による第2の典型的な制御回路を示す図である。

【図4】図2の制御回路に基づく、ゲートMOSFETゲート信号の制御を示す図式的なタイムダイアグラムを示す図である。

【図5】本発明による第2の典型的な整流回路を示す図である。

【図6】本発明による第3の典型的な制御回路を示す図である。

【符号の説明】

22 電流検出抵抗

100、200、300 整流回路

105 3相ブリッジ

110a、110b、110c 枝

30

115a、115b、115c、120a、120b、120c MOSFET

125 ACソース

130 リターンバス

135 DC出力バス

205a、205b、...、205f アンドゲート

210a、210b、...、210f オアゲート

215a、215b、...、215f インバータゲート

220a、220b、220c 比較器

305a、305b、...、305l アンドゲート

310a、310b、...、310g オアゲート

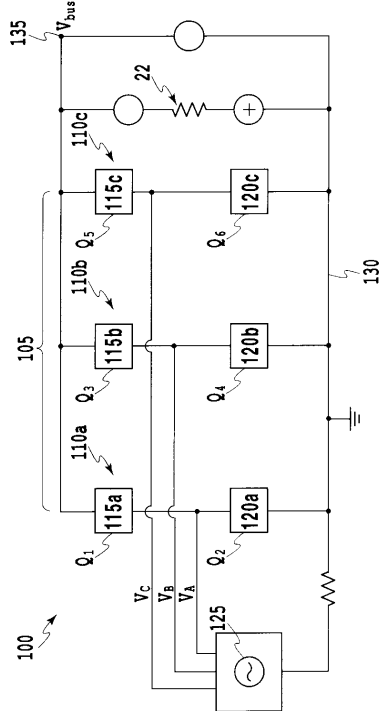
40

315a、315b、...、315f インバータゲート

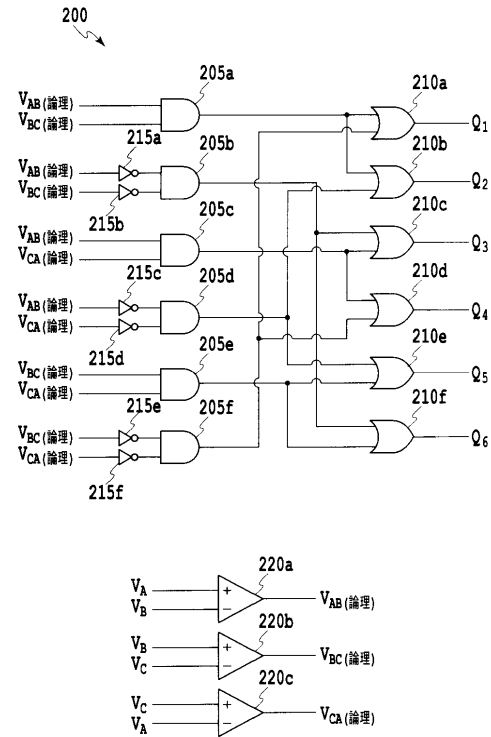
320a、320b、...、320f 比較器

600 制御回路

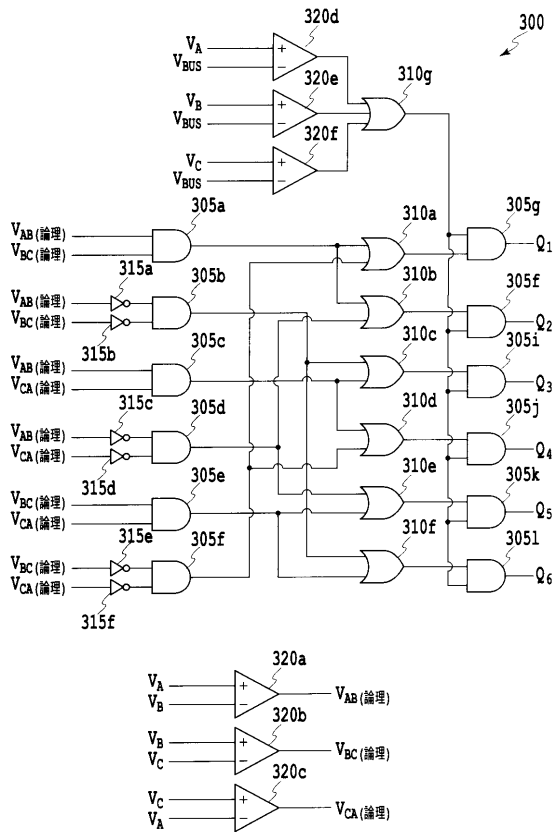
【図 1】



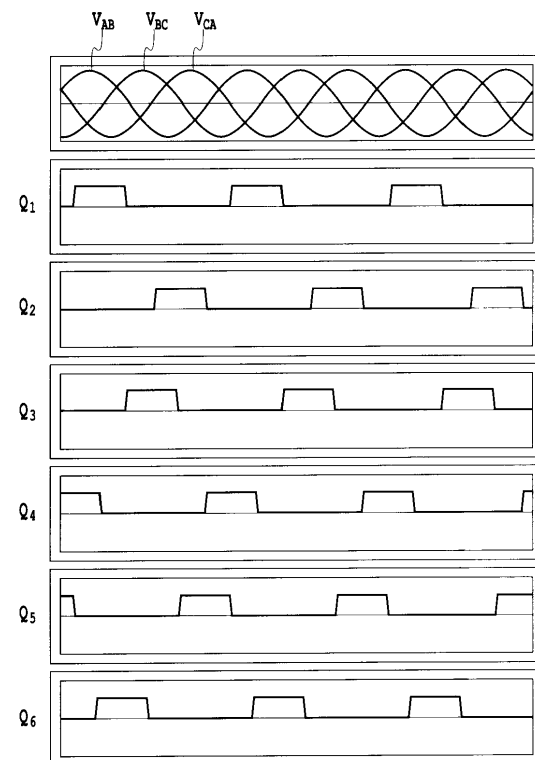
【図 2】



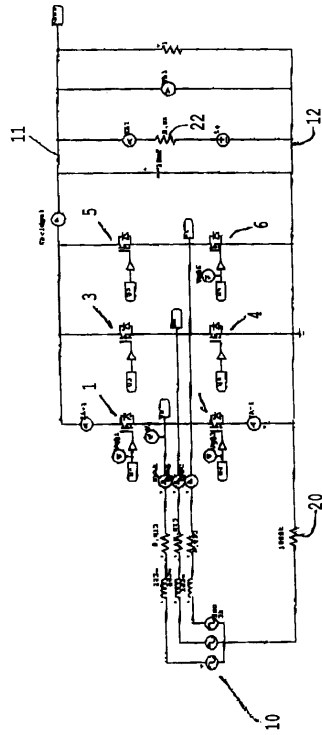
【図 3】



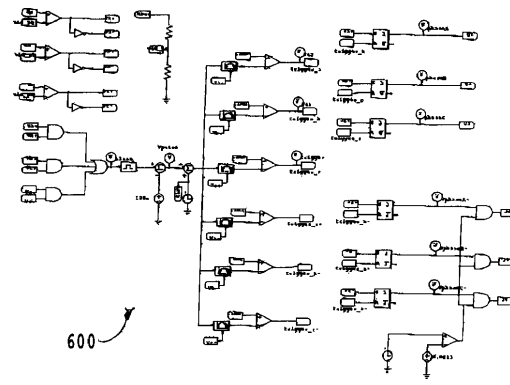
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 バートランド バイス
 アメリカ合衆国 9 0 7 0 3 カリフォルニア州 セリトス ミッドフィールド レーン 1 6 4
 1 7

審査官 川端 修

(56)参考文献 特開平0 9－3 2 2 5 4 2 (J P, A)
 特開2 0 0 1－3 5 2 7 5 9 (J P, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/21

H02M 7/12

H02M 7/219