

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-120366
(P2004-120366A)

(43) 公開日 平成16年4月15日(2004.4.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO4N 5/202	HO4N 5/202	5B057
GO6T 5/00	GO6T 5/00 100	5C021
GO9G 3/20	GO9G 3/20 641Q	5C058
GO9G 5/06	GO9G 5/06	5C066
GO9G 5/10	GO9G 5/10 B	5C077
審査請求 未請求 請求項の数 10 O L (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2002-281145 (P2002-281145)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成14年9月26日 (2002.9.26)	(74) 代理人	100094053 弁理士 佐藤 隆久
		(72) 発明者	江間 弘知 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内
		(72) 発明者	須釜 敦 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5B057 CA01 CA08 CA12 CA16 CB01 CB08 CB12 CB16 CC01 CD06 CE11 CE17 CH07 CH08 CH11 最終頁に続く

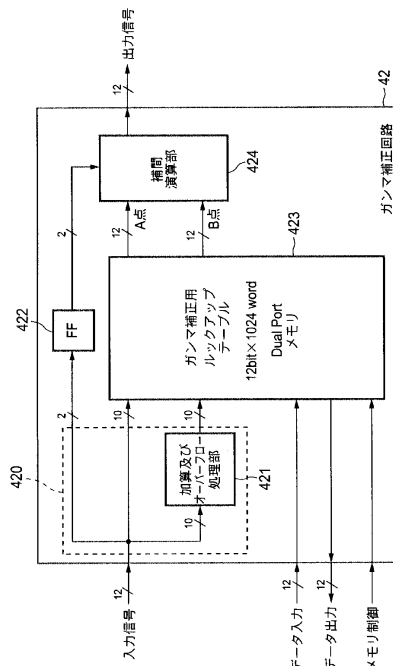
(54) 【発明の名称】 画像処理装置、および画像処理方法

(57) 【要約】

【課題】 回路規模を増大することなく、補正を行うことができる画像処理装置、および画像処理方法を提供する。

【解決手段】 入力画像信号に基づいて、所定のビット幅の上位ビットを抽出した第1の被補正用ビットに、所定のビット幅に応じた所定のビットだけ大きい第2の被補正用ビットを生成し出力する加算およびオーバーフロー処理部421と、ルックアップテーブル(LUT)を記憶するメモリ423と、タイミング調整用のFF422と、FF422から出力された入力信号の下位ビットの被補正用ビットと、メモリ423から出力された2つの補正值データとに基づいて、補間処理を行う補間演算部424とを設ける。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

複数ビットからなる画像信号の補正処理を行う画像処理装置であって、
画像信号の内の被補正用ビットをテーブル変換するための補正值データを記憶する記憶手段と、

入力画像信号の内の第 1 の被補正用ビットに基づいて前記記憶手段によりテーブル変換された第 1 の補正值データ、当該第 1 の被補正用ビットよりも大きい第 2 の被補正用ビットに基づいて前記記憶手段によりテーブル変換された第 2 の補正值データ、および前記入力画像信号から前記被補正用ビットを除いた残りの被補間用ビットに基づいて、補間処理を行い前記入力画像信号に対する第 3 の補正值データを生成する補間手段とを有する
画像処理装置。 10

【請求項 2】

前記補間手段は、前記第 1 および第 2 の補正值データ、ならびに前記被補間用ビットに基づいて、直線補間処理を行い前記第 3 の補正值データを生成する
請求項 1 に記載の画像処理装置。

【請求項 3】

前記補間手段は、前記第 1 および第 2 の補正值データ、ならびに前記被補間用ビットの量子化ビット数に基づいて、前記第 1 および第 2 の補正值データの間の補間値データを生成し、前記補間値データおよび前記第 1 の補正值データから、前記被補間用ビットに対応するデータを抽出して、当該抽出されたデータを前記第 3 の補正值データとする
請求項 1 に記載の画像処理装置。 20

【請求項 4】

前記記憶手段は、偶数の前記被補正用ビットをテーブル変換するための補正值データを記憶する偶数用補正值データ記憶手段と、

奇数の前記被補正用ビットをテーブル変換するための補正值データを記憶する奇数用補正值データ記憶手段とを含み、

前記入力画像信号の内の第 1 の被補正用ビットに基づいて、当該第 1 の被補正用ビットよりも大きい第 2 の被補正用ビットを生成し、前記第 1 および第 2 の被補正用ビットそれぞれが偶数または奇数に応じて、前記偶数用補正值データ記憶手段または前記奇数用補正值データ記憶手段に出力する被補正用ビット生成手段とを有し、 30

前記補間手段は、前記記憶手段によりテーブル変換された第 1 および第 2 の補正值データ、ならびに前記被補間用ビットに基づいて補間処理を行い前記第 3 の補正值データを生成する

請求項 1 に記載の画像処理装置。

【請求項 5】

前記第 3 の補正值データに応じた表示を行う表示手段を有する

請求項 1 に記載の画像処理装置。

【請求項 6】

複数ビットからなる画像信号の内の被補正用ビットを予め設定した補正值データに基づいてテーブル変換して、当該画像信号の補正処理を行う画像処理装置の画像処理方法であって、 40

入力画像信号の内の第 1 の被補正用ビットに基づいて前記テーブル変換して第 1 の補正值データを生成し、

当該第 1 の被補正用ビットよりも大きい第 2 の被補正用ビットに基づいて前記テーブル変換して第 2 の補正值データを生成し、

当該第 1 および第 2 の補正值データ、ならびに前記入力画像信号から前記被補正用ビットを除いた残りの被補間用ビットに基づいて、補間処理を行い前記入力画像信号に対する第 3 の補正值データを生成する

画像処理方法。

【請求項 7】

前記第3の補正值データを生成する場合には、前記第1および第2の補正值データ、ならびに前記被補間用ビットに基づいて、直線補間処理を行い前記第3の補正值データを生成する

請求項6に記載の画像処理方法。

【請求項8】

前記第3の補正值データを生成する場合には、前記第1および第2の補正值データ、ならびに前記被補間用ビットの量子化ビット数に基づいて、前記第1および第2の補正值データ間の補間値データを生成し、

前記補間値データおよび前記第1の補正值データから、前記被補間用ビットに対応するデータを抽出して、当該抽出されたデータを前記第3の補正值データとする

10

請求項6に記載の画像処理方法。

【請求項9】

偶数の前記被補正值用ビットをテーブル変換するための補正值データ、および奇数の前記被補正值用ビットをテーブル変換するための補正值データを記憶し、前記第3の補正值データを生成する場合には、前記入力画像信号の内の第1の被補正用ビットに基づいて、当該第1の被補正用ビットよりも大きい第2の被補正用ビットを生成し、

前記第1および第2の被補正用ビットそれぞれが偶数または奇数に応じて、前記記憶している前記補正值データによりテーブル変換された第1および第2の補正值データ、ならびに前記被補間用ビットに基づいて補間処理を行い前記第3の補正值データを生成する

請求項6に記載の画像処理方法。

20

【請求項10】

前記第3の補正值データに応じた表示を行う

請求項6に記載の画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、画像信号の補正処理を行う画像処理装置、および画像処理方法に関するものである。

【0002】

【従来の技術】

30

従来、例えば画像処理装置において、画像信号の補正、例えばガンマ補正を行う回路として、デジタル回路を使用した数点の折れ点補正やルックアップテーブル（以下LUT）に基づいて補正を行う補正回路が知られている（例えば、特許文献1参照。）。

【0003】

このLUT方式のデジタル方式の補正回路は、補正精度が高いことから、近年では主流になりつつある。

【0004】

【特許文献1】

特開2001-320607号公報

【0005】

40

【発明が解決しようとする課題】

上述した従来のLUT方式のデジタル方式の補正回路では、入力信号の量子化ビット数をnとすると、 2^n 個のメモリアドレスを持つメモリをLUTとして使用する。LUTには入力信号レベルに対応するガンマ補正值データを格納し、画像表示装置の印加電圧に対する透過率の特性（V-T特性）を考慮したガンマ補正を行っている。

【0006】

しかし、入力信号レベルを量子化する分解能が増大すればするほど、このLUTに使用するメモリの規模は増大する。

例えば、入力信号レベルの量子化ビット数が10ビットの場合、LUTに使用するメモリに必要な容量は1024word必要となり、入力レベルの量子化ビット数が12ビット

50

の場合は4096word必要となる。

【0007】

このように、1ビット分解能が上がるとメモリ容量は2倍ずつ増加する。これに伴い、回路規模は増大し消費電力の増加と共に、メモリに格納するガンマ補正值データの更新時間が増加するという問題があった。

【0008】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、回路規模を増大することなく、補正を行うことができる画像処理装置、および画像処理方法を提供することにある。

【0009】

【課題を解決するための手段】

前記目的を達成するために、第1の発明の画像処理装置は、複数ビットからなる画像信号の補正処理を行う画像処理装置であって、画像信号の内の被補正用ビットをテーブル変換するための補正值データを記憶する記憶手段と、入力画像信号の内の第1の被補正用ビットに基づいて前記記憶手段によりテーブル変換された第1の補正值データ、当該第1の被補正用ビットよりも大きい第2の被補正用ビットに基づいて前記記憶手段によりテーブル変換された第2の補正值データ、および前記入力画像信号から前記被補正用ビットを除いた残りの被補間用ビットに基づいて、補間処理を行い前記入力画像信号に対する第3の補正值データを生成する補間手段とを有する。

10

【0010】

第1の発明の画像処理装置によれば、複数ビットからなる画像信号の補正処理を行う。記憶手段では、画像信号の内の被補正用ビットをテーブル変換するための補正值データが記憶されている。

20

補間手段では、入力画像信号の内の第1の被補正用ビットに基づいて記憶手段によりテーブル変換された第1の補正值データ、当該第1の被補正用ビットよりも大きい第2の被補正用ビットに基づいて記憶手段によりテーブル変換された第2の補正值データ、および入力画像信号から被補正用ビットを除いた残りの被補間用ビットに基づいて、補間処理を行い入力画像信号に対する第3の補正值データが生成される。

【0011】

さらに、前記目的を達成するために、第2の発明の画像処理方法は、複数ビットからなる画像信号の内の被補正用ビットを予め設定した補正值データに基づいてテーブル変換して、当該画像信号の補正処理を行う画像処理装置の画像処理方法であって、入力画像信号の内の第1の被補正用ビットに基づいて前記テーブル変換して第1の補正值データを生成し、当該第1の被補正用ビットよりも大きい第2の被補正用ビットに基づいて前記テーブル変換して第2の補正值データを生成し、当該第1および第2の補正值データ、ならびに前記入力画像信号から前記被補正用ビットを除いた残りの被補間用ビットに基づいて、補間処理を行い前記入力画像信号に対する第3の補正值データを生成する。

30

【0012】

【発明の実施の形態】

本発明に係る画像処理装置は、画像信号を補正させるルックアップテーブルに基づいて補正值を生成し、その補正值にさらに補間処理を行い、画像信号の補正值を生成する。

40

以下、本発明に係る画像処理装置の一実施の形態を図を参照しながら説明する。

第1の実施の形態

本発明の第1の実施の形態に係る画像処理装置は、例えば画像信号の入力信号レベルに対し、非線形の光学応答をする液晶等の表示デバイスによる画像処理装置において、ガンマ補正值データを含むルックアップテーブルと、入力された画像信号とルックアップテーブルに基づいて生成された補正值を、直線補正関数により補間する。

より詳細には、画像信号を出力デバイスの特性に合わせるために、必要量より少ないルックアップテーブルと必要量に不足するデータを補間するための補間関数を使用したガンマ補正を行う。

50

【0013】

以下、本実施の形態に係る画像処理装置の補正回路を採用したLCDパネルを用いたフロント/リアプロジェクトシステムについて説明する。

図1は、本発明に係る画像処理装置の一実施の形態の機能ブロック図である。画像処理装置1は、図1に示すように、A/DPLL2、スキャンコンバータ(Scan Converter)3、信号処理部4、サンプル/ホールドドライバ(S/H Driver)5、LCDパネル6、および基準クロック(クリスタル:XTL)7を有する。

【0014】

画像処理装置1では、例えば信号処理部4の入出力は12ビット、S/Hドライバ5の入力は12ビット、出力は6ビット、LCDパネル6の入力は12ビットの構成とする。

10

【0015】

A/DPLL2は、例えば、入力されたアナログビデオ信号をA/D変換処理してデジタル信号を生成し、スキャンコンバータ3に出力する。

【0016】

A/DPLL2は、例えば、アナログビデオ信号R(Red)信号、G(Green)信号、B(Blue)信号、水平同期信号(HSYNC)、および垂直同期信号(VSYNC)に基づいて、A/D変換処理して、例えばデジタル信号として8ビット長のR信号、G信号、およびB信号をスキャンコンバータ3に出力する。

また、A/DPLL2は、水平同期信号(HSYNC)および垂直同期信号(VSYNC)を、スキャンコンバータ3に出力する。

20

【0017】

スキャンコンバータ3は、A/DPLL2から出力されたデジタル信号に基づいて、スケールリングおよびディザリング処理等を行い、12ビットのデジタル信号を生成し、信号処理部4に出力する。

【0018】

スキャンコンバータ3は、例えば、基準クロック(XTL)7から出力された基準クロック信号、A/DPLL2から出力された水平同期信号(HSYNC)および垂直同期信号(VSYNC)に基づいて、A/DPLL2から出力されたデジタル信号の8ビット長のR信号、G信号、およびB信号に、スケールリングおよびディザリング処理等を行い、例えばデジタル信号として12ビット長のR信号、G信号、およびB信号を信号処理部4

30

また、スキャンコンバータ3は、同期信号を信号処理部4に出力する。

【0019】

信号処理部4は、スキャンコンバータ3から出力されたデジタル式の入力信号に基づいて、所定の処理を行い処理結果をS/Hドライバ5に出力する。

【0020】

信号処理部4は、例えば、基準クロック(XTL)7から出力された基準クロック、およびスキャンコンバータ3から出力された同期信号に同期して、スキャンコンバータ3から出力された12ビット長のR信号、G信号、およびB信号に基づいて、例えば後述するガンマ補正処理を含む所定の処理を行い、12ビット長のR信号、G信号、およびB信号を

40

S/Hドライバ5に出力する。

【0021】

信号処理部4は、S/Hドライバ5に同期信号を出力する。

信号処理部4は、所定の信号、例えば設定信号等をLCDパネル6に出力する。

【0022】

サンプル/ホールド(S/H)ドライバ5は、例えば、信号処理部4から出力された同期信号に同期して、信号処理部4から出力された画像信号を、サンプル/ホールド処理した後、LCDパネル6に出力する。

【0023】

S/Hドライバ5は、例えば複数のS/Hドライバ5-1~6、具体的には、R信号の垂

50

直および水平それぞれに対応する S / H ドライバ 5 - 1 ~ 2、G 信号の垂直および水平それぞれに対応する S / H ドライバ 5 - 3 ~ 4、B 信号の垂直および水平それぞれに対応する S / H ドライバ 5 - 5 ~ 6 を有する。

【0024】

LCD パネル 6 は、S / H ドライバ 5 から出力された信号に応じた画像を表示する。

LCD パネル 6 は、例えば、複数の LCD パネル 6 - 1 ~ 3 を有する。

【0025】

例えば、LCD パネル 6 - 1 は、S / H ドライバ 5 - 1, 2 から出力される 6 ビット長の R 信号、および信号処理部 4 から出力された所定の信号に応じた画像を表示する。

【0026】

例えば、LCD パネル 6 - 2 は、S / H ドライバ 5 - 3, 4 から出力される 6 ビット長の G 信号、および信号処理部 4 から出力された所定の信号に応じた画像を表示する。

例えば、LCD パネル 6 - 3 は、S / H ドライバ 5 - 5, 6 から出力される 6 ビット長の B 信号、および信号処理部 4 から出力された所定の信号に応じた画像を表示する。

【0027】

上述した構成の画像処理装置 1 の動作を簡単に説明する。

アナログビデオ信号は、A / D P L L (コンバータ) 2 で A / D 変換され、スキャンコンバータ 3 でスケーリングおよびディザリング処理が行われ、12 ビットのデジタルデータとして出力される。

【0028】

このデジタルデータは、信号処理部 4 に入力され、後述する内部のガンマ補正回路 (ブロック) にて LCD パネル 6 の V - T 特性に合わせたガンマ補正処理が行われ出力される。出力された画像信号は、サンプル / ホールドドライバ 5 にて、サンプル / ホールド処理した後 LCD パネル 6 に出力され、LCD パネル 6 により所定の映像が表示される。

【0029】

図 2 は、LCD (液晶) パネルの印加電圧に対する透過率の特性 (V - T 特性) を示す図である。

LCD (液晶) パネル 6 において、その印加電圧に対する透過率の特性 (以下 V - T 特性) は、図 2 に示すように非線型の特性を有する。例えば、図 2 は、ノーマリホワイト透過型液晶の V - T 特性である。

【0030】

図 3 は、入力信号レベルに対する理想透過率特性を示す図である。図 4 は、ガンマ補正カーブを示す図である。

画像処理装置 1 における表示輝度は、人の階調認識の特性より、例えば図 3 に示すように入力信号レベルに対し透過率の特性が、指数関数の特性を有することが望まれる。

この 2 つの特性の条件の要請により、入力信号レベルに対する出力信号レベル (液晶印加電圧) は、図 4 に示すように非線型の補正を行う必要があり、この補正をガンマ補正と言う。

【0031】

例えば、画像処理装置 1 で表示された画像を、カメラ等で取り込み、画像処理装置 1 の出力信号レベルと、信号処理部 4 の信号レベルとに基づいて、ガンマ補正值データを算出する。この際、本実施の形態に係る画像処理装置 1 では、入力信号レベル全てのガンマ補正值データをルックアップテーブルとして記憶するのではなく、入力信号が所定の量子化ビットのガンマ補正值データを記憶する。

【0032】

本実施の形態に係る補正回路を含む画像処理装置は、入力信号に基づいて補正を行う場合には、ルックアップテーブルを参照して、入力信号に対応するガンマ補正值データを出力する。また、入力信号のレベルが、ルックアップテーブルにおいて所定の量子化ビットの間隔の間の場合には、入力信号およびルックアップテーブルに基づいて、補間処理を行いガンマ補正值データを出力する。

10

20

30

40

50

【 0 0 3 3 】

図 5 は、図 1 に示した画像処理装置の信号処理部の構成を示す機能ブロック図である。信号処理部 4 は、第 1 の信号処理部 4 1、ガンマ補正回路（ブロック）4 2、第 2 の信号処理部 4 3、およびタイミング生成部 4 4 とを有する。

【 0 0 3 4 】

第 1 の信号処理部 4 1 は、所定の処理、例えばゲイン調整やリミット等の処理を行い、処理結果をガンマ補正回路 4 2 に出力する。

例えば、第 1 の信号処理部 4 1 は、R 信号を処理する第 1 の信号処理部 4 1 - 1、G 信号を処理する第 1 の信号処理部 4 1 - 2、および B 信号を処理する第 1 の信号処理部 4 1 - 3 とを有する。

10

【 0 0 3 5 】

ガンマ補正回路 4 2 は、第 1 の信号処理部 4 1 から出力された信号に応じて、後述するガンマ補正処理を行い、補正処理結果を第 2 の信号処理部 4 3 に出力する。

例えば、ガンマ補正回路 4 2 は、R 信号を処理するガンマ補正回路 4 2 - 1、G 信号を処理するガンマ補正回路 4 2 - 2、および B 信号を処理するガンマ補正回路 4 2 - 3 とを有する。

【 0 0 3 6 】

第 2 の信号処理部 4 3 は、ガンマ補正回路 4 2 から出力された信号に応じて、所定の処理、例えばゲイン調整やリミットなどの処理を行い、処理結果を S / H ドライバ 5 に出力する。

20

例えば、第 2 の信号処理部 4 3 は、R 信号を処理する第 2 の信号処理部 4 3 - 1、G 信号を処理する第 2 の信号処理部 4 3 - 2、および B 信号を処理する第 2 の信号処理部 4 3 - 3 を有する。

【 0 0 3 7 】

タイミング生成部 4 4 は、水平同期信号（H S Y N C）、垂直同期信号（V S Y N C）、第 1 の信号処理部 4 1、ガンマ補正回路 4 2、第 2 の信号処理部 4 3 で処理された R 信号 R o u t、G 信号 G o u t、および B 信号 B o u t に基づいて、所定のタイミングで制御信号を L C D パネル 6 に出力する。例えば、この制御信号は L C D パネル 6 の設定を制御させる。

【 0 0 3 8 】

上述した構成の信号処理部 4 では、R 信号 R i n が、第 1 の信号処理部 4 1 - 1 で処理され、ガンマ補正回路 4 2 - 1 で処理され、第 2 の信号処理部 4 3 - 1 で処理され、処理結果として R 信号 R o u t が出力される。

30

【 0 0 3 9 】

G 信号 G i n が、第 1 の信号処理部 4 1 - 2 で処理され、ガンマ補正回路 4 2 - 2 で処理され、第 2 の信号処理部 4 3 - 2 で処理され、処理結果として G 信号 G o u t が出力される。

【 0 0 4 0 】

B 信号 B i n が、第 1 の信号処理部 4 1 - 3 で処理され、ガンマ補正回路 4 2 - 3 で処理され、第 2 の信号処理部 4 3 - 3 で処理され、処理結果として B 信号 B o u t が出力される。

40

【 0 0 4 1 】

図 6 は、図 5 に示した信号処理部の機能ブロックの一具体例を示す図である。信号処理部 4 は、例えばより詳細には、図 6 に示すように、ユーザゲイン 4 1 1、ユーザブライト 4 1 2、サブゲイン 4 1 3、サブブライト 4 1 4、黒枠 4 1 5、第 1 のミュート 4 1 6、パターンジェネレータ 4 1 7、O S D 4 1 8、ガンマ補正回路 4 2、ガンマゲイン 4 3 1、ガンマブライト 4 3 2、色むら補正 4 3 3、ドットライン反転 4 3 4、第 2 のミュート 4 3 5、リミッタ 4 3 6、ゴーストキャンセル 4 3 7、および縦筋キャンセル 4 3 8 等の機能ブロックを有する。

【 0 0 4 2 】

50

各機能ブロックを簡単に説明する。なお、各機能ブロックで用いられる係数等のパラメータは、例えば不図示のホスト I / F を介して不図示のホスト装置から設定される。

【 0 0 4 3 】

ユーザゲイン 4 1 1 は、例えばユーザコントロールゲイン調整用として乗算処理を行う。ユーザゲイン 4 1 1 の演算は 1 2 ビットの入力信号と 8 ビットの係数とを用いて乗算を行い、所定のビットで四捨五入を行い 1 2 ビットのデータをユーザブライト 4 1 2 に出力する。

【 0 0 4 4 】

ユーザブライト 4 1 2 は、ユーザコントロール用のブライト調整として、加算および減算処理を行う。

ユーザブライト 4 1 2 は、ユーザゲイン 4 1 1 から出力された 1 2 ビットの入力信号と、1 3 ビットの係数 (M S B が符号ビット) を演算し、演算結果の 1 2 ビットのデータをサブゲイン 4 1 3 に出力する。

【 0 0 4 5 】

サブゲイン 4 1 3 は、ホワイトバランス用のゲイン調整として乗算処理を行う。

サブゲイン 4 1 3 の演算は、ユーザブライト 4 1 2 から出力された 1 2 ビットの入力信号と、8 ビットの係数とに基づいて、演算処理を行い所定のビットで四捨五入し、クリップ処理を行い 1 2 ビットのデータを、サブブライト 4 1 4 に出力する。

【 0 0 4 6 】

サブブライト 4 1 4 は、ホワイトバランス用のブライト調整として加算および減算処理を行う。

サブブライト 4 1 4 の演算は、例えば、サブゲイン 4 1 3 から出力された 1 2 ビットの入力信号と、所定の係数 (M S B は符号ビット) に基づいて、加算および減算処理を行い 1 2 ビットのデータを、黒枠 (ブロック) 4 1 5 に出力する。

【 0 0 4 7 】

黒枠 (ブロック) 4 1 5 は、画像信号のブランキング期間を、前段の信号処理の結果によらず、任意のレベルに固定させる処理を行う。

【 0 0 4 8 】

黒枠 (ブロック) 4 1 5 は、表示したい画像信号の有効期間から割り出される画素数が、表示させたい L C D パネル 6 の画素数に満たないとき、その余りの画素には映像信号のブランキング期間が表示される。黒枠ブロック 4 1 5 は、この時、表示されてしまうブランキング期間をゲインおよびブライト調整等の画質調整の結果に関わらず任意のレベルに固定する。

ここでは、不図示のパルスデコーダから出力されるパルスを用いて、画像信号と係数を切り換えることにより画像信号の任意の範囲を 1 2 ビットのデータに置き換え、1 2 ビットのデータを第 1 のミュート 4 1 6 に出力する。

【 0 0 4 9 】

第 1 のミュート 4 1 6 は、1 2 ビットの入力信号を任意のレベルのデータに置き換えてミュート処理を行い、処理結果の 1 2 ビットのデータをパターンジェネレータ 4 1 7 に出力する。

【 0 0 5 0 】

パターンジェネレータ 4 1 7 は、入力信号とは独立した固定パターン、例えば縦ストライプ、斜めストライプ、横ストライプ、クロスハッチ、ドット、水平ランプ、水平ステア、垂直ランプ、垂直ステア等の固定パターンを要求に応じて生成処理して、O S D 4 1 8 に出力する。

【 0 0 5 1 】

O S D 4 1 8 は、各色 2 ビットの O S D の信号および Y S、Y M 信号を入力することで、映像信号のハーフトーン処理と、O S D _ M I X の処理を行い、処理結果をガンマ補正回路 4 2 に出力する。

【 0 0 5 2 】

10

20

30

40

50

ガンマ補正回路 4 2 は、OSD 4 1 8 から出力された 1 2 ビットのデータに基づいて、後述するガンマ補正処理を行い、ガンマゲイン 4 3 1 に 1 2 ビットのデータを出力する。

【0053】

ガンマゲイン 4 3 1 は、ガンマ補正回路 4 2 から出力された 1 2 ビットの入力信号に基づいて、LCD パネル 6 の V - T 特性のばらつきを補正するためにゲイン調整として乗算処理を行い、処理結果の 1 2 ビットのデータをガンマブライト 4 3 2 に出力する。

【0054】

ガンマブライト 4 3 2 は、ガンマゲイン 4 3 1 から出力されたガンマ補正を行った 1 2 ビットの信号に基づいて、LCD パネル 6 の V - T 特性のばらつきを補正するためのブライト調整として、加算および減算処理を行い、処理結果の 1 2 ビット長のデータを、色むら補正 4 3 3 に出力する。 10

【0055】

色むら補正 4 3 3 は、画像信号に補正信号を加えることで、色むらの補正処理を行う。例えば、映像信号の水平、垂直および階調方向に対して、一定の間隔で補正ポイントを設定し、その補正ポイントの補正データを、不図示の RAM に書き込んでおき、そのデータを読み出して、補間演算を行うことにより、補正曲線を生成し、補正曲線に基づいて色むらの補正処理を行い、処理結果の 1 2 ビットのデータをドットライン反転 4 3 4 に出力する。

【0056】

ドットライン反転 4 3 4 は、色むら補正 4 3 3 から出力された 1 2 ビット長のデータに基づいて、ドットライン反転駆動時の信号処理を行い、第 2 のミュート 4 3 5 に出力する。 20

【0057】

第 2 のミュート 4 3 5 は、ドットライン反転 4 3 4 から出力された映像信号を、任意のレベルのデータに置き換えミュート処理を行い、処理結果をリミッタ 4 3 6 に出力する。

【0058】

リミッタ 4 3 6 は、第 2 のミュート 4 3 5 から出力された 1 2 ビットの信号に基づいて、出力信号が一定の範囲を超えないようにリミッタ処理を行い 1 2 ビットのデータをゴーストキャンセル 4 3 7 に出力する。

【0059】

ゴーストキャンセル 4 3 7 は、リミッタ 4 3 6 から出力された 1 2 ビットのデータに基づいて、例えば、LCD パネル 6 内部で発生するゴーストを信号処理により補正し、縦筋キャンセル 4 3 8 に出力する。 30

縦筋キャンセル 4 3 8 は、LCD パネル 6 で発生する縦筋を軽減するための補正処理を行い、1 2 ビット長の出力信号を出力する。

【0060】

例えば、上述した信号処理部 4 の各機能ブロックは、R 信号、G 信号、B 信号それぞれについて処理する。

【0061】

図 7 は、図 5 に示したガンマ補正回路に係る第 1 の実施の形態の機能ブロック図である。ガンマ補正回路 4 2 は、図 7 に示すように、加算およびオーバフロー処理部 4 2 1 を含む被補正用ビット生成部 4 2 0、フリップフロップ (FF) 4 2 2、ガンマ補正用ルックアップテーブルメモリ (単にメモリとも言う) 4 2 3、および補間演算部 4 2 4 を有する。 40

【0062】

メモリ 4 2 3 は本発明に係る記憶手段に相当し、補間演算部 4 2 4 は本発明に係る補間手段に相当する。

【0063】

被補正用ビット生成部 4 2 0 は、入力された画像信号の内、所定のビット幅の上位ビットを抽出して被補正用ビットを生成し、所定のビット幅に応じた所定のビットだけその被補正用ビットより大きい被補正用ビットを生成し出力する。

例えば、被補正用ビット生成部 4 2 0 は、加算およびオーバフロー処理部 4 2 1 を含む。 50

【0064】

加算およびオーバーフロー処理部421は、入力画像信号に基づいて、所定のビット幅の上位ビットを抽出した被補正用ビット（A点）に、所定のビット幅に応じた所定のビットだけその被補正用ビット（A点）より大きい補正用ビット（B点）を生成し出力する。この入力信号の近傍の2点は、ルックアップテーブルの量子化ビットに応じて生成される。

【0065】

加算およびオーバーフロー処理部421は、例えば詳細には、後述するメモリ423の所定の量子化ビットで、入力信号の近傍の2点をA点、B点とすると、2点間を直線補間関数で補間するために、12ビット幅の入力信号の上位10ビットの被補正用ビット（A点）の10ビット目に1を加算した被補正用ビット（B点）を生成し、メモリ423に出力する。

10

具体的には、加算およびオーバーフロー処理部421は、入力信号の上位10ビットの信号の10ビット目に1を加算した信号を、メモリ423の各アドレスポートに入力する。

【0066】

フリップフロップ（FF）422は、入力信号を補間演算部424に入力させるタイミングを調整する。

FF422は、入力信号から被補正用ビットを除いた残りの被補間用ビット、より詳細には入力信号の下位2ビットの被補間用ビットを保持し、所定のタイミングで、例えば、メモリ423から補正值データが出力されるタイミングと一致するように補間演算部432に出力する。

20

【0067】

ガンマ補正用ルックアップテーブルメモリ（メモリ）423は、所定の階調の入力信号の所定のビット幅の上位ビットの被補間用ビットと、ガンマ補正值データとを対応付けたガンマ補正用ルックアップテーブル（LUT）を記憶する。

例えば、メモリ423は、入力信号として上位10ビットの被補正用ビットが入力される場合には、 $2^{10} = 1024$ wordのメモリ容量を持つ2つのリードポートを有するデュアルポートメモリで構成され、ガンマ補正值データを格納する。

【0068】

図8は、図7に示したガンマ補正回路のメモリのルックアップテーブル（LUT）を説明するための図である。図8（a）は、入力信号の所定の上位ビットの被補正用ビットであり、メモリ423のアドレスに対応する。図8（b）は、図8（a）で示した入力信号の被補正用ビットに対応するガンマ補正值データである。

30

【0069】

ガンマ補正值データは、例えば、図4で示したような入力信号レベルと出力信号レベルと対応付けるガンマ補正值データである。

例えば、このガンマ補正值データは、入力信号に応じて表示させた表示画像を、例えばカメラ等の撮像装置で撮像した信号と、入力信号とを比較して比較結果に基づいて生成される。

【0070】

メモリ423は、例えば図8に示すように、入力信号の所定の上位ビットの被補正用ビットに対応するアドレスに、入力信号の所定の上位ビットの被補正用ビットに対応する補正值データを格納する。

40

【0071】

例えば、メモリ423は、デュアルポートメモリ423であり、A点およびB点に対応する被補正用ビットそれぞれが入力されると、テーブル変換して、その被補正用ビットに対応する補正值データを補間演算部424に出力する。

【0072】

メモリ423では、例えば、ルックアップテーブルを書き込む場合には、書込み指示を含むメモリ制御信号が入力されると、補正值データが所定のアドレスに格納される。また確

50

認等のためにルックアップテーブルを読み出す場合には、読出し指示を含むメモリ制御信号が入力されると、所定のアドレスの補正值データが出力される。

【0073】

補間演算部424は、メモリ423から出力された、A点およびB点の補正值データ、およびFF422から出力された、入力信号から上位ビットを除いた残りの下位ビットの被補間用ビットに基いて、直線補間処理を行う。

【0074】

図9は、図7に示した補正回路の補間演算部の動作を説明するための図である。図10は、図7に示した補正回路の補間演算部の入力信号の下位ビットと、ガンマ補正值データとの対応付けを説明するための図である。

10

【0075】

具体的には、例えば、補間演算部424は、被補間ビットの量子化ビット数を2とすると、A点とB点の補間値データの間を4分割し、各量子化ポイント(1/4、1/2、3/4の点)の補間値データを生成する。

【0076】

また、例えば、被補間用ビットの量子化ビット数が3の場合には、A点とB点の補間値データの間を8分割し、被補間用ビットの量子化ビット数がnの場合には、A点とB点の補間値データの間を2のn乗個に分割し、補間値データを生成する。

この被補間用ビットの量子化ビットを任意の値に設定することで、要求されるメモリ容量や補正精度に対応することができる。

20

【0077】

補間演算部424は、入力された下位2ビットの被補間用ビットに基いて、生成された補間値データおよび補正值データを選択する。

具体的には、補間演算部424は、例えば図10に示すように、入力信号の下位2ビットの被補間用ビットが、00の場合には、A点のガンマ補正值を出力する。

【0078】

補間演算部424は、入力信号の下位2ビットの被補間用ビットが01の場合には、 $\{(B \text{ 点のガンマ補正值} - A \text{ 点のガンマ補正值}) / 2\} \times (1/4) + A \text{ 点のガンマ補正值}$ を出力する。

【0079】

補間演算部424は、入力信号の下位2ビットの被補間用ビットが10の場合には、 $\{(B \text{ 点のガンマ補正值} - A \text{ 点のガンマ補正值}) / 2\} \times (1/2) + A \text{ 点のガンマ補正值}$ を出力する。

30

【0080】

補間演算部424は、入力信号の下位2ビットの被補間用ビットが11の場合には、 $\{(B \text{ 点のガンマ補正值} - A \text{ 点のガンマ補正值}) / 2\} \times (3/4) + A \text{ 点のガンマ補正值}$ を出力する。

【0081】

このとき、LCDパネル6のガンマ特性は入力信号に対し、出力信号は必ず増加する非線形関数で示されるため、信号レベルの小さいA点の値と先ほど求めた補間値データを加算し、求めたい入力信号の補正值データを求めることができる。

40

【0082】

また、補間演算部424の補間処理は、A点およびB点の補正值データに基づいて、下位ビットの被補間用ビットに対応する補間値データを生成して、入力信号の下位ビットの被補間用ビットに応じた補正值データを選択したが、このような形態に限られるものではない。

例えば、A点およびB点の間の補間値データを計算することなく、補間演算部424は、A点およびB点の補正值データと、入力信号の下位ビットの被補間用ビットに基いて、その補間用ビットに対応する補正值データのみを生成してもよい。

【0083】

50

図 1 1 は、図 7 に示した補正回路の動作を説明するための図である。上述した構成の補正回路 4 2 の動作を、図 1 1 を参照しながら説明する。

【 0 0 8 4 】

あらかじめ、メモリ 4 2 3 に、ガンマ補正值データと $2^{10} = 1024$ word のメモリ容量の 2 つのリードポートを有するデュアルポートメモリを使用し、ガンマ補正值データを格納する。

【 0 0 8 5 】

ステップ S T 1 において、加算およびオーバーフロー 4 2 1 では、入力信号に基づいて、入力信号の上位 10 ビットの被補正用ビットが入力されると、10 ビット目に 1 だけ加算した被補正用ビットが生成され、メモリ 4 2 3 に出力される。また、入力信号の上位 10 ビットの被補正用ビットは、メモリ 4 2 3 に入力される。

10

【 0 0 8 6 】

ステップ S T 2 において、メモリ 4 2 3 では、入力信号の上位 10 ビットの被補正用ビット (A 点) と、加算およびオーバーフロー処理部 4 2 1 から出力された入力信号の上位 10 ビットの 10 ビット目に 1 が加算された被補正用ビット (B 点) とが、所定のアドレスポートに入力され、被補正用ビットそれぞれに対応するアドレスに格納された補正值データが、補間演算部 4 2 4 に出力される。具体的には、被補正用ビット A 点および B 点それぞれに対応する補正值データが、補間演算部 4 2 4 に出力される。

【 0 0 8 7 】

ステップ S T 3 において、 F F 4 2 2 では、入力信号の下位 2 ビットの被補間用ビットが保持され、所定のタイミングで、補間演算部 4 2 4 に出力される。

20

補間演算部 4 2 4 では、メモリ 4 2 3 から出力された A 点および B 点の補正值データ、および F F 4 2 2 から出力された入力信号の下位 2 ビットの被補間用ビットに基づいて、補間処理が行われる。

【 0 0 8 8 】

具体的には、例えば補間演算部 4 2 4 では、被補間用ビットの量子化ビット数は 2 なので、図 9 に示すように A 点と B 点の間を 4 分割し、各量子化ポイント ($1/4$ 、 $1/2$ 、 $3/4$ の点) の補間値データを求め、下位 2 ビットの被補間用ビットに基づいて、生成した補間値データおよび A 点の補正值データから入力信号に対応する補間値データを選択する。このとき、 L C D のガンマ特性は入力信号に対し、出力信号は必ず増加する非線形関数

30

で示されるため、信号レベルの小さい A 点の値と先ほど求めた補間値データを加算し、求めたい入力信号レベルのガンマ補正值データを求めることができる。

補間演算部 4 2 4 では補間処理された画像信号を次段の所定の構成要素に出力する。

【 0 0 8 9 】

上述したように、例えば、従来のガンマ補正用ルックアップメモリは、12 ビット幅の階調をもつ入力信号の場合、 $2^{12} = 4096$ word のメモリ容量を持つメモリを使用し、このメモリにガンマ補正值データを格納することで L U T としてテーブル変換を行う。これに比べて本実施の形態では、より少ない記憶容量、1024 word のメモリ容量を持つメモリでよい。

【 0 0 9 0 】

上述したように、入力画像信号に基づいて、所定のビット幅の上位ビットを抽出した被補正用ビット (A 点) に、所定のビット幅に応じた所定のビットだけその被補正用ビット (A 点) より大きい被補正用ビット (B 点) を生成し出力する加算およびオーバーフロー処理部 4 2 1 と、ルックアップテーブル (L U T) を記憶するメモリ 4 2 3 と、タイミング調整用の F F 4 2 2 と、 F F 4 2 2 から出力された入力信号の下位ビットの被補正用ビットと、メモリ 4 2 3 から出力された 2 つの補正值データとに基づいて、補間処理を行う補間演算部 4 2 4 とを設けたので、従来よりも小さいルックアップテーブルを用いて入力画像信号に対応する補正值データを生成することができる。

40

また、ルックアップテーブル (L U T) を記憶するメモリ 4 2 3 の記憶容量を小さくすることができる。

50

【0091】

また、入力信号に対してLUTによるテーブル変換を行うために必要なメモリの規模は小さくなるから、メモリ容量の抑制と消費電力増大の抑制が可能となる。

【0092】

また、従来のLUTによる補正回路と比較して、LUTに使用するメモリ規模が小さいため、LUTに格納するためのガンマ補正值データの転送時間を短縮することができ、転送時間削減により、本システムが占有する時間が短縮でき、空いた時間は消費電力の抑制等が可能となる。

【0093】

また、従来、ソフトウェアにより求めていたガンマ補正值データのソフトウェアによる演算処理が不要になり、ソフトウェアは特定のレベルのガンマ補正值データのみ用意すればよい。このため、ソフトウェアの処理時間の短縮やソースコード量の削減をする事が可能となる。

【0094】

第2の実施の形態

図12は、本発明に係る補正回路の第2の実施の形態の機能ブロック図である。

本実施の形態に係る補正回路42aは、図11に示すように、アドレスセクタ4211、セクタ4212、FF422a、第1のガンマ補正用ルックアップテーブルメモリ(第1のメモリ)4231および第2のガンマ補正用ルックアップテーブルメモリ(第2のメモリ)4232を含むメモリ423a、データセクタ4233、ならびに補間演算部424aとを有する。

【0095】

補正回路42aと、第1の実施の形態に係る補正回路42との大きな相違点は、ルックアップテーブルを記憶するメモリを2つ設けている点である。

【0096】

アドレスセクタ4211は、入力画像信号に基づいて、入力信号の近傍2点をA点、B点の被補正用ビットを生成し、メモリ423aに出力する。

アドレスセクタ4211は、入力画像信号に基づいて、入力画像信号の内の第1の被補正用ビット、および所定のビット幅に応じた所定のビットだけ第1の被補正用ビットより大きい第2の被補正用ビットを生成し、第1および第2の被補正用ビットそれぞれが偶数または奇数に応じて、後述するメモリ423aに出力する。

【0097】

アドレスセクタ4211は、例えば、12ビット幅の画像信号が入力された場合には、上位9ビットの被補正用ビット(A点)と、必要に応じてその上位9ビットの被補正用ビットに1を加算した被補正用ビット(B点)を求める。

【0098】

図13は、図11に示した補正回路に入力される信号を説明するための図である。

アドレスセクタ4221は、例えば、入力信号が12ビットの場合には、図13に示すように、上位9ビットをメモリ423aのアドレスとして用いる。

アドレスセクタ4221は、例えば入力信号の上位9ビットに基づいて、入力信号の近傍のA点およびB点に対応する補正值を生成するための被補正用ビットを生成する。

【0099】

図14は、図12に示した補正回路のアドレスセクタの動作を説明するための図である。

アドレスセクタ4221は、図14に示すように、入力信号が、LSBから3ビット目のデータが0の場合には、後述する第1のメモリ4231(偶数メモリ)に、A点として入力信号の上位9ビットの被補正用ビットをアドレスとして入力する。

また、アドレスセクタ4221は、第2のメモリ4232(奇数メモリ)に、B点として入力信号の上位9ビットの被補正用ビットをアドレスとして入力する。

【0100】

アドレスセクタ 4 2 2 1 は、入力信号が L S B から 3 ビット目のデータが 1 の場合には、第 2 のメモリ (奇数メモリ) 4 2 3 2 に、A 点として入力信号の上位 9 ビットの被補正用ビットをアドレスとして入力する。

また、アドレスセクタ 4 2 2 1 は、第 1 のメモリ (偶数メモリ) 4 2 3 1 に、B 点として入力信号の上位 9 ビットの被補正用ビットに、M S B から 9 ビット目に 1 加算した被補正用ビットをアドレスとして入力する。

【 0 1 0 1 】

アドレスセクタ 4 2 1 1 は、被補正用ビットの M S B から 1 0 ビット目の値が偶数か奇数かに応じて、後述するように、メモリ 4 2 3 a の第 1 のメモリ 4 2 3 1 および第 2 のメモリ 4 2 3 2 のどちらかのメモリにアクセスして補正值データを生成させる。

10

入力信号の下位 2 ビットの被補間用ビットは、補間演算部 4 2 4 a により、補間演算用のパラメータとして用いられる。

【 0 1 0 2 】

セクタ 4 2 1 2 は、例えば、入力信号から下位 2 ビットを抽出して被補間用ビットとして F F 4 2 2 a に出力する。

セクタ 4 2 1 2 は、例えば、アドレスセクタ 4 2 1 1 から、入力信号から被補正用ビットを除いた残りの被補間用ビットに基づいて下位 2 ビットを抽出して被補間用ビットとして F F 4 2 2 a に出力する。

セクタ 4 2 1 2 は、この形態に限られるものではない。例えば、入力信号の下位 2 ビットを抽出して被補間用ビットとして F F 4 2 2 a に出力することができればよい。

20

【 0 1 0 3 】

F F 4 2 2 a は、セクタ 4 2 1 2 から出力された入力信号の下位ビットの被補間用ビットを保持し、所定のタイミングで補間演算部 4 2 4 a に出力する。

F F 4 2 2 a は、例えば、補間演算部 4 2 4 a が、データセクタ 4 2 2 3 から出力された A 点および B 点の補正值データと、この F F 4 2 2 a から出力された入力信号の下位ビットの被補間用ビットに基づいて補間処理を行う際に、その処理に適切なタイミングで、例えばデータセクタ 4 2 3 3 から出力される補正值データと同時になるようなタイミングで、入力信号の下位ビットの被補間用ビットを補間演算部 4 2 4 a に出力する。

【 0 1 0 4 】

メモリ 4 2 3 a は、複数のメモリ、例えば第 1 のメモリ 4 2 3 1 および第 2 のメモリ 4 2 3 2 とを有する。

30

例えば、第 1 のメモリおよび第 2 のメモリそれぞれは、 $2^9 = 512$ word のメモリ容量を持つ 1 つのリードポートを有するシングルポートメモリであり、ガンマ補正值データを含むルックアップテーブルを格納する。

【 0 1 0 5 】

図 1 5 は、図 1 2 に示した補正回路の第 1 のメモリおよび第 2 のメモリに記憶されているルックアップテーブルを模式的に示す図である。

図 1 5 (a) は、入力信号の上位 9 ビットの被補正用ビットおよび第 1 のメモリのアドレスを示し、図 1 5 (b) は第 1 のメモリに記憶されている図 1 5 (a) の入力信号に対応するガンマ補正值データの一具体例を示す図である。

40

図 1 5 (c) は、入力信号の上位 9 ビットの被補正用ビットおよび第 2 のメモリのアドレスを示し、図 1 5 (d) は第 2 のメモリに記憶されている図 1 5 (c) の入力信号に対応するガンマ補正值データの一具体例を示す図である。

【 0 1 0 6 】

第 1 のメモリ 4 2 3 1 には、例えば図 1 5 (a) , (b) に示すように、入力信号の L S B から 3 ビット目のデータに応じて、入力信号の 3 ビット目のデータが偶数に対応するガンマ補正值データを格納する。第 1 のメモリ 4 2 3 1 に記憶されている第 1 のルックアップテーブルは、例えば図 1 5 (a) , (b) に示すように格納されている。

【 0 1 0 7 】

第 2 のメモリ 4 2 3 2 には、例えば図 1 5 (c) , (d) に示すように、入力信号の L S

50

Bから3ビット目のデータに応じて、入力信号の3ビット目のデータが奇数に対応するガンマ補正值データを格納する。第2のメモリ4232に記憶されている第2のルックアップテーブルは、例えば図15(c), (d)に示すように格納されている。

【0108】

データセクタ4233は、第1のメモリ4231から出力された補正值データと、第2のメモリ4232から出力された補正值データに基づいて、例えば図9に示すように、小さいほうのデータをA点の補正值データ、大きいほうのデータをB点の補正值データとして、補間演算部424aに出力する。

【0109】

補間演算部424aは、データセクタ4233から出力された、入力信号の近傍2点(A点、B点)のガンマ補正值データと、FF422aから出力された入力信号の下位ビットの被補間用ビットに基づいて、直線補間処理を行い、入力信号のガンマ補正值データを生成し出力する。 10

補間演算部424aの機能は、第1の実施の形態に係る補正回路の補間演算部424と同様であるので詳細な説明を省略する。

【0110】

上述した構成の動作を簡単に説明する。

あらかじめ、第1のメモリ4231および第2のメモリ4232それぞれに、ガンマ補正值データと $2^9 = 512$ wordのメモリ容量1つのリードポートを有するシングルポートメモリを使用し、上述したガンマ補正值データを含むルックアップテーブルを格納する。 20

【0111】

アドレスセクタ4211では、入力信号に基づいて、例えば図14に示すように、入力信号の近傍2点のA点、B点の被補正用ビットが生成され、それぞれ所定のメモリ423aに入力される。

詳細には、アドレスセクタ4211では、入力信号に基づいて、入力信号の内の第1の被補正用ビット、および所定のビット幅に応じた所定のビットだけ当該第1の被補正用ビットより大きい第2の被補正用ビットを生成し、第1および第2の被補正用ビットそれぞれが偶数または奇数に応じて、第1のメモリ4231および第2のメモリ4232に出力する。 30

【0112】

メモリ423aの第1のメモリ4231、および第2のメモリ4232それぞれでは、入力された第1のおよび第2の被補正用ビットに対応する補正值データが、データセクタ4233に出力される。

データセクタ4233では、第1のメモリ4231から出力された補正值データと、第2のメモリ4232から出力された補正值データに基づいて、小さいほうのデータをA点の補正值データ、大きいほうのデータをB点の補正データとして、補間演算部424aに出力される。

【0113】

補間演算部424aでは、データセクタ4233から出力された、入力信号の近傍2点(A点、B点)のガンマ補正值データと、セクタ4212およびFF422aから出力された入力信号の下位ビットの被補間用ビットに基づいて、直線補間処理が行われ、入力信号のガンマ補正值データを生成し出力する。 40

【0114】

上述したように、本実施の形態では、入力信号に基づいて、所定の上位ビットを抽出し、入力信号の近傍2点をA点、B点の被補正用ビットを生成し、所定の423aに出力するアドレスセクタ4211と、入力信号の所定の下位ビットの被補間用ビットを出力するセクタ4212と、タイミング調整用のFF422aと、入力信号の3ビット目のデータが偶数に対応するガンマ補正值データを格納する第1のメモリ4231と、入力信号の3ビット目のデータが奇数に対応するガンマ補正值データを格納する第2のメモリ423 50

2と、メモリ423aから出力された補正值データに基づいて、小さいほうのデータをA点の補正值データとし大きいほうのデータをB点の補正值データとして補間演算部424aに出力するデータセレクタ4233と、データセレクタ4233から出力された、入力信号の近傍2点(A点、B点)のガンマ補正值データと、FF422aから出力された入力信号の下位ビットの被補間用データに基づいて、直線補間処理を行い、入力信号のガンマ補正值データを生成し出力する補間演算部424aとを設けたので、小さいルックアップテーブルを用いて入力信号に対応する補正值データを生成することができる。

【0115】

また、ルックアップテーブル(LUT)を記憶するメモリ423aの記憶容量を小さくすることができる。

10

また、2つのメモリを設けたことにより、例えばA点およびB点の補正值データを同時に高速に生成することができるので、補間演算部424aにより早いタイミングで補間演算を行わせることができ、全体としてより高速に補正值データを生成することができる。

【0116】

第3の実施の形態

ルックアップテーブル(LUT)に使用するガンマ補正值データの作成方法として、画像処理装置で表示された画像を、カメラ等で取り込み、画像表示装置の出力信号レベルとデジタル回路の入力信号レベルからガンマ補正值データを算出する。

【0117】

このとき算出されるガンマ補正值データは、量子化ビット数nすべての入力信号のレベルについて作成するのではなく、量子化ビット数(n-m)で作成する。ここで、mとnの関係は $1 < m < n$ である。

20

【0118】

図16は、本発明に係る画像処理装置の第3の実施の形態の機能ブロック図である。

第3の実施の形態に係る画像処理装置の補正回路42bは、例えば図16に示すように、加算およびオーバフロー処理部421b、フリップフロップ(FF)422b、メモリ423b、および補間演算部424bを有する。

【0119】

補正回路42bは、第1の実施の形態に係る補正回路42とほぼ同じ構成である。相違点は、メモリ423bは、上述した量子化ビット数(n-m)で作成されたガンマ補正值データのみをルックアップテーブルとして格納する。

30

補間演算部424bは、量子化ビット数nの入力信号に対するガンマ補正值データを、メモリ423から出力されるデータ、および入力信号に基づいて補正值の補間処理を行い、入力信号に対応する補正值データを出力する。

【0120】

上述したように、上述の構成の補正回路42bでは、量子化ビット数(n-m)の入力信号のレベルに対応する、ガンマ補正值データに基づいて、補正処理を行うので、所望の補正精度やメモリ容量等を考慮して、所定の量子化ビット(n-m)の補正データを記憶することができる。

これにより、従来ソフトウェアにて補間演算して求めたガンマ補正值データも不要となる。

40

【0121】

なお、本発明は本実施の形態に限られるものではなく、任意好適な種々の改変が可能である。

例えば、入力ビット数を12ビット、LUTの入力ビット数を、実施の実施の形態では、10ビット、第2の実施の形態では9ビット、補間する領域のビット数を2ビット、システムの出力ビット数を12ビットとして説明したが、本発明は、この形態に限られるものではない。各ビット数の値を限定するものではない。

【0122】

また、表示デバイスとして、ノーマリホワイト透過型液晶のV-T特性を例として説明し

50

たが、ノーマリブラック液晶、反射型液晶におけるデジタルガンマ補正においても有効である。さらに、CRTなど、液晶以外の同様な非線型の応答をする表示デバイスにおけるデジタルガンマ補正においても同様に有効である。

【0123】

また、画像信号を出力デバイスの特性に合わせるために必要量より少ないルックアップテーブルと必要量に不足するデータを補間するための補間関数を使用したガンマ補正を行うことで、テーブル変換に必要なメモリの規模を小さくする事が可能となる。

【0124】

【発明の効果】

本発明によれば、回路規模を増大することなく、補正を行うことができる画像処理装置、および画像処理方法を提供することができる。 10

【図面の簡単な説明】

【図1】本発明に係る画像処理装置の一実施の形態の機能ブロック図である。

【図2】LCD（液晶）パネルの印加電圧に対する透過率の特性（V-T特性）を示す図である。

【図3】入力信号レベルに対する理想透過率特性を示す図である。

【図4】ガンマ補正カーブを示す図である。

【図5】図1に示した画像処理装置の信号処理部の構成を示す機能ブロック図である。

【図6】図5に示した信号処理部の機能ブロックの一具体例を示す図である。

【図7】図5に示したガンマ補正回路の第1の実施の形態の機能ブロック図である。 20

【図8】図7に示したガンマ補正回路のメモリのルックアップテーブル（LUT）を説明するための図である。

【図9】図7に示した補正回路の補間演算部の動作を説明するための図である。

【図10】図7に示した補正回路の補間演算部の入力信号の下位ビットと、ガンマ補正值データとの対応付けを説明するための図である。

【図11】図7に示したガンマ補正回路の動作を説明するための図である。

【図12】本発明に係る画像処理装置の補正回路の第2の実施の形態の機能ブロック図である。

【図13】図12に示した補正回路に入力される信号を説明するための図である。

【図14】図12に示した補正回路のアドレスセクタの動作を説明するための図である 30

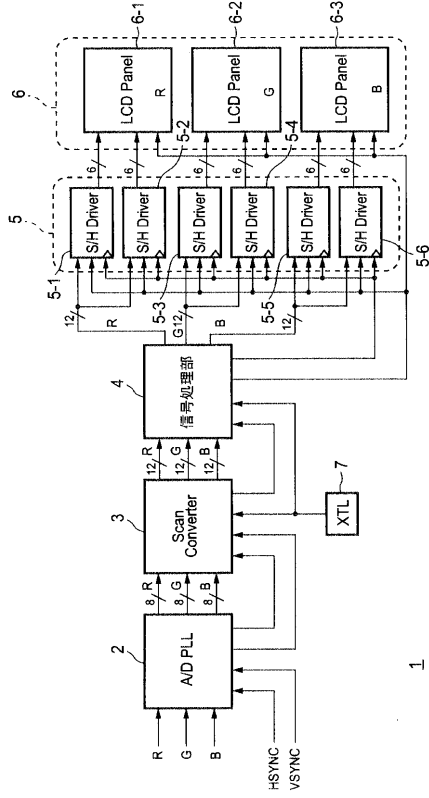
。【図15】図12に示した補正回路の第1のメモリおよび第2のメモリに記憶されているルックアップテーブルを模式的に示す図である。

【図16】本発明に係る画像処理装置の補正回路の第3の実施の形態の機能ブロック図である。

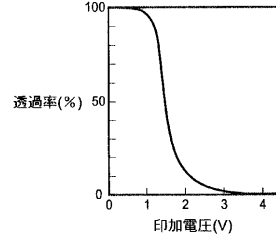
【符号の説明】

1 ... 画像処理装置、2 ... A/DPLL、3 ... スキャンコンバータ、4 ... 信号処理部、5 ... S/Hドライバ、6 ... LCDパネル、7 ... XTL、41 ... 第1の信号処理部、42 ... 補正回路、43 ... 第2の信号処理部、44 ... タイミング生成部、411 ... ユーザゲイン、412 ... ユーザブライト、413 ... サブゲイン、414 ... サブブライト、415 ... 黒枠、416 ... 第1のミュート、417 ... パターンジェネレータ、418 ... OSD、420 ... 被補正用信号生成部、421 ... 加算およびオーバーフロー処理部、422 ... FF、423 ... 補間演算部、424 ... メモリ、424a ... 補間演算部、424b ... 補間演算部、431 ... ガンマゲイン、432 ... ガンマブライト、432 ... 補間演算部、433 ... 色むら補正、434 ... ドットライン反転、435 ... 第2のミュート、436 ... リミッタ、437 ... ゴーストキャンセル、438 ... 縦筋キャンセル、4211 ... アドレスセクタ、4212 ... セクタ、4221 ... アドレスセクタ、4223 ... データセクタ、4231 ... 第1のメモリ、4232 ... 第2のメモリ、4233 ... データセクタ。 40

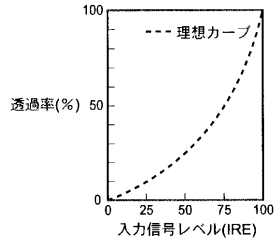
【図1】



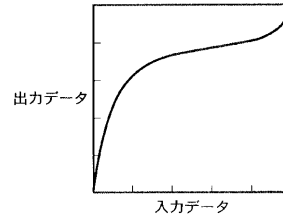
【図2】



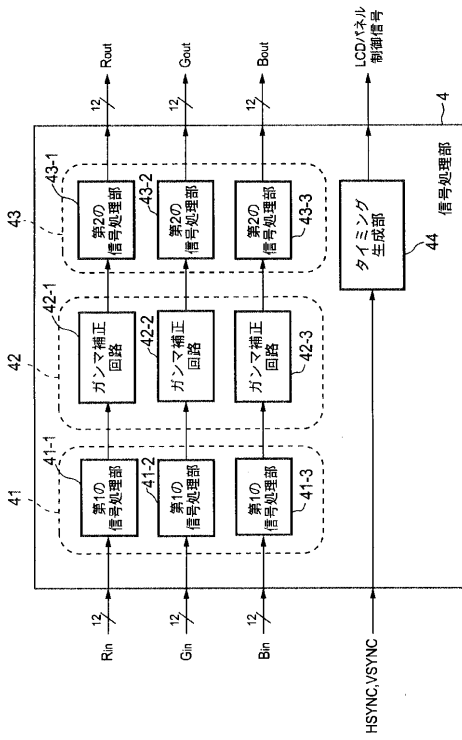
【図3】



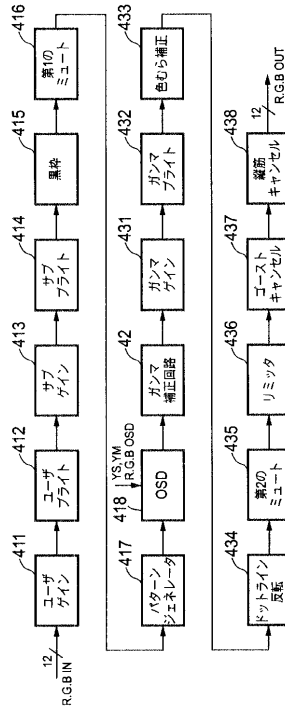
【図4】



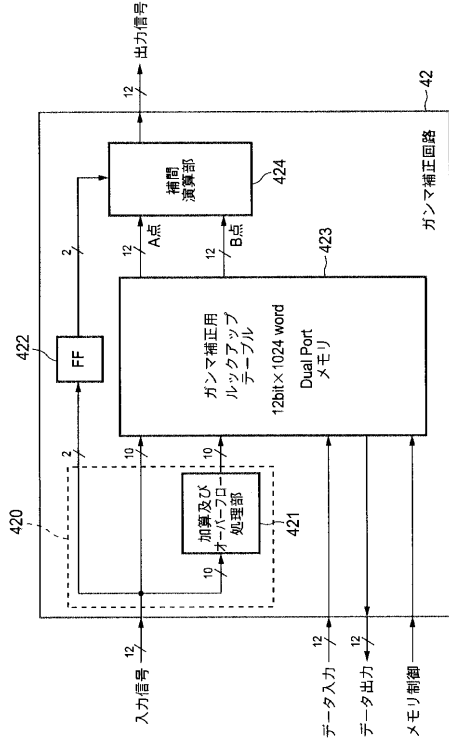
【図5】



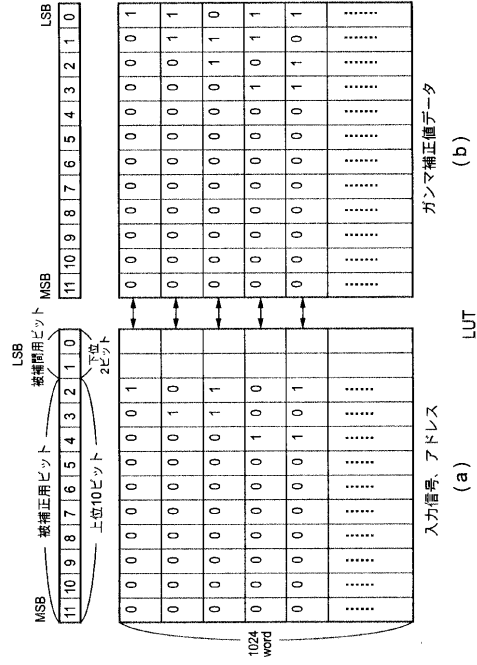
【図6】



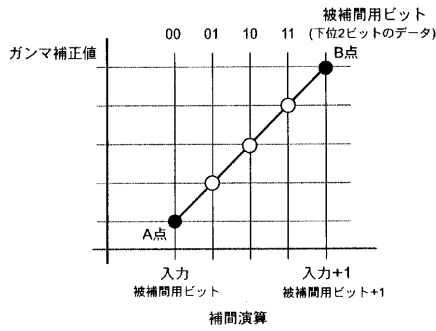
【 図 7 】



【 図 8 】



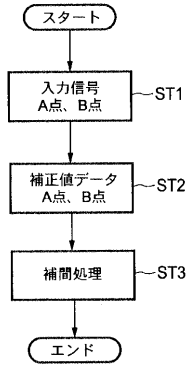
【 図 9 】



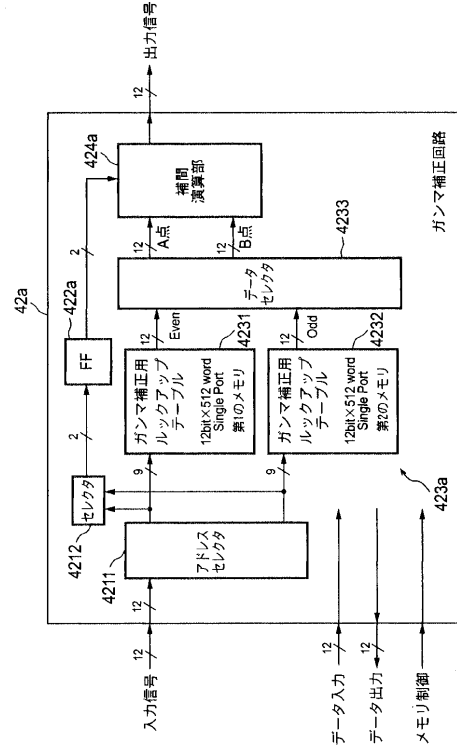
【 図 10 】

下位2ビットのデータ 被補間ビット	ガンマ補正值データ
0 0	A点のガンマ補正值
0 1	$\frac{(\text{B点のガンマ補正值} - \text{A点のガンマ補正值})}{2} \times \frac{1}{4} + \text{A点のガンマ補正值}$
1 0	$\frac{(\text{B点のガンマ補正值} - \text{A点のガンマ補正值})}{2} \times \frac{1}{2} + \text{A点のガンマ補正值}$
1 1	$\frac{(\text{B点のガンマ補正值} - \text{A点のガンマ補正值})}{2} \times \frac{3}{4} + \text{A点のガンマ補正值}$

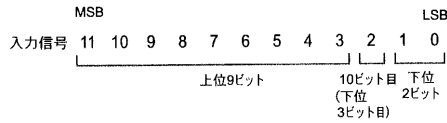
【 図 1 1 】



【 図 1 2 】



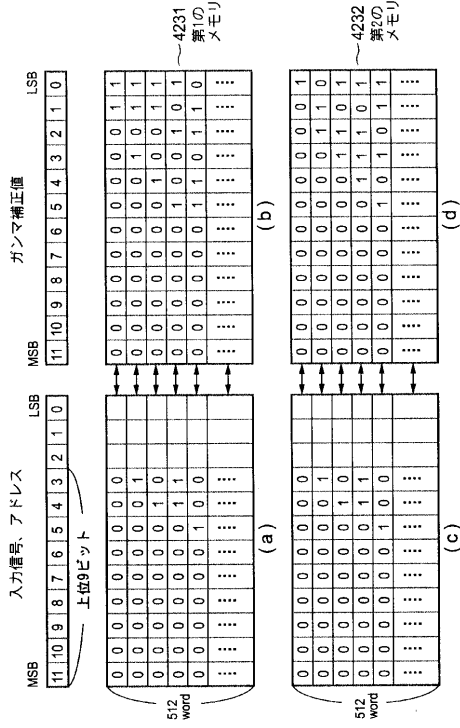
【 図 1 3 】



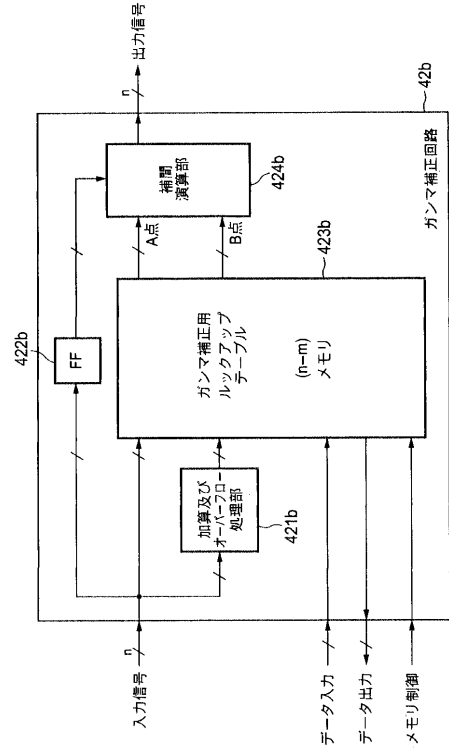
【 図 1 4 】

下位3ビット目のアドレス	A点		B点	
	アクセスするメモリ	アドレス	アクセスするメモリ	アドレス
0	第1の(偶数)メモリ	入力番号の上位9ビット	第2の(奇数)メモリ	入力番号の上位9ビット
1	第2の(奇数)メモリ	入力番号の上位9ビット	第1の(偶数)メモリ	入力番号の上位9ビット +1

【 図 1 5 】



【 図 1 6 】



 フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
H 0 4 N 1/407	H 0 4 N 5/66	5 C 0 8 0
H 0 4 N 5/66	H 0 4 N 9/69	5 C 0 8 2
H 0 4 N 9/69	H 0 4 N 1/40	1 0 1 E

F ターム(参考) 5C021 PA17 PA80 XA34
 5C058 AA06 BA06 BA13 BB04 BB06
 5C066 AA03 CA17 EA03 EC05 GA01 HA01 KA12 KE09 KM13
 5C077 LL04 LL19 MP08 PP11 PP14 PP15 PP32 PP37 PQ12 PQ23
 RR19 SS06
 5C080 AA10 BB05 CC03 DD01 EE29 JJ02 JJ05 JJ07 KK43
 5C082 BA34 BA35 BB51 BD02 CA11 CA81 DA51 DA71 MM04 MM10