СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1285395 A1

(51)4 G 01 R 23/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

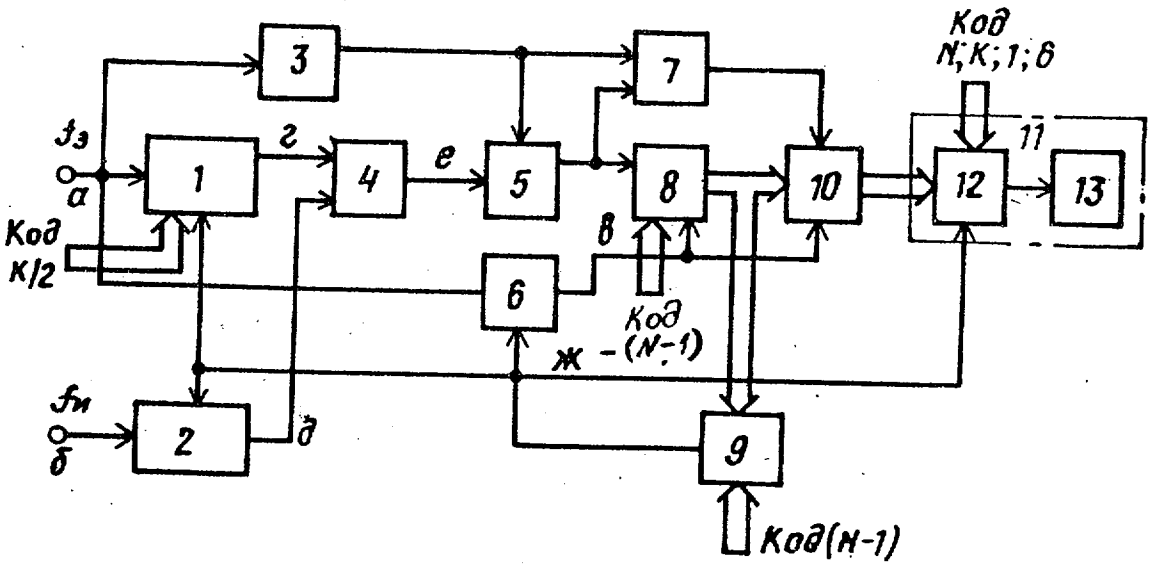
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3920447/24-21
(22) 11.05.85
(46) 23.01.87.Бюл. № 3
(72) В.А.Карелин
(53) 621.317 (088.8)
(56) Авторское свидетельство СССР № 1056070, кл. G 01 R 23/00, 1982.
Авторское свидетельство СССР № 1093986, кл. G 01 R 23/00, 1982.

(54) УСТРОЙСТВО ИЗМЕРЕНИЯ РАЗНОСТИ ПЕРИОДОВ ДВУХ ЭЛЕКТРИЧЕСКИХ СИГНАЛОВ

(57) Изобретение относится к измерительной технике и может быть использовано при построении прецизионных измерителей частоты и устройств для сравнения шкал времени. Цель изобретения - повышение точности измерения. Для достижения поставленной цели в устройство, содержащее формирователь 4 временных интервалов, делители 1,2 частоты, блок 11 регистрации, выполненный в виде вычислителя 12 и индикатора 13, введены D-триггер 5, счетчик 8, накапливающий сумматор 10, формирователь 3 квантирующих импульсов, формирователь 6 времени регистрации, вентиль 7 и кодовый компаратор 9. Устройство позволяет либо существенно снизить среднеквадратическую погрешность измерения при неизменном времени измерения, либо достичь требуемую точность измерения за существенно меньшее время. В описании изобретения также указан другой вариант исполнения вычислителя 12 блока 11 регистрации. 13. п.ф-лы, 3 ил.



Фиг.1

(19) SU (11) 1285395 A1

Изобретение относится к измерительной технике и может быть использовано при построении прецизионных измерителей частоты и устройств для сравнения шкал времени.

Цель изобретения - повышение точности измерения разности периодов.

На фиг.1 представлена блок-схема устройства; на фиг.2 - временные диаграммы; на фиг. 3 - блок-схема вычислителя.

Устройство (фиг.1) содержит первый и второй делители 1 и 2 частоты, формирователь 3 квантующих импульсов, формирователь 4 временных интервалов, D-триггер 5, формирователь 6 времени регистрации, вентиль 7, счетчик 8, кодовый компаратор 9, накапливающий сумматор 10, блок 11 регистрации, выполненный в виде последовательно соединенных вычислителя 12 и индикатора 13.

Входы эталонной и измеряемой частот соответственно через первый и второй делители 1 и 2 частоты соединены с входами формирователя 4 временных интервалов, Выход формирователя 4 временных интервалов через последовательно соединенные D-триггер 5, счетчик 8 и накапливающий сумматор 10 соединен с информационным входом блока 11 регистрации, установочный вход которого подключен к четвертому кодовому входу устройства. Первый кодовый вход устройства соединен с вторым входом кодового компаратора 9, первый вход которого подключен к выходу счетчика 8, а выход соединен с управляющим входом первого и второго делителей 1 и 2 частоты, формирователя 6 времени регистрации и блока 11 регистрации. Сигнальный вход формирователя 6 времени регистрации подсоединен к входу первого делителя 1 частоты и к входу формирователя 3 квантующих импульсов, а выход соединен с входом синхронизации записи счетчика 8 и входом начальной установки накапливающего сумматора 10. Вход синхронизации накапливающего сумматора 10 соединен с выходом вентиля 7, первый вход которого соединен с выходом формирователя 3 квантующих импульсов и с входом синхронизации D-триггера 5, а второй вход соединен с выходом D-триггера 5. Второй и третий кодовые входы устройства соединены соответственно с установочными входами делителя 1 частоты и блока 11 регистрации. Вычислитель 12 блока 11 регистрации содержит (фиг.3) блок 14 вычитания, последовательно соединенные первый умножитель 15, вторым входом которого является вход кода "6", и делитель 16, последовательно соединенные сумматор 17, второй 18, третий 19 и четвертый 20 умножители. Выход четвертого умножителя 20 соединен с вторым входом делителя 16, выход которого является выходом вычислителя, при этом первые входы блока 14 вычитания и сумматора 17 объединены и являются входом кода "1". Вторые входы блока 14 вычитания, сумматора 17 и третьего умножителя 19 объединены и являются входом кода N. Выход блока 14 вычитания соединен с вторым входом второго умножителя 18. Вторым входом четвертого умножителя является вход кода K. Информационным входом вычислителя является первый вход первого умножителя 15.

Устройство работает следующим образом.

В исходном состоянии на второй вход кодового компаратора 9 и установочные входы делителя 1 частоты и счетчика 8 подаются соответственно коды чисел: (N-1); K/2; - (N-1). На выходе счетчика 8 установлен код (N-1), который подается на первый вход кодового компаратора 9. Совпадение кодов на первом и втором входах кодового компаратора 9 формирует на выходе последнего потенциал нулевого уровня (фиг.2,ж), который, поступая на управляющие входы делителей 1 и 2 частоты, устанавливает и удерживает их соответственно в состояниях "K/2" и "0". При этом импульсы эталонной $f_э$ и измеряемой $f_и$ частот, поступая на соответствующие делители 1 и 2 частоты, не изменяют их состояний и импульсы с периодами следования $T_{э1}$ и $T_{и1}$ не поступают на входы формирователя 4 временных интервалов. На выходе формирователя 4 временных интервалов сохраняется потенциал нулевого уровня, который через D-триггер 5, синхронизируемый квантующими импульсами, поступает на второй вход вентиля 7, запрещая тем самым проход квантующих импульсов на вход синхронизации накапливающего сумматора 10. Через временной интервал $\tau_р$ (фиг.2,ж), форми-

руемый формирователем 6 времени регистрации, на выходе последнего вырабатывается импульс (фиг.2,в), который обнуляет память накапливающего сумматора 10 и переписывает код - (N-1) входа установки счетчика 8 на его выход. При этом равенство кодов на входах кодового компаратора 9 нарушается и на его выходе формируется потенциал единичного уровня (фиг. 2,ж), разрешающий работу делителей 1 и 2 частоты. Делители 1 и 2 частоты осуществляют деление импульсов $f_э$ и $f_и$ с коэффициентом пересчета K, формируя на своих выходах импульсы с периодом следования соответственно $T_{э1} = KT_э$, $T_{и1} = KT_и$ (фиг.2, г,д). При этом временной интервал Δt_1 между первыми импульсами на выходе первого и второго делителей 1 и 2 частоты примерно равен $\Delta t_1 \approx \frac{K}{2} T_и$, так как первый делитель 1 частоты начинает работать, находясь в состоянии "K/2", а второй делитель 2 частоты - находясь в состоянии "0". Импульсы $T_{э1} = KT_э$ и $T_{и1} = KT_э + K\Delta T$ (фиг.2,г,д) с выходов соответственно первого делителя 1 частоты и второго делителя 2 частоты поступают на входы формирователя 4 временных интервалов, на выходе которого вырабатывается импульс единичного уровня длительностью $\Delta t_i = \Delta t_1 + K\Delta T(i-1)$, где $i = 1,2,\ldots,N$. Импульсы Δt_i поступают на информационный вход D-триггера 5, на выходе которого вырабатываются импульсы Δt_i^*. Фронты импульсов Δt_i формируются ближайшими к фронтам Δt_i квантующими импульсами благодаря синхронизации D-триггера 5 сигналами с выхода формирователя 3 квантующих импульсов. Такое формирование Δt_i^* позволяет синхронизировать работу накапливающего сумматора 10 и счетчика 8, на счетный вход которого подаются импульсы Δt_i^*. Импульс Δt_i^* поступает на второй вход вентиля 7 и разрешает на время Δt_i^* проход квантующих импульсов на вход синхронизации накапливающего сумматора 10. На информационном входе накапливающего сумматора 10 действует код числа - (N-1) + 2 (i-1), поскольку импульсы Δt_i^* одновременно поступают на суммирующий счетный вход счетчика 8, который срабатывает по заднему фронту импульса Δt_i^*, обеспечивая тем самым задержку (i-1), так как во время действия i-го импульса Δt_i^* на информационном входе накапливающего сумматора 10 приложен код, установленный после окончания (i-1)-го импульса Δt_{i-1}^* (увеличение состояния счетчика 8 на "2" по каждому импульсу Δt_i^* обеспечивается подачей этих импульсов на счетный вход второго разряда счетчика 8, т.е. разряда, соответствующего "2'"). Код числа (N - - 1)+2 (i-1) суммируется по каждому квантующему импульсу, действующему на входе синхронизации накапливающего сумматора 10 в течение интервала времени $\Delta t_и^*$ ($i = 1,2,\ldots,N$). Следовательно, после окончания i-го импульса Δt_i^* в накапливающем сумматоре 10 фиксируется код числа a_i, равного

$$a_i = \sum_{j=1}^{i} \Delta t_j^* (2j-N-1), \qquad (1)$$

при $i = N$, т.е. на момент окончания времени измерения τ.,

$$a_N = \sum_{i=1}^{N} \Delta t_i^* (2i-N-1). \qquad (2)$$

После окончания импульса Δt_N^* на выходе счетчика 8 формируется код, равный (N-1), который, поступая на первый вход кодового коммутатора 9, устанавливает на его выходе нулевой потенциал (фиг.4,ж), устанавливающий и удерживающий делители 1 и 2 частоты соответственно в состояниях "K/2" и "0", разрешающий работу формирователя 6 времени регистрации и переписывающий в блок 11 регистрации код числа a_N с выхода накапливающего сумматора 10. В блоке 11 регистрации осуществляется умножение в вычислителе 12 в соответствии с его структурной схемой (фиг.3) числа a_N на нормализующий коэффициент $6KN(N^2-1)$, код которого поступает с четвертого кодового входа устройства, для получения численного значения ΔT^*, т.е.

$$\Delta T^* = \frac{6\sum_{i=1}^{N} \Delta t_i^* (2i-N-1)}{KN(N^2-1)}. \qquad (3)$$

После формирования формирователем 6 времени регистрации запускающего импульса (фиг.2,в) цикл измерения повторяется.

Определим оптимальный алгоритм обработки фазовых отсчетов (временных интервалов Δt_i^*) по критерию минимума среднего квадрата ошибки. С этой целью запишем значение Δt_i в виде очевидного соотношения

$$\Delta t_i = \Delta t_1 + x_i K \Delta T, \qquad (4)$$

где $x_i = 0,1,2,\ldots, N-1$.

Уравнение (4) относится к управлениям линейной регрессии (3). Известно, что наилучшей оценкой ΔT^* (в смысле минимума среднего квадрата ошибки) величины ΔT по измеренным значениям Δt^* является оценка, полученная по методу наименьших квадратов (МНК). Согласно этому методу для оценки ΔT^* можно записать формулу (3) в виде

$$\Delta T^* = \frac{N\sum_{i=1}^{N} \Delta t_i^* x_i - \sum_{i=1}^{N} x_i \sum_{i=1}^{N} \Delta t_i^*}{K\left[N\sum_{i=1}^{N} x_i^2 - \left(\sum_{i=1}^{N} x_i\right)^2\right]}. \qquad (5)$$

Учитывая, что x_i – целые числа от 0 до (N-1) и используя выражения для суммы последовательностей целых чисел и суммы последовательностей квадратов целых чисел, получим

$$\Delta T^* = \frac{12\sum_{i=1}^{N} \left(i - \frac{N+1}{2}\right)\Delta t_i^*}{KN(N^2-1)} =$$

$$= \frac{6\sum_{i=1}^{N} (2i-N-1)\,\Delta t_i}{KN(N^2-1)}. \qquad (6)$$

Следовательно, предлагаемое устройство реализует оптимальный по критерию минимума среднего квадрата ошибки алгоритм измерения частоты по фазовым отсчетам сигнала.

Дисперсию погрешности $\sigma^2(\Delta T)$ определим, полагая статистическую независимость случайных погрешностей Δ_i

$$\sigma^2(\Delta T) = \frac{144\left[\sum_{i=1}^{N} \Delta i \left(i - \frac{N+1}{2}\right)\right]^2}{K^2 N^2 (N^2-1)^2} =$$

$$= \frac{12\,\sigma_0^2}{K^2 N(N^2-1)}, \qquad (7)$$

где σ_0^2 – дисперсия случайной погрешности Δi.

Среднеквадратическую погрешность получим из (7)

$$\sigma(\Delta T) = \sqrt{12}\,\sigma_0 / K\sqrt{N(N^2-1)}. \qquad (8)$$

Выигрыш в точности по сравнению с известным устройством определим, сравнивая выражения (8) и (3),

$$\delta = \frac{\sqrt{2N(N^2-1)}}{\sqrt{12(N-1)^2}} = \sqrt{\frac{N(N+1)}{6(N-1)}}. \qquad (9)$$

Т.е. при $N \gg 1$ выигрыш в точности весьма значительный. Например, при $N = 10^4 \delta \approx 41$.

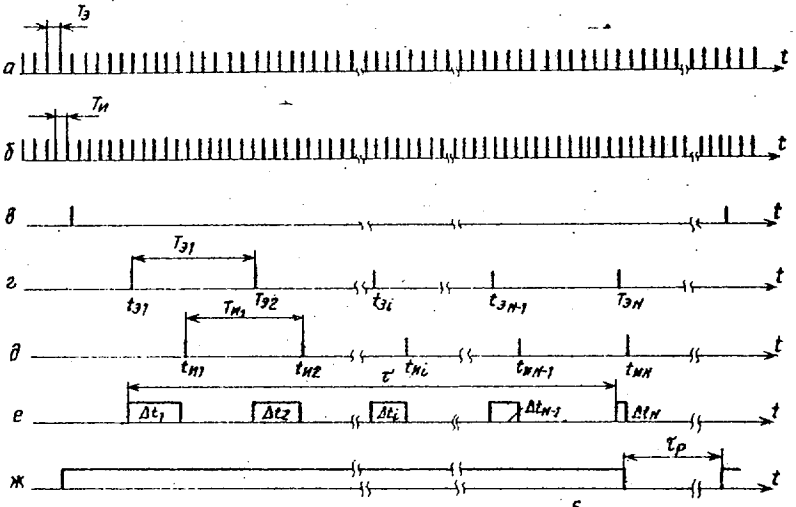
Таким образом, предлагаемое устройство позволяет либо существенно снизить среднеквадратическую погрешность измерения при одинаковом с известным способом времени измерения, либо достичь требуемую точность измерения за существенно меньшее время по сравнению с известным способом.

Формула изобретения

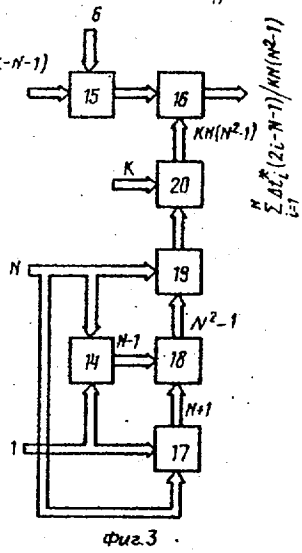
1. Устройство измерения разности периодов двух электрических сигналов, содержащее формирователь временных интервалов, первый и второй входы которого через первый и второй делители частоты соединены с соответствующими входами устройства, и блок регистрации, выполненный в виде последовательно соединенных вычислителя и индикатора, отличающееся тем, что, с целью повышения точности измерения, в него дополнительно введены последовательно соединенные D-триггер, счетчик и накапливающий сумматор, формирователь квантующих импульсов, формирователь времени регистрации, вентиль и кодовый компаратор, первый вход которого соединен с выходом счетчика, второй вход подключен к первому кодовому входу устройства, а выход соединен с управляющими входами блока регистрации, первого и второго делителей частоты и формирователя времени регистрации, второй вход которого соединен с входами формирователя квантующих импульсов и первого делителя частоты, а выход подсоединен к входу синхронизации записи счетчика и к входу начальной установки накапливающего сумматора, выход которого подключен к информационному входу блока регистрации, а второй вход синхронизации соединен с выходом вентиля, первый вход которого соединен с выходом формирователя квантующих импульсов и с входом синхронизации D-триггера, информационный вход которого подсоеди-

нен к выходу формирователя временных интервалов, а выход D-триггера соединен с вторым входом вентиля, при этом второй, третий и четвертый кодовые входы устройства подключены соответственно к установочным входам первого делителя частоты, счетчика и блока регистрации.

2. Устройство по п.1, о т л и ч а ю щ е е с я тем, что вычислитель блока регистрации содержит блок вычитания, последовательно соединенные первый умножитель, вторым входом которого является код числа 6, и делитель, последовательно соединенные сумматор, второй, третий и четвертый умножители, выход четвертого умножителя соединен с вторым входом делителя, выход которого является выходом вычислителя, при этом первые входы блока вычитания и сумматора объединены и являются входом кода числа 1, вторые входы блока вычитания, сумматора и третьего умножителя объединены и являются входом кода числа N, где N - число измерений, выход блока вычитания соединен с вторым входом второго умножителя, вторым входом четвертого умножителя является вход кода числа K, где K - коэффициент деления, а информационным входом вычислителя является первый вход первого умножителя.



Фиг.2



Фиг.3

Составитель Губанов
Редактор С.Пекарь Техред И.Попович Корректор М.Демчик

Заказ 7639/47 Тираж 730 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4