



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년02월25일
(11) 등록번호 10-2220171
(24) 등록일자 2021년02월19일

(51) 국제특허분류(Int. Cl.)
H03K 5/08 (2006.01) H03L 7/08 (2006.01)
H03L 7/091 (2006.01) H03L 7/099 (2006.01)
H04L 25/06 (2006.01)

(52) CPC특허분류
H03K 5/084 (2013.01)
H03L 7/0807 (2013.01)

(21) 출원번호 10-2019-0161598

(22) 출원일자 2019년12월06일

심사청구일자 2019년12월06일

(56) 선행기술조사문헌

A 5/10 Gb/s Dual-Mode NRZ/PAM4 CDR in 65-nm CMOS, Ruichang Ma ... etc, Institute of Microelectronics, Tsinghua University, Beijing, China, 04 July 2019*
KR101684801 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

강진구

서울특별시 서초구 양재대로2길 109, 104동 1202호(우면동, 서초호반써밋)

김민지

경상남도 김해시 월산로 103, 1106동 1704호(부곡동, 월산마을11단지 주공아파트)

(74) 대리인

양성보

전체 청구항 수 : 총 7 항

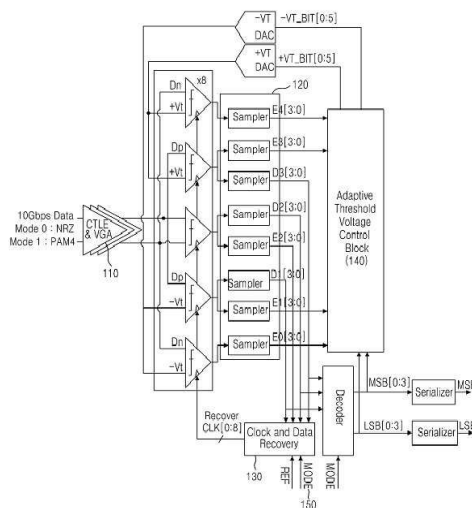
심사관 : 최규돈

(54) 발명의 명칭 적응형 임계전압을 갖는 NRZ/PAM4 듀얼모드 수신 방법 및 장치

(57) 요약

적응형 임계전압을 갖는 NRZ/PAM4 듀얼모드 수신 방법 및 장치가 제시된다. 본 발명에서 제안하는 적응형 임계전압을 갖는 NRZ/PAM4 듀얼모드 수신 장치는 모드 스위치에 따른 모드 신호를 입력 받아 데이터로부터 클럭을 복원하는 CDR(Clock and Data Recovery) 블록 및 모드 신호에 따라 CDR 블록이 PAM4 모드에서 동작하는 경우, 임계전압을 제어하는 적응형 임계 전압 제어 블록을 포함한다.

대표도 - 도1



(52) CPC특허분류

H03L 7/091 (2013.01)

H03L 7/0992 (2013.01)

H04L 25/066 (2013.01)

H04L 25/069 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711093424(세부과제번호: 10080285)
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	미래소자 원천기술개발사업
연구과제명	[민간] 8k/4k 디스플레이를 위한 interface 표준화 및 IP기술 개발 (3차년도)
기 여 율	1/1
과제수행기관명	한양대학교산학협력단
연구기간	2019.01.01 ~ 2019.12.31

명세서

청구범위

청구항 1

모드 스위치에 따른 모드 신호를 입력 받아 데이터로부터 클럭을 복원하는 CDR(Clock and Data Recovery) 블록;
및

모드 신호에 따라 CDR 블록이 PAM4 모드에서 동작하는 경우, PAM4 모드 동작을 위한 임계전압을 제어하는 적응형 임계 전압 제어 블록

을 포함하고,

모드 신호에 따라 CDR 블록이 PAM4 모드에서 동작 하는 경우, CDR 블록이 락킹되면, 코어스 튜닝 단계(coarse tuning)를 통해 복수의 임계 전압을 동시에 제어하고,

코어스 튜닝이 락킹되면, 파인 튜닝 단계를 통해 데이터 천이에 따라 CDR 블록의 PAM4 모드 동작을 위한 임계 전압을 각각 조절하는

NRZ/PAM4 듀얼모드 수신 장치.

청구항 2

제1항에 있어서,

CDR 블록은,

PLL을 기반으로 하는 듀얼-루프(Dual-Loop)를 포함하고, 모드 신호에 따라 듀얼-루프의 분주비를 바꾸어 PLL의 VCO의 동작주파수를 제어하는

NRZ/PAM4 듀얼모드 수신 장치.

청구항 3

제1항에 있어서,

CDR 블록은,

모드 신호가 1인 경우, PAM4 모드로 동작하고,

모드 신호가 0인 경우, NRZ 모드로 동작하는

NRZ/PAM4 듀얼모드 수신 장치.

청구항 4

제1항에 있어서,

적응형 임계 전압 제어 블록은,

CDR 블록이 모드 신호 1을 입력 받아 PAM4 모드로 동작할 때, 데이터 속도, 신호 스윙 및 채널 손실의 변화에 따른 영향을 감소시키도록 하는 데이터 샘플링을 위한 임계전압으로 가변시키기 위해 데이터의 하나의 위상 당 복수의 서로 다른 임계 전압을 비교한 비교기의 출력 값을 입력으로 받아 임계 전압을 제어하는

NRZ/PAM4 듀얼모드 수신 장치.

청구항 5

모드 신호에 따라 CDR 블록이 PAM4 모드에서 동작하고, CDR 블록이 락킹되면, 복수의 임계 전압을 동시에 제어하는 코어스 튜닝 단계(coarse tuning); 및

코어스 튜닝 단계가 락킹되면, 데이터 천이에 따라 CDR 블록의 PAM4 모드 동작을 위한 임계 전압을 각각 조절하

는 파인 튜닝 단계

를 포함하는 NRZ/PAM4 듀얼모드 수신 방법.

청구항 6

제5항에 있어서,

모드 신호에 따라 CDR 블록이 PAM4 모드에서 동작하고, CDR 블록이 락킹되면, 복수의 임계 전압을 동시에 제어하는 코어스 튜닝 단계는,

데이터 속도, 신호 스윙 및 채널 손실의 변화에 따른 영향을 감소시키도록 하는 데이터 샘플링을 위한 임계전압으로 가변시키기 위해 데이터의 하나의 위상 당 복수의 서로 다른 임계 전압을 비교한 비교기의 출력 값을 입력으로 받아 임계 전압을 제어하는

NRZ/PAM4 듀얼모드 수신 방법.

청구항 7

제5항에 있어서,

PLL을 기반으로 하는 듀얼-루프(Dual-Loop)를 포함하는 CDR 블록은 모드 신호에 따라 듀얼-루프의 분주비를 바꾸어 PLL의 VCO의 동작주파수를 제어하는

NRZ/PAM4 듀얼모드 수신 방법.

발명의 설명

기술 분야

[0001] 본 발명은 적응형 임계전압을 갖는 NRZ/PAM4 듀얼모드 수신 방법 및 장치에 관한 것이다.

배경 기술

[0002] 데이터 전송 시스템이 발전함에 따라 직렬 선로는 지난 몇 년 동안 전력효율의 개선과 함께 속도가 증가했다. 하지만, 고속으로 NRZ 신호를 통해 송수신 하는 경우, 채널과 IC공정의 한계로 인해 대역폭의 제한이 있다. 따라서, 여러 개의 레벨로 신호를 처리하면 적은 수의 IO포트에서 높은 속도로 데이터를 전송할 수 있다. 레벨이 많을수록 데이터 전송량은 많아지나, 너무 많은 레벨은 또 다른 인식오류를 가져올 수 있기 때문에 4 레벨을 사용하는 4-PAM(Pulse Amplitude Modulation)이 많이 쓰인다. 일반적인 PAM-4 수신기 설계에서 임계 전압은 고정되어 있으며, 이 전압은 데이터 속도, 신호 스윙 및 채널 손실에 따라 크게 변할 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 기술적 과제는 데이터 속도, 신호 스윙 및 채널 손실에 대한 변화에도 임계 전압이 데이터 샘플링에 최적화된 값이 되도록 제어하는 적응형 임계 전압 제어 블록이 제안된 10Gb/s NRZ/PAM-4 수신 방법 및 장치를 제공하는데 있다.

과제의 해결 수단

[0004] 일 측면에 있어서, 본 발명에서 제안하는 적응형 임계전압을 갖는 NRZ/PAM4 듀얼모드 수신 장치는 모드 스위치에 따른 모드 신호를 입력 받아 데이터로부터 클럭을 복원하는 CDR(Clock and Data Recovery) 블록 및 모드 신호에 따라 CDR 블록이 PAM4 모드에서 동작하는 경우, 임계전압을 제어하는 적응형 임계 전압 제어 블록을 포함한다.

[0005] CDR 블록은 모드 신호에 따라 루프의 분주비를 바꾸어 VCO의 동작주파수를 제어한다.

[0006] CDR 블록은 모드 신호가 1인 경우, PAM4 모드로 동작하고, 모드 신호가 0인 경우, NRZ 모드로 동작한다.

[0007] 적응형 임계 전압 제어 블록은 CDR 블록이 모드 신호 1을 입력 받아 PAM4 모드로 동작할 때, 최적의 샘플링을

위한 임계전압으로 가변시키기 위해 하나의 위상 당 복수의 서로 다른 값을 비교한 비교기의 출력 값을 입력으로 받아 임계 전압을 제어한다.

[0008] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 적응형 임계전압을 갖는 NRZ/PAM4 듀얼모드 수신 방법은 모드 신호에 따라 CDR 블록이 PAM4 모드에서 동작하고, CDR 블록이 락킹되면, 복수의 임계 전압을 동시에 제어하는 코어스 튜닝 단계(coarse tuning) 및 코어스 튜닝 단계가 락킹되면, 데이터 천이에 따라 임계 전압을 각각 조절하는 파인 튜닝 단계를 포함한다.

발명의 효과

[0009] 본 발명의 실시예들에 따르면 적응형 임계 전압 제어 블록이 제안된 10Gb/s NRZ/PAM-4 수신 방법 및 장치를 통해 데이터 속도, 신호 스윙 및 채널 손실에 대한 변화에도 임계 전압이 데이터 샘플링에 최적화된 값이 되도록 제어할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 실시예에 따른 전체 블록도이다.
 도 2는 본 발명의 일 실시예에 따른 적응형 임계전압 제어 방법을 설명하기 위한 흐름도이다.
 도 3은 본 발명의 일 실시예에 따른 엣지 샘플링을 위한 구조이다.
 도 4는 본 발명의 일 실시예에 따른 마이너(Minor) 데이터 천이와 임계전압 크기에 따른 PAM-4레벨을 나타내는 도면이다.
 도 5는 본 발명의 일 실시예에 따른 각 단계별 임계전압 조절과정을 설명하기 위한 도면이다.
 도 6은 본 발명의 일 실시예에 따른 PAM-4 레벨에서 임계전압의 위치변화를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0013] 도 1은 본 발명의 일 실시예에 따른 전체 블록도이다.

[0014] 제안하는 적응형 임계전압을 갖는 NRZ/PAM4 듀얼모드 수신 장치는 모드 스위치에 따른 모드 신호를 입력 받아 데이터로부터 클럭을 복원하는 CDR(Clock and Data Recovery) 블록(130) 및 적응형 임계 전압 제어 블록(140)을 포함한다. 더욱 상세하게는, CTLE등화기(110)와 샘플러(120) 및 데이터로부터 클럭을 복원하기 위한 CDR블록(130) 및 PAM-4모드로 동작 할 경우 동작하는 적응형 문턱전압 제어 블록(140)으로 구성되어 있다.

[0015] CDR블록(130)은 모드 신호에 따라 루프의 분주비를 바꾸어 VCO의 동작주파수를 제어한다.

[0016] 데이터 전송 기법은 "모드(mode)"스위치(150)에 의해 변환된다. "모드(mode)" 신호가 0인 경우 NRZ모드의 10Gbps의 데이터를 수신하고, "모드(mode)" 신호가 1인 경우 PAM4 모드의 10Gbps의 수신한다.

[0017] CDR블록(130)은 외부 기준을 클럭을 사용하는 PLL을 기반으로 한 듀얼-루프(Dual-Loop)구조로 구성되었다. 10Gbps의 데이터 속도에 대한 VCO의 부담을 줄이기 위해 클럭이 데이터 속도의 1/4배가 되는 쿼터-레이트(Quarter-rate)구조를 사용하여 VCO의 설계를 용이하게 하였다. 이 구조에서는 주파수를 따라가는 것을 도와주는 125MHz의 외부 기준(reference) 클럭을 사용하였다. "모드" 신호는 Loop1의 분주비를 바꾸어 주는 동시에 VCO의 동작주파수를 바꾸어 주는 역할을 하게 된다. "모드" 신호가 1일 때는 PAM4모드로 동작하는 동시에 10-디바이더를 선택하여 VCO는 주파수가 1.25GHz의 클럭을 추출한다. "모드" 신호가 0일 때는 NRZ모드로 동작하는 동시에 20-디바이더를 선택하여 VCO에서 복원된 클럭의 주파수는 2.5GHz가 된다.

[0018] 또한, 각 데이터 모드 마다 클럭 데이터 복원 회로에서 복원되는 클럭의 주파수가 다르다. 듀얼 루프의 클럭 데이터 복원회로는 위상 고정 루프에서 쿼터-레이트 뱅크 위상 검출기를 사용하기 때문에 모드의 10Gbps의 NRZ모드인 경우 2.5GHz의 클럭이 복원되며, PAM-4모드인 경우 1.25GHz의 클럭이 복원되어 샘플링 클럭으로 사용된다. 클럭 데이터 복원 회로에서 데이터 천이 선택과 뱅크 위상검출기의 입력으로 D1[3:0], E1[3:0], D2[3:0], D3[3:0] 이 사용된다. 클럭 0°, 90°, 180°, 270° 에서 데이터 가 샘플링 되며 이는 D[3:0]으로 표기되고, 클럭 45°, 135°, 225°, 315° 에서 데이터의 엣지(Edge)가 샘플링 되어 E[3:0]으로 표기된다.

[0019] 적응형 임계 전압 제어 블록(140)은 CDR 블록이 모드 신호 1을 입력 받아 PAM4 모드로 동작할 때, 최적의 샘플

링을 위한 임계전압으로 가변시키기 위해 하나의 위상 당 복수의 서로 다른 값을 비교한 비교기의 출력 값을 입력으로 받아 임계 전압을 제어한다. 적응형 임계 전압 제어 블록(140)은 PAM-4모드의 수신단으로 동작할 때 최적의 샘플링을 위한 임계전압(+Vt, -Vt)으로 가변시키기 위해서 하나의 위상 당 5개의 서로 다른 값을 비교한 비교기의 출력 값을 입력으로 받아 제어한다. 도 2를 참조하여 적응형 임계전압 제어 방법을 더욱 상세히 설명한다.

[0021] 도 2는 본 발명의 일 실시예에 따른 적응형 임계전압 제어 방법을 설명하기 위한 흐름도이다.

[0022] 제안하는 적응형 임계전압 제어 방법은 모드 신호에 따라 CDR 블록이 PAM4 모드에서 동작하고, CDR 블록이 락킹 되면, 복수의 임계 전압을 동시에 제어하는 코어스 튜닝 단계(coarse tuning)(210) 및 코어스 튜닝 단계가 락킹 되면, 데이터 천이에 따라 임계 전압을 각각 조절하는 파인 튜닝 단계(220)를 포함한다.

[0023] 도 2를 참조하면, PAM4의 데이터 중에서 2개의 마이너(Minor) 천이만을 선택하여 마이너 천이의 크로스-포인트(cross-point) 지점을 최적화된 임계전압으로 설정한다. 초기에는 임계전압이 6bit 000000 즉, Vcm값에 설정되어 있다. 그러면 모든 데이터 천이가 메이저(Major) 천이처럼 보이게 되고, 이는 NRZ 방식의 데이터 전송처럼 생각되어 CDR이 먼저 락킹(Locking) 되지만, 이 때 클럭(clock)의 출력 지터(jitter)는 큰 편이다. 락(Lock) 신호가 뜬 이후 임계전압 조율이 시작된다. 임계전압 컨트롤러 블록은 코어스 튜닝(Coarse tuning)(210)과 파인 튜닝(Fine tuning)(220)으로 이루어진다. CDR의 락 신호가 뜨게 되면 코어스 튜닝(Coarse tuning)(210)이 먼저 시작된다.

[0024] 고속 인터페이스 링크에서 연속된 '0' 또는 '1' 이 계속 축적되면, DC 원더링(Wandering)이 발생하여 데이터 복원이 어렵기 때문에 DC 밸런스 조절을 위해서 '1' 과 '0' 의 개수는 균등하다. 이러한 특성을 이용하여 코어스 튜닝(Coarse tuning)은 총 128번의 카운트 주기마다 LSB의 '1' 의 개수를 카운트하여 이를 이용하여 두 개의 임계전압을 동시에 제어한다. LSB의 '1' 의 개수 값이 매우 작은 경우에 Vcm 기준에서 임계전압이 작기 때문에 Up신호를 뜨게 하고, '1' 의 개수 값이 매우 큰 경우 Vcm기준에서 임계전압이 크기 때문에 Down신호를 뜨게 한다. 그 후 균일한 LSB의 '1' 의 개수가 출력되면 코어스 튜닝이 락킹되어, 파인 튜닝(Fine tuning)(220)이 시작되며, 이 때 임계전압은 데이터 천이에 따라 각각 조절된다. 데이터 천이 중 2개의 Minor TR을 선택하여 천이된 데이터 사이의 엣지 데이터를 샘플링하여 제안된 로직에 따라 임계전압이 각각 조정된다.

[0026] 도 3은 본 발명의 일 실시예에 따른 엣지 샘플링을 위한 구조이다.

[0027] 도 4는 본 발명의 일 실시예에 따른 마이너(Minor) 데이터 천이와 임계전압 크기에 따른 PAM-4레벨을 나타내는 도면이다.

[0028] 도 4는 임계전압의 크기에 따른 PAM-4레벨과 표 1에서 샘플링의 결과값을 나타낸다.

[0029] <표 1>

		10 ↔ 11		00 ↔ 01	
		$E0$	$\overline{E4}$	$E1$	$\overline{E3}$
small case	1	0	0	0	0
	2	0	0	0	0
large case	3	1	1	1	1
	4	1	1	1	1

[0030]

[0032] 또한 조율 단계를 통해 출력된 비트를 통해 임계전압을 생성하는 2개의 디지털-아날로그 변환기(Digital-to-Analog Converter; DAC)가 설계되었다. 도 4는 PAM-4 레벨에서 적응형 임계전압이 각각의 조율 단계에서 제어되는 것을 보여준다.

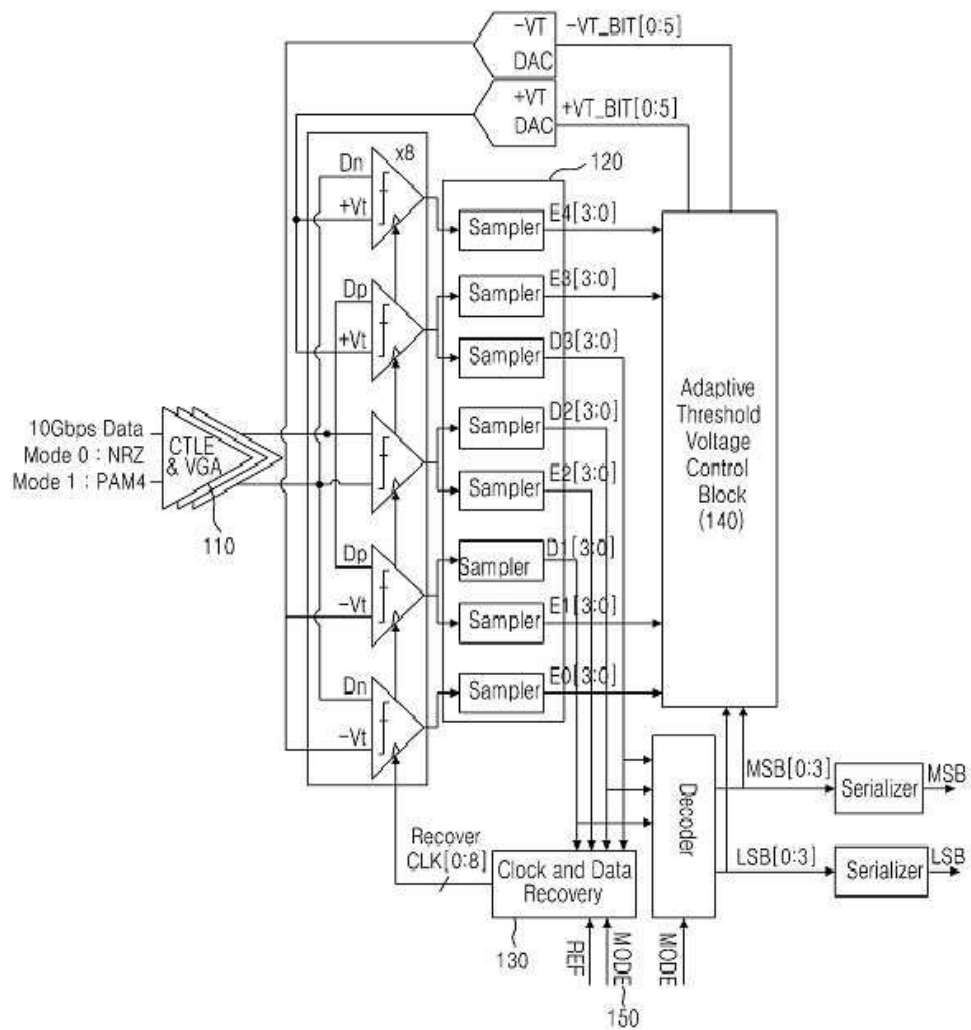
[0033] 데이터가 10과 11 사이의 마이너 천이인 경우 $E0$ 값에 따라 -Vt 임계전압이 제어되고, $\overline{E4}$ 값에 따라 +Vt 임계전압이 제어된다. 마찬가지로 00과 01 사이의 마이너 천이인 경우에는 $E1$ 값에 따라 -Vt 임계전압, $\overline{E3}$ 값에 따라 +Vt 임계전압이 제어된다. 각각의 샘플링 데이터는 임계전압이 너무 작은 경우 0으로 출력되므로 이를 이용한 UP신호를 출력하고, 너무 큰 경우 1이 출력되므로 이 값을 이용하여 Down신호를 출력시키는 연속적

인 조율 방식이다.

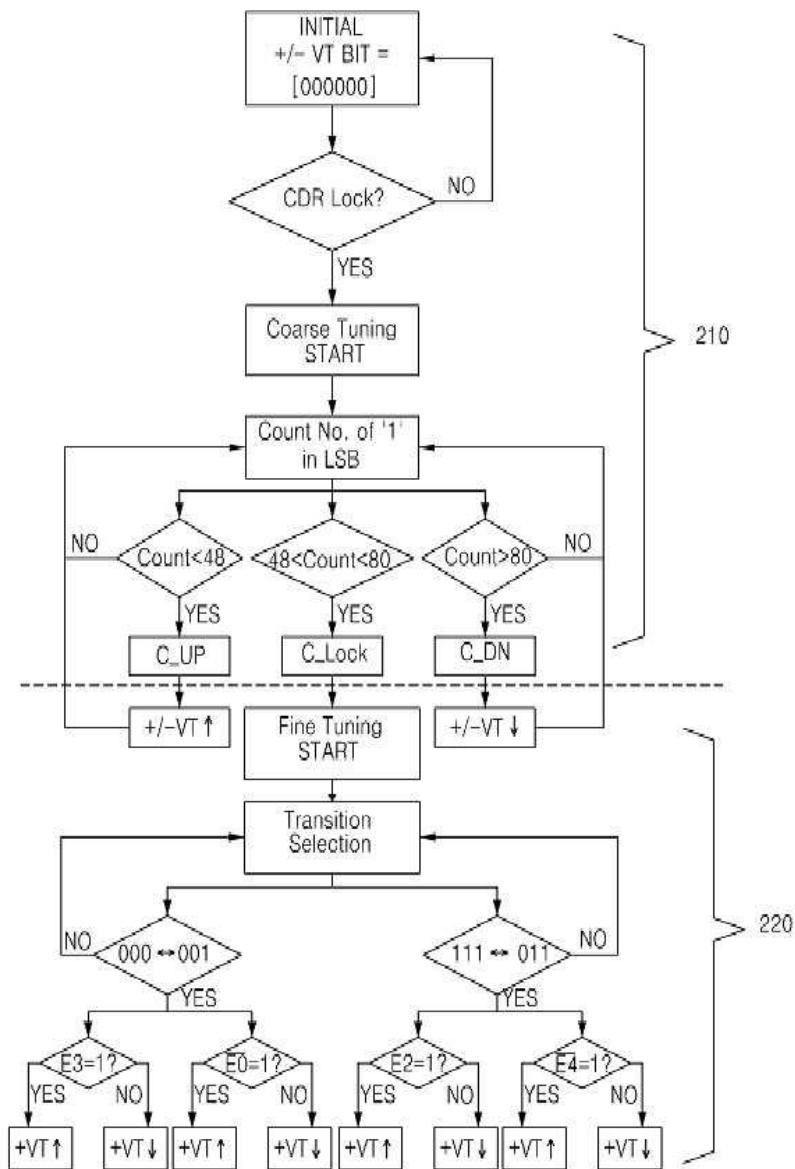
- [0035] 도 5는 본 발명의 일 실시예에 따른 각 단계별 임계전압 조절과정을 설명하기 위한 도면이다.
- [0036] 도 6은 본 발명의 일 실시예에 따른 PAM-4 레벨에서 임계전압의 위치변화를 설명하기 위한 도면이다.
- [0037] 도 6(a)는 CDR 락킹 초기 (b) 코어스 튜닝 후 (c) 파인 튜닝 후 PAM-4 레벨에서 임계전압의 위치변화를 나타낸다.
- [0039] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0040] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0041] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.
- [0042] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0043] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

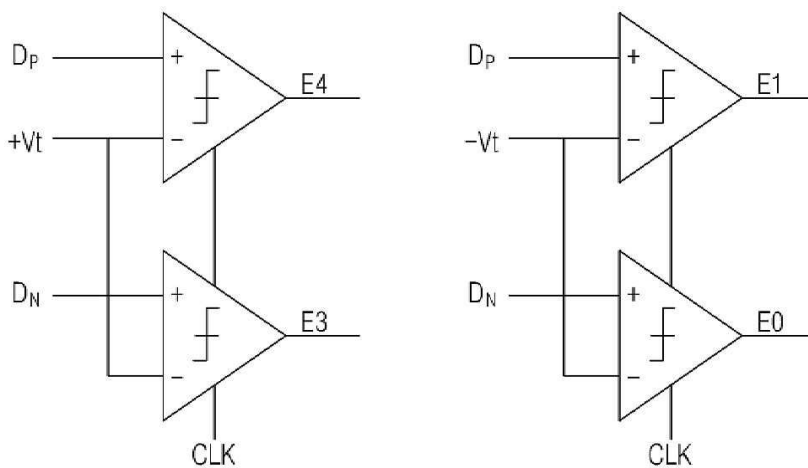
도면1



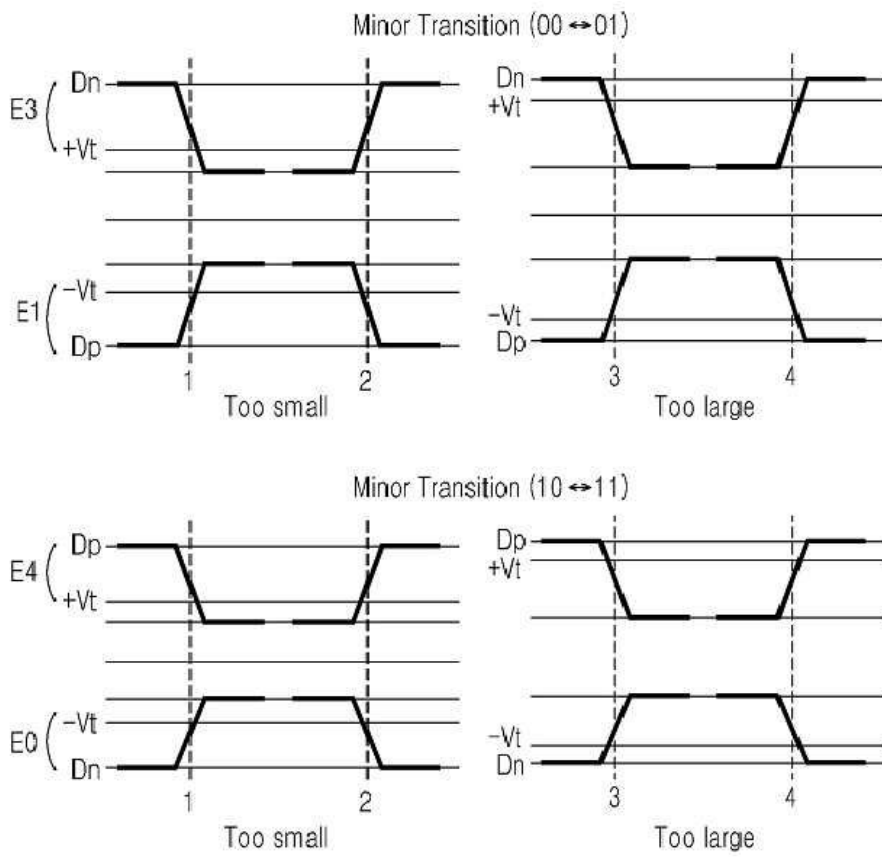
도면2



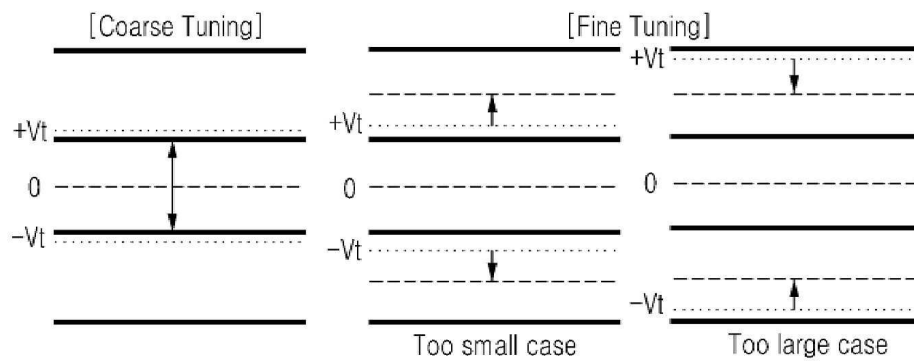
도면3



도면4



도면5



도면6

