



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0108393
(43) 공개일자 2024년07월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)

(52) CPC특허분류
H01L 27/1463 (2013.01)
H01L 27/1461 (2013.01)

(21) 출원번호 10-2024-7015183

(22) 출원일자(국제) 2022년11월25일
심사청구일자 없음

(85) 번역문제출일자 2024년05월07일

(86) 국제출원번호 PCT/JP2022/043620

(87) 국제공개번호 WO 2023/095893
국제공개일자 2023년06월01일

(30) 우선권주장
JP-P-2021-191629 2021년11월26일 일본(JP)

(71) 출원인

소니 세미컨덕터 솔루션즈 가부시키키가이샤
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1

(72) 발명자

미즈타 교헤이

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

에비코 요시키

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

(뒷면에 계속)

(74) 대리인

양영준, 김승식, 이중희

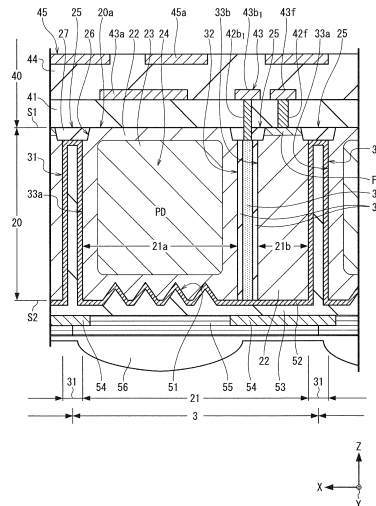
전체 청구항 수 : 총 72 항

(54) 발명의 명칭 광 검출 장치 및 전자 기기

(57) 요약

화소 특성의 향상을 도모한다. 광 검출 장치는, 반도체층과, 상기 반도체층에 마련된 제1 및 제2 분리 영역을 구비하고 있다. 그리고 상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 충전되며, 또한 상기 반도체층보다 굴절률이 낮은 절연막을 포함하고, 상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 충전된 도전막을 포함한다.

대표도 - 도6



(52) CPC특허분류

H01L 27/14612 (2013.01)

H01L 27/14623 (2013.01)

H01L 27/14629 (2013.01)

H01L 27/14636 (2013.01)

H01L 27/14643 (2013.01)

(72) 발명자

미요시 야스후미

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

다케오 겐지

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

가네구치 도키히사

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

미키 호쿠토

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

시라스 요시키

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

시오야마 다다마사

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

하야시 도시히코

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

사토 나오키

일본 2430014 가나가와켄 아즈기시 아사히쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내

명세서

청구범위

청구항 1

반도체층과,

상기 반도체층에 마련된 제1 및 제2 분리 영역

을 구비하고,

상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 충전되며, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하고,

상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 충전된 도전재를 포함하는, 광 검출 장치.

청구항 2

제1항에 있어서, 상기 도전재는, 전위가 인가되는 배선과 전기적으로 접속되어 있는, 광 검출 장치.

청구항 3

제1항에 있어서, 상기 제1 분리 영역으로 구획된 광전 변환 영역을 더 구비하고,

상기 광전 변환 영역은,

상기 제1 분리 영역으로부터 이격되는 상기 제2 분리 영역과,

상기 제2 분리 영역으로 분리된 전하 보유부 및 광전 변환부와,

상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 포함하는, 광 검출 장치.

청구항 4

제3항에 있어서, 상기 광전 변환부는, 가시 영역의 파장의 광 또는 적외 영역의 파장의 광을 광전 변환하는, 광 검출 장치.

청구항 5

제1항에 있어서, 상기 제1 분리 영역으로 구획된 제1 광전 변환 영역과,

상기 제2 분리 영역으로 구획된 제2 광전 변환 영역을 더 구비하고,

상기 제1 광전 변환 영역과 상기 제2 광전 변환 영역은, 서로 인접하는 상기 제1 및 제2 분리 영역을 개재해서 서로 인접하고 있는, 광 검출 장치.

청구항 6

제5항에 있어서, 상기 제1 및 제2 광전 변환 영역 각각은, 전하 보유부와, 광전 변환부와, 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 포함하는, 광 검출 장치.

청구항 7

제6항에 있어서, 상기 제1 광전 변환 영역의 상기 광전 변환부는, 적외 영역의 파장의 광을 광전 변환하고,

상기 제2 광전 변환 영역의 상기 광전 변환부는, 가시 영역의 파장의 광을 광전 변환하는, 광 검출 장치.

청구항 8

제1항에 있어서, 상기 제1 분리 영역으로 서로 인접해서 구획된 제1 및 제2 광전 변환 영역을 더 구비하고,
상기 제2 분리 영역은, 상기 제1 및 제2 광전 변환 영역 중 적어도 어느 한 쪽에 상기 제1 분리 영역으로부터 이격되어 마련되어 있는, 광 검출 장치.

청구항 9

제8항에 있어서, 상기 제1 및 제2 광전 변환 영역 중, 상기 제2 분리 영역을 포함하는 한쪽의 광전 변환 영역은, 적외 영역의 파장의 광을 광전 변환하고, 상기 제2 분리 영역을 포함하지 않는 다른 쪽의 광전 변환 영역은, 가시 영역의 파장의 광을 광전 변환하는, 광 검출 장치.

청구항 10

제1항에 있어서, 상기 반도체층의 광 입사면과는 반대측의 면에 소자 분리 영역을 더 구비하고,
상기 제1 및 제2 분리 영역 각각은, 일단부측이 상기 소자 분리 영역에 연결되고, 타단부측이 상기 반도체층의 광 입사면에 도달하고 있는, 광 검출 장치.

청구항 11

제1항에 있어서, 상기 제1 분리 영역으로 구획된 제1 광전 변환 영역과,
상기 제2 분리 영역으로 구획된 제2 광전 변환 영역과,
상기 반도체층의 두께 방향으로 연신되는 제3 파임부에 충전된 도전재를 포함하는 제3 분리 영역을 더 구비하고,
상기 제3 분리 영역은, 상기 제1 광전 변환 영역에 상기 제1 분리 영역으로부터 이격되어 마련되어 있음과 함께, 상기 제2 광전 변환 영역에 상기 제2 분리 영역으로부터 이격되어 마련되어 있는, 광 검출 장치.

청구항 12

제11항에 있어서, 상기 제3 분리 영역의 상기 도전재는, 전위가 인가되는 배선과 전기적으로 접속되어 있는, 광 검출 장치.

청구항 13

제11항에 있어서, 상기 제1 및 제2 광전 변환 영역 각각은,
상기 제3 분리 영역으로 구획된 전하 보유부 및 광전 변환부와,
상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 포함하는, 광 검출 장치.

청구항 14

제13항에 있어서, 상기 제1 광전 변환 영역의 상기 광전 변환부는, 적외 영역의 파장의 광을 광전 변환하고,
상기 제2 광전 변환 영역의 상기 광전 변환부는, 가시 영역의 파장의 광을 광전 변환하는, 광 검출 장치.

청구항 15

제11항에 있어서, 상기 반도체층의 광 입사면과는 반대측의 면에 소자 분리 영역을 더 구비하고,
상기 제1, 제2 및 제3 분리 영역 각각은, 일단부측이 상기 소자 분리 영역에 연결되고, 타단부측이 상기 반도체층의 상기 광 입사면에 도달하고 있는, 광 검출 장치.

청구항 16

제1항에 있어서, 상기 제1 분리 영역으로 구획되며, 또한 상기 제2 분리 영역으로 분리된 제1 영역 및 제2 영역을 포함하는 광전 변환 영역과,
상기 제1 영역에 마련된 광전 변환부와,

상기 제2 영역에서 상기 반도체층의 상기 제2 영역측에 마련된 전하 보유부와,

상기 반도체층의 상기 제1면측에 상기 전하 보유부와 중첩되어 마련된 차광체를 더 구비하고 있는, 광 검출 장치.

청구항 17

제3항에 있어서, 상기 반도체층을 제1 반도체층으로 하고,

상기 제1 반도체층의 상기 제1면측에 마련된 제2 반도체층과,

상기 전하 보유부와 전기적으로 접속된 판독 회로를 또한 구비하고,

상기 화소 회로에 포함되는 화소 트랜지스터는, 상기 제2 반도체층에 마련되어 있는, 광 검출 장치.

청구항 18

두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,

상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,

상기 제1 분리 영역으로 구획된 광전 변환 영역과,

상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,

상기 제1 영역에 마련된 광전 변환부와,

상기 제2 영역에서 상기 반도체층의 상기 제1면측에 마련된 전하 보유부와,

상기 반도체층의 상기 제2면측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되는 차광체를 구비하고 있는, 광 검출 장치.

청구항 19

제18항에 있어서, 상기 차광체는, 상기 제2 영역의 내외에 걸쳐서 마련되어 있는, 광 검출 장치.

청구항 20

제19항에 있어서, 상기 차광체는,

상기 반도체층의 상기 제2면의 외측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되는 제1 차광 부분과,

상기 제1 차광 부분으로부터 상기 제2 영역의 내부에 걸쳐서 돌출되는 제2 차광 부분을 포함하는, 광 검출 장치.

청구항 21

제20항에 있어서, 상기 제2 차광 부분은, 상기 반도체층의 두께 방향에 있어서, 상기 반도체층의 제2면을 가로지르고 있는, 광 검출 장치.

청구항 22

제20항에 있어서, 상기 제2 차광 부분은, 상기 제1 분리 영역 및 상기 제2 분리 영역 각각으로부터 이격되어 있는, 광 검출 장치.

청구항 23

제20항에 있어서, 상기 반도체층의 상기 제2면측에 마련된 절연막을 더 구비하고,

상기 제1 차광 부분은, 상기 절연막의 상기 반도체층측과는 반대측에 마련되고,

상기 제2 차광 부분은, 상기 절연막을 관통하고 있는, 광 검출 장치.

청구항 24

제18항에 있어서, 상기 차광체는, 평면으로 보아 상기 제2 분리 영역과 중첩되며, 또한 상기 반도체층의 상기 제2면측에서 상기 반도체층의 내외에 걸쳐서 마련되어 있는, 광 검출 장치.

청구항 25

제24항에 있어서, 상기 차광체는,

상기 반도체층의 상기 제2면의 외측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되는 제1 차광 부분과,

평면으로 보아 상기 제2 분리 영역과 중첩되며, 또한 상기 제1 차광 부분으로부터 상기 반도체층의 내부로 돌출되는 제2 차광 부분을 포함하는, 광 검출 장치.

청구항 26

제25항에 있어서, 상기 제2 차광 부분은, 상기 반도체층의 상기 제2면측으로부터 상기 제2 파임부를 향해서 연신되는 제3 파임부에 마련되어 있는, 광 검출 장치.

청구항 27

제24항에 있어서, 상기 제2 차광 부분과 상기 제2 분리 영역은, 상기 일방향을 따르는 방향의 폭이 다르게 되어 있는, 광 검출 장치.

청구항 28

제18항에 있어서, 상기 반도체층의 상기 제2면측에 마련된 절연막을 더 구비하고,

상기 차광체는, 상기 절연막의 두께 방향에 있어서, 상기 절연막의 내외에 걸쳐서 마련되어 있는, 광 검출 장치.

청구항 29

제28항에 있어서, 상기 차광체는,

상기 절연막의 상기 반도체층측과는 반대측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되는 제1 차광 부분과,

평면으로 보아 상기 제1 분리 영역과 중첩되며, 또한 상기 제1 차광 부분으로부터 상기 절연막의 내부로 돌출되는 제2 차광 부분과,

평면으로 보아 상기 제2 분리 영역과 중첩되며, 또한 상기 제1 차광 부분으로부터 상기 절연막의 내부로 돌출되는 제3 차광 부분을 포함하는, 광 검출 장치.

청구항 30

제28항에 있어서, 상기 차광체는, 평면으로 보아 상기 제1 및 제2 분리 영역 각각과 중첩되며, 또한 상기 일방향에 있어서 상기 광전 변환 영역의 상기 제1 영역보다 제2 영역측에 위치하고 있는, 광 검출 장치.

청구항 31

제18항에 있어서, 상기 차광체는, 2차원 평면 내에서 상기 일방향과 직교하는 타방향에 있어서 서로 인접하는 2개의 상기 광전 변환 영역에 걸쳐서 연신되어 있는, 광 검출 장치.

청구항 32

제18항에 있어서, 상기 광전 변환부는, 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하고,

상기 전하 보유부는, 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는, 광 검출 장치.

청구항 33

두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,

상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,

상기 제1 분리 영역으로 구획된 광전 변환 영역과,

상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,

상기 제1 영역에 마련된 광전 변환부와,

상기 제2 영역에서 상기 반도체층의 상기 제1면측에 마련된 전하 보유부와,

상기 반도체층의 상기 제2면측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되어 마련된 차광체와,

상기 반도체층의 상기 제2면측에 평면으로 보아 상기 제2 분리 영역과 중첩되어 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 광 반사체를

를 구비하고 있는, 광 검출 장치.

청구항 34

제33항에 있어서, 광 반사체는, 평면으로 보아 상기 제2 파임부와 중첩되어 상기 반도체층의 제2면측으로부터 상기 제1면측을 향해서 연신되는 제3 파임부에 마련되어 있는, 광 검출 장치.

청구항 35

제33항에 있어서, 상기 광 반사체는, 상기 일방향에 있어서 상기 제2 분리 영역보다 상기 제1 영역측에 마련되고, 또한 상기 광 반사체와 상기 제2 영역의 사이에 상기 제2 분리 영역의 상기 도전재가 마련되어 있는, 광 검출 장치.

청구항 36

제33항에 있어서, 상기 광 반사체는, 산화막 또는 공기인, 광 검출 장치.

청구항 37

제33항에 있어서, 상기 반도체층의 제2면으로부터 상기 제1면을 향한 상기 광 반사체의 깊이는, $1.5\mu\text{m}$ 이상인, 광 검출 장치.

청구항 38

제33항에 있어서, 상기 광전 변환부는, 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하고,

상기 전하 보유부는, 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는, 광 검출 장치.

청구항 39

두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,

상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,

상기 제1 분리 영역으로 일방향으로 배열되어 구획된 제1 및 제2 광전 변환 영역과,

상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 제1 및 제2 광전 변환 영역 각각을 상기 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,

상기 제1 및 제2 광전 변환 영역 각각의 상기 제1 영역에 마련된 광전 변환부와,
상기 제1 및 제2 광전 변환 영역 각각의 상기 제2 영역에 마련된 전하 보유부
를 구비하고,

상기 제1 및 제2 광전 변환 영역 각각의 상기 제2 영역은, 평면으로 보아 상기 제3 분리 영역을 개재해서 상기 일방향으로 서로 인접해서 배열되어 있는, 광 검출 장치.

청구항 40

제39항에 있어서, 상기 제3 분리 영역의 짧은 방향의 폭은, 상기 제1 분리 영역의 짧은 방향의 폭보다 좁게 되어 있는, 광 검출 장치.

청구항 41

제39항에 있어서, 상기 제3 분리 영역은, 상기 반도체층의 두께 방향을 따르는 길이가 상기 제2 분리 영역보다 짧은, 광 검출 장치.

청구항 42

제39항에 있어서, 상기 제3 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제3 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연체를 포함하는, 광 검출 장치.

청구항 43

제39항에 있어서, 상기 제3 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 반도체 영역으로 구성되어 있는, 광 검출 장치.

청구항 44

제39항에 있어서, 상기 반도체층의 상기 제2면측에 마련된 차광체를 더 구비하고,

상기 차광체는, 상기 제1 및 제2 광전 변환 영역 각각의 상기 제2 영역과 중첩되며, 또한 각각의 상기 제2 영역에 걸쳐서 연속적으로 마련되어 있는, 광 검출 장치.

청구항 45

제39항에 있어서, 상기 광전 변환부는, 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하고,

상기 전하 보유부는, 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는, 광 검출 장치.

청구항 46

두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,

상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연체를 포함하는 제1 분리 영역과,

상기 제1 분리 영역으로 구획된 광전 변환 영역과,

상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 상기 반도체층보다 굴절률이 낮은 절연체를 개재해서 마련된 도전체를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,

상기 제1 영역에 마련된 광전 변환부와,

상기 제2 영역에 마련된 전하 보유부

를 구비하고,

상기 제2 분리 영역은, 상기 도전체의 상기 제1 영역측에서의 상기 절연체의 막 두께가 상기 도전체의 상기 제2

영역측에서의 상기 절연체의 막 두께보다 두꺼운, 광 검출 장치.

청구항 47

제46항에 있어서, 상기 도전재는, 평면으로 보아 상기 제1 영역측보다 상기 제2 영역측에 치우쳐 있는, 광 검출 장치.

청구항 48

제46항에 있어서, 상기 제2 분리 영역의 상기 일방향을 따르는 방향의 폭은, 상기 제1 분리 영역의 상기 일방향을 따르는 방향의 폭보다 넓은, 광 검출 장치.

청구항 49

제46항에 있어서, 상기 광전 변환부는, 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하고,

상기 전하 보유부는, 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하고,

상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 구비하고 있는, 광 검출 장치.

청구항 50

서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,

상기 반도체층에 제1 분리 영역으로 구획되어 마련된 광전 변환 영역과,

상기 광전 변환 영역 각각의 광전 변환 영역을 일방향으로 배열되는 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,

상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,

상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부를 구비하고,

상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하고,

상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에, 상기 반도체층보다 굴절률이 낮은 분리 절연막을 개재해서 마련된 도전재를 포함하고,

상기 반도체층의 상기 제2면측으로부터 상기 제1 영역에 입사한 입사광 중, 상기 제2 분리 영역의 측면부에서 반사한 반사광과, 상기 입사광이 상기 제2 분리 영역 및 상기 제2 영역을 투과하고, 또한 상기 제1 분리 영역에서 반사해서 상기 제1 영역으로 돌아가는 복귀광의 위상차가 상기 입사광의 정수배가 되도록, 상기 제2 영역의 상기 일방향을 따르는 폭이 설정되어 있는, 광 검출 장치.

청구항 51

제50항에 있어서, 상기 반도체층의 제2면측에 평면으로 보아 상기 전하 보유부와 중첩되어 마련된 차광막을 더 구비하고 있는, 광 검출 장치.

청구항 52

제50항에 있어서, 상기 전하 보유부는, 상기 반도체층의 상기 제2면측에 마련되어 있는, 광 검출 장치.

청구항 53

제50항에 있어서, 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 구비하고 있는, 광 검출 장치.

청구항 54

서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
 상기 반도체층에 제1 분리 영역으로 구획되어 마련된 복수의 광전 변환 영역과,
 상기 복수의 광전 변환 영역 각각의 광전 변환 영역을 일방향으로 배열되는 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,
 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부를 구비하고,
 상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하고,
 상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에, 상기 반도체층보다 굴절률이 낮은 분리 절연막을 개재해서 마련된 도전재를 포함하고,
 상기 복수의 광전 변환 영역은, 상기 제2 영역의 상기 일방향을 따르는 폭이 다른 2종류 이상의 광전 변환 영역을 포함하는, 광 검출 장치.

청구항 55

제54항에 있어서, 상기 반도체층의 상기 제2면측에 평면으로 보아 상기 제2 영역과 중첩되어 마련된 차광막을 더 구비하고 있는, 광 검출 장치.

청구항 56

제54항에 있어서, 상기 광전 변환 영역의 폭에 따라서 상기 차광막의 상기 일방향을 따르는 폭도 다르게 되어 있는, 광 검출 장치.

청구항 57

제54항에 있어서, 상기 전하 보유부는, 상기 반도체층의 상기 제1면측에 마련되어 있는, 광 검출 장치.

청구항 58

제54항에 있어서, 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 구비하고 있는, 광 검출 장치.

청구항 59

두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하는 광전 변환부와,
 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부와,
 상기 반도체층의 깊이 방향으로 연신되는 제3 파임부에 고정 전하막을 개재해서 절연막이 마련된 유전체를 구비하고 있는, 광 검출 장치.

청구항 60

제59항에 있어서, 상기 유전체는, 상기 제2 분리 영역으로부터 상기 제2 영역측으로 돌출되는 돌기부인, 광 검출 장치.

청구항 61

제59항에 있어서, 상기 유전체는, 상기 제1 분리 영역으로부터 상기 제2 영역측으로 돌출되는 돌기부인, 광 검출 장치.

청구항 62

제59항에 있어서, 상기 유전체는, 상기 제1 및 제2 분리 영역 각각으로부터 이격되는 섬부인, 광 검출 장치.

청구항 63

제59항에 있어서, 상기 전하 보유부는, 상기 반도체층의 상기 제1면측에 마련되어 있는, 광 검출 장치.

청구항 64

제59항에 있어서, 상기 반도체층의 상기 제2면측에 평면으로 보아 상기 제2 영역과 중첩되어 마련된 차광막을 더 구비하고 있는, 광 검출 장치.

청구항 65

제59항에 있어서, 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 구비하고 있는, 광 검출 장치.

청구항 66

두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,

상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,

상기 제1 분리 영역으로 구획된 광전 변환 영역과,

상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,

상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,

상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부와,

상기 반도체층의 상기 제1면측에 마련된 다층체

를 구비하고,

상기 다층체는, 상기 제1 영역과 중첩되어 마련된 광 반사체를 포함하는, 광 검출 장치.

청구항 67

제66항에 있어서, 상기 반도체층을 제1 반도체층으로 하고,

상기 다층체는, 상기 광 반사체의 상기 제1 반도체층측과는 반대측에, 평면으로 보아 상기 광 반사체와 중첩되어 마련된 제2 반도체층을 더 포함하는, 광 검출 장치.

청구항 68

제66항에 있어서, 상기 광 반사체는, 상기 제1 분리 영역의 절연체보다 광 반사율이 높은 금속 재료를 포함하는, 광 검출 장치.

청구항 69

제66항에 있어서, 상기 광 반사체는, 상기 제2 반도체층보다 광 반사율이 높으며, 또한 광 흡수율이 작은 금속 재료를 포함하는, 광 검출 장치.

청구항 70

제66항에 있어서, 상기 전하 보유부와 전기적으로 접속된 판독 회로를 더 구비하고,

상기 판독 회로에 포함되는 화소 트랜지스터는, 상기 제2 반도체층에 마련되어 있는, 광 검출 장치.

청구항 71

두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,

상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,

상기 제1 분리 영역으로 구획된 광전 변환 영역과,

상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,

상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,

상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부와,

상기 반도체층의 상기 제1면측에 마련된 다층체

를 구비하고,

상기 다층체는, 상기 제1 영역과 중첩되어 마련되고, 또한 상기 반도체층보다 광 흡수율이 높은 광 흡수체를 구비하고 있는, 광 검출 장치.

청구항 72

광 검출 장치와, 피사체로부터의 상 광이 상기 광 검출 장치의 촬상면 상에 결상되는 광학 렌즈와, 상기 광 검출 장치로부터 출력되는 신호에 신호 처리를 행하는 신호 처리 회로를 구비하고,

상기 광 검출 장치는,

반도체층과,

상기 반도체층의 두께 방향으로 연신되는 제1 파임부에, 상기 반도체층보다 굴절률이 낮은 절연체가 충전된 제1 분리 영역과,

상기 반도체층의 두께 방향으로 연신되는 제2 파임부에, 도전체가 충전된 제2 분리 영역

을 구비하고 있는, 전자 기기.

발명의 설명

기술 분야

[0001] 본 기술(본 개시에 관한 기술)은, 광 검출 장치 및 전자 기기에 관한 것으로, 특히, 반도체층의 두께 방향으로 연신되는 분리 영역으로 구획된 광전 변환 영역을 갖는 광 검출 장치 및 그것을 구비한 전자 기기에 적용하기에 유효한 기술에 관한 것이다.

배경 기술

[0002] 고체 촬상 장치나 측거 장치 등의 광 검출 장치는, 반도체층을 분리 영역으로 구획하고 있다. 특허문헌 1에는, 반도체층의 광전 변환 영역을 구획하는 분리 영역으로서, 반도체층의 파임부에 절연막을 개재해서 도전성의 폴

리실리콘을 충전한 매립형 분리 영역이 개시되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 공개 제2019-214874호 공보

발명의 내용

해결하려는 과제

[0004] 그런데, 광 검출 장치에서는, 광전 변환 영역의 미세화에 수반하여 분리 영역의 폭도 미세화하는 경향이 있다. 가시 영역의 파장의 광(가시광)을 취급하는 경우는 영향이 적지만, 근적외 영역의 파장의 광(근적외광)을 취급하는 경우는 분리 영역의 폭이 지나치게 가늘면(지나치게 작으면), 광전 변환 영역에 입사한 광이 분리 영역에서 전반사하지 않고, 인접한 광전 변환 영역에 투과해 버려, 화소 특성으로서의 양자 효율 QE(Quantum Efficiency)가 저하(열화)된다. 또한, 광의 흡수율이 높은 폴리실리콘이 충전된 분리 영역에서는, 광이 폴리실리콘에 흡수되어 버려, 양자 효율 QE가 저하된다.

[0005] 한편, 반도체층의 실리콘(Si)은 근적외광의 광 흡수 계수가 낮기 때문에, 양자 효율이 낮다. 그래서, 근적외광을 취급하는 경우는, 양자 효율 QE를 개선하기 위해서, 반도체층의 두께를 두껍게 하는 것이나, 반도체층의 광 입사면측에 회절·산란부를 마련함으로써, 반도체층 내의 광로 길이를 늘리는 검토가 행해진다. 그러나, 반도체층을 두껍게 한 경우, 광전 변환 셀에 있어서, 광전 변환부로부터 전하 보유부의 신호 전하의 전송에 과제를 갖는다. 이 신호 전하의 전송은 화소 특성에 영향을 미친다.

[0006] 본 기술의 목적은, 화소 특성의 향상을 도모하는 것이 가능한 기술을 제공하는 데 있다.

과제의 해결 수단

[0007] (1) 본 기술의 일 양태에 관한 광 검출 장치는,

[0008] 반도체층과, 상기 반도체층에 마련된 제1 및 제2 분리 영역을 구비하고,

[0009] 상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 충전되며, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하고,

[0010] 상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 충전된 도전재를 포함한다.

[0011] (2) 본 기술의 다른 양태에 관한 광 검출 장치는,

[0012] 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,

[0013] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,

[0014] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,

[0015] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,

[0016] 상기 제1 영역에 마련된 광전 변환부와,

[0017] 상기 제2 영역에서 상기 반도체층의 상기 제1면측에 마련된 전하 보유부와,

[0018] 상기 반도체층의 상기 제2면측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되는 차광체

[0019] 를 구비하고 있다.

[0020] (3) 본 기술의 다른 양태에 관한 광 검출 장치는,

[0021] 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,

- [0022] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [0023] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [0024] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [0025] 상기 제1 영역에 마련된 광전 변환부와,
- [0026] 상기 제2 영역에서 상기 반도체층의 상기 제1면측에 마련된 전하 보유부와,
- [0027] 상기 반도체층의 상기 제2면측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되어 마련된 차광체와,
- [0028] 상기 반도체층의 상기 제2면측에 평면으로 보아 상기 제2 분리 영역과 중첩되어 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 광 반사체를 구비하고 있다.
- [0030] (4) 본 기술의 다른 양태에 관한 광 검출 장치는,
- [0031] 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [0032] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [0033] 상기 제1 분리 영역에서 일방향으로 배열되어 구획된 제1 및 제2 광전 변환 영역과,
- [0034] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 제1 및 제2 광전 변환 영역 각각을 상기 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [0035] 상기 제1 및 제2 광전 변환 영역 각각의 상기 제1 영역에 마련된 광전 변환부와,
- [0036] 상기 제1 및 제2 광전 변환 영역 각각의 상기 제2 영역에 마련된 전하 보유부를 구비하고,
- [0038] 상기 제1 및 제2 광전 변환 영역 각각의 상기 제2 영역은, 평면으로 보아 상기 제3 분리 영역을 개재해서 상기 일방향으로 서로 인접해서 배열되어 있다.
- [0039] (5) 본 기술의 다른 양태에 관한 광 검출 장치는,
- [0040] 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [0041] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [0042] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [0043] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 상기 반도체층보다 굴절률이 낮은 절연체를 개재해서 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [0044] 상기 제1 영역에 마련된 광전 변환부와,
- [0045] 상기 제2 영역에 마련된 전하 보유부를 구비하고,
- [0047] 상기 제2 분리 영역은, 상기 도전재의 상기 제1 영역측에서의 상기 절연체의 막 두께가 상기 도전재의 상기 제2 영역측에서의 상기 절연체의 막 두께보다 두껍다.
- [0048] (6) 본 기술의 다른 양태에 관한 광 검출 장치는,
- [0049] 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [0050] 상기 반도체층에 제1 분리 영역으로 구획되어 마련된 광전 변환 영역과,

- [0051] 상기 광전 변환 영역 각각의 광전 변환 영역을 일방향으로 배열되는 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [0052] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,
- [0053] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부를 구비하고,
- [0054] 상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하고,
- [0055] 상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에, 상기 반도체층보다 굴절률이 낮은 분리 절연막을 개재해서 마련된 도전재를 포함하고,
- [0056] 상기 반도체층의 상기 제2면측으로부터 상기 제1 영역에 입사한 입사광 중, 상기 제2 분리 영역의 측면부에서 반사한 반사광과, 상기 입사광이 상기 제2 분리 영역 및 상기 제2 영역을 투과하고, 또한 상기 제1 분리 영역에서 반사해서 상기 제1 영역으로 돌아가는 복귀광과의 위상차가 상기 입사광의 정수배가 되도록, 상기 제2 영역의 상기 일방향을 따르는 폭이 설정되어 있다.
- [0057] (7) 본 기술의 다른 양태에 관한 광 검출 장치는,
- [0058] 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [0059] 상기 반도체층에 제1 분리 영역으로 구획되어 마련된 복수의 광전 변환 영역과,
- [0060] 상기 복수의 광전 변환 영역 각각의 광전 변환 영역을 일방향으로 배열되는 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [0061] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,
- [0062] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부를 구비하고,
- [0063] 상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하고,
- [0064] 상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에, 상기 반도체층보다 굴절률이 낮은 분리 절연막을 개재해서 마련된 도전재를 포함하고,
- [0065] 상기 복수의 광전 변환 영역은, 상기 제2 영역의 상기 일방향을 따르는 폭이 다른 2종류 이상의 광전 변환 영역을 포함하는, 광 검출 장치.
- [0066] (8) 본 기술의 다른 양태에 관한 광 검출 장치는,
- [0067] 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [0068] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [0069] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [0070] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [0071] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하는 광전 변환부와,
- [0072] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부와,
- [0073] 상기 반도체층의 깊이 방향으로 연신되는 제3 파임부에 고정 전하막을 개재해서 절연막이 마련된 유전체

- [0076] 를 구비하고 있는, 광 검출 장치.
- [0077] (9) 본 기술의 다른 양태에 관한 광 검출 장치는,
- [0078] 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [0079] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [0080] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [0081] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [0082] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,
- [0083] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부와,
- [0084] 상기 반도체층의 상기 제1면측에 마련된 다층체
- [0085] 를 구비하고,
- [0086] 상기 다층체는, 상기 제1 영역과 중첩되어 마련된 광 반사체를 포함한다.
- [0087] (10) 본 기술의 다른 양태에 관한 광 검출 장치는,
- [0088] 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [0089] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [0090] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [0091] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [0092] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,
- [0093] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부와,
- [0094] 상기 반도체층의 상기 제1면측에 마련된 다층체
- [0095] 를 구비하고,
- [0096] 상기 다층체는, 상기 제1 영역과 중첩되어 마련되고, 또한 상기 반도체층보다 광 흡수율이 높은 광 흡수체를 구비하고 있다.
- [0097] (11) 본 기술의 다른 양태에 관한 전자 기기는, 상기 광 검출 장치와, 피사체로부터의 상 광이 상기 광 검출 장치의 촬상면 상에 결상되는 광학 렌즈와, 상기 광 검출 장치로부터 출력되는 신호에 신호 처리를 행하는 신호 처리 회로를 구비하고 있다.

도면의 간단한 설명

- [0098] 도 1은 본 기술의 제1 실시 형태에 관한 고체 촬상 장치의 일 구성예를 모식적으로 도시하는 평면 레이아웃도이다.
- 도 2는 본 기술의 제1 실시 형태에 관한 고체 촬상 장치의 일 구성예를 도시하는 블록도이다.
- 도 3은 본 기술의 제1 실시 형태에 관한 고체 촬상 장치의 화소의 일 구성예를 도시하는 등가 회로도이다.
- 도 4는 본 기술의 제1 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.
- 도 5는 도 4의 a4-a4선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 6은 도 5의 일부를 확대한 종단면도이다.

도 7a는 본 기술의 제2 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에 포함되는 화소의 일 구성예를 도시하는 등가 회로도이다.

도 7b는 본 기술의 제2 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에 포함되는 화소의 일 구성예를 도시하는 등가 회로도이다.

도 8은 본 기술의 제2 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 도시하는 평면도이다.

도 9는 도 8의 a8-a8선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 10은 본 기술의 제3 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 도시하는 평면도이다.

도 11은 도 9의 a10-a10선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 12는 본 기술의 제4 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 도시하는 평면도이다.

도 13은 도 12의 a12-a12선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 14는 본 기술의 제5 실시 형태에 관한 고체 촬상 장치의 화소의 일 구성예를 도시하는 등가 회로도이다.

도 15는 본 기술의 제6 실시 형태에 관한 고체 촬상 장치의 화소의 일 구성예를 도시하는 등가 회로도이다.

도 16은 본 기술의 제7 실시 형태에 관한 고체 촬상 장치의 화소의 일 구성예를 도시하는 등가 회로도이다.

도 17은 본 기술의 제8 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 차광체의 평면 패턴을 모식적으로 도시하는 평면도이다.

도 18은 도 17의 a17-a17선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 19는 도 18의 일부를 확대한 평면도이다.

도 20은 도 19의 a19-a19선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 21a는 차광체의 제2 차광 부분의 치수를 도시하는 도면이다.

도 21b는 차광체의 제2 차광 부분에서의 광 반사 상태를 모식적으로 도시하는 도면이다.

도 22a는 본 기술의 제8 실시 형태에 관한 고체 촬상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.

도 22b는 도 22a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 22c는 도 22b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 22d는 도 22c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 22e는 도 22d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 22f는 도 22e에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 22g는 도 22f에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 22h는 도 22g에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 22i는 도 22h에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 23은 제8 실시 형태의 변형예 8-1을 모식적으로 도시하는 평면도이다.

도 24는 제8 실시 형태의 변형예 8-2를 모식적으로 도시하는 평면도이다.

도 25는 제8 실시 형태의 변형예 8-3을 모식적으로 도시하는 평면도이다.

도 26은 제8 실시 형태의 변형예 8-4의 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 27은 본 기술의 제9 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 차광체의 평면 패턴을 모식적으로 도시하는 평면도이다.

도 28은 도 27의 a27-a27선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 29a는 차광체의 제2 차광 부분과 화소내 분리 영역과의 치수를 도시하는 도면이다.

도 29b는 차광체의 제2 차광 부분에서의 광 반사 상태를 모식적으로 도시하는 도면이다.

도 30a는 본 기술의 제9 실시 형태에 관한 고체 촬상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.

도 30b는 도 30a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 30c는 도 30b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 30d는 도 30c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 30e는 도 30d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 30f는 도 30e에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 30g는 도 30f에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 30h는 도 30g에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 31은 본 기술의 제10 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 차광체의 평면 패턴을 모식적으로 도시하는 평면도이다.

도 32는 도 31의 a31-a31선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 33은 차광체의 제2 차광 부분에서의 광 반사 상태를 모식적으로 도시하는 도면이다.

도 34a는 본 기술의 제10 실시 형태에 관한 고체 촬상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.

도 34b는 도 34a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 34c는 도 34b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 34d는 도 34c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 34e는 도 34d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 35는 본 기술의 제11 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 차광체의 평면 패턴을 모식적으로 도시하는 평면도이다.

도 36은 도 35의 a35-a35선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 37a는 광 반사체와 화소내 분리 영역의 치수를 도시하는 도면이다.

도 37b는 광 반사체에서의 광 반사 상태를 모식적으로 도시하는 도면이다.

도 37c는 광 반사체의 Z 방향의 길이와 투과율의 상관 관계를 도시하는 도면이다.

도 38a는 본 기술의 제11 실시 형태에 관한 고체 촬상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.

도 38b는 도 38a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 38c는 도 38b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 38d는 도 38c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 38e는 도 38d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 38f는 도 38e에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

- 도 39는 제11 실시 형태의 변형예 11-1을 모식적으로 도시하는 종단면도이다.
- 도 40은 제11 실시 형태의 변형예 11-2를 모식적으로 도시하는 평면도이다.
- 도 41은 도 40의 a40-a40선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 42는 제11 실시 형태의 변형예 11-3을 모식적으로 도시하는 종단면도이다.
- 도 43은 제11 실시 형태의 변형예 11-4를 모식적으로 도시하는 종단면도이다.
- 도 44는 본 기술의 제12 실시 형태에 관한 고체 활상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.
- 도 45는 도 44의 a44-a44선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 46a는 도 18의 일부를 확대한 평면도이다.
- 도 46b는 도 18의 일부를 확대한 평면도이다.
- 도 47a는 본 기술의 제12 실시 형태에 관한 고체 활상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.
- 도 47b는 도 47a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 47c는 도 47b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 47d는 도 47c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 47e는 도 47d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 47f는 도 47e에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 47g는 도 47f에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 47h는 도 47g에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 48은 비교예 12-1에서, 경사광의 침입 광로를 모식적으로 도시하는 종단면도이다.
- 도 49는 제12 실시 형태에서, 경사광의 침입 광로를 모식적으로 도시하는 종단면도이다.
- 도 50은 비교예 12-2에서, 제1 파임부와 제3 파임부를 동일 공정에서 형성한 경우를 도시하는 종단면도이다.
- 도 51은 제12 실시 형태의 변형예 12-1의 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 52는 제12 실시 형태의 변형예 12-2의 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 53은 제12 실시 형태의 변형예 12-3의 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 54는 제12 실시 형태의 변형예 12-4의 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 55는 본 기술의 제13 실시 형태에 관한 고체 활상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.
- 도 56은 도 55의 a55-a55선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 57은 도 56의 일부를 확대한 종단면도이다.
- 도 58은 절연체의 막 두께와 평균 반사율의 상관 관계를 도시하는 도면이다.
- 도 59a는 본 기술의 제13 실시 형태에 관한 고체 활상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.
- 도 59b는 도 59a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 59c는 도 59b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 59d는 도 59c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 59e는 도 59d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

- 도 59f는 도 59e에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 59g는 도 59f에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 59h는 도 59g에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 59i는 도 59h에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 59j는 도 59i에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 60은 제13 실시 형태의 변형예의 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 61은 본 기술의 제14 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.
- 도 62는 도 61의 a61-a61선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 63은 도 62의 일부를 확대해서 상하를 반전시킨 종단면도이다.
- 도 64는 화소내 분리 영역에서 반사한 반사광과 화소간 분리 영역에서 반사한 복귀광의 간섭을 모식적으로 도시하는 도면이다.
- 도 65는 광전 변환 영역의 제2 영역의 폭과, 화소내 분리 영역의 측벽에서의 광 반사율의 상관 관계를 도시하는 도면이다.
- 도 66은 본 기술의 제15 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.
- 도 67은 도 66의 a66-a66선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 68은 도 66의 b66-b66선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 69는 차광막의 평면 패턴을 모식적으로 도시하는 평면도이다.
- 도 70은 광전 변환 영역의 제2 영역의 폭과, 화소내 분리 영역의 측벽에서의 광 반사율의 상관 관계를 도시하는 도면이다.
- 도 71은 본 기술의 제16 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.
- 도 72는 도 71의 a71-a71선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 73은 도 71의 b71-b71선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 74a는 본 기술의 제16 실시 형태에 관한 고체 촬상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.
- 도 74b는 도 74a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 74c는 도 74b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 74d는 도 74c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 74e는 도 74d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 74f는 도 74e에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 74g는 도 74f에 계속되는 공정을 모식적으로 도시하는 종단면도이다.
- 도 75는 제16 실시 형태의 변형예를 모식적으로 도시하는 평면도이다.
- 도 76은 본 기술의 제17 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.
- 도 77은 도 76의 a76-a76선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- 도 78은 도 76의 b76-b76선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 79는 본 기술의 제18 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.

도 80은 도 79의 a79-a79선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 81은 본 기술의 제19 실시 형태에 관한 고체 촬상 장치의 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 82는 본 기술의 제20 실시 형태에 관한 고체 촬상 장치의 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 83a는 도 82의 광 반사체의 평면 패턴을 모식적으로 도시하는 평면도이다.

도 83b는 광 반사체에 의한 광 반사를 모식적으로 도시하는 종단면도이다.

도 84a는 본 기술의 제20 실시 형태에 관한 고체 촬상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.

도 84b는 도 84a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 84c는 도 84b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 84d는 도 84c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 84e는 도 84d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 84f는 도 84e에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 84g는 도 84f에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 84h는 도 84g에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 84i는 도 84h에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 84j는 도 84i에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 85는 본 기술의 제21 실시 형태에 관한 고체 촬상 장치의 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 86은 도 85의 광 흡수체의 평면 패턴을 모식적으로 도시하는 평면도이다.

도 87a는 본 기술의 제21 실시 형태에 관한 고체 촬상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.

도 87b는 도 87a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 87c는 도 87b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 87d는 도 87c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 87e는 도 87d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 87f는 도 87e에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 87g는 도 87f에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 87h는 도 87g에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 87i는 도 87h에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 88은 본 기술의 제22 실시 형태에 관한 고체 촬상 장치의 종단면 구조를 모식적으로 도시하는 종단면도이다.

도 89는 도 88의 광 반사체의 평면 패턴을 모식적으로 도시하는 평면도이다.

도 90a는 본 기술의 제22 실시 형태에 관한 고체 촬상 장치의 제조 방법의 공정을 모식적으로 도시하는 종단면도이다.

도 90b는 도 90a에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 90c는 도 90b에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 90d는 도 90c에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 90e는 도 90d에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 90f는 도 90e에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 90g는 도 90f에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 90h는 도 90g에 계속되는 공정을 모식적으로 도시하는 종단면도이다.

도 91은 본 기술의 제23 실시 형태에 관한 전자 기기의 일 구성예를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0099] 이하, 도면을 참조하여 본 기술의 실시 형태를 상세하게 설명한다.
- [0100] 또한, 이하의 설명에서 참조하는 도면의 기재에 있어서, 동일 또는 유사한 부분에는 동일 또는 유사한 부호를 붙이고 있다. 단, 도면은 모식적인 것이며, 두께와 평면 치수의 관계, 각 층의 두께 비율 등은 현실의 것과는 다른 것에 유의해야 한다. 따라서, 구체적인 두께나 치수는 이하의 설명을 참조해서 판단해야 할 것이다.
- [0101] 또한, 도면 상호간에서도 서로의 치수 관계나 비율이 다른 부분이 포함되어 있는 것은 물론이다. 또한, 본 명세서 중에 기재된 효과는 어디까지나 예시이며 한정되는 것이 아니고, 또한 다른 효과가 있어도 된다.
- [0102] 또한, 이하의 실시 형태는, 본 기술의 기술적 사상을 구체화하기 위한 장치나 방법을 예시하는 것이며, 구성을 하기의 것에 특정하는 것은 아니다. 즉, 본 기술의 기술적 사상은, 특허 청구 범위에 기재된 기술적 범위 내에서, 다양한 변형을 가할 수 있다.
- [0103] 또한, 이하의 설명에서의 상하 등의 방향의 정의는, 단순히 설명의 편의상의 정의이며, 본 기술의 기술적 사상을 한정하는 것은 아니다. 예를 들어, 대상을 90° 회전해서 관찰하면 상하는 좌우로 변환되어 읽혀지고, 180° 회전해서 관찰하면 상하는 반전되어 읽혀지는 것은 물론이다.
- [0104] 또한, 이하의 실시 형태에서는, 반도체의 도전형으로서, 제1 도전형이 p형, 제2 도전형이 n형인 경우를 예시적으로 설명하지만, 도전형을 역의 관계로 선택하여, 제1 도전형을 n형, 제2 도전형을 p형으로 해도 상관없다.
- [0105] 또한, 이하의 실시 형태에서는, 공간 내에서 서로 직교하는 3방향에 있어서, 동일 평면 내에서 서로 직교하는 제1 방향 및 제2 방향을 각각 X 방향, Y 방향으로 하고, 제1 방향 및 제2 방향 각각과 직교하는 제3 방향을 Z 방향으로 한다. 그리고 이하의 실시 형태에서는, 후술하는 반도체층(20)의 두께 방향을 Z 방향으로 해서 설명한다.
- [0106] [제1 실시 형태]
- [0107] 이 제1 실시 형태에서는, 광 검출 장치로서, 이면 조사형 CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서인 고체 촬상 장치에 본 기술을 적용한 일례에 대해서 설명한다.
- [0108] 또한, 이 제1 실시 형태에서는, 반도체층을 구획하는 분리 영역으로서, 본 기술의 「제1 분리 영역」의 일 구체예에 상당하는 화소간 분리 영역과, 본 기술의 「제2 분리 영역」의 일 구체예에 상당하는 화소내 분리 영역을 포함하는 일례에 대해서 설명한다.
- [0109] <<고체 촬상 장치의 전체 구성>>
- [0110] 먼저, 고체 촬상 장치(1A)의 전체 구성에 대해서 설명한다.
- [0111] 도 1에 도시하는 바와 같이, 본 기술의 제1 실시 형태에 관한 고체 촬상 장치(1A)는, 평면으로 보았을 때의 2차원 평면 형상이 사각형인 반도체 칩(2)을 주체로 구성되어 있다. 즉, 고체 촬상 장치(1A)는 반도체 칩(2)에 탑재되어 있어, 반도체 칩(2)을 고체 촬상 장치(1A)로 간주할 수 있다. 이 고체 촬상 장치(1A)(301)는, 도 91에 도시하는 바와 같이, 광학 렌즈(302)를 통해서 피사체로부터의 상 광(입사광(306))을 도입하고, 촬상면 상에 결상된 입사광(306)의 광량을 화소 단위로 전기 신호로 변환해서 화소 신호로서 출력한다.
- [0112] 도 1에 도시하는 바와 같이, 고체 촬상 장치(1A)가 탑재된 반도체 칩(2)은, 서로 직교하는 X 방향 및 Y 방향을 포함하는 2차원 평면에 있어서, 중앙부에 마련된 사각형의 화소 어레이부(2A)와, 이 화소 어레이부(2A)의 외측에 화소 어레이부(2A)를 둘러싸도록 해서 마련된 주변부(2B)를 구비하고 있다. 반도체 칩(2)은, 반도체 웨이퍼에 형성된 복수의 칩 형성 영역을 칩 형성 영역마다 소편화함으로써 형성된다. 따라서, 이하에 설명하는 고체 촬상 장치(1A)의 구성은, 반도체 웨이퍼를 소편화하기 전의 웨이퍼 상태에서도 대략 마찬가지이다.

- [0113] 화소 어레이부(2A)는, 예를 들어 도 91에 나타내는 광학 렌즈(광학계)(302)에 의해 집광되는 광을 수광하는 수광면이다. 그리고 화소 어레이부(2A)에는, X 방향 및 Y 방향을 포함하는 2차원 평면에 있어서 복수의 화소(3)가 행렬상으로 배치되어 있다. 바꾸어 말하면, 화소(3)는, 2차원 평면 내에서 서로 직교하는 X 방향 및 Y 방향 각각의 방향으로 반복 배치되어 있다.
- [0114] 도 1에 도시하는 바와 같이, 주변부(2B)에는, 복수의 본딩 패드(14)가 배치되어 있다. 복수의 본딩 패드(14) 각각은, 예를 들어 반도체 칩(2)의 2차원 평면에서의 4개의 변 각각의 변을 따라 배열되어 있다. 복수의 본딩 패드(14) 각각은, 반도체 칩(2)과 외부 장치를 전기적으로 접속하는 입출력 단자로서 기능한다.
- [0115] <로직 회로>
- [0116] 반도체 칩(2)은, 도 2에 나타내는 로직 회로(13)를 구비하고 있다. 로직 회로(13)는, 도 2에 도시하는 바와 같이, 수직 구동 회로(4), 칼럼 신호 처리 회로(5), 수평 구동 회로(6), 출력 회로(7) 및 제어 회로(8) 등을 포함한다. 로직 회로(13)는, 전계 효과 트랜지스터로서, 예를 들어 n채널 도전형 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 및 p채널 도전형 MOSFET를 갖는 CMOS(Complementary MOS) 회로로 구성되어 있다.
- [0117] 수직 구동 회로(4)는, 예를 들어 시프트 레지스터에 의해 구성되어 있다. 수직 구동 회로(4)는, 원하는 화소 구동선(10)을 순차 선택하고, 선택한 화소 구동선(10)에 화소(3)를 구동하기 위한 펄스를 공급하여, 각 화소(3)를 행 단위로 구동한다. 즉, 수직 구동 회로(4)는, 화소 어레이부(2A)의 각 화소(3)를 행 단위로 순차 수직 방향으로 선택 주사하고, 각 화소(3)의 광전 변환부(광전 변환 소자)가 수광량에 따라서 생성한 신호 전하에 기초하는 화소(3)로부터의 화소 신호를, 수직 신호선(11)을 통해서 칼럼 신호 처리 회로(5)에 공급한다.
- [0118] 칼럼 신호 처리 회로(5)는, 예를 들어 화소(3)의 열마다 배치되어 있고, 1행분의 화소(3)로부터 출력되는 신호에 대해서 화소 열마다 노이즈 제거 등의 신호 처리를 행한다. 예를 들어 칼럼 신호 처리 회로(5)는, 화소 고유의 고정 패턴 노이즈를 제거하기 위한 CDS(Correlated Double Sampling: 상관 이중 샘플링) 및 AD(Analog Digital) 변환 등의 신호 처리를 행한다.
- [0119] 수평 구동 회로(6)는, 예를 들어 시프트 레지스터에 의해 구성되어 있다. 수평 구동 회로(6)는, 수평 주사 펄스를 칼럼 신호 처리 회로(5)에 순차 출력함으로써, 칼럼 신호 처리 회로(5) 각각을 차례로 선택하여, 칼럼 신호 처리 회로(5) 각각으로부터 신호 처리가 행해진 화소 신호를 수평 신호선(12)에 출력시킨다.
- [0120] 출력 회로(7)는, 칼럼 신호 처리 회로(5) 각각으로부터 수평 신호선(12)을 통해서 순차적으로 공급되는 화소 신호에 대해, 신호 처리를 행해서 출력한다. 신호 처리로서는, 예를 들어 버퍼링, 흑색 레벨 조정, 열 변동 보정, 각종 디지털 신호 처리 등을 사용할 수 있다.
- [0121] 제어 회로(8)는, 수직 동기 신호, 수평 동기 신호 및 마스터 클럭 신호에 기초하여, 수직 구동 회로(4), 칼럼 신호 처리 회로(5) 및 수평 구동 회로(6) 등의 동작의 기준이 되는 클럭 신호나 제어 신호를 생성한다. 그리고 제어 회로(8)는, 생성한 클럭 신호나 제어 신호를, 수직 구동 회로(4), 칼럼 신호 처리 회로(5) 및 수평 구동 회로(6) 등에 출력한다.
- [0122] <화소의 회로 구성>
- [0123] 도 3에 도시한 바와 같이, 복수의 화소(3) 각각의 화소(3)는, 광전 변환 영역(21) 및 판독 회로(15)를 구비하고 있다. 광전 변환 영역(21)은, 광전 변환부(24)와, 화소 트랜지스터로서의 전송 트랜지스터(TRG)와, 플로팅 디퓨전(Floating Diffusion) 영역(FD)을 구비하고 있다. 판독 회로(15)는, 광전 변환 영역(21)의 플로팅 디퓨전 영역(FD)과 전기적으로 접속되어 있다. 이 제1 실시 형태에서는, 일례로서 1개의 화소(3)에 1개의 판독 회로(15)를 부여한 회로 구성으로 하고 있지만, 이것에 한정되는 것이 아니라, 1개의 판독 회로(15)를 복수의 화소(3)에서 공유하는 회로 구성으로 해도 된다. 플로팅 디퓨전 영역(FD)은, 본 기술의 「전하 보유부」의 일 구체예에 상당한다.
- [0124] 도 3에 나타내는 광전 변환부(24)는, 예를 들어 pn접합형 포토다이오드(PD)로 구성되고, 수광량에 따른 신호 전하를 생성한다. 광전 변환부(24)는, 캐소드측이 전송 트랜지스터(TRG)의 소스 영역과 전기적으로 접속되고, 애노드측이 기준 전위선(예를 들어 접지)과 전기적으로 접속되어 있다.
- [0125] 도 3에 나타내는 전송 트랜지스터(TRG)는, 광전 변환부(24)에서 광전 변환된 신호 전하를 플로팅 디퓨전 영역(FD)에 전송한다. 전송 트랜지스터(TRG)의 소스 영역은 광전 변환부(24)의 캐소드측과 전기적으로 접속되고, 전송 트랜지스터(TRG)의 드레인 영역은 플로팅 디퓨전 영역(FD)과 전기적으로 접속되어 있다. 그리고 전송 트

랜지스터(TRG)의 게이트 전극은, 화소 구동선(10)(도 2 참조) 중 전송 트랜지스터 구동선과 전기적으로 접속되어 있다.

[0126] 도 3에 나타내는 플로팅 디퓨전 영역(FD)은, 광전 변환부(24)로부터 전송 트랜지스터(TRG)를 통해서 전송된 신호 전하를 일시적으로 보유(축적)한다.

[0127] 광전 변환부(24), 전송 트랜지스터(TRG) 및 플로팅 디퓨전 영역(FD)을 포함하는 광전 변환 영역(21)은, 후술하는 반도체층(20)(도 5 참조)에 탑재되어 있다.

[0128] 도 3에 나타내는 판독 회로(15)는, 플로팅 디퓨전 영역(FD)에 보유된 신호 전하를 읽어내고, 이 신호 전하에 기초하는 화소 신호를 출력한다. 판독 회로(15)는, 이것에 한정되지 않지만, 화소 트랜지스터로서, 예를 들어 증폭 트랜지스터(AMP)와, 선택 트랜지스터(SEL)와, 리셋 트랜지스터(RST)를 구비하고 있다. 이들 트랜지스터(AMP, SEL, RST) 및 상술한 전송 트랜지스터(TRG) 각각은, 전계 효과 트랜지스터로서, 예를 들어 산화실리콘(SiO_2)막을 포함하는 게이트 절연막과, 게이트 전극과, 소스 영역 및 드레인 영역으로서 기능하는 한 쌍의 주전극 영역을 갖는 MOSFET로 구성되어 있다. 또한, 이들 트랜지스터로서는, 게이트 절연막이 질화실리콘(Si_3N_4)막, 혹은 질화실리콘막 및 산화실리콘막 등의 적층막을 포함하는 MISFET(Metal Insulator Semiconductor FET)이어도 상관없다.

[0129] 도 3에 도시한 바와 같이, 증폭 트랜지스터(AMP)는, 소스 영역이 선택 트랜지스터(SEL)의 드레인 영역과 전기적으로 접속되고, 드레인 영역이 전원선 Vdd 및 리셋 트랜지스터(RST)의 드레인 영역과 전기적으로 접속되어 있다. 그리고 증폭 트랜지스터(AMP)의 게이트 전극은, 플로팅 디퓨전 영역(FD) 및 리셋 트랜지스터(RST)의 소스 영역과 전기적으로 접속되어 있다.

[0130] 선택 트랜지스터(SEL)는, 소스가 수직 신호선(11)(VSL)과 전기적으로 접속되고, 드레인 영역이 증폭 트랜지스터(AMP)의 소스 영역과 전기적으로 접속되어 있다. 그리고 선택 트랜지스터(SEL)의 게이트 전극은, 화소 구동선(10)(도 2 참조) 중 선택 트랜지스터 구동선과 전기적으로 접속되어 있다.

[0131] 리셋 트랜지스터(RST)는, 소스 영역이 플로팅 디퓨전 영역(FD) 및 증폭 트랜지스터(AMP)의 게이트 전극과 전기적으로 접속되고, 드레인 영역이 전원선 Vdd 및 증폭 트랜지스터(AMP)의 드레인 영역과 전기적으로 접속되어 있다. 그리고 리셋 트랜지스터(RST)의 게이트 전극은, 화소 구동선(10)(도 2 참조) 중 리셋 트랜지스터 구동선과 전기적으로 접속되어 있다.

[0132] 전송 트랜지스터(TRG)는, 전송 트랜지스터(TRG)가 온 상태로 되면, 광전 변환부(24)에서 생성된 신호 전하를 플로팅 디퓨전 영역(FD)에 전송한다.

[0133] 리셋 트랜지스터(RST)는, 리셋 트랜지스터(RST)가 온 상태로 되면, 플로팅 디퓨전 영역(FD)의 전위(신호 전하)를 전원선 Vdd의 전위로 리셋한다. 선택 트랜지스터(SEL)는, 판독 회로(15)로부터의 화소 신호의 출력 타이밍을 제어한다.

[0134] 증폭 트랜지스터(AMP)는, 화소 신호로서, 플로팅 디퓨전 영역(FD)에 보유된 신호 전하의 레벨에 따른 전압의 신호를 생성한다. 증폭 트랜지스터(AMP)는, 소스 폴로워형 앰프를 구성하고 있고, 광전 변환부(24)에서 생성된 신호 전하의 레벨에 따른 전압의 화소 신호를 출력하는 것이다. 증폭 트랜지스터(AMP)는, 선택 트랜지스터(SEL)가 온 상태로 되면, 플로팅 디퓨전 영역(FD)의 전위를 증폭하고, 그 전위에 따른 전압을, 수직 신호선(11)(VSL)을 통해서 칼럼 신호 처리 회로(5)에 출력한다.

[0135] 이 제1 실시 형태에 관한 고체 촬상 장치(1A)의 동작 시에는, 화소(3)의 광전 변환부(24)에서 생성된 신호 전하가 화소(3)의 전송 트랜지스터(TRG)를 통해서 플로팅 디퓨전 영역(FD)에 보유(축적)된다. 그리고 플로팅 디퓨전 영역(FD)에 보유된 신호 전하가 판독 회로(15)에 의해 읽어내져서, 판독 회로(15)의 증폭 트랜지스터(AMP)의 게이트 전극에 인가된다. 판독 회로(15)의 선택 트랜지스터(SEL)의 게이트 전극에는 수평 라인의 선택용 제어 신호가 수직 시프트 레지스터로부터 부여된다. 그리고 선택용 제어 신호를 하이(H) 레벨로 함으로써, 선택 트랜지스터(SEL)가 도통하여, 증폭 트랜지스터(AMP)에서 증폭된, 플로팅 디퓨전 영역(FD)의 전위에 대응하는 전류가 수직 신호선(11)에 흐른다. 또한, 판독 회로(15)의 리셋 트랜지스터(RST)의 게이트 전극에 인가하는 리셋용 제어 신호를 하이(H) 레벨로 함으로써, 리셋 트랜지스터(RST)가 도통하여, 플로팅 디퓨전 영역(FD)에 축적된 신호 전하를 리셋한다.

[0136] 또한, 선택 트랜지스터(SEL)는, 필요에 따라 생략해도 된다. 선택 트랜지스터(SEL)를 생략할 경우는, 증폭 트

랜지스터(AMP)의 소스 영역이 수직 신호선(11)(VSL)과 전기적으로 접속된다.

[0137] 《고체 촬상 장치의 구체적인 구성》

[0138] 이어서, 반도체 칩(2)(고체 촬상 장치(1A))의 구체적인 구성에 대해서, 도 4 내지 도 6을 사용하여 설명한다.

[0139] 도 4는, 고체 촬상 장치(1A)의 화소 어레이부(2A)에서의 화소간 분리 영역(31)의 평면 패턴을 모식적으로 도시하는 평면도이다. 도 5는 도 4의 a4-a4선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다. 도 6은 도 5의 일부를 확대한 종단면도이다.

[0140] 또한, 도 4는 도 5에 나타내는 반도체층(20)의 제1면 S1측에서 본 평면도이다. 또한, 도 5 및 도 6은, 도면을 보기 쉽게 하기 위해서, 도 1에 대해서 상하가 반전되어 있다. 또한, 도 5 및 도 6은, 후술하는 다층 배선층(40)의 제2층째의 배선층(45)보다 상층의 도시를 생략하고 있다.

[0141] <반도체 칩>

[0142] 도 4 및 도 5에 도시한 바와 같이, 반도체 칩(2)은, 두께 방향(Z 방향)에 있어서 서로 반대측에 위치하는 제1면 S1 및 제2면 S2를 갖는 반도체층(20)과, 이 반도체층(20)을 구획하는 화소간 분리 영역(31) 및 화소내 분리 영역(32)을 구비하고 있다. 화소간 분리 영역(31)은, 본 기술의 「제1 분리 영역」의 일 구체예에 상당한다. 화소내 분리 영역(32)은, 본 기술의 「제2 분리 영역」의 일 구체예에 상당한다. 이 제1 실시 형태에서는, 화소간 분리 영역(31)은, 반도체층(20)의 광전 변환 영역(21)을 구획하고, 화소내 분리 영역(32)은, 광전 변환 영역(21)의 내부를 구획한다.

[0143] 또한, 반도체 칩(2)은, 반도체층(20)의 제1면 S1측에 마련된 다층 배선층(배선층 적층체)(40)과, 반도체층(20)의 제2면 S2측에, 이 제2면 S2측으로부터 순차 마련된, 고정 전하막(52), 절연막(53), 차광막(차광체)(54), 컬러 필터(55) 및 마이크로렌즈(온 칩 렌즈)(56)를 구비하고 있다.

[0144] <반도체층>

[0145] 도 4 및 도 5에 도시한 바와 같이, 반도체층(20)에는, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 화소간 분리 영역(31)과, 이 화소간 분리 영역(31)으로 구획된 복수의 광전 변환 영역(21)이 마련되어 있다. 복수의 광전 변환 영역(21) 각각의 광전 변환 영역(21)은, 화소(3)마다 마련되고, 평면으로 보아 화소간 분리 영역(31)을 개재해서 서로 인접하고 있다. 즉, 이 제1 실시 형태의 고체 촬상 장치(1A)는, 반도체층(20)에, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 화소간 분리 영역(31)을 개재해서 서로 인접해서 마련된 복수의 광전 변환 영역(21)을 구비하고 있다.

[0146] 또한, 도 5에 도시한 바와 같이, 반도체층(20)의 제1면 S1측에는, 소자 분리 영역(필드 분리 영역)(25)과, 이 소자 분리 영역(25)으로 구획된 섬상의 소자 형성 영역(20a)이 마련되어 있다. 소자 형성 영역(20a)은, 화소(3)(광전 변환 영역(21))마다 마련되어 있다.

[0147] 반도체층(20)으로서는, Si 기판, SiGe 기판, InGaAs 기판 등을 사용할 수 있다. 이 제1 실시 형태에서는, 반도체층(20)으로서 예를 들어 단결정 실리콘을 포함하는 p형 반도체 기판을 사용하고 있다.

[0148] 여기서, 반도체층(20)의 제1면 S1을 소자 형성면 또는 주면, 제2면 S2측을 광 입사면 또는 이면이라고 칭하기도 한다. 이 제1 실시 형태의 고체 촬상 장치(1A)는, 반도체층(20)의 제2면(광 입사면, 이면) S2측으로부터 입사한 광을, 반도체층(20)에 마련된 광전 변환 영역(21)에서 광전 변환한다.

[0149] 또한, 평면으로 보아, 반도체층(20)의 두께 방향(Z 방향)을 따르는 방향에서 본 경우를 가리킨다. 또한, 단면으로 보아, 반도체층(20)의 두께 방향(Z 방향)을 따르는 단면을 반도체층(20)의 두께 방향(Z 방향)과 직교하는 방향(X 방향 또는 Y 방향)에서 본 경우를 가리킨다. 또한, 광전 변환 영역(21)은, 광전 변환 셀이라고 칭할 수도 있다.

[0150] <소자 분리 영역>

[0151] 도 6에 도시하는 바와 같이, 소자 분리 영역(25)은, 이것에 한정되지 않지만, 반도체층(20)의 제1면 S1로부터 제2면 S2측으로 오목해지는 얇은 홈부(필드 홈부)(26) 내에 절연막(필드 절연막)(27)이 선택적으로 매립된 STI(Shallow Trench Isolation) 구조로 구성되어 있다. 절연막(27)으로서는, 예를 들어 산화실리콘막을 사용할 수 있다.

[0152] <소자 형성 영역>

- [0153] 도 5에 도시한 바와 같이, 소자 분리 영역(25)으로 구획된 소자 형성 영역(20a)에는, 후술하는 p형 웰 영역(22)이 마련되어 있다. 그리고 소자 형성 영역(20a)에는, 상술한 화소 트랜지스터(AMP, SEL, RST, TRG)가 마련되어 있다. 여기서, 도면을 보기 쉽게 하기 위해서, 도 5에서는, 화소 트랜지스터의 도시를 생략하고 있다. 또한, 도 4에서는, 전송 트랜지스터(TRG)를 도시하고, 그 밖의 화소 트랜지스터(AMP, SEL, RST)의 도시를 생략하고 있다. 또한, 도 4에서는, 도 5에 나타내는 소자 분리 영역(25) 및 소자 형성 영역(20a)의 도시도 생략하고 있다.
- [0154] <광전 변환 영역>
- [0155] 도 5에 도시한 바와 같이, 복수의 광전 변환 영역(광전 변환 셀)(21) 각각의 광전 변환 영역(21)은, 반도체층(20)에 마련된 p형 웰 영역(22)과, 이 p형 웰 영역(22) 내에 마련된 n형 반도체 영역(23)과, 상술한 플로팅 디퓨전 영역(FD) 및 광전 변환부(24)를 구비하고 있다. 또한, 각각의 광전 변환 영역(21)은, 소자 형성 영역(20a)과, 화소내 분리 영역(32)과, 회절 산란부(51)를 더 구비하고 있다.
- [0156] <p형 웰 영역 및 n형 반도체 영역>
- [0157] 도 5에 도시한 바와 같이, p형 웰 영역(22)은, 반도체층(20)의 제1면 S1측 및 제2면 S2측에 걸쳐서 폭넓게 마련되어 있다. p형 웰 영역(22)은, p형 반도체 영역으로 구성되어 있다.
- [0158] n형 반도체 영역(23)은, p형 웰 영역(22) 중에서, 반도체층(20)의 제1면 S1 및 제2면 S2, 그리고 화소간 분리 영역(31) 각각으로부터 이격된 상태에서 반도체층(20)의 제1면 S1측 및 제2면 S2측에 걸쳐서 마련되어 있다. 즉, n형 반도체 영역(23)은, 반도체층(20)의 제1면 S1측의 상면부, 반도체층(20)의 제2면 S2측의 하면부, 및 화소간 분리 영역(31)측의 측면부가 각각 p형 웰 영역(22)으로 둘러싸여 있다. 바꾸어 말하면, 반도체층(20)의 제1면 S1과 n형 반도체 영역(23)의 상면부의 사이, 및 반도체층(20)의 제2면 S2와 n형 반도체 영역(23)의 하면부의 사이에, 각각 n형 반도체 영역(23)과 중첩되어 p형 웰 영역(22)이 마련되어 있다. 또한, 화소간 분리 영역(31)과 n형 반도체 영역(23)의 사이에, 반도체층(20)의 두께 방향(Z 방향)을 따라 연신되는 p형 웰 영역(22)이 마련되어 있다.
- [0159] <플로팅 디퓨전 및 광전 변환부>
- [0160] 도 5에 도시한 바와 같이, 플로팅 디퓨전 영역(FD)은, 반도체층(20)의 제1면 S1측에서, p형 웰 영역(22)의 표층부에 마련되어 있다. 플로팅 디퓨전 영역(FD)은, 예를 들어 n형 반도체 영역(23)보다 불순물 농도가 높은 n형 반도체 영역(부유 확산 영역)으로 구성되어 있다.
- [0161] 광전 변환부(24)는, 주로 n형 반도체 영역(23)으로 구성되고, p형 웰 영역(22)과 n형 반도체 영역(23)에 의한 pn접합형 포토다이오드(PD)로서 구성되어 있다.
- [0162] <화소 트랜지스터>
- [0163] 광전 변환 영역(21)에 포함되는 전송 트랜지스터(TRG)는, 상세하게 도시하고 있지 않지만, 도 4 및 도 5를 참조하여 설명하면, 반도체층(20)의 제1면 S1측의 소자 형성 영역(20a)에서, p형 웰 영역(22) 상에 마련된 게이트 절연막과, p형 웰 영역(22) 상에 게이트 절연막을 개재해서 마련된 게이트 전극(37)과, 이 게이트 전극(37)의 바로 아래의 p형 웰 영역(22)에 채널(도통로)이 형성되는 채널 형성 영역을 포함한다. 또한, 전송 트랜지스터(TRG)는, 소스 영역으로서 기능하는 광전 변환부(24)(n형 반도체 영역(23))와, 드레인 영역으로서 기능하는 플로팅 디퓨전 영역(FD)을 더 포함한다. 이 전송 트랜지스터(TRG)는, 채널 형성 영역에 형성되는 채널을 게이트 전극(37)에 인가되는 게이트 전압에 의해 제어한다. 그리고 이 전송 트랜지스터(TRG)는, 채널 형성 영역에 형성되는 채널을 통해서, 광전 변환부(24)에서 광전 변환(생성)된 신호 전하를 광전 변환부(24)로부터 플로팅 디퓨전 영역(FD)에 전송한다.
- [0164] 관독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST) 각각은, 상세하게 도시하고 있지 않지만, 도 5를 참조하여 설명하면, 예를 들어 반도체층(20)의 제1면 S1측의 소자 형성 영역(20a)에서, p형 웰 영역(22) 상에 마련된 게이트 절연막과, p형 웰 영역(22) 상에 게이트 절연막을 개재해서 마련된 게이트 전극과, 이 게이트 전극의 바로 아래의 p형 웰 영역(22)에 채널(도통로)이 형성되는 채널 형성 영역을 포함한다. 또한, 관독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST) 각각은, 채널 형성 영역을 사이에 두고 채널 길이 방향(게이트 길이 방향)으로 서로 이격되어 p형 웰 영역(22) 내에 마련되고, 또한 소스 영역 및 드레인 영역으로서 기능하는 한 쌍의 주 전극 영역을 더 포함한다. 이들 화소 트랜지스터는, 채널 형성 영역에 형성되는 채널을 게이트 전극에 인가되는 게이트 전압에 의해 제어한다.

- [0165] <화소간 분리 영역>
- [0166] 도 5 및 도 6에 도시하는 바와 같이, 반도체층(20)은, 제1 분리 영역으로서의 화소간 분리 영역(31)과, 제2 분리 영역으로서의 화소내 분리 영역(32)을 구비하고 있다. 즉, 이 제1 실시 형태에 관한 고체 촬상 장치(1A)는, 반도체층(20)을 구획하는 제1 및 제2 분리 영역으로서, 화소간 분리 영역(31) 및 화소내 분리 영역(32)을 구비하고 있다.
- [0167] 도 4에 도시하는 바와 같이, 화소간 분리 영역(31)은, 평면으로 보아 X 방향으로 연신되는 제1 부분(31x)과, Y 방향으로 연신되는 제2 부분(31y)을 포함한다. 그리고 제1 부분(31x)과 제2 부분(31y)은, 서로 직교하고 있다.
- [0168] 제1 부분(31x)은, 소정의 간격을 두고 Y 방향으로 반복 배치되어 있다. 또한, 제2 부분(31y)은, 소정의 간격을 두고 X 방향으로 반복 배치되어 있다. 즉, 화소간 분리 영역(31)은, 평면으로 보아 평면 패턴이 격자상의 평면 패턴으로 되어 있다. 그리고 복수의 광전 변환 영역(21) 각각의 광전 변환 영역(21)은, X 방향의 양단측이 분리 영역(31)의 서로 인접하는 2개의 제2 부분(31y)으로 구획되고, Y 방향의 양단측이 분리 영역(31)의 서로 인접하는 2개의 제1 부분(31x)으로 구획되어 있다.
- [0169] 도 5 및 도 6에 도시하는 바와 같이, 화소간 분리 영역(31)은, 반도체층(20)의 두께 방향(Z 방향)으로 연신되어, 평면으로 보아 서로 인접하는 광전 변환 영역(21)의 사이를 전기적 및 광학적으로 분리하고 있다. 화소간 분리 영역(31)은, 일단부측이 소자 분리 영역(25)과 연결되고, 타단부측이 반도체층(20)의 제2면 S2에 도달하고 있다.
- [0170] 도 6에 도시하는 바와 같이, 화소간 분리 영역(31)은, 반도체층(20)의 깊이 방향(Z 방향)으로 연신되는 파임부(33a)의 내벽(측벽 및 저벽)을 따라 마련된 고정 전하막(52)과, 이 파임부(33a)에 고정 전하막(52)을 개재해서 충전되며, 또한 반도체층(20)보다 굴절률이 낮은 절연체로서의 절연막(53)을 포함한다. 즉, 이 제1 실시 형태의 화소간 분리 영역(31)은, 반도체층(20)보다 굴절률이 낮은 절연체로서 절연막(53)을 포함한다. 또한, 반도체층(20)보다 굴절률이 낮은 절연체로서는, 공기를 사용할 수도 있다. 이 경우, 화소간 분리 영역(31)은, 공기가 충전되는 공동부를 포함한다. 이 제1 실시 형태의 파임부(33a)는 본 기술의 「제1 파임부」의 일 구체예에 상당한다.
- [0171] 고정 전하막(52)은, 반도체층(20)의 제2면 S2 및 반도체층(20)의 파임부(33a)에 걸쳐서 마련되어 있다. 고정 전하막(52)은, 예를 들어 부의 고정 전하를 발생시키는 유전체막을 포함하고 있다. 이 유전체막으로서, 유전율이 높은 예를 들어 산화하프늄(HfO_2)을 사용할 수 있다. 이 고정 전하막(52)에 의해, 반도체층(20)과 화소간 분리 영역(31)의 계면 부분에 정공(h^+)이 유기되어, 이 계면 부분에서의 피닝을 확보할 수 있기 때문에, 암전류의 발생을 억제할 수 있다. 이 유전체막으로서, 그 밖에 산화지르코늄(ZrO_2)이나 산화탄탈(Ta_2O_5) 등을 사용할 수 있다.
- [0172] 절연막(53)은, 반도체층(20)의 제2면 S2 및 반도체층(20)의 제2 파임부(33b)에 걸쳐서 마련되어 있다. 절연막(53)으로서, 예를 들어 산화실리콘막을 사용할 수 있다. 산화실리콘막은, Si, SiGe, InGaAs 등의 반도체 재료보다 굴절률이 낮다. 절연막(53)은, 반도체층(20)의 제2면 S2(광 입사면)측이 요철이 없는 평탄면으로 되도록, 화소 어레이부(2A)에서, 반도체층(20)의 제2면 S2측 전체를 덮고 있다.
- [0173] 여기서, 일례로서, 예를 들어 940nm의 파장일 경우, 실리콘은, 예를 들어 3.62 정도의 굴절률을 갖고, 산화실리콘은, 예를 들어 1.45 정도의 굴절률을 갖고, 공기는, 예를 들어 1.00 정도의 굴절률을 갖는다. 또한 다른 예로서, 예를 들어 550nm의 파장일 경우, 실리콘은, 예를 들어 4.08 정도의 굴절률을 갖고, 산화실리콘은, 예를 들어 1.46 정도의 굴절률을 갖고, 공기는, 예를 들어 1.00 정도의 굴절률을 갖는다.
- [0174] <화소내 분리 영역>
- [0175] 도 4에 도시하는 바와 같이, 화소내 분리 영역(32)은, 평면으로 보아 예를 들어 X 방향으로 연신되며, 또한 화소간 분리 영역(31)(제1 부분(31x) 및 제2 부분(31y))으로부터 이격되어 마련되어 있다. 그리고 화소내 분리 영역(32)은, 평면으로 보아 광전 변환 영역(21)의 중앙부보다 화소간 분리 영역(31)측에 치우쳐서 배치되고, 광전 변환 영역(21)을 평면으로 보아 Y 방향의 폭이 상대적으로 다른 2개의 영역(제1 영역(21a), 제2 영역(21b))으로 선택적으로 분리하고 있다(칸막이하고 있다). 그리고 화소내 분리 영역(32)으로 분리된 2개의 영역(제1 영역(21a), 제2 영역(21b)) 중 Y 방향의 폭이 넓은 쪽의 영역(제1 영역(21a))에 광전 변환부(24)가 마련되고, Y 방향의 폭이 좁은 쪽의 영역(제2 영역(21b))에 플로팅 디퓨전 영역(FD)이 마련되어 있다. 즉, 광전 변환 영역

(21)은, 화소내 분리 영역(32)으로 서로 분리된 광전 변환부(24) 및 플로팅 디퓨전 영역(FD)을 구비하고 있다.

[0176] 도 6에 도시하는 바와 같이, 화소내 분리 영역(32)은, 반도체층(20)의 두께 방향(Z 방향)으로 연신되며, 또한 일단부측이 소자 분리 영역(25)과 연결되며, 또한 타단부측이 반도체층(20)의 제2면 S2에 도달하고 있다. 화소내 분리 영역(32)은, 반도체층(20)의 깊이 방향(Z 방향)으로 연신되는 파임부(33b)의 측벽을 따라 마련된 분리 절연막(34)과, 이 파임부(33b)에 분리 절연막(34)을 개재해서 충전된 도전재(35)를 포함한다. 분리 절연막(34)으로서는, 예를 들어 산화실리콘막을 사용할 수 있다. 도전재(35)로서는, 예를 들어 저항값을 저감시키는 불순물이 도입된 반도체막을 사용할 수 있다. 이 제1 실시 형태의 도전재(35)는, 이것에 한정되지 않지만, 예를 들어 불순물로서 보론(B)이 도입된 p형의 도프트 폴리실리콘막으로 구성되어 있다. 이 제1 실시 형태의 파임부(33b)는, 본 기술의 「제2 파임부」의 일 구체예에 상당한다.

[0177] 또한, 도 4에 도시하는 바와 같이, 전송 트랜지스터(TRG)는, 평면으로 보아 화소내 분리 영역(32)의 X 방향의 종단부와 화소간 분리 영역(31)의 사이를 가로지르도록 해서 마련되어 있다. 또한, 도 5 및 도 6에 도시하는 바와 같이, 광전 변환 영역(21)의 화소내 분리 영역(32)으로 분리된 2개의 영역 각각에 p형 웰 영역(22)이 마련되어 있다. 이 p형 웰 영역(22)에는, 전원 전위로서, 예를 들어 0V의 제1 기준 전위가 인가되고, 이 제1 기준 전위에 전위 고정된다.

[0178] <다층 배선층>

[0179] 도 5에 도시한 바와 같이, 다층 배선층(배선층 적층체)(40)은, 반도체층(20)의 광 입사면측(제2면 S2측)과는 반대측의 제1면 S1측에 마련되어 있다. 그리고 다층 배선층(40)은, 이것에 한정되지 않지만, 반도체층(20)의 제1면 S1측으로부터 순차 적층된, 층간 절연막(41), 제1층재의 배선층(43), 층간 절연막(44) 및 제2층재의 배선층(45)을 포함하는 적층 구조로 되어 있다.

[0180] 층간 절연막(41)은, 반도체층(20)의 제1면 S1측에, 화소 트랜지스터(AMP, SEL, RST, TRG)의 게이트 전극을 덮도록 해서 마련되어 있다. 도 5에서는, 화소 트랜지스터는 도시하고 있지 않다.

[0181] 층간 절연막(41)의 상층에는 제1층재의 배선층(43)이 마련되고, 이 제1층재의 배선층(43)은 상층의 층간 절연막(44)으로 덮여 있다. 또한, 층간 절연막(44)의 상층에는 제2층재의 배선층(45)이 마련되어 있다. 이 제2층재의 배선층(45)은, 도시하고 있지 않지만, 상층의 층간 절연막으로 덮여 있다.

[0182] 제1 및 제2층재의 배선층(43, 45) 각각에는, 다양한 배선이 형성되어 있다. 도 5에서는, 제1층재의 배선층(43)에 형성된 배선(43a, 43b₁, 43f), 제2층재의 배선층(45)에 형성된 배선(45a)을 각각 도시하고 있다.

[0183] 도 6에 도시하는 바와 같이, 배선(43f)은, 층간 절연막(41)에 매립된 콘택트 전극(도전 플러그)(42f)을 통해서 플로팅 디퓨전 영역(FD)과 전기적으로 접속되어 있다. 그리고 이 배선(43f)은, 도 3에 나타내는 판독 회로(15)의 입력측(증폭 트랜지스터(AMP)의 게이트 전극 및 리셋 트랜지스터(RST)의 소스 영역)과 전기적으로 접속되어 있다.

[0184] 배선(43b₁)은, 층간 절연막(41) 및 소자 분리 영역(25)에 걸쳐서 매립된 콘택트 전극(42b₁)을 통해서 화소내 분리 영역(32)의 도전재(35)와 전기적으로 접속되어 있다. 그리고 이 배선(43b₁)에는, 전원 전위로서, p형 웰 영역(22)에 인가되는 제1 기준 전위보다 높은 정전위의 제2 기준 전위가 인가된다. 즉, 화소내 분리 영역(32)의 도전재(35)는, 배선(43b)에 인가된 제2 기준 전위가 콘택트 전극(42b₁)을 통해서 공급되고, 이 제2 기준 전위에 전위 고정된다. 제2 기준 전위로서는, 예를 들어 2.7V가 인가된다.

[0185] 배선층(43 및 45) 각각은, 예를 들어 구리(Cu) 또는 Cu를 주체로 하는 합금 등의 금속막으로 구성되어 있다. 층간 절연막(41 및 44) 각각은, 예를 들어 산화실리콘막, 질화실리콘(Si₃N₄)막 또는 탄질화실리콘(SiCN)막 중 1개의 단층막, 또는 이들 중 2개 이상을 적층한 적층막으로 구성되어 있다. 콘택트 전극(42b₁ 및 42f) 각각은, 예를 들어 텅스텐(W)막이나 티타늄(Ti)막 등의 고용점 금속막으로 구성되어 있다.

[0186] <회절 산란부>

[0187] 도 6에 도시하는 바와 같이, 회절 산란부(51)는, 반도체층(20)의 광 입사면측(제2면 S2측)의 계면에 주기적인 요철을 마련한 구성으로 되어 있다. 그리고 회절 산란부(51)는, 평면으로 보아 광전 변환 영역(21)마다 광전 변환부(24)와 중첩되어 마련되어 있다.

[0188] 회절 산란부(51)의 요철은, 회절 격자로 되어, 고차 성분이 경사 방향으로 회절해서 광전 변환부(24) 내의 광로

길이를 길게 취할 수 있어, 특히 근적외광 성분의 감도를 향상시킬 수 있다. 구체적으로는, 이 회절 산란부(51)로서, 예를 들어 알칼리 이온수(AKW: Alkaline ionized Water)를 사용한 Si(111)면의 습식 에칭을 이용함으로써 형성되는 사각뿔을 적용할 수 있다. 또한, 이에 한정하지 않고, 회절 산란부(51)를, 건식 에칭에 의해 형성해도 된다. 나아가, 깊이 방향으로 단면적이 바뀌는 형상으로 함으로써, 반사가 억제되고, 감도도 약간 향상된다.

[0189] <차광막>

[0190] 도 6에 도시하는 바와 같이, 차광막(54)은, 절연막(53)의 반도체층(20)측과는 반대측에 마련되어 있다. 차광막(54)은, 소정의 광전 변환 영역(21)에 입사하는 광이 인접한 광전 변환 영역(21)으로 새어 들어가지 않도록, 평면으로 보아 평면 패턴이 복수의 광전 변환 영역(21) 각각의 수광면측을 개구하는 격자상 평면 패턴으로 되어 있다. 차광막(54)은, 화소간 분리 영역(31)의 격자상 평면 패턴과 동일한 격자상 평면 패턴으로 구성되고, 평면으로 보아 화소간 분리 영역(31)과 중첩되는 위치에 배치되어 있다. 또한, 차광막(54)은, 광전 변환 영역(21)에서, 평면으로 보아 화소간 분리 영역(31)과 화소내 분리 영역(32)의 사이의 영역, 구체적으로는 p형 웰 영역(22) 및 플로팅 디퓨전 영역(FD)을 덮도록 선택적으로 폭이 굵게 되어 있다. 즉, 플로팅 디퓨전 영역(FD)은, 평면으로 보아 차광막(54)과 중첩되는 위치에 배치되어 있다. 이 차광막(54)으로서는, 예를 들어 차광성을 갖는 텅스텐(W)막을 사용하고 있다.

[0191] <컬러 필터 및 마이크로렌즈>

[0192] 도 5 및 도 6에 도시하는 바와 같이, 컬러 필터(55)는, 차광막(54)의 반도체층(20)측과는 반대측(광 입사면측)에서, 광전 변환 영역(21)(화소(3))마다 마련되어 있다. 컬러 필터(55)는, 반도체 칩(2)의 광 입사면측으로부터 입사한 입사광을 색 분리한다. 컬러 필터(55)로서는, 적색(R)의 제1 컬러 필터, 녹색(G)의 제2 컬러 필터, 청색(B)의 제3 컬러 필터가 있다. 이 제1 실시 형태에서는, 예를 들어 R, G, B의 삼색의 컬러 필터(55)를 구비하고 있다.

[0193] 마이크로렌즈(56)는, 컬러 필터(55)의 차광막(54)측과는 반대측(광 입사면측)에서, 광전 변환 영역(21)(화소(3))마다 마련되어 있다. 마이크로렌즈(56)는, 조사광을 집광하고, 집광한 광을 광전 변환 영역(21)에 효율적으로 입사시킨다.

[0194] <광전 변환부>

[0195] 도 5 및 도 6에 나타내는 광전 변환부(24)는, 가시 영역의 파장 광(이하, 가시광이라고 칭함) 또는 근적외 영역의 파장 광(이하, 근적외광(NIR)이라고 칭함)을 광전 변환한다. 광전 변환부(24)는, 가시광을 광전 변환하는 경우(가시광을 취급하는 경우)보다 반도체층(20)의 두께를 두껍게 함으로써, 근적외광을 광전 변환할(근적외광을 취급할) 수 있다. 따라서, 광전 변환부(24)가 근적외광을 광전 변환할 수 있도록 반도체층(20)의 두께를 선택해 두으로써, 고체 촬상 장치(1A)를 내장하는 전자 기기의 용도에 따라, 취급하는 광(가시광 또는 근적외광)을 선택할 수 있다. 이 제1 실시 형태에서는, 이것에 한정되지 않지만, 반도체층의 두께를 근적외광의 광전 변환이 가능한 두께로 설정하고 있다.

[0196] 여기서, 근적외광(근적외선)의 파장 범위는, 약 700nm 내지 2500nm이며, 가시광(가시광선)의 파장 범위는, 약 하한 360-400nm 내지 상한 760-830nm이다.

[0197] 또한, 가시광을 취급하는 광전 변환 영역(21)에서의 반도체층(20)의 두께는, 통상 2.5 μ m 이상이며, 근적외광을 취급하는 광전 변환 영역(21)에서의 반도체층(20)의 두께는, 6 μ m 이상으로 되는 경우도 있다.

[0198] <<제1 실시 형태의 주된 효과>>

[0199] 이어서, 이 제1 실시 형태의 주된 효과에 대해서 설명한다.

[0200] 이 제1 실시 형태에 관한 고체 촬상 장치(1A)는, 본 기술의 「제1 분리 영역」의 일 구체예에 상당하는 화소간 분리 영역(31)과, 본 기술의 「제2 분리 영역」의 일 구체예에 상당하는 화소내 분리 영역(32)을 구비하고 있다. 그리고 화소간 분리 영역(31)은, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 파임부(33a)에, 반도체층(20)보다 낮은 굴절률의 절연체로서의 절연막(53)이 충전된 구성으로 되어 있다. 이 때문에, 파임부(33a)에 도전체로서 도프트 폴리실리콘막이 충전된 종래의 화소간 분리 영역과 비교하여, 화소간 분리 영역(31)에서의 광 흡수를 억제, 바꾸어 말하면 화소간 분리 영역(31)에서의 광 반사를 높일 수 있어, 화소 특성으로서의 양자 효율 QE의 향상이나 높은 혼색 억제(높은 MTF(Modulation Transfer Function) 특성)를 도모할 수 있다.

- [0201] 한편, 화소내 분리 영역(32)은, 반도체층(20)의 두께 방향으로 연신되는 과입부(33b)에 도전재(35)가 충전된 구성으로 되어 있다. 이 때문에, 화소내 분리 영역(32)의 도전재(35)에 정전위를 인가함으로써, 화소내 분리 영역(32)의 측벽의 반도체층(20)의 포텐셜이 변화하여, 광전 변환부(24)에서 광전 변환된 신호 전하를 플로팅 디퓨전 영역(FD)에 전송할 때, 신호 전하의 플로팅 디퓨전 영역(FD)에의 전송을 보좌하는 어시스트 전극으로서 기능시킬 수 있어, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다. 이 전송 특성의 향상은, 반도체층(20)의 두께를 두껍게 해서 근적외광을 광전 변환하는 경우에 특히 유효하다.
- [0202] 따라서, 이 제1 실시 형태의 고체 촬상 장치(1A)에 의하면, 화소 특성의 향상을 도모하는 것이 가능해진다.
- [0203] 또한, 이 제1 실시 형태와 같이, 광전 변환부(24)에서 근적외광을 광전 변환할 수 있도록 반도체층(20)의 두께를 두껍게 한 경우나 광전 변환 영역(21)에 회절 산란부(51)를 마련한 경우에도, 높은 양자 효율 QE를 확보하면서, 높은 MTF 특성을 실현할 수 있다.
- [0204] 또한, 화소간 분리 영역(31)에서의 광 반사를 높일 수 있으므로, 화소간 분리 영역(31)의 폭의 미세화 및 광전 변환 영역(21)의 미세화를 도모할 수 있다.
- [0205] 또한, 이 제1 실시 형태의 고체 촬상 장치(1A)는, 반도체층(20)의 광 입사면측(제2면 S2측)에, 화소간 분리 영역(31)과 화소내 분리 영역(32)의 사이에 배치된 플로팅 디퓨전 영역(FD)을 덮도록 선택적으로 폭이 굵게 구성된 차광막(54)을 구비하고 있다. 이 때문에, 플로팅 디퓨전 영역(FD)에의 광의 조사를 억제할 수 있어, 기생 광 감도 특성(PLS(Parasitic Light Sensitivity) 특성)을 개선할 수 있다.
- [0206] 또한, 상술한 제1 실시 형태에서는, 광전 변환부(24)에서 근적외광을 광전 변환할 수 있도록 반도체층(20)의 두께를 두껍게 설정한 경우에 대해서 설명하였다. 그러나, 본 기술은, 광전 변환부(24)에서 가시광을 선택적으로 광전 변환할 수 있도록 반도체층(20)의 두께를 얇게 설정한 경우에도 적용할 수 있다.
- [0207] 또한, 상술한 제1 실시 형태에서는, 화소간 분리 영역(31) 및 화소내 분리 영역(32) 각각이 반도체층(20)의 제2면 S2에 도달한 경우에 대해서 설명하였다. 그러나, 본 기술은, 화소간 분리 영역(31) 및 화소내 분리 영역(32) 각각이 반도체층(20)의 제2면 S2로부터 이격된 경우에도 적용할 수 있다.
- [0208] 또한, 상술한 제1 실시 형태에서는 화소내 분리 영역(32)의 도전재(35)로서, 저항값을 저감시키는 불순물이 도입된 실리콘막을 사용한 경우에 대해서 설명하였다. 그러나, 실리콘막은 광 흡수가 있기 때문에, 광학 시점에서는, 텅스텐이나 티타늄 등의 도전성을 갖는 고용점 금속막, 혹은 알루미늄(Al) 등의 도전성을 갖는 금속막, 혹은 합금막을 사용하는 것이 바람직하다.
- [0209] 또한, 화소내 분리 영역(32)은, 플로팅 디퓨전 영역(FD)에의 신호 전하의 전송을 보좌하는 어시스트 기능을 겸비한 전송 트랜지스터로서 사용할 수도 있다.
- [0210] [제2 실시 형태]
- [0211] 상술한 제1 실시 형태에서는, 본 기술의 「제1 분리 영역」의 일 구체예에 상당하는 화소간 분리 영역(31)과, 본 기술의 「제2 분리 영역」의 일 구체예에 상당하는 화소내 분리 영역(32)을 구비한 고체 촬상 장치(1A)에 대해서 설명하였다. 이에 반해, 이 제2 실시 형태에서는, 도 8 및 도 9에 도시하는 바와 같이, 본 기술의 「제1 분리 영역」의 일 구체예에 상당하는 제1 화소간 분리 영역(31a)과, 본 기술의 「제2 분리 영역」의 일 구체예에 상당하는 제2 화소간 분리 영역(31b)을 구비한 고체 촬상 장치(1B)에 대해서 설명한다.
- [0212] 본 기술의 제2 실시 형태에 관한 고체 촬상 장치(1B)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로 구성으로 되어 있으며, 이하의 구성이 다르게 되어 있다.
- [0213] 즉, 이 제2 실시 형태에 관한 고체 촬상 장치(1B)는, 상술한 제1 실시 형태의 도 3에 나타내는 화소(3) 대신에, 도 7a에 나타내는 화소(3a)와, 도 7b에 나타내는 화소(3b)를 구비하고 있다. 또한, 이 제2 실시 형태에 관한 고체 촬상 장치(1B)는, 상술한 제1 실시 형태의 도 4 및 도 5에 나타내는 화소간 분리 영역(31) 및 화소내 분리 영역(32) 대신에, 제1 화소간 분리 영역(31a) 및 제2 화소간 분리 영역(31b)을 구비하고 있다. 기타 구성은, 기본적으로 상술한 제1 실시 형태와 마찬가지로 구성이다.
- [0214] <화소의 회로 구성>
- [0215] 도 7a에 도시하는 바와 같이, 화소(3a)는, 제1 광전 변환 영역(21A) 및 판독 회로(15a)를 구비하고 있다. 제1 광전 변환 영역(21A)은, 광전 변환부(24a)와, 화소 트랜지스터로서의 전송 트랜지스터(TRG1)와, 전하 보유부로서의 플로팅 디퓨전 영역(FD1)을 구비하고 있다. 판독 회로(15a)는, 제1 광전 변환 영역(21A)의 플로팅 디퓨전

영역(FD1)과 전기적으로 접속되어 있다.

- [0216] 도 7b에 도시하는 바와 같이, 화소(3b)는, 제2 광전 변환 영역(21B) 및 판독 회로(15b)를 구비하고 있다. 제2 광전 변환 영역(21B)은, 광전 변환부(24b)와, 화소 트랜지스터로서의 전송 트랜지스터(TRG2)와, 전하 보유부로서의 플로팅 디퓨전 영역(FD2)을 구비하고 있다. 판독 회로(15b)는, 제2 광전 변환 영역(21B)의 플로팅 디퓨전 영역(FD2)과 전기적으로 접속되어 있다.
- [0217] 이 제2 실시 형태에서는, 도 7a 및 도 7b에 도시하는 바와 같이, 일례로서 1개의 화소(3a, 3b)에 1개의 판독 회로(15a, 15b)를 부여한 회로 구성으로 되어 있지만, 이것에 한정되는 것이 아니라, 1개의 판독 회로(15a)를 복수의 화소(3a)에서 공유하고, 1개의 판독 회로(15b)를 복수의 화소(3b)에서 공유하는 회로 구성으로 해도 된다.
- [0218] 도 7a에 나타내는 광전 변환부(24a)는, 예를 들어 pn접합형 포토다이오드(PD)로 구성되어 있다. 광전 변환부(24a)는, 근적외 영역의 파장 광(근적외광)을 수광량에 따른 신호 전하로 생성(광전 변환)해서 보유한다. 광전 변환부(24a)는, 캐소드측이 전송 트랜지스터(TRG1)의 소스 영역과 전기적으로 접속되고, 애노드측이 기준 전위선(예를 들어 접지)과 전기적으로 접속되어 있다.
- [0219] 도 7a에 나타내는 전송 트랜지스터(TRG1)는, 광전 변환부(24a)에서 광전 변환된 신호 전하를 플로팅 디퓨전 영역(FD1)에 전송한다. 전송 트랜지스터(TRG1)의 소스 영역은 광전 변환부(24a)의 캐소드측과 전기적으로 접속되고, 전송 트랜지스터(TRG1)의 드레인 영역은 플로팅 디퓨전 영역(FD1)과 전기적으로 접속되어 있다. 그리고 전송 트랜지스터(TRG1)의 게이트 전극은, 화소 구동선(10)(도 2 참조) 중 전송 트랜지스터 구동선과 전기적으로 접속되어 있다.
- [0220] 도 7a에 나타내는 플로팅 디퓨전 영역(FD1)은, 광전 변환부(24a)로부터 전송 트랜지스터(TRG1)를 통해서 전송된 신호 전하를 일시적으로 보유(축적)한다.
- [0221] 광전 변환부(24a), 전송 트랜지스터(TRG1) 및 플로팅 디퓨전 영역(FD1)을 포함하는 제1 광전 변환 영역(21A)은, 도 9에 나타내는 반도체층(20)에 탑재되어 있다.
- [0222] 도 7a에 나타내는 판독 회로(15a)는, 플로팅 디퓨전 영역(FD1)에 보유된 신호 전하를 읽어내고, 이 신호 전하에 기초하는 화소 신호를 출력한다. 판독 회로(15a)는, 이것에 한정되지 않지만, 상술한 제1 실시 형태의 판독 회로(15)와 마찬가지로 구성으로 되어 있으며, 화소 트랜지스터로서, 예를 들어 증폭 트랜지스터(AMP)와, 선택 트랜지스터(SEL)와, 리셋 트랜지스터(RST)를 구비하고 있다.
- [0223] 도 7b에 나타내는 광전 변환부(24b)는, 예를 들어 pn접합형 포토다이오드(PD)로 구성되어 있다. 광전 변환부(24b)는, 가시 영역의 파장 광(가시광)을 수광량에 따른 신호 전하로 생성(광전 변환)해서 보유한다. 광전 변환부(24b)는, 캐소드측이 전송 트랜지스터(TRG2)의 소스 영역과 전기적으로 접속되고, 애노드측이 기준 전위선(예를 들어 접지)과 전기적으로 접속되어 있다.
- [0224] 도 7b에 나타내는 전송 트랜지스터(TRG2)는, 광전 변환부(24b)에서 광전 변환된 신호 전하를 플로팅 디퓨전 영역(FD2)에 전송한다. 전송 트랜지스터(TRG2)의 소스 영역은 광전 변환부(24b)의 캐소드측과 전기적으로 접속되고, 전송 트랜지스터(TRG2)의 드레인 영역은 플로팅 디퓨전 영역(FD2)과 전기적으로 접속되어 있다. 그리고 전송 트랜지스터(TRG2)의 게이트 전극은, 화소 구동선(10)(도 2 참조) 중 전송 트랜지스터 구동선과 전기적으로 접속되어 있다.
- [0225] 도 7b에 나타내는 플로팅 디퓨전 영역(FD2)은, 광전 변환부(24b)로부터 전송 트랜지스터(TRG2)를 통해서 전송된 신호 전하를 일시적으로 보유(축적)한다.
- [0226] 광전 변환부(24b), 전송 트랜지스터(TRG2) 및 플로팅 디퓨전 영역(FD2)을 포함하는 제2 광전 변환 영역(21B)은, 도 9에 나타내는 반도체층(20)에 탑재되어 있다.
- [0227] 도 7b에 나타내는 판독 회로(15b)는, 플로팅 디퓨전 영역(FD2)에 보유된 신호 전하를 읽어내고, 이 신호 전하에 기초하는 화소 신호를 출력한다. 판독 회로(15b)는, 이것에 한정되지 않지만, 상술한 제1 실시 형태의 판독 회로(15)와 마찬가지로 구성으로 되어 있으며, 화소 트랜지스터로서, 예를 들어 증폭 트랜지스터(AMP)와, 선택 트랜지스터(SEL)와, 리셋 트랜지스터(RST)를 구비하고 있다.
- [0228] <반도체층>
- [0229] 도 8 및 도 9에 도시하는 바와 같이, 반도체층(20)에는, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 제1 및 제2 화소간 분리 영역(31a, 31b)과, 이 제1 화소간 분리 영역(31a)으로 구획된 제1 광전 변환 영역(21A)과, 이

제2 화소간 분리 영역(31b)으로 구획된 제2 광전 변환 영역(21B)이 마련되어 있다. 제1 광전 변환 영역(21A) 및 제2 광전 변환 영역(21B)은, 도 8에 도시하는 바와 같이, 화소 어레이부(2A)에서, 예를 들어 2차원 평면 내에서 서로 직교하는 X 방향 및 Y 방향 각각의 방향으로 교대로 반복 배치되어 있다. 즉, 이 제2 실시 형태의 화소 어레이부(2A)에는, 제1 광전 변환 영역(21A)을 포함하는 화소(3a)와, 제2 광전 변환 영역(21B)을 포함하는 화소(3b)가 X 방향 및 Y 방향 각각의 방향으로 교대로 반복 배치되어 있다. 도 8에서는, 5개의 제1 광전 변환 영역(21A)(화소(3a): NIR)과, 4개의 제2 광전 변환 영역(21B)(화소(3b): RGB)을 도시하고 있다.

[0230] <광전 변환 영역>

[0231] 도 9에 도시하는 바와 같이, 제1 광전 변환 영역(21A)은, 기본적으로 상술한 제1 실시 형태의 광전 변환 영역(21)과 마찬가지로의 구성으로 되어 있다. 즉, 제1 광전 변환 영역(21A)은, 상술한 제1 실시 형태의 광전 변환 영역(21)과 마찬가지로, p형 웰 영역(22)과, n형 반도체 영역(23)과, 플로팅 디퓨전 영역(FD1)과, 광전 변환부(24a)와, 전송 트랜지스터(TRG1)(도 8 참조)와, 소자 형성 영역(20a)과, 회절 산란부(51)를 구비하고 있다. 그리고 제1 광전 변환 영역(21A)에서는, 상술한 제1 실시 형태의 도 4 및 도 5에 나타내는 화소내 분리 영역(32)은 구비하고 있지 않다.

[0232] 도 9에 도시하는 바와 같이, 제2 광전 변환 영역(21B)은, 기본적으로 상술한 제1 실시 형태의 광전 변환 영역(21)과 마찬가지로의 구성으로 되어 있다. 즉, 제2 광전 변환 영역(21B)은, 상술한 제1 실시 형태의 광전 변환 영역(21)과 마찬가지로, p형 웰 영역(22)과, n형 반도체 영역(23)과, 플로팅 디퓨전 영역(FD2)과, 광전 변환부(24b)와, 전송 트랜지스터(TRG2)(도 8 참조)와, 소자 형성 영역(20a)과, 회절 산란부(51)를 구비하고 있다. 그리고 이 제2 광전 변환 영역(21B)에서도, 상술한 제1 실시 형태의 도 4 및 도 5에 나타내는 화소내 분리 영역(32)은 구비하고 있지 않다.

[0233] 도 9에 도시하는 바와 같이, 플로팅 디퓨전 영역(FD1 및 FD2) 각각은, 상술한 제1 실시 형태의 플로팅 디퓨전 영역(FD)과 마찬가지로, 반도체층(20)의 제1면 S1측에서, p형 웰 영역(22)의 표층부에 마련되어 있다. 그리고 플로팅 디퓨전 영역(FD1 및 FD2) 각각은, n형 반도체 영역(23)보다 불순물 농도가 높은 n형 반도체 영역(부유 확산 영역)으로 구성되어 있다.

[0234] 광전 변환부(24a 및 24b) 각각은, 상술한 제1 실시 형태의 광전 변환부(24)와 마찬가지로, 주로 n형 반도체 영역(23)으로 구성되고, p형 웰 영역(22)과 n형 반도체 영역(23)에 의한 pn접합형 포토다이오드(PD)로서 구성되어 있다.

[0235] <제1 및 제2 화소간 분리 영역>

[0236] 도 8에 도시하는 바와 같이, 제1 화소간 분리 영역(31a)은, 상술한 제1 실시 형태의 도 4에 나타내는 화소간 분리 영역(31)과 마찬가지로, 평면으로 보아 X 방향으로 연신되는 제1 부분(31x)과, Y 방향으로 연신되는 제2 부분(31y)을 포함한다. 그리고 제1 부분(31x)과 제2 부분(31y)은, 서로 직교하고 있다.

[0237] 제1 부분(31x)은, 소정의 간격을 두고 Y 방향으로 반복 배치되어 있다. 또한, 제2 부분(31y)은, 소정의 간격을 두고 X 방향으로 반복 배치되어 있다. 즉, 제1 화소간 분리 영역(31a)은, 평면으로 보아 평면 패턴이 격자상의 평면 패턴으로 되어 있다. 그리고 제1 광전 변환 영역(21A)은, X 방향의 양단측이 분리 영역(31a)의 서로 인접하는 2개의 제2 부분(31y)으로 구획되고, Y 방향의 양단측이 분리 영역(31)의 서로 인접하는 2개의 제1 부분(31x)으로 구획되어 있다.

[0238] 도 8에 도시하는 바와 같이, 제2 화소간 분리 영역(31b)은, 제1 화소간 분리 영역(31a)으로 구획된 영역 내에, 제1 화소간 분리 영역(31a)과 서로 인접해서 배치되어 있다. 이 제2 화소간 분리 영역(31b)은, 평면으로 보아 평면 패턴이 환상의 평면 패턴으로 되어 있고, 제1 화소간 분리 영역(31a)의 제1 부분(31x) 및 제2 부분(31y)과 겹치고 있다. 즉, 제2 광전 변환 영역(21B)은, 평면으로 보아 X 방향의 양단측이 제2 화소간 분리 영역(31b)으로 구획되고, Y 방향의 양단측이 제2 화소간 분리 영역(31b)으로 구획되어 있다. 또한, 제1 광전 변환 영역(21A)과 제2 광전 변환 영역(21B)은, 서로 인접하는 제1 및 제2 화소간 분리 영역(31a, 31b)을 개재해서 서로 인접하고 있다. 그리고 서로 인접하는 제1 광전 변환 영역(21A)과 제2 광전 변환 영역(21B)은, 제1 및 제2 화소간 분리 영역(31a, 31b)에 의해 전기적 및 광학적으로 분리되어 있다.

[0239] 도 9에 도시하는 바와 같이, 제1 화소간 분리 영역(31a)은, 반도체층(20)의 두께 방향(Z 방향)으로 연신되어, 평면으로 보아 서로 인접하는 제1 광전 변환 영역(21A)과 제2 광전 변환 영역(21B)의 사이를 전기적 및 광학적으로 분리하고 있다. 그리고 제1 화소간 분리 영역(31a)은, 일단부측이 소자 분리 영역(25)과 연결되고, 타단

부측이 반도체층(20)의 제2면 S2에 도달하고 있다.

[0240] 제1 화소간 분리 영역(31a)은, 반도체층(20)의 깊이 방향(Z 방향)으로 연신되는 파임부(33a₁)의 내벽(측벽 및 저벽)을 따라 마련된 고정 전하막(52)과, 이 파임부(33a₁)에 고정 전하막(52)을 개재해서 충전되며, 또한 반도체층(20)보다 굴절률이 낮은 절연체로서의 절연막(53)을 포함한다. 또한, 반도체층(20)보다 굴절률이 낮은 절연체로서는, 공기를 사용할 수도 있다. 이 경우, 제1 화소간 분리 영역(31a)은, 공기가 충전되는 공동부를 포함한다. 이 제2 실시 형태의 파임부(33a₁)는, 본 기술의 「제1 파임부」의 일 구체예에 상당한다.

[0241] 도 9에 도시하는 바와 같이, 제2 화소간 분리 영역(31b)은, 반도체층(20)의 두께 방향(Z 방향)으로 연신되어, 평면으로 보아 서로 인접하는 제1 광전 변환 영역(21A)과 제2 광전 변환 영역(21B)의 사이를 전기적 및 광학적으로 분리하고 있다. 그리고 제2 화소간 분리 영역(31b)은, 일단부측이 소자 분리 영역(25)과 연결되고, 타단부측이 반도체층(20)의 제2면 S2에 도달하고 있다.

[0242] 제2 화소간 분리 영역(31b)은, 반도체층(20)의 깊이 방향(Z 방향)으로 연신되는 제2 파임부(33a₂)의 내벽(측벽 및 저벽)을 따라 마련된 분리 절연막(34)과, 이 파임부(33a₂)에 분리 절연막(34)을 개재해서 충전되며, 또한 반도체층(20)보다 굴절률이 낮은 도전재(35)를 포함한다. 분리 절연막(34)으로서, 예를 들어 산화실리콘막을 사용할 수 있다. 도전재(35)로서는, 예를 들어 저항값을 저감시키는 불순물이 도입된 반도체막을 사용할 수 있다. 이 제2 실시 형태의 도전재(35)는, 이것에 한정되지 않지만, 예를 들어 불순물로서 보론(B)이 도입된 p형의 도프트 폴리실리콘막으로 구성되어 있다. 이 제2 실시 형태의 파임부(33a₁)는, 본 기술의 「제2 파임부」의 일 구체예에 상당한다.

[0243] <배선>

[0244] 도 9에 도시하는 바와 같이, 제2 화소간 분리 영역(31b)의 도전재(35)는, 층간 절연막(41) 및 소자 분리 영역(25)에 걸쳐서 매립된 콘택트 전극(42b₂)을 통해서, 제1층체의 배선층(43)에 형성된 배선(43b₂)과 전기적으로 접속되어 있다. 그리고 이 배선(43b₂)에는, 상술한 제1 실시 형태와는 달리, 전원 전위로서, p형 웰 영역(22)에 인가되는 제1 기준 전위보다 낮은 부전위의 제3 기준 전위가 인가된다. 즉, 제2 화소간 분리 영역(31b)의 도전재(35)는, 배선(43b₂)에 인가된 제2 기준 전위가 콘택트 전극(42b₂)을 통해서 공급되어, 이 제3 기준 전위로 전위 고정된다. 제3 기준 전위로서는, 예를 들어 -1.2V가 인가된다. 제2 화소간 분리 영역(31b)의 도전재(35)에 부전위의 제3 기준 전위를 인가함으로써, 제2 화소간 분리 영역(31b)의 측벽에서의 반도체층(20)의 포텐셜이 변화하여, 포화 전하량 Qs를 높일 수 있어, 화소 특성의 향상을 도모할 수 있다.

[0245] 도 9에 도시하는 바와 같이, 제1 광전 변환 영역(21A)의 플로팅 디퓨전 영역(FD1)은, 층간 절연막(41)에 매립된 콘택트 전극(42f₁)을 통해서, 제1층체의 배선층(43)에 형성된 배선(43f₁)과 전기적으로 접속되어 있다. 이 배선(43f₁)은, 도 7a에 나타내는 판독 회로(15a)의 입력측(증폭 트랜지스터(AMP)의 게이트 전극 및 리셋 트랜지스터(RST)의 소스 영역)과 전기적으로 접속되어 있다.

[0246] 도 9에 도시하는 바와 같이, 제2 광전 변환 영역(21B)의 플로팅 디퓨전 영역(FD2)은, 층간 절연막(41)에 매립된 콘택트 전극(42f₂)을 통해서, 제1층체의 배선층에 형성된 배선(43f₂)과 전기적으로 접속되어 있다. 이 배선(43f₂)은, 도 7b에 나타내는 판독 회로(15b)의 입력측(증폭 트랜지스터(AMP)의 게이트 전극 및 리셋 트랜지스터(RST)의 소스 영역)과 전기적으로 접속되어 있다.

[0247] 여기서, 근적외광과 가시광의 분광은, 예를 들어 컬러 필터(55)에 의해 행할 수 있다. 구체적으로는, 근적외광이 투과하는 컬러 필터(55a)를 평면으로 보아 제1 광전 변환 영역(21A)과 중첩해서 배치함으로써, 제1 광전 변환 영역(21A)(제1 광전 변환부(24a))에 근적외광을 입사시킬 수 있다. 또한, 가시광이 투과하는 컬러 필터(55b)를 평면으로 보아 제2 광전 변환 영역(21B)과 중첩해서 배치함으로써, 제2 광전 변환 영역(21B)(제2 광전 변환부(24b))에 가시광을 입사시킬 수 있다.

[0248] 또한, 이 제2 실시 형태에서는, 평면으로 보아 제1 광전 변환 영역(21A)과 중첩해서 컬러 필터(55)(55a)를 배치하고 있지만, 근적외광을 광전 변환하는 제1 광전 변환부(24a)를 포함하는 제1 광전 변환 영역(21A)에서는, 컬러 필터(55)를 반드시 배치할 필요는 없다.

[0249] <<제2 실시 형태의 주된 효과>>

- [0250] 이 제2 실시 형태에 관한 고체 촬상 장치(1B)는, 본 기술의 「제1 분리 영역」으로서의 제1 화소간 분리 영역(31a)과, 이 제1 화소간 분리 영역(31a)으로 구획된 제1 광전 변환 영역(21A)과, 본 기술의 「제2 분리 영역」으로서의 제2 화소간 분리 영역(31b)과, 이 제2 화소 분리 영역(31b)으로 구획된 제2 광전 변환 영역(21B)을 구비하고 있다. 그리고 제1 화소간 분리 영역(31a)은, 상술한 제1 실시 형태의 화소간 분리 영역(31)과 마찬가지로, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 파임부(33a₁)에, 반도체층(20)보다 낮은 굴절률의 절연재로서의 절연막(53)이 충전된 구성으로 되어 있다. 이 때문에, 상술한 제1 실시 형태와 마찬가지로, 파임부(33a₁)에 도전재로서 도프트 폴리실리콘막이 충전된 종래의 화소내 분리 영역과 비교하여, 제1 화소간 분리 영역(31a)에서의 광 흡수를 억제, 바꾸어 말하면 제1 화소간 분리 영역(31a)에서의 광 반사를 높일 수 있어, 근적외광을 광전 변환하는 제1 광전 변환부(24a)를 포함하는 제1 광전 변환 영역(21A)과, 가시광을 광전 변환하는 제2 광전 변환부(24b)를 포함하는 제2 광전 변환 영역(21B)을 혼재 한 경우에도, 양자 효율 QE의 향상이나 높은 혼색 억제(높은 MTF 특성)를 도모할 수 있다.
- [0251] 한편, 제2 화소간 분리 영역(31b)은, 상술한 제1 실시 형태의 화소내 분리 영역(32)과 마찬가지로, 반도체층(20)의 두께 방향으로 연신되는 파임부(33a₂)에 도전재(35)가 충전된 구성으로 되어 있다. 이 때문에, 제2 화소간 분리 영역(31b)의 도전재(35)에 부전위를 인가함으로써, 제2 화소간 분리 영역(31b)의 측벽에서의 반도체층(20)의 포텐셜이 변화하여, 가시광을 광전 변환하는 제2 광전 변환부(24b)가 마련된 제2 광전 변환 영역(21B)에서의 포화 전하량 Qs를 높일 수 있어, 화소 특성의 향상을 도모할 수 있다.
- [0252] 따라서, 이 제2 실시 형태에 관한 고체 촬상 장치(1B)에서도, 화소 특성의 향상을 도모하는 것이 가능해진다.
- [0253] 또한, 제1 화소간 분리 영역(31a)에서의 광 반사를 높일 수 있으므로, 이 제2 실시 형태에 관한 고체 촬상 장치(1B)에서도, 제1 화소간 분리 영역(31a)의 폭의 미세화를 도모할 수 있음과 함께, 제1 광전 변환 영역(21A) 및 제2 광전 변환 영역(21B) 각각의 미세화를 도모할 수 있다.
- [0254] 또한, 이 제2 실시 형태에서는, 플로팅 디퓨전 영역(FD1, FD2)과 차광막(54)이 평면으로 보아 중첩되어 있지 않지만, 상술한 제1 실시 형태의 도 6에 도시하는 바와 같이, 플로팅 디퓨전 영역(FD1, FD2)을 덮도록 차광막(54)의 폭을 선택적으로 굵게 해도 된다.
- [0255] [제3 실시 형태]
- [0256] 이 제3 실시 형태는, 상술한 제1 실시 형태의 도 4 및 도 5에 나타내는 화소간 분리 영역(31) 및 화소내 분리 영역(32)과, 상술한 제2 실시 형태의 도 8 및 도 9에 나타내는 제1 광전 변환 영역(21A) 및 제2 광전 변환 영역(21B)을 조합한 것이다.
- [0257] 즉, 도 10 및 도 11에 도시한 바와 같이, 본 기술의 제3 실시 형태에 관한 고체 촬상 장치(1C)는, 각각이 화소간 분리 영역(31)으로 서로 인접해서 구획된 제1 광전 변환 영역(21A) 및 제2 광전 변환 영역(21B)을 구비하고 있다. 그리고 제1 광전 변환 영역(21A) 및 제2 광전 변환 영역(21B) 중 적어도 어느 한 쪽, 예를 들어 제1 광전 변환 영역(21A)에 화소내 분리 영역(32)이 마련되어 있다. 즉, 이 제3 실시 형태에서, 제1 광전 변환 영역(21A)에서는 화소내 분리 영역(32)을 구비하고, 제2 광전 변환 영역(21B)에서는 화소내 분리 영역(32)을 구비하고 있지 않다. 이 제3 실시 형태에서, 화소간 분리 영역(31)은, 본 기술의 「제1 분리 영역」의 일 구체예에 상당하고, 화소내 분리 영역(32)은, 본 기술의 「제2 분리 영역」의 일 구체예에 상당한다. 기타 구성은, 기본적으로 상술한 제1 실시 형태와 마찬가지로 한다.
- [0258] 도 10에 도시하는 바와 같이, 이 제3 실시 형태의 화소 어레이부(2A)에는, 제1 광전 변환 영역(21A)을 포함하는 화소(3a)와, 제2 광전 변환 영역(21B)을 포함하는 화소(3b)가 배치되어 있다. 화소(3b)는, 2차원 평면 내에서 서로 직교하는 X 방향 및 Y 방향 각각의 방향으로 반복 배치되어 있다. 화소(3a)는, 복수의 화소(3b)가 배열되는 화소군 중에 점재하여, 화소(3b)와 함께 화소 열을 구성하고 있다. 도 10에서는, 일례로서, 1개의 화소(3a)의 둘레에 8개의 화소(3b)가 배치된 배치 패턴을 나타내고 있다. 화소(3a)는, 주기적으로 배치해도 되고, 랜덤하게 배치해도 된다.
- [0259] 도 11에 도시한 바와 같이, 화소내 분리 영역(32)의 도전재(35)는, 층간 절연막(41) 및 소자 분리 영역(25)에 걸쳐서 매립된 콘택트 전극(42b₁)을 통해서, 제1층재의 배선층(43)의 배선(43b₁)과 전기적으로 접속되어 있다. 그리고 이 배선(43b₁)에는, 상술한 제1 실시 형태와 마찬가지로, 전원 전위로서, p형 웰 영역(22)에 인가되는 제1 기준 전위보다 높은 정전위의 제2 기준 전위가 인가된다. 즉, 화소내 분리 영역(32)의 도전재(35)는, 배선

(43b₁)에 인가된 제2 기준 전위가 콘택트 전극(42b₁)을 통해서 공급되어, 이 제2 기준 전위로 전위 고정된다.

[0260] 도 11에 도시한 바와 같이, 제1 광전 변환 영역(21A)의 플로팅 디퓨전 영역(FD1)은, 층간 절연막(41)에 매립된 콘택트 전극(42f₁)을 통해서, 제1층계의 배선층(43)에 형성된 배선(43f₁)과 전기적으로 접속되어 있다. 이 배선(43f₁)은, 상술한 제2 실시 형태의 도 7a에 나타내는 판독 회로(15a)의 입력측(증폭 트랜지스터(AMP)의 게이트 전극 및 리셋 트랜지스터(RST)의 소스 영역)과 전기적으로 접속되어 있다.

[0261] 도 11에 도시한 바와 같이, 제2 광전 변환 영역(21B)의 플로팅 디퓨전 영역(FD2)은, 층간 절연막(41)에 매립된 콘택트 전극(42f₂)을 통해서, 제1층계의 배선층에 형성된 배선(43f₂)과 전기적으로 접속되어 있다. 이 배선(43f₂)은, 상술한 제2 실시 형태의 도 7b에 나타내는 판독 회로(15b)의 입력측(증폭 트랜지스터(AMP)의 게이트 전극 및 리셋 트랜지스터(RST)의 소스 영역)과 전기적으로 접속되어 있다.

[0262] <제3 실시 형태의 주된 효과>

[0263] 이 제3 실시 형태에 관한 고체 촬상 장치(1C)는, 본 기술의 「제1 분리 영역」의 일 구체예에 상당하는 화소간 분리 영역(31)과, 이 화소간 분리 영역(31)으로 구획된 제1 광전 변환 영역(21A) 및 제2 광전 변환 영역(21B)을 구비하고 있다. 그리고 이 제3 실시 형태의 화소간 분리 영역(31)은, 상술한 제1 실시 형태의 화소간 분리 영역(31)과 마찬가지로, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 파임부(33a)에, 반도체층(20)보다 낮은 굴절률의 절연체로서의 절연막(53)이 충전된 구성으로 되어 있다. 이 때문에, 상술한 제1 실시 형태와 마찬가지로, 파임부(33a)에 도전체로서 도프트 폴리실리콘막이 충전된 종래의 화소간 분리 영역과 비교하여, 제1 화소간 분리 영역(31)에서의 광 흡수를 억제, 바꾸어 말하면 제1 화소간 분리 영역(31a)에서의 광 반사를 높일 수 있어, 근적외광을 광전 변환하는 제1 광전 변환부(24a)를 포함하는 제1 광전 변환 영역(21A)과, 가시광을 광전 변환하는 제2 광전 변환부(24b)를 포함하는 제2 광전 변환 영역(21B)을 혼재한 경우에도, 양자 효율 QE의 향상이나 높은 혼색 억제(높은 MTF 특성)를 도모할 수 있다.

[0264] 한편, 이 제3 실시 형태의 화소내 분리 영역(32)은, 상술한 제1 실시 형태와 마찬가지로, 반도체층(20)의 두께 방향으로 연신되는 파임부(33b)에 도전재(35)가 충전된 구성으로 되어 있다. 이 때문에, 상술한 제1 실시 형태와 마찬가지로, 화소내 분리 영역(32)의 도전재(35)에 정전위를 인가함으로써, 화소내 분리 영역(32)의 측벽의 반도체층(20)의 포텐셜이 변화하여, 광전 변환부(24a)에서 광전 변환된 신호 전하를 플로팅 디퓨전 영역(FD1)에 전송할 때, 신호 전하의 플로팅 디퓨전 영역(FD1)에의 전송을 보좌하는 어시스트 전극으로서 기능시킬 수 있어, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다.

[0265] 따라서, 이 제1 실시 형태의 고체 촬상 장치(1C)에서도, 화소 특성의 향상을 도모하는 것이 가능해진다.

[0266] 또한, 화소간 분리 영역(31)에서의 광 반사를 높일 수 있으므로, 이 제1 실시 형태의 고체 촬상 장치(1C)에서도, 화소간 분리 영역(31)의 폭의 미세화를 도모할 수 있음과 함께, 제1 광전 변환 영역(21A)(화소(3a)) 및 제2 광전 변환 영역(21B)(화소(3b)) 각각의 미세화를 도모할 수 있다.

[0267] 또한, 이 제3 실시 형태의 고체 촬상 장치(1C)는, 상술한 제1 실시 형태와 마찬가지로, 반도체층(20)의 광 입사면측(제2면 S2측)에, 화소간 분리 영역(31)과 화소내 분리 영역(32)의 사이에 배치된 플로팅 디퓨전 영역(FD1, FD2)을 덧붙여 선택적으로 폭이 굵게 구성된 차광막(54)을 구비하고 있다. 따라서, 이 제3 실시 형태에 관한 고체 촬상 장치(1C)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, PLS 특성(기생 광 감도 특성)을 개선할 수 있다.

[0268] 또한, 상술한 제3 실시 형태에서는, 제1 광전 변환 영역(21A)에, 어시스트 전극으로서 기능하는 화소내 분리 영역(32)을 마련한 경우에 대해서 설명하였다. 그러나, 어시스트 전극으로서 기능하는 화소내 분리 영역(32)은, 제2 광전 변환 영역(21B)에 마련해도 되고, 또한, 제1 광전 변환 영역(21A) 및 제2 광전 변환 영역(21B) 양쪽에 마련해도 된다. 단, 어시스트 전극으로서 기능하는 화소내 분리 영역(32)은, 이 제3 실시 형태와 같이, 근적외광을 광전 변환하는 광전 변환부(24a)를 포함하는 제1 광전 변환 영역(21A)에 마련하는 것이 바람직하다.

[0269] [제4 실시 형태]

[0270] 이 제4 실시 형태는, 상술한 제2 실시 형태에, 상술한 제1 실시 형태의 도 4 및 도 5에 나타내는 화소내 분리 영역(32)을 내장한 것이다.

[0271] 즉, 도 12 및 도 13에 도시하는 바와 같이, 본 기술의 제4 실시 형태에 관한 고체 촬상 장치(1D)는, 제1 화소간

분리 영역(31a)과, 제2 화소간 분리 영역(31b)과, 화소내 분리 영역(32)을 구비하고 있다. 이 제4 실시 형태에서, 제1 화소간 분리 영역(31a)은 본 기술의 「제1 분리 영역」의 일 구체예에 상당하고, 제2 화소간 분리 영역(31b)은 본 기술의 「제2 분리 영역」의 일 구체예에 상당하고, 화소내 분리 영역(32)은 본 기술의 제3 분리 영역에 상당한다.

[0272] 또한, 본 기술의 제4 실시 형태에 관한 고체 촬상 장치(1D)는, 제1 화소간 분리 영역(31a)으로 구획된 제1 광전 변환 영역(21A)과, 제2 화소간 분리 영역(31b)으로 구획된 제2 광전 변환 영역(21B)을 구비하고 있다. 그리고 화소내 분리 영역(32)은, 제1 광전 변환 영역(21A) 및 제2 광전 변환 영역(21B) 각각에 마련되어 있다.

[0273] 도 13에 도시하는 바와 같이, 제1 광전 변환 영역(21A)은, 기본적으로 상술한 제2 실시 형태의 제1 광전 변환 영역(21A)과 마찬가지로의 구성으로 되어 있다. 즉, 제1 광전 변환 영역(21A)은, 상술한 제2 실시 형태의 광전 변환 영역(21)과 마찬가지로, p형 웰 영역(22)과, n형 반도체 영역(23)과, 플로팅 디퓨전 영역(FD1)과, 광전 변환부(24a)와, 전송 트랜지스터(TRG1)(도 8 참조)와, 소자 형성 영역(20a)과, 회절 산란부(51)를 구비하고 있다. 그리고 이 제4 실시 형태의 제1 광전 변환 영역(21A)은, 화소내 분리 영역(32)을 구비하고 있다. 화소내 분리 영역(32)은, 제1 화소간 분리 영역(31a)으로부터 이격되어 마련되어 있다.

[0274] 도 13에 도시하는 바와 같이, 제2 광전 변환 영역(21B)은, 기본적으로 상술한 제2 실시 형태의 광전 변환 영역(21B)과 마찬가지로의 구성으로 되어 있다. 즉, 제2 광전 변환 영역(21B)은, 상술한 제2 실시 형태의 광전 변환 영역(21)과 마찬가지로, p형 웰 영역(22)과, n형 반도체 영역(23)과, 플로팅 디퓨전 영역(FD1)과, 광전 변환부(24a)와, 전송 트랜지스터(TRG1)(도 8 참조)와, 소자 형성 영역(20a)과, 회절 산란부(51)를 구비하고 있다. 그리고 이 제4 실시 형태의 제2 광전 변환 영역(21B)은, 화소내 분리 영역(32)을 구비하고 있다. 화소내 분리 영역(32)은, 제2 화소간 분리 영역(31b)으로부터 이격되어 마련되어 있다.

[0275] <전위 고정>

[0276] 도 13에 도시하는 바와 같이, 제1 광전 변환 영역(21A)에 포함되는 화소내 분리 영역(32)의 도전재(35)는, 층간 절연막(41) 및 소자 분리 영역(25)에 걸쳐서 매립된 콘택트 전극(42b₁)을 통해서, 제1층재의 배선층(43)의 배선(43b₁)과 전기적으로 접속되어 있다. 마찬가지로, 제2 광전 변환 영역(21B)에 포함되는 화소내 분리 영역(32)의 도전재(35)는, 층간 절연막(41) 및 소자 분리 영역(25)에 걸쳐서 매립된 콘택트 전극(42b₁)을 통해서, 제1층재의 배선층(43)의 배선(43b₁)과 전기적으로 접속되어 있다. 그리고 이들 배선(43b₁)에는, 상술한 제1 실시 형태와 마찬가지로, 전원 전위로서, p형 웰 영역(22)에 인가되는 제1 기준 전위보다 높은 정전위의 제2 기준 전위가 인가된다. 즉, 화소내 분리 영역(32)의 도전재(35)는, 배선(43b₁)에 인가된 제2 기준 전위가 콘택트 전극(42b₁)을 통해서 공급되어, 이 제2 기준 전위로 전위 고정된다.

[0277] 도 13에 도시하는 바와 같이, 제2 화소간 분리 영역(31b)의 도전재(35)는, 층간 절연막(41) 및 소자 분리 영역(25)에 걸쳐서 매립된 콘택트 전극(42b₂)을 통해서, 제1층재의 배선층(43)에 형성된 배선(43b₂)과 전기적으로 접속되어 있다. 그리고 이 배선(43b₂)에는, 상술한 제2 실시 형태와 마찬가지로, 전원 전위로서, p형 웰 영역(22)에 인가되는 제1 기준 전위보다 낮은 부전위의 제3 기준 전위가 인가된다. 즉, 제2 화소간 분리 영역(31b)의 도전재(35)는, 배선(43b₂)에 인가된 제3 기준 전위가 콘택트 전극(42b₂)을 통해서 공급되어, 이 제2 기준 전위로 전위 고정된다.

[0278] <<제4 실시 형태의 주된 효과>>

[0279] 이 제4 실시 형태에 관한 고체 촬상 장치(1D)는, 본 기술의 「제1 분리 영역」의 일 구체예에 상당하는 제1 화소간 분리 영역(31a)과, 이 제1 화소간 분리 영역(31a)으로 구획된 제1 광전 변환 영역(21A)과, 본 기술의 「제2 분리 영역」의 일 구체예에 상당하는 제2 화소간 분리 영역(31b)과, 이 제2 화소 분리 영역(31b)으로 구획된 제2 광전 변환 영역(21B)을 구비하고 있다. 그리고 제1 화소간 분리 영역(31a)은, 상술한 제2 실시 형태의 화소간 분리 영역(31)과 마찬가지로, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 파임부(33a₁)에, 반도체층(20)보다 낮은 굴절률의 절연재로서의 절연막(53)이 충전된 구성으로 되어 있다. 이 때문에, 상술한 제2 실시 형태와 마찬가지로, 근적외광을 광전 변환하는 제1 광전 변환부(24a)를 포함하는 제1 광전 변환 영역(21A)과, 가시광을 광전 변환하는 제2 광전 변환부(24b)를 포함하는 제2 광전 변환 영역(21B)을 혼재한 경우에도, 양자 효율 QE의 향상이나 높은 혼색 억제(높은 MTF 특성)를 도모할 수 있다.

- [0280] 한편, 제2 화소간 분리 영역(31b)은, 상술한 제1 실시 형태의 화소내 분리 영역(32)과 마찬가지로, 반도체층(20)의 두께 방향으로 연신되는 파임부(33a₂)에 도전재(35)가 충전된 구성으로 되어 있다. 이 때문에, 상술한 제1 실시 형태와 마찬가지로, 제2 화소간 분리 영역(31b)의 도전재(35)에 부전위를 인가함으로써, 가시광을 광전 변환하는 제2 광전 변환부(24b)가 마련된 제2 광전 변환 영역(21B)에서의 포화 전하량 Qs를 높일 수 있어, 화소 특성의 향상을 도모할 수 있다.
- [0281] 또한, 제2 화소간 분리 영역(31b)은, 상술한 제2 실시 형태의 제2 화소내 분리 영역(32)과 마찬가지로, 반도체층(20)의 두께 방향으로 연신되는 파임부(33a₂)에 도전재(35)가 충전된 구성으로 되어 있다. 이 때문에, 제2 화소간 분리 영역(31b)의 도전재(35)에 부전위를 인가함으로써, 제2 화소간 분리 영역(31b)의 측벽에서의 반도체층(20)의 포텐셜이 변화하여, 가시광을 광전 변환하는 제2 광전 변환부(24b)가 마련된 제2 광전 변환 영역(21B)에서의 포화 전하량 Qs를 높일 수 있어, 화소 특성의 향상을 도모할 수 있다.
- [0282] 따라서, 이 제4 실시 형태에 관한 고체 촬상 장치(1D)에서도, 화소 특성의 향상을 도모하는 것이 가능해진다.
- [0283] 또한, 제1 화소간 분리 영역(31a)에서의 광 반사를 높일 수 있으므로, 이 제4 실시 형태에 관한 고체 촬상 장치(1D)에서도, 제1 화소간 분리 영역(31a)의 폭의 미세화를 도모할 수 있음과 함께, 제1 광전 변환 영역(21A) 및 제2 광전 변환 영역(21B) 각각의 미세화를 도모할 수 있다.
- [0284] 또한, 이 제4 실시 형태의 고체 촬상 장치(1D)는, 상술한 제1 실시 형태와 마찬가지로, 반도체층(20)의 광 입사면측(제2면 S2측)에, 제1 화소간 분리 영역(31a)과 화소내 분리 영역(32)의 사이에 배치된 플로팅 디퓨전 영역(FD1, FD2)을 덮도록 선택적으로 폭이 굵게 구성된 차광막(54)을 구비하고 있다. 따라서, 이 제4 실시 형태에 관한 고체 촬상 장치(1D)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, PLS 특성(기생 광 감도 특성)을 개선할 수 있다.
- [0285] 또한, 상술한 제4 실시 형태에서는, 제1 및 제2 광전 변환 영역(21A, 21B) 양쪽에, 어시스트 전극으로서 기능하는 화소내 분리 영역(32)을 각각 마련한 경우에 대해서 설명하였다. 그러나, 어시스트 전극으로서 기능하는 화소내 분리 영역(32)은, 제1 및 제2 광전 변환 영역(21A, 21B) 중 어느 한쪽에 마련해도 된다. 단, 어시스트 전극으로서 기능하는 화소내 분리 영역(32)은, 근적외광을 광전 변환하는 광전 변환부(24a)를 포함하는 제1 광전 변환 영역(21A)에 마련하는 것이 바람직하다.
- [0286] [제5 실시 형태]
- [0287] 도 14는 본 기술의 제5 실시 형태에 관한 고체 촬상 장치의 화소의 일 구성예를 도시하는 등가 회로도이다.
- [0288] 본 기술의 제5 실시 형태에 관한 고체 촬상 장치(1E)는, 도 14에 나타내는 화소(60)를 구비하고 있다. 도 14에서는, 1개의 화소(60)를 예시하고 있지만, 화소(60)는, 상술한 제1 실시 형태의 도 1에 나타내는 화소(3)와 마찬가지로, X 방향 및 Y 방향 각각의 방향으로 반복 배치되어, 화소 어레이부를 구성하고 있다.
- [0289] 도 14에 도시하는 바와 같이, 화소(60)는, 광전 변환부(광전 변환 소자PD)(61), 제1 전송 트랜지스터(TRG)(62), 제2 전송 트랜지스터(TRG)(63), 메모리부(64), 플로팅 디퓨전(FD) 영역(65), 증폭 트랜지스터(AMP)(66), 선택 트랜지스터(SEL)(67) 및 리셋 트랜지스터(RST)(68)를 구비하고 있다. 메모리부(64)는, 본 기술의 「전하 보유부」의 일 구체예이다.
- [0290] 광전 변환부(61)는, 화소(60)에 조사되는 광을 수광하고, 그 광의 광량에 따른 전하를 발생시켜 축적한다.
- [0291] 제1 전송 트랜지스터(62)는, 수직 구동부로부터 공급되는 전송 신호에 따라서 구동하고, 제1 전송 트랜지스터(62)가 온이 되면, 광전 변환부(61)에 축적되어 있는 전하가 메모리부(64)에 전송된다.
- [0292] 제2 전송 트랜지스터(63)는, 수직 구동부로부터 공급되는 전송 신호에 따라서 구동하고, 제2 전송 트랜지스터(63)가 온이 되면, 메모리부(64)에 축적되어 있는 신호 전하가 플로팅 디퓨전 영역(65)에 전송된다. 메모리부(64)는, 제1 전송 트랜지스터(62)를 통해서 광전 변환부(61)로부터 전송되는 신호 전하를 축적한다.
- [0293] 플로팅 디퓨전 영역(65)은, 제2 전송 트랜지스터(63)와 증폭 트랜지스터(66)의 게이트 전극의 접속점에 형성된 소정의 용량을 갖는 부유 확산 영역이며, 제2 전송 트랜지스터(63)를 통해서 메모리부(64)로부터 전송되는 신호 전하를 축적한다.
- [0294] 증폭 트랜지스터(66)는, 전원선 Vdd에 접속되어 있고, 플로팅 디퓨전 영역(65)에 축적되어 있는 신호 전하에 따른 레벨의 화소 신호를 출력한다.

- [0295] 선택 트랜지스터(67)는, 수직 구동부로부터 공급되는 선택 신호에 따라서 구동하고, 선택 트랜지스터(67)가 온이 되면, 증폭 트랜지스터(66)로부터 출력되는 화소 신호가 선택 트랜지스터(67)를 통해서 수직 신호선(11)에 관독 가능한 상태로 된다.
- [0296] 리셋 트랜지스터(68)는, 수직 구동부로부터 공급되는 리셋 신호에 따라서 구동하고, 리셋 트랜지스터(68)가 온이 되면, FD(65)에 축적되어 있는 전하가, 리셋 트랜지스터(68)를 통해서 전원 Vdd에 배출되고, 플로팅 디퓨전 영역(65)이 리셋된다.
- [0297] 이와 같이 구성된 화소(60)를 갖는 고체 촬상 장치(1E)에서는, 글로벌 셔터 방식이 채용되어, 모든 화소(60)에 대해서 동시에, 광전 변환부(61)로부터 메모리부(64)에 신호 전하를 전송할 수 있어, 모든 화소(60)의 노광 타이밍을 동일하게 할 수 있다. 이에 의해, 화상에 변형이 발생하는 것을 회피할 수 있다.
- [0298] 이 제5 실시 형태에서, 상세하게 도시하고 있지 않지만, 도 4 및 도 5를 참조하여 설명하면, 광전 변환부(광전 변환 소자 PD)(61), 제1 전송 트랜지스터(TRG)(62), 제2 전송 트랜지스터(TRG)(63), 메모리부(64), 플로팅 디퓨전(FD) 영역(65), 증폭 트랜지스터(AMP)(66), 선택 트랜지스터(SEL)(67) 및 리셋 트랜지스터(RST)(68)는, 화소간 분리 영역(31)으로 구획된 광전 변환 영역(21)에 탑재되어 있다. 그리고 이 광전 변환 영역(21)은, 화소간 분리 영역(31)으로부터 이격되어 마련된 화소내 분리 영역(32)에 의해, 평면으로 보아 Y 방향의 폭이 상대적으로 다른 2개의 영역으로 선택적으로 분리되어 있다. 그리고 화소내 분리 영역(32)으로 분리된 2개의 영역 중, Y 방향의 폭이 넓은 쪽의 영역에 광전 변환부(61)가 마련되고, Y 방향의 폭이 좁은 쪽의 영역에 메모리부(64)가 마련되어 있다.
- [0299] 이 제5 실시 형태에 관한 고체 촬상 장치(1E)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로 효과가 얻어진다.
- [0300] [제6 실시 형태]
- [0301] 도 15는 본 기술의 제6 실시 형태에 관한 고체 촬상 장치의 화소의 일 구성예를 도시하는 등가 회로도이다.
- [0302] 본 기술의 제6 실시 형태에 관한 고체 촬상 장치(1F)는, 도 15에 나타내는 화소(70)를 구비하고 있다. 도 15에서는, 1개의 화소(70)를 예시하고 있지만, 화소(70)는, 상술한 제1 실시 형태의 도 1에 나타내는 화소(3)와 마찬가지로, X 방향 및 Y 방향 각각의 방향으로 반복 배치되어, 화소 어레이부를 구성하고 있다. 이 화소(70)를 갖는 고체 촬상 장치(1F)는, 차지 도메인형 글로벌 셔터 방식을 채용하고 있다.
- [0303] 도 15에 도시하는 바와 같이, 화소(70)는, 예를 들어 광전 변환부(광전 변환 소자 PD)(71), 전송 트랜지스터(TRG)(72), 전하 보유부 및 전하 전압 변환부로서의 플로팅 디퓨전(FD) 영역(73), 리셋 트랜지스터(RST)(74), 피드백 이네이블 트랜지스터(FBEN)(75), 배출 트랜지스터(OFG)(76), 증폭 트랜지스터(AMP)(77) 및 선택 트랜지스터(SEL)(78) 등을 포함하고 있다. 플로팅 디퓨전 영역(73)은, 본 기술의 「전하 보유부」의 일 구체예에 상당한다.
- [0304] 이 실시 형태에서는, 화소 트랜지스터로서의 전송 트랜지스터(72), FD(73), 리셋 트랜지스터(74), 피드백 이네이블 트랜지스터(75), 배출 트랜지스터(76), 증폭 트랜지스터(AMP)(77) 및 선택 트랜지스터(78)는, 모두 n채널 도전형 MOS 트랜지스터이다. 이들 화소 트랜지스터(72, 74, 75, 76, 77, 78)의 각 게이트 전극에는, 구동 신호가 각각 공급되도록 되어 있다. 각 구동 신호는, 고레벨의 상태가 액티브 상태, 즉 온 상태로 되고, 저레벨의 상태가 비액티브 상태, 즉 오프 상태로 되는 펄스 신호이다. 또한, 이하, 구동 신호를 액티브 상태로 하는 것을, 구동 신호를 온한다라고도 칭하고, 구동 신호를 비액티브 상태로 하는 것을, 구동 신호를 오프한다라고도 칭한다.
- [0305] 광전 변환부(71)는, 예를 들어 pn접합의 포토다이오드를 포함하는 광전 변환 소자이며, 피사체로부터의 광을 수광하고, 그 수광량에 따른 전하를 광전 변환에 의해 생성하여, 축적하는 것이다.
- [0306] 전송 트랜지스터(72)는, 광전 변환부(71)와 플로팅 디퓨전 영역(73)의 사이에 접속되어 있고, 전송 트랜지스터(72)의 게이트 전극에 인가되는 구동 신호에 따라, 광전 변환부(71)에 축적되어 있는 신호 전하를 플로팅 디퓨전 영역(73)에 전송하는 것이다.
- [0307] 플로팅 디퓨전 영역(73)은, 글로벌 셔터 기능을 실현하기 위해서, 플로팅 디퓨전 영역(73)에 축적된 신호 전하를 일시적으로 보유하는 영역이다. 또한, 플로팅 디퓨전 영역(73)은, 전송 트랜지스터(72)를 통해서 광전 변환부(71)로부터 전송되어 온 신호 전하를 전기 신호(예를 들어, 전압 신호)로 변환해서 출력하는 부유 확산 영역이기도 하다. 플로팅 디퓨전 영역(73)에는, 리셋 트랜지스터(74)가 접속됨과 함께, 증폭 트랜지스터(77) 및 선

택 트랜지스터(78)를 통해서 수직 신호선(11)이 접속되어 있다.

- [0308] 리셋 트랜지스터(74)는, 피드백 이네이블 트랜지스터(75)에 접속된 드레인 영역과, 플로팅 디퓨전 영역(FD)(73)에 접속된 소스 영역을 갖고 있다. 리셋 트랜지스터(74)는, 그 게이트 전극에 인가되는 구동 신호에 따라, 플로팅 디퓨전 영역(73)을 초기화, 즉 리셋한다.
- [0309] 피드백 이네이블 트랜지스터(75)는, 리셋 트랜지스터(74)에 인가되는 리셋 전압의 제어를 행한다.
- [0310] 배출 트랜지스터(76)는, 전원 Vdd에 접속된 드레인 영역과, 광전 변환부(71)에 접속된 소스 영역을 갖고 있다. 광전 변환부(71)의 캐소드는, 배출 트랜지스터(76)의 소스 영역 및 전송 트랜지스터(72)의 소스 영역에 대해서 공통으로 접속되어 있다. 전송 트랜지스터(72)는, 그 게이트 전극에 인가되는 구동 신호에 따라, 광전 변환부(71)를 초기화, 즉 리셋한다. 「광전 변환부(71)를 리셋한다」란, 광전 변환부(71)를 공핍화한다는 의미이다.
- [0311] 증폭 트랜지스터(AMP)(77)는, 플로팅 디퓨전 영역(73)에 접속된 게이트 전극과, 전원 Vdd에 접속된 드레인 영역을 갖고 있고, 광전 변환부(71)에서의 광전 변환에 의해 얻어지는 신호 전하를 읽어내는 소스 팔로워 회로의 입력부가 된다. 즉, 증폭 트랜지스터(77)는, 그 소스 영역이 선택 트랜지스터(78)를 통해서 VSL(117)에 접속됨으로써, 수직 신호선(11)의 일단부에 접속되는 정전류원과 함께 소스 팔로워 회로를 구성한다.
- [0312] 선택 트랜지스터(78)는, 증폭 트랜지스터(77)의 소스 영역과 수직 신호선(11)의 사이에 접속되어 있고, 선택 트랜지스터(78)의 게이트 전극에는, 선택 신호가 공급된다. 선택 트랜지스터(78)는, 그 선택 신호가 온하면 도통 상태로 되어, 선택 트랜지스터(78)가 마련되어 있는 화소(70)가 선택 상태로 된다. 화소(70)가 선택 상태로 되면, 증폭 트랜지스터(77)로부터 출력되는 화소 신호가 수직 신호선(11)을 통해서 칼럼 신호 처리 회로(5)(도 2 참조)에 의해 읽어내지도록 되어 있다.
- [0313] 또한, 도 2를 참조하여 설명하면, 이 실시 형태의 화소 어레이부(2A)에서는, 복수의 화소 구동선(10)이, 예를 들어 화소행마다 배선된다. 그리고 수직 구동 회로부(4)로부터 복수의 화소 구동선(10)을 통해서, 선택된 화소(70)에 대해서 각 구동 신호가 공급되도록 되어 있다.
- [0314] 이와 같이 구성된 화소(70)를 갖는 고체 촬상 장치(1F)에서는, 글로벌 셔터 방식이 채용되어, 모든 화소(70)에 대해서 동시에, 광전 변환부(71)로부터 플로팅 디퓨전(FD) 영역(73)에 신호 전하를 전송할 수 있어, 모든 화소(70)의 노광 타이밍을 동일하게 할 수 있다. 이에 의해, 화상에 변형이 발생하는 것을 회피할 수 있다.
- [0315] 이 제6 실시 형태에서, 상세하게 도시하고 있지 않지만, 도 4 및 도 5를 참조하여 설명하면, 광전 변환부(광전 변환 소자 PD)(71), 전송 트랜지스터(TRG)(72), 플로팅 디퓨전(FD) 영역(73), 리셋 트랜지스터(RST)(74), 피드백 이네이블 트랜지스터(FBEN)(75), 배출 트랜지스터(OFG)(76), 증폭 트랜지스터(AMP)(77) 및 선택 트랜지스터(SEL)(78)는, 화소간 분리 영역(31)으로 구획된 광전 변환 영역(21)에 탑재되어 있다. 그리고 이 광전 변환 영역(21)은, 화소간 분리 영역(31)으로부터 이격되어 마련된 화소내 분리 영역(32)에 의해, 평면으로 보아 Y 방향의 폭이 상대적으로 다른 2개의 영역으로 선택적으로 분리되어 있다. 그리고 화소내 분리 영역(32)으로 분리된 2개의 영역 중, Y 방향의 폭이 넓은 쪽의 영역에 광전 변환부(71)가 마련되고, Y 방향의 폭이 좁은 쪽의 영역에 플로팅 디퓨전(FD) 영역(73)이 마련되어 있다.
- [0316] 이 제6 실시 형태에 관한 고체 촬상 장치(1F)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로 효과가 얻어진다.
- [0317] [제7 실시 형태]
- [0318] 도 16은 본 기술의 제7 실시 형태에 관한 고체 촬상 장치의 화소의 일 구성예를 도시하는 등가 회로도이다.
- [0319] 본 기술의 제7 실시 형태에 관한 고체 촬상 장치(1G)는, 도 16에 나타내는 화소(90)를 구비하고 있다. 도 16에서는, 1개의 화소(90)를 예시하고 있지만, 화소(90)는, 상술한 제1 실시 형태의 도 1에 나타내는 화소(3)와 마찬가지로, X 방향 및 Y 방향 각각의 방향으로 반복 배치되어, 화소 어레이부를 구성하고 있다. 이 화소(90)를 갖는 고체 촬상 장치(1G)는, 볼티지 도메인의 글로벌 셔터 방식을 채용하고 있다.
- [0320] 도 16에 도시하는 바와 같이, 화소(90)는, 전단 회로(110)와, 용량 소자(121 및 122)와, 선택 회로(130)와, 후단 리셋 트랜지스터(141)와, 후단 회로(150)를 구비하고 있다.
- [0321] 전단 회로(110)는, 광전 변환부(PD)(111), 전송 트랜지스터(TRG)(112), 리셋 트랜지스터(RST)(113a), 전환 트랜지스터(FDG)(113b), 플로팅 디퓨전 영역(FD)(114), 전단 증폭 트랜지스터(AMP)(115a), 전단 선택 트랜지스터(115b) 및 전류원 트랜지스터(116)를 구비하고 있다. 플로팅 디퓨전 영역(FD)(114)은, 본 기술의 「전하 보유

부」의 일 구체예에 상당한다.

- [0322] 광전 변환부(111)는, 광전 변환에 의해 전하를 생성하는 것이다. 전송 트랜지스터(112)는, 수직 구동 회로(4)(도 2 참조)로부터의 전송 신호 trg 에 따라서, 광전 변환부(111)로부터 플로팅 디퓨전 영역(114)에 전하를 전송하는 것이다.
- [0323] 리셋 트랜지스터(RST)(113a)는, 수직 구동 회로(4)로부터의 FD 리셋 신호 rst 에 따라서, 플로팅 디퓨전 영역(114)으로부터 신호 전하를 인발해서 초기화하는 것이다.
- [0324] 플로팅 디퓨전 영역(114)은, 전하를 축적하여, 전하량에 따른 전압을 생성하는 것이다. 전단 증폭 트랜지스터(115a)는, 플로팅 디퓨전 영역(114)의 전압 레벨을 증폭해서 전단 노드(120)에 출력하는 것이다.
- [0325] 리셋 트랜지스터(RST)(113a) 및 전단 증폭 트랜지스터(115a)의 소스 영역은, 전원 전압 V_{dd} 에 접속되어 있다. 전류원 트랜지스터(116)는, 전단 증폭 트랜지스터(115a)의 드레인 영역에 접속되어 있다. 이 전류원 트랜지스터(116)는, 수직 구동 회로(4)의 제어에 따라, 전류 $id1$ 을 공급한다.
- [0326] 용량 소자(121 및 122) 각각의 일단부는, 전단 노드(120)에 공통으로 접속되고, 각각의 타단부는, 선택 회로(130)에 접속되어 있다.
- [0327] 선택 회로(130)는, 선택 트랜지스터(131) 및 선택 트랜지스터(132)를 구비하고 있다. 선택 트랜지스터(131)는, 수직 구동 회로(4)로부터의 선택 신호 Φ_r 에 따라서, 용량 소자(121)와 후단 노드(140)의 사이의 경로를 개폐하는 것이다. 선택 트랜지스터(132)는, 수직 구동 회로(4)로부터의 선택 신호 Φ_s 에 따라서, 용량 소자(122)와 후단 노드(140)의 사이의 경로를 개폐하는 것이다.
- [0328] 후단 리셋 트랜지스터(141)는, 수직 구동 회로(4)로부터의 후단 리셋 신호 $rstb$ 에 따라서, 후단 노드(140)의 레벨을 소정의 전위 V_{reg} 로 초기화하는 것이다. 전위 V_{reg} 에는, 전원 전위 V_{dd} 와 다른 전위(예를 들어, V_{dd} 보다 낮은 전위)가 설정된다.
- [0329] 후단 회로(150)는, 후단 증폭 트랜지스터(151) 및 후단 선택 트랜지스터(152)를 구비하고 있다. 후단 증폭 트랜지스터(151)는, 후단 노드(140)의 레벨을 증폭하는 것이다. 후단 선택 트랜지스터(152)는, 수직 구동 회로(4)로부터의 후단 선택 신호 $selb$ 에 따라서, 후단 증폭 트랜지스터(151)에 의해 증폭된 레벨의 신호를 화소 신호로서 수직 신호선(11)(도 2 참조)에 출력하는 것이다.
- [0330] 이 실시 형태의 수직 구동 회로(4)는, 노광 개시 시에 전체 화소에 하이레벨인 FD 리셋 신호 rst 및 전송 신호 trg 를 공급한다. 이에 의해, 광전 변환부(111)가 초기화된다. 이하, 이 제어를 「PD 리셋」이라고 칭한다.
- [0331] 그리고 수직 구동 회로(4)는, 노광 종료 직전에, 전체 화소에 대해서 후단 리셋 신호 $rstb$ 및 선택 신호 Φ_r 을 하이레벨로 하면서, 펄스 기간에 걸쳐서 하이레벨인 FD 리셋 신호 rst 를 공급한다. 이에 의해, 플로팅 디퓨전 영역(114)이 초기화되고, 그때의 플로팅 디퓨전 영역(114)의 레벨에 따른 레벨이 용량 소자(121)에 보유된다. 이 제어를 이하, 「FD 리셋」이라고 칭한다.
- [0332] FD 리셋 시의 플로팅 디퓨전 영역(114)의 레벨과, 그 레벨에 대응하는 레벨(용량 소자(121)의 보유 레벨이나, 수직 신호선(11)의 레벨)을 통합하여, 이하, 「P상」 또는 「리셋 레벨」이라고 칭한다.
- [0333] 수직 구동 회로(4)는, 노광 종료 시에, 전체 화소에 대해서 후단 리셋 신호 $rstb$ 및 선택 신호 Φ_s 를 하이레벨로 하면서, 펄스 기간에 걸쳐서 하이레벨인 전송 신호 trg 를 공급한다. 이에 의해, 노광량에 따른 신호 전하가 플로팅 디퓨전 영역(114)에 전송되고, 그때의 플로팅 디퓨전 영역(114)의 레벨에 따른 레벨이 용량 소자(122)에 보유된다.
- [0334] 신호 전하의 전송 시의 플로팅 디퓨전 영역(114)의 레벨과, 그 레벨에 대응하는 레벨(용량 소자(122)의 보유 레벨이나, 수직 신호선(11)의 레벨)을 통합하여, 이하, 「D상」 또는 「신호 레벨」이라고 칭한다.
- [0335] 이와 같이 전체 화소에 대해서 동시에 노광을 개시하고, 종료하는 노광 제어는, 글로벌 셔터 방식이라고 불린다. 이 노광 제어에 의해, 전체 화소의 전단 회로(110)는, 리셋 레벨 및 신호 레벨을 순서대로 생성한다. 리셋 레벨은, 용량 소자(121)에 보유되고, 신호 레벨은, 용량 소자(122)에 보유된다.
- [0336] 노광 종료 후에 수직 구동 회로(4)는, 행을 순서대로 선택하고, 그 행의 리셋 레벨 및 신호 레벨을 순서대로 출력시킨다. 리셋 레벨을 출력시킬 때, 수직 구동 회로(4)는, 선택한 행의 FD 리셋 신호 rst 및 후단 선택 신호 $selb$ 를 하이레벨로 하면서, 하이레벨인 선택 신호 Φ_r 을 소정 기간에 걸쳐서 공급한다. 이에 의해, 용량 소자

(121)가 후단 노드(140)에 접속되어, 리셋 레벨이 읽어내진다.

- [0337] 리셋 레벨의 판독 후에 수직 구동 회로(4)는, 선택한 행의 FD 리셋 신호 rst 및 후단 선택 신호 selb를 하이레벨로 한 상태에서, 하이레벨의 후단 리셋 신호 rstb를 펄스 기간에 걸쳐서 공급한다. 이에 의해, 후단 노드(140)의 레벨이 초기화된다. 이때, 선택 트랜지스터(131) 및 선택 트랜지스터(132)는 양쪽 모두 개방 상태이며, 용량 소자(121 및 122)는, 후단 노드(140)로부터 분리된다.
- [0338] 후단 노드(140)의 초기화 후에, 수직 구동 회로(4)는, 선택한 행의 FD 리셋 신호 rst 및 후단 선택 신호 selb를 하이레벨로 한 상태에서, 하이레벨의 선택 신호 Φ_s 를 소정 기간에 걸쳐서 공급한다. 이에 의해, 용량 소자(122)가 후단 노드(140)에 접속되어, 신호 레벨이 읽어내진다.
- [0339] 상술한 판독 제어에 의해, 선택된 행의 선택 회로(130)는, 용량 소자(121)를 후단 노드(140)에 접속하는 제어와, 용량 소자(121 및 122)를 후단 노드(140)로부터 분리하는 제어와, 용량 소자(122)를 후단 노드(140)에 접속하는 제어를 순서대로 행한다. 또한, 용량 소자(121 및 122)가 후단 노드(140)로부터 분리되었을 때, 선택된 행의 후단 리셋 트랜지스터(141)는 후단 노드(140)의 레벨을 초기화한다. 또한, 선택된 행의 후단 회로(150)는, 후단 노드(140)를 통해서 리셋 레벨 및 신호 레벨을 용량 소자(121 및 122)로부터 순서대로 읽어내서 수직 신호선(11)에 출력한다.
- [0340] 이 제7 실시 형태에서, 상세하게 도시하고 있지 않지만, 도 4 및 도 5를 참조하여 설명하면, 광전 변환부(광전 변환 소자 PD)(111), 전송 트랜지스터(TRG)(112), 플로팅 디퓨전(FD) 영역(114)은, 화소간 분리 영역(31)으로 구획된 광전 변환 영역(21)에 탑재되어 있다. 그리고 이 광전 변환 영역(21)은, 화소간 분리 영역(31)으로부터 이격되어 마련된 화소내 분리 영역(32)에 의해, 평면으로 보아 Y 방향의 폭이 상대적으로 다른 2개의 영역으로 선택적으로 분리되어 있다. 그리고 화소내 분리 영역(32)으로 분리된 2개의 영역 중, Y 방향의 폭이 넓은 쪽의 영역에 광전 변환부(111)가 마련되고, Y 방향의 폭이 좁은 쪽의 영역에 플로팅 디퓨전(FD) 영역(114)이 마련되어 있다.
- [0341] 이 제7 실시 형태에 관한 고체 촬상 장치(1G)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로 효과가 얻어진다.
- [0342] [제8 실시 형태]
- [0343] 이 제8 실시 형태에서는, 주로 차광체(80H)에 대해서 설명한다.
- [0344] 도 17은 이 제8 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 차광체의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0345] 도 18은 도 17의 a17-a17선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0346] 도 19는 도 18의 일부를 확대한 평면도이다.
- [0347] 도 20은 도 19의 a19-a19선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0348] 또한, 도 17 및 도 19는, 도 18 및 도 20에 나타내는 반도체층(20)의 제2면 S2측(광 입사면측)에서 본 평면도이다. 그리고 도 18 및 도 20은, 상술한 제1 실시 형태의 도 5 및 도 6에 대해서 상하가 반전되어 있다.
- [0349] <<고체 촬상 장치의 구성>>
- [0350] 본 기술의 제8 실시 형태에 관한 고체 촬상 장치(1H)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로 구성되어 있고, 이하의 구성이 다르게 되어 있다.
- [0351] 즉, 도 17 내지 도 20에 도시하는 바와 같이, 본 기술의 제8 실시 형태에 관한 고체 촬상 장치(1H)는, 상술한 제1 실시 형태의 도 4 및 도 5에 나타내는 차광막(54) 대신에 차광체(80H)를 구비하고 있다. 기타 구성은, 대략 제1 실시 형태와 마찬가지로, 마찬가지로 구성에는 동일 부호를 붙이고, 중복되는 설명을 생략한다.
- [0352] 도 17 및 도 18에 도시하는 바와 같이, 이 제8 실시 형태의 차광체(80H)는, 반도체층(20)의 제2면 S2측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b) 및 제2 영역(21b) 내의 플로팅 디퓨전 영역(FD) 각각과 중첩되어 있다. 그리고 차광체(80H)는, 반도체층(20)의 두께 방향(Z 방향)에 있어서, 제2 영역(21b)의 내외에 걸쳐서 마련되어 있다.
- [0353] 도 17에 도시하는 바와 같이, 차광체(80H)는, X 방향으로 연신되며, 또한 Y 방향으로 소정의 배열 피치로 반복 배치된 제1 직선부(81x)와, 이 제1 직선부(81x)와 교차해서 Y 방향으로 연신되며, 또한 X 방향으로 소정의 배열

피치로 반복 배치된 제2 직선부(81y)를 구비하고 있다. 제1 직선부(81x)는, 평면으로 보아 화소간 분리 영역(31)의 제1 부분(31x)과 중첩되고, 제2 직선부(81y)는, 평면으로 보아 화소간 분리 영역(31)의 제2 부분(31y)과 중첩되어 있다. 즉, 이 제8 실시 형태의 차광체(80H)도, 상술한 제1 실시 형태의 차광막(54)과 마찬가지로, 소정의 광전 변환 영역(21)에 입사하는 광이 인접한 광전 변환 영역(21)으로 새어 들어가지 않도록, 평면으로 보아 평면 패턴이 복수의 광전 변환 영역(21) 각각의 수광면측(제2면 S2측)을 개구하는 격자상 평면 패턴으로 되어 있다. 제1 직선부(81x)의 Y 방향의 폭 Xwy는, 제2 직선부(81y)의 X 방향의 폭 Ywx보다 폭이 넓게 되어 있다.

[0354] 또한, 도 19 및 도 20에 도시하는 바와 같이, 차광체(80H)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 제1 차광 부분(82a)과, 이 제1 차광 부분(82a)으로부터 광전 변환 영역(21)의 제2 영역(21b)의 내부로 돌출되는 제2 차광 부분(82b)을 구비하고 있다. 이 제1 차광 부분(82a) 및 제2 차광 부분(82b)은 제1 직선부(81x)에 구성되어 있다. 바꾸어 말하면, 제1 직선부(81x)는, 제1 차광 부분(82a) 및 제2 차광 부분(82b)을 포함하고 있다.

[0355] 여기서, 제1 실시 형태에서 설명한 바와 같이, 화소내 분리 영역(32)은, 평면으로 보아 예를 들어 X 방향으로 연신되며, 또한 화소간 분리 영역(31)(제1 부분(31x) 및 제2 부분(31y))으로부터 이격되어 마련되어 있다. 그리고 화소내 분리 영역(32)은, Y 방향에 있어서, 평면으로 보아 광전 변환 영역(21)의 중앙부보다 화소간 분리 영역(31)측에 치우쳐서 배치되고, 광전 변환 영역(21)을 평면으로 보아 Y 방향의 폭이 상대적으로 다른 2개의 영역(제1 영역(21a), 제2 영역(21b))으로 선택적으로 분리하고 있다(칸막이하고 있다). 그리고 화소내 분리 영역(32)으로 분리된 2개의 영역(제1 영역(21a), 제2 영역(21b)) 중 Y 방향의 폭이 넓은 쪽의 제1 영역(21a)에 광전 변환부(24)가 마련되고, Y 방향의 폭이 좁은 쪽의 제2 영역(21b)에 플로팅 디퓨전 영역(FD)이 마련되어 있다. 즉, 화소내 분리 영역(32)은, 광전 변환 영역(21)을 일방향(Y 방향)에 있어서 제1 영역(21a)과 제2 영역(21b)으로 분리하고 있다.

[0356] 도 20에 도시하는 바와 같이, 제2 차광 부분(82b)은, 반도체층(20)의 두께 방향(Z 방향)에 있어서, 반도체층(20)의 제2면 S2를 가로 지르고 있다. 그리고 제2 차광 부분(82b)은, 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 화소간 분리 영역(31) 및 화소내 분리 영역(32) 각각으로부터 이격되어 있다.

[0357] 또한, 제2 차광 부분(82b)은, 절연막(53) 및 반도체층(20)에 걸쳐서 마련된 파입부(33h)의 내부에 절연막(33h₁)을 개재해서 마련되어 있다. 절연막(33h₁)은, 주로 제2 차광 부분(82b)과 반도체층(20)을 전기적으로 절연 분리할 목적으로 마련되어 있다. 도 20에서는, 절연막(33h₁)을 절연막(53)으로부터 반도체층(20)에 걸쳐서 마련하고 있지만, 절연막(33h₁)은 반도체층(20)측에만 마련하도록 해도 된다.

[0358] 도 20에 도시하는 바와 같이, 제1 차광 부분(82a)은, 절연막(53)의 반도체층(20)측과는 반대측에 마련되어 있다. 한편, 제2 차광 부분(82b)은, 절연막(53)을 관통해서 제2 영역(21b)의 내부(반도체층(20)의 내부)에 도달하고 있다.

[0359] 도 19 및 도 20에 도시하는 바와 같이, 차광체(80H)는, 이것에 한정되지 않지만, 2차원 평면 내에서 X 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21)에 걸쳐서 연신되어 있다. 그리고 제1 차광 부분(82a)도, X 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21)에 걸쳐서 연속적으로 연신되어 있다. 한편, 제2 차광 부분(82b)은, X 방향으로 배열되는 광전 변환 영역(21)마다 분리해서 마련되어 있다. 즉, 제2 차광 부분(82b)은, 제1 차광 부분(82a)과는 달리, Y 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21)에 걸쳐서 연속적으로 연신되어 있지 않다.

[0360] 제2 차광 부분(82b)은, 평면으로 보아 화소내 분리 영역(32)과 함께 X 방향으로 연신되어 있다. 제2 차광 부분(82b)의 X 방향의 길이는, 화소내 분리 영역(32)의 X 방향의 길이와 동등, 혹은 화소내 분리 영역(32)의 X 방향의 길이보다 긴 것이 바람직하다. 이 제8 실시 형태에서는, 제2 차광 부분(82b)의 X 방향의 길이가 화소내 분리 영역(32)의 X 방향의 길이보다 길게 되어 있다.

[0361] 제1 차광 부분(82a)은, 주로, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)의 제2면 S2의 외측에서 차광하여, 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제한다. 한편, 제2 차광 부분(82b)은, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)의 제2면 S2측의 내부에서 차광하여, 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제한다. 즉, 차광체(80H)는, 광전 변환 영역(21)의 제2 영역(21b)에 침입(입사)하는 광을 반도체층(20)의 제2면 S2측에서 차광하여, 광전 변환 영역(21)의 제2 영역(21b) 내에서 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도

달을 억제한다.

- [0362] 차광체(80H)로서는, 차광성이 우수하고, 또한 광 반사율이 산화실리콘막이나 실리콘막보다 높은 재료로서, 예를 들어 티타늄(Ti), 텅스텐(W), 알루미늄(Al) 등의 금속막, 혹은 합금막을 사용하는 것이 바람직하다. 이 제8 실시 형태에서는, 차광체(80H)로서 예를 들어 텅스텐(W)막을 사용하고 있다.
- [0363] 여기서, 이 제8 실시 형태에서는, 화소간 분리 영역(31), 화소내 분리 영역(32), 플로팅 디퓨전 영역(FD)이, 본 기술의 「제1 분리 영역」, 「제2 분리 영역」, 「전하 보유부」에 각각 상당한다.
- [0364] 《고체 촬상 장치의 제조 방법》
- [0365] 이어서, 본 기술의 제8 실시 형태에 관한 고체 촬상 장치(1H)의 제조 방법에 대해서, 도 22a 내지 도 22i를 사용하여 설명한다.
- [0366] 이 제8 실시 형태에서는, 고체 촬상 장치(1H)의 제조 방법에 포함되는 차광체(80H)의 제조에 특화해서 설명한다.
- [0367] 먼저, 도 22a에 도시하는 바와 같이, 광전 변환 영역(21), 소자 분리 영역(25), 파임부(33a), 화소내 분리 영역(32) 등을 반도체층(20)에 형성함과 함께, 반도체층(20)의 제1면 S1측에 다층 배선층(40)을 형성한다.
- [0368] 화소내 분리 영역(32)은, 반도체층(20)의 깊이 방향(Z 방향)으로 연신되는 파임부(33b)의 내부의 측벽을 따라 마련된 분리 절연막(34)과, 이 파임부(33b)에 분리 절연막(34)을 개재해서 충전된 도전재(35)를 포함한다.
- [0369] 파임부(33a)는, 도 22f에 나타내는 화소간 분리 영역(31)의 기초가 되는 것이다. 그리고 파임부(33a)는, 화소내 분리 영역(32)의 파임부(33b)와 마찬가지로, 반도체층(20)의 깊이 방향(Z 방향)으로 연신되고, 그 내부에 분리 절연막(34)을 개재해서 도전재(35)가 충전된다. 파임부(33a)는, 광전 변환 영역(21)을 광전 변환 영역(21)마다 구획한다. 파임부(33a 및 33b)는, 예를 들어 동일 공정에서 형성한다.
- [0370] 광전 변환 영역(21)은, 소자 형성 영역(20a), p형 웰 영역(22), n형 반도체 영역(23), 광전 변환부(24)(PD), 소자 분리 영역(필드 분리 영역)(25), 소자 형성 영역(20a)에 형성된 화소 트랜지스터(AMP, SEL, RST, TR) 등을 포함한다. 또한, 광전 변환 영역(21)은, 플로팅 디퓨전 영역(FD), 화소내 분리 영역(32), 이 화소내 분리 영역(32)으로 분리된 제1 영역(21a) 및 제2 영역(21b)을 포함한다.
- [0371] p형 웰 영역(22)은 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)에 형성한다. 소자 형성 영역(20a), n형 반도체 영역(23), 광전 변환부(24)는, 광전 변환 영역(21)의 제1 영역(21a)에 형성한다. 그리고 플로팅 디퓨전 영역(FD)은, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)의 제1면 S1측에 형성한다. 반도체층(20)으로서, 이것에 한정되지 않지만, 예를 들어 단결정 실리콘을 포함하는 p형 반도체 기판을 사용하고 있다.
- [0372] 이어서, 반도체층(20)의 제1면 S1측에 다층 배선층(40)을 형성한 후, 반도체층(20)의 제2면 S2측을 예를 들어 CMP법으로 절삭해서 반도체층(20)의 두께를 얇게 하여, 도 22b에 도시하는 바와 같이, 반도체층(20)의 제2면 S2로부터 화소내 분리 영역(32)을 노출시킴과 함께, 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)를 노출시킨다.
- [0373] 이어서, 반도체층(20)의 제2면 S2로부터 화소내 분리 영역(32), 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)를 노출시킨 후, 도 22c에 도시하는 바와 같이, 광전 변환 영역(21)의 제1 영역(21a)에서, 반도체층(20)의 제2면 S2에 회절 산란부(51)를 형성한다.
- [0374] 이어서, 회절 산란부(51)를 형성한 후, 도 22d에 도시하는 바와 같이, 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)를 선택적으로 제거한다. 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용함으로써 선택적으로 제거할 수 있다.
- [0375] 이어서, 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)를 선택적으로 제거한 후, 도 22e에 도시하는 바와 같이, 파임부(33a)의 내벽(측벽 및 저벽), 그리고 반도체층(20)의 제2면 S2를 덮는 고정 전하막(52)을 성막한다. 고정 전하막(52)은, 반도체층(20)의 제2면 S2측에서, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)에 걸쳐서 형성되고, 제1 영역(21a)의 회절 산란부(51)는 고정 전하막(52)으로 덮인다.
- [0376] 이어서, 고정 전하막(52)을 형성한 후, 도 22f에 도시하는 바와 같이, 파임부(33a)의 내부를 포함하는 반도체층(20)의 제2면 S2측의 전체면에 절연막(53)을 형성한다. 절연막(53)은, 예를 들어 산화실리콘막을 CVD법으로 성

막한 후, 이 산화실리콘막의 표면층을 CMP법으로 절삭해서 평탄화함으로써 형성할 수 있다.

[0377] 이 공정에서, 파임부(33a)의 내부에 고정 전하막(52)을 개재해서 절연막(53)이 매립된 화소간 분리 영역(31)이 형성됨과 함께, 이 화소간 분리 영역(31)으로 주위를 구획하며, 또한 내부가 화소내 분리 영역(32)으로 제1 영역(21a)과 제2 영역(21b)으로 분리된 광전 변환 영역(21)이 형성된다.

[0378] 이어서, 절연막(53)을 형성한 후, 도 22g에 도시하는 바와 같이, 절연막(53)의 표면으로부터 광전 변환 영역(21)의 제2 영역(21b)의 내부에 연신되는 파임부(33h)를 형성함과 함께, 파임부(33a)의 내벽(측벽 및 저벽)을 덮는 절연막(33h₁)을 형성한다. 파임부(33h)는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용함으로써 형성할 수 있다. 절연막(33h₁)으로서는 예를 들어 산화실리콘막을 사용할 수 있고, 이 산화실리콘막은, 퇴적법이나 열산화법에 의해 형성할 수 있다.

[0379] 이어서, 파임부(33h) 및 절연막(33h₁)을 형성한 후, 도 22h에 도시하는 바와 같이, 파임부(33h)의 내부를 포함하는 절연막(33h₁) 상의 전체면에 차광막(82)을 형성한다. 차광막(82)은, 예를 들어 차광성이 우수하고, 또한 광을 반사하는 반사율이 산화실리콘막이나 실리콘막보다 높은 티타늄(Ti), 텅스텐(W), 알루미늄(Al) 등의 금속막이나 합금막을 주지의 성막 기술에 의해 성막함으로써 형성할 수 있다. 차광막(82)은, 복수의 광전 변환 영역(21)에 걸쳐서 형성함과 함께, 평면으로 보아 복수의 광전 변환 영역(21) 각각의 제1 영역(21a) 및 제2 영역(21b)을 덮으며, 또한 각각의 제2 영역(21b)의 파임부(33h)를 매립하도록 형성한다. 파임부(33h)에서의 차광막(82)은 절연막(33h₁)을 개재해서 형성된다.

[0380] 이어서, 차광막(82)을 패터닝하여, 도 22i에 도시하는 바와 같이, 광전 변환 영역(21)의 제2 영역(21b) 및 플로팅 디퓨전 영역(FD)을 덮으며, 또한 반도체층(20)의 두께 방향(Z 방향)에 있어서, 제2 영역(21b)의 내외에 걸쳐서 연신되는 차광체(80H)를 형성한다. 차광막(82)의 패터닝은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 행할 수 있다.

[0381] 이 공정에서, 차광체(80H)는, 반도체층(20)의 두께 방향(Z 방향)에 있어서, 광전 변환 영역(21)의 제2 영역(21b)의 외측(반도체층(20)의 제1면 S1의 외측)에 절연막(53)을 개재해서 마련되고, 또한 평면으로 보아 제2 영역(21b) 및 플로팅 디퓨전 영역(FD)과 중첩되는 제1 차광 부분(82a)과, 이 제1 차광 부분(82a)으로부터 절연막(53) 및 고정 전하막(52)을 관통해서 제2 영역(21b)의 내부로 돌출되는 제2 차광 부분(82b)을 포함한다. 또한, 도 17을 참조하여 설명하면, 차광체(80H)는, X 방향으로 연신되며, 또한 Y 방향으로 소정의 배열 피치로 반복 배치된 제1 직선부(81x)와, 이 제1 직선부(81x)와 교차해서 Y 방향으로 연신되며, 또한 X 방향으로 소정의 배열 피치로 반복 배치된 제2 직선부(81y)를 포함한다. 그리고 차광체(80H)는, 평면으로 보아 화소간 분리 영역(31)의 격자상 평면 패턴과 중첩되는 격자상 평면 패턴으로 형성된다. 제1 차광 부분(82a) 및 제2 차광 부분(82b)은, 제1 직선부(81x)에 형성된다.

[0382] 이어서, 차광체(80H)를 형성한 후, 차광체(80H)의 반도체층(20)측과는 반대측에, 컬러 필터(55) 및 마이크로렌즈(56)를 이 순으로 형성함으로써, 도 17 내지 도 20에 나타내는 상태가 된다.

[0383] 또한, 고체 촬상 장치(1H)는, 반도체층(20) 및 다층 배선층(40)을 포함하는 반도체 웨이퍼를 칩 형성 영역마다 분할함으로써 도 1에 나타내는 반도체 칩(2)의 상태가 된다.

[0384] <차광체의 기능>

[0385] 이어서, 차광체(80H)의 기능에 대해서, 도 21b 및 도 6을 참조하여 설명한다.

[0386] 도 21b에 도시하는 바와 같이, 1개의 광전 변환 영역(21)(1개의 화소(3))에서, 마이크로렌즈(56)에 조사된 조사광(57H)은, 경사광(57H₁)으로 되어 마이크로렌즈(56), 컬러 필터(55), 절연막(53), 고정 전하막(52) 및 회절 산란부(51) 등을 투과해서 반도체층(20)의 제2면 S2로부터 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입(입사)한다. 그리고 제1 영역(21a)에 침입한 경사광(57H₁)은, 제1 영역(21a)측으로부터 화소내 분리 영역(32)에 닿는다(조사된다).

[0387] 화소내 분리 영역(32)에 닿는 경사광(57H₁)으로서는, 화소내 분리 영역(32)에서 반사해서 광전 변환 영역(21)의 제1 영역(21a)으로 돌아가는 경사광도 있고, 화소내 분리 영역(32)을 투과해서 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광도 있다. 특히, 도전계(35)로서 실리콘막을 포함하는 화소내 분리 영역(32)의 경우,

실리콘막은 차광성이 부족하기 때문에, 제2 영역(21b)에의 경사광(57H₁)의 침입이 우려된다.

- [0388] 여기서, 상술한 제1 실시 형태의 도 6에 나타내는 차광막(54)을 참조하여 설명하면, 도 6에 나타내는 차광막(54)과 같이, 이 제8 실시 형태의 도 21b에 나타내는 제2 차광 부분(82b)을 구비하고 있지 않을 경우, 광전 변환 영역(21)의 제2 영역(21b)에 침입한 경사광(57H₁)은, 제2 영역(21b)에서 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에 도달한다. 이 플로팅 디퓨전 영역(FD)에의 경사광(57H₁)의 도달은, 기생 광 감도 특성에 영향을 미치기 때문에, 가능한 한 제2 영역(21b)에의 경사광의 침입을 억제하는 것이 중요하다.
- [0389] 이에 반해, 도 21b에 도시하는 바와 같이, 이 제8 실시 형태의 차광체(80H)는, 제1 차광 부분(82a)으로부터 제2 영역(21b)의 내부로 돌출되는 제2 차광 부분(82b)을 구비하고 있다. 이 때문에, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 화소내 분리 영역(32)을 투과한 경사광(57H₁)은 제2 차광 부분(82b)에서 반사해서 제1 영역(21a)으로 돌아간다. 즉, 이 제8 실시 형태의 차광체(80H)는, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 화소내 분리 영역(32)을 투과한 경사광(57H₁)을 제2 차광 부분(82b)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 경사광(57H₁)의 도달을 억제할 수 있다.
- [0390] 또한, 제1 영역(21a)측으로부터 화소내 분리 영역(32)을 투과한 경사광(57H₁)은, 제2 차광 부분(82b)에서 반사해서 제1 영역(21a)으로 돌아가기 때문에, 양자 효율 QE의 향상도 도모할 수 있다.
- [0391] 또한, 도 21b에 도시하는 바와 같이, 평면으로 보아 화소간 분리 영역(31)을 개재해서 서로 인접하는 2개의 광전 변환 영역(21)(21X₁, 21X₂)에서, 한쪽의 광전 변환 영역(21X₁)의 제1 영역(21a)측으로부터 화소간 분리 영역(31)을 투과한 경사광(57H₂)은, 다른 쪽의 광전 변환 영역(21X₂)의 제2 영역(21b)에서의 차광체(80H)의 제2 차광 부분(82b)에서 반사해서 한쪽의 광전 변환 영역(21X₁)의 제1 영역(21a)(광전 변환부(24)(FD))으로 돌아간다. 이 때문에, 양자 효율의 향상을 더욱 도모할 수 있다.
- [0392] 또한, 한쪽의 광전 변환 영역(21X₁)의 제1 영역(21a)측으로부터 화소간 분리 영역(31)을 투과한 경사광(57H₂)은 한쪽의 광전 변환 영역(21X₁)의 제1 영역(21a)으로 되돌릴 수 있기 때문에, 서로 인접하는 2개의 광전 변환 영역(21)간(화소(3)간)에서의 혼색을 억제할 수도 있다.
- [0393] 또한, 도 21b에 도시하는 바와 같이, 이 제8 실시 형태의 차광체(80H)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 제1 차광 부분(82a)도 구비하고 있으므로, 상술한 제1 실시 형태의 차광막(54)과 마찬가지로, 광전 변환 영역(21)의 제2 영역(21b)에서의 반도체층(20)의 제2면 S2로부터 제2 영역(21b)에 침입하는 광을 제1 차광 부분(82a)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제할 수 있다.
- [0394] <<제8 실시 형태의 주된 효과>>
- [0395] 이어서, 이 제8 실시 형태의 주된 효과에 대해서 설명한다.
- [0396] 이 제8 실시 형태에 관한 고체 촬상 장치(1H)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31)과, 화소내 분리 영역(32)을 구비하고 있다. 따라서, 이 제8 실시 형태에 관한 고체 촬상 장치(1H)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소 특성으로서의 양자 효율 QE의 향상이나 높은 혼색 억제(MTF)를 도모할 수 있음과 함께, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다.
- [0397] 또한, 이 제8 실시 형태의 차광체(80H)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 제1 차광 부분(82a)을 구비하고 있다. 이 때문에, 상술한 제1 실시 형태의 고체 촬상 장치(1A)와 마찬가지로, 광전 변환 영역(21)의 제2 영역(21b)에서의 반도체층(20)의 제2면 S2로부터 제2 영역(21b)에 침입하는 광을 제1 차광 부분(82a)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제할 수 있어, 기생 광 감도 특성(PLS)을 개선할 수 있다.
- [0398] 또한, 이 제8 실시 형태의 차광체(80H)는, 제1 차광 부분(82a)으로부터 광전 변환 영역(21)의 제2 영역(21b)의 내부로 돌출되는 제2 차광 부분(82b)을 구비하고 있다. 이 때문에, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 화소내 분리 영역(32)을 투과한 경사광(57H₁)을 제2 차광 부분(82b)에서 차광하여, 플로팅 디퓨전 영역

(FD)에의 경사광($57H_1$)의 도달을 억제할 수 있어, 제1 차광 부분(82a)에 의한 기생 광 감도 특성의 개선 효과와 아울러, 보다 한층 기생 광 감도 특성(PLS)의 개선을 도모할 수 있다.

[0399] 또한, 제1 영역(21a)측으로부터 화소내 분리 영역(32)을 투과한 경사광($57H_1$)은, 제2 차광 부분(82b)에서 반사해서 제1 영역(21a)으로 돌아가기 때문에, 양자 효율 QE의 향상도 도모할 수 있다.

[0400] 또한, 평면으로 보아 화소간 분리 영역(31)을 개재해서 서로 인접하는 2개의 광전 변환 영역(21)($21X_1$, $21X_2$)에서, 한쪽의 광전 변환 영역($21X_1$)의 제1 영역(21a)측으로부터 화소간 분리 영역(31)을 투과한 경사광($57H_2$)은, 다른 쪽의 광전 변환 영역($21X_2$)의 제2 영역(21b)에서의 차광체(80H)의 제2 차광 부분(82b)에서 반사해서 한쪽의 광전 변환 영역($21X_1$)의 제1 영역(21a)(광전 변환부(24)(FD))으로 돌아간다. 따라서, 이 제8 실시 형태에 관한 고체 촬상 장치(1H)에 의하면, 화소간 분리 영역(31)의 광 반사에 의한 양자 효율 QE의 효과와 아울러, 보다 한층 양자 효율 QE의 향상을 도모할 수 있다.

[0401] 또한, 이 제8 실시 형태에 관한 고체 촬상 장치(1H)에 의하면, 한쪽의 광전 변환 영역($21X_1$)의 제1 영역(21a)측으로부터 화소간 분리 영역(31)을 투과한 경사광($57H_2$)을 한쪽의 광전 변환 영역($21X_1$)의 제1 영역(21a)으로 되돌릴 수 있기 때문에, 화소간 분리 영역(31)의 광 반사에 의한 혼색 억제 효과와 아울러, 보다 한층 혼색 억제를 도모할 수 있다.

[0402] 또한, 도 21a를 참조하여 설명하면, 플로팅 디퓨전 영역(FD)에의 경사광($57H_1$, $57H_2$)의 도달 억제 효과는, 제2 차광 부분(82b)이 제1 차광 부분(82a)으로부터 제2 영역(21b)(반도체층(20))으로 돌출되는 선단까지의 전체 길이 L_1 중, 주로 제2 차광 부분(82b)이 제2 영역(21b)의 내부에 매설되는 매설 길이 L_2 에 의존(비례)한다. 한편, 제2 차광 부분(82b)의 전체 길이 L_1 및 Y 방향의 폭 W_1 은 제조 수율에 영향을 미친다. 따라서, 제2 차광 부분(82b)의 Z 방향의 전체 길이 L_1 , 혹은 매설 길이 L_2 는, 플로팅 디퓨전 영역(FD)에의 경사광($57H_1$, $57H_2$)의 도달 억제 효과나 제조 수율을 고려하여, 반도체층(20)의 두께의 1/2 이상으로 플로팅 디퓨전 영역(FD)으로부터 이격되어 있는 것이 바람직하다.

[0403] 또한, 이 제8 실시 형태에서는, Y 방향에 있어서, 제2 차광 부분(82b)이 화소간 분리 영역(31) 및 화소내 분리 영역(32) 각각으로부터 이격되어 있지만, 제2 차광 부분(82b)을 화소간 분리 영역(31) 및 화소내 분리 영역(32) 중 적어도 어느 한쪽에 접촉시켜도 된다.

[0404] <<제8 실시 형태의 변형예>>

[0405] <변형예 8-1>

[0406] 상술한 제8 실시 형태에서는, 차광체(80H)의 구성으로서, Y 방향의 폭이 일정하고 X 방향으로 연신되는 제1 차광 부분(82a)에 대해서 설명하였다. 그러나, 본 기술은 상술한 제8 실시 형태에 한정되는 것은 아니다.

[0407] 예를 들어, 도 23에 도시하는 바와 같이, 제1 차광 부분(82a)의 Y 방향의 폭 X_{wy} 를 부분적으로 좁게 해도 된다. 이 경우, 제1 차광 부분(82a)이 평면으로 보아 플로팅 디퓨전 영역(FD)과 중첩되지 않는 부분에서 Y 방향의 폭 X_{wy} 를 좁게 하는 것이 바람직하다.

[0408] <변형예 8-2>

[0409] 또한, 상술한 제8 실시 형태에서는, 제1 직선부(81x) 및 제2 직선부(81y)와, 제1 차광 부분(82a) 및 제2 차광 부분(82b)을 포함하는 차광체(80H)에 대해서 설명하였다. 그러나, 본 기술은 상술한 제8 실시 형태에 한정되는 것은 아니다.

[0410] 예를 들어, 도 24에 도시하는 바와 같이, 차광체(80H)의 구성으로서, 제1 직선부(81x) 및 제2 직선부(81y)를 생략하고, 단독으로 제1 차광 부분(82a) 및 제2 차광 부분(82b)을 포함하는 구성으로 해도 된다.

[0411] <변형예 8-3>

[0412] 또한, 상술한 제8 실시 형태에서는, 차광체(80H)의 구성으로서, 제1 차광 부분(82a)이 X 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21)에 걸쳐서 연속적으로 연신되는 경우에 대해서 설명하였다. 그러나, 본 기술은 상술한 제8 실시 형태에 한정되는 것은 아니다.

- [0413] 예를 들어, 도 25에 도시하는 바와 같이, 제1 차광 부분(82a)이 X 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21) 각각마다 점재하는 구성으로 해도 된다.
- [0414] <변형예 8-4>
- [0415] 또한, 상술한 제8 실시 형태에서는, 고정 전하막(52)을 포함하는 고체 활상 장치(1H)에 본 기술을 적용한 경우에 대해서 설명하였지만, 본 기술은, 도 26에 도시하는 바와 같이, 고정 전하막을 포함하지 않는 고체 활상 장치(1H)에서도 적용할 수 있다.
- [0416] [제9 실시 형태]
- [0417] 이 제9 실시 형태에서는, 상술한 제8 실시 형태와 마찬가지로, 주로 차광체(80I)에 대해서 설명한다.
- [0418] 도 27은 이 제9 실시 형태에 관한 고체 활상 장치의 화소 어레이부에서의 차광체의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0419] 도 28은, 도 27의 a27-a27선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0420] 또한, 도 27은, 도 28에 나타내는 반도체층(20)의 제2면 S2측(광 입사면측)에서 본 평면도이다. 그리고 도 28은, 상술한 제1 실시 형태의 도 5 및 도 6에 대해서 상하가 반전되어 있다.
- [0421] <<고체 활상 장치의 구성>>
- [0422] 본 기술의 제9 실시 형태에 관한 고체 활상 장치(1I)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 활상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.
- [0423] 즉, 도 27 및 도 28에 도시하는 바와 같이, 본 기술의 제9 실시 형태에 관한 고체 활상 장치(1I)는, 상술한 제1 실시 형태의 도 5 및 도 6에 나타내는 차광막(54) 대신에 차광체(80I)를 구비하고 있다. 그리고 이 차광체(80I)에 관련하여, 화소내 분리 영역(32)의 Z 방향의 길이 L_5 (도 29b 참조)가, 화소간 분리 영역(31)의 Z 방향의 길이와 비교해서 짧게 되어 있다. 바꾸어 말하면, 이 제9 실시 형태의 화소내 분리 영역(32)은, 반도체층(20)의 제1면 S1측으로부터 제2면 S2측에 연신되는 길이 L_5 가, 상술한 제1 실시 형태의 도 5 및 도 6에 나타내는 화소내 분리 영역(32)과 비교해서 짧게 되어 있다. 기타 구성은, 대략 제1 실시 형태와 마찬가지이며, 마찬가지로의 구성에는 동일 부호를 붙이고, 중복되는 설명을 생략한다.
- [0424] 도 27 및 도 28에 도시하는 바와 같이, 이 제9 실시 형태의 차광체(80I)는, 반도체층(20)의 제2면 S2측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b) 및 플로팅 디퓨전 영역(FD)과 중첩되어 있다. 그리고 차광체(80I)는, 평면으로 보아 화소내 분리 영역(32)과 중첩되며, 또한 반도체층(20)의 제2면 S2측에서 반도체층(20)의 내외에 걸쳐 마련되어 있다.
- [0425] 도 27에는 상세하게 도시하고 있지 않지만, 상술한 제8 실시 형태의 도 17을 참조하여 설명하면, 차광체(80I)는, 상술한 제8 실시 형태의 차광체(80H)와 마찬가지로, X 방향으로 연신되며, 또한 Y 방향으로 소정의 배열 피치로 반복 배치된 제1 직선부(81x)와, 이 제1 직선부(81x)와 교차해서 Y 방향으로 연신되며, 또한 X 방향으로 소정의 배열 피치로 반복 배치된 제2 직선부(81y)를 구비하고 있다. 제1 직선부(81x)는, 평면으로 보아 화소간 분리 영역(31)의 제1 부분(31x)과 중첩되고, 제2 직선부(81y)는, 평면으로 보아 화소간 분리 영역(31)의 제2 부분(31y)과 중첩되어 있다. 즉, 이 제9 실시 형태의 차광체(80I)도, 상술한 제8 실시 형태의 차광체(80H)와 마찬가지로, 소정의 광전 변환 영역(21)에 입사하는 광이 인접한 광전 변환 영역(21)으로 새어 들어가지 않도록, 평면으로 보아 평면 패턴이 복수의 광전 변환 영역(21) 각각의 수광면측(제2면 S2측)을 개구하는 격자상 평면 패턴으로 되어 있다. 제1 직선부(81x)의 Y 방향의 폭 X_{wy} 는, 제2 직선부(81y)의 X 방향의 폭 Y_{wx} 보다 폭이 넓게 되어 있다.
- [0426] 또한, 도 27 및 도 28에 도시하는 바와 같이, 차광체(80I)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b) 및 플로팅 디퓨전 영역(FD)과 중첩되는 제1 차광 부분(82a)과, 평면으로 보아 화소내 분리 영역(32)과 중첩되며, 또한 제1 차광 부분(82a)으로부터 반도체층(20)의 내부로 돌출되는 제2 차광 부분(82c)을 구비하고 있다. 이 제1 차광 부분(82a) 및 제2 차광 부분(82c)은 제1 직선부(81x)에 구성되어 있다. 바꾸어 말하면, 이 제9 실시 형태의 제1 직선부(81x)는, 제1 차광 부분(82a) 및 제2 차광 부분(82c)을 포함하고 있다.
- [0427] 도 28에 도시하는 바와 같이, 제2 차광 부분(82c)은, 반도체층(20)의 제2면 S2측으로부터 화소내 분리 영역(3

2)을 향해서 연신되는 제3 파임부로서의 파임부(33i) 중에 고정 전하막(52)을 개재해서 마련되어 있다. 이 제9 실시 형태의 화소내 분리 영역(32)은, 도 29a에 도시하는 바와 같이, 반도체층(20)의 두께 방향을 따르는 Z 방향의 길이 L_5 가 화소내 분리 영역(31)의 Z 방향을 따르는 길이보다 짧게 되어 있다. 또한, 제9 실시 형태의 화소내 분리 영역(32)의 Z 방향의 길이 L_5 는, 제1 실시 형태의 화소내 분리 영역(32)의 Z 방향의 길이와 비교해서 짧게 되어 있다. 그리고 이 제9 실시 형태의 화소내 분리 영역(32)은, 반도체층(20)의 제1면 S1측의 소자 분리 영역(25)으로부터 제2면 S2측을 향해서 연신되며, 또한 반도체층(20)의 제2면 S2로부터 이격되어 있다.

[0428] 도 29a에 도시하는 바와 같이, 파임부(33i)는, 절연막(53)의 반도체층(20)측과는 반대측의 상부 표면으로부터 반도체층(20)의 제2면 S2를 가로 질러서 화소내 분리 영역(32)의 선단에 도달하고 있다. 그리고 제2 차광 부분(82c)은, 제1 차광 부분(82a)으로부터 화소내 분리 영역(32)의 선단을 향해서 연신되며, 또한 파임부(33i)의 내부에 고정 전하막(52)을 개재해서 마련되어 있다.

[0429] 파임부(33i) 내에서의 고정 전하막(52)은, 파임부(33i)의 측벽 및 저벽을 따라 마련되어 있다. 그리고 파임부(33i)의 측벽에서의 고정 전하막(52)은, 반도체층(20)과 차광체(80I)의 제2 차광 부분(82c)을 전기적으로 절연 분리하고 있다. 또한, 파임부(33i)의 저벽에서의 고정 전하막(52)은, 차광체(80I)의 제2 차광 부분(82c)과 화소내 분리 영역(32)의 도전재(35)를 전기적으로 절연 분리하고 있다.

[0430] 여기서, 도 29a에 도시하는 바와 같이, 이 제9 실시 형태의 화소내 분리 영역(32)은, 소자 분리 영역(25)으로부터 파임부(33i)에 걸쳐서 연신되어 있다. 이 경우의 화소내 분리 영역(32)의 길이 L_5 는, 소자 분리 영역(25)의 저면으로부터 파임부(33i)까지의 거리가 된다. 도시하고 있지 않지만, 화소내 분리 영역(32)이 반도체층(20)의 제1면 S1로부터 파임부(33i)에 걸쳐서 연신되어 있을 경우는, 반도체층(20)의 제1면 S1로부터 파임부(33i)까지의 거리가 화소내 분리 영역(32)의 길이 L_5 가 된다.

[0431] 또한, 소자 분리 영역(필드 분리 영역)(25)의 저면과 접하는 반도체층(20)의 면을 제1면 S1로 간주할 수도 있다.

[0432] 도 29a에 도시하는 바와 같이, 화소내 분리 영역(32)과 파임부(33i)는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(일방향)을 따르는 방향 각각의 폭(W_2 , W_3)이 다르게 되어 있다. 이 제9 실시 형태에서는, 파임부(33i)의 폭 W_2 쪽이 화소내 분리 영역(32)의 폭 W_3 보다 넓게 되어 있지만, 화소내 분리 영역(32)의 폭 W_3 쪽을 파임부(33i)의 폭 W_2 보다 넓게 해도 된다. 즉, 패터닝 정밀도나 특성의 관점에서, 「 $W_2 > W_3$ 」, 혹은 「 $W_2 < W_3$ 」을 충족하는 것이 바람직하다.

[0433] 도 27 및 도 28에 도시하는 바와 같이, 차광체(80I)는, 이것에 한정되지 않지만, 2차원 평면 내에서 X 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21)에 걸쳐서 연신되어 있다. 그리고 제1 차광 부분(82a)도, X 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21)에 걸쳐서 연속적으로 연신되어 있다. 한편, 제2 차광 부분(82c)은, X 방향으로 배열되는 광전 변환 영역(21)마다 분리되어 마련되어 있다. 즉, 제2 차광 부분(82c)은, 제1 차광 부분(82a)과는 달리, Y 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21)에 걸쳐서 연속적으로 연신되어 있지 않다.

[0434] 제2 차광 부분(82c)은, 평면으로 보아 화소내 분리 영역(32)과 함께 X 방향으로 연신되어 있다. 제2 차광 부분(82c)의 X 방향의 길이는, 화소내 분리 영역(32)의 X 방향의 길이와 동등, 혹은 화소내 분리 영역(32)의 X 방향의 길이보다 긴 것이 바람직하다. 이 제9 실시 형태에서는, 제2 차광 부분(82c)의 X 방향의 길이가 화소내 분리 영역(32)의 X 방향의 길이보다 길게 되어 있다.

[0435] 제1 차광 부분(82a)은, 주로, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)의 제2면 S2의 외측에서 차광하여, 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제한다. 한편, 제2 차광 부분(82c)은, 광전 변환 영역(21)에서, 주로 반도체층(20)의 제2면 S2측의 내부에서 차광하여, 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제한다.

[0436] 즉, 차광체(80I)는, 광전 변환 영역(21)의 제2 영역(21b)에 침입(입사)하는 광을 반도체층(20)의 제2면 S2측에서 차광하여, 광전 변환 영역(21)의 제2 영역(21b) 내에서 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제한다.

[0437] 차광체(80I)로서는, 차광성이 우수하고, 또한 광 반사율이 산화실리콘막이나 실리콘막보다 높은 재료로서, 예를

들어 티타늄(Ti), 텅스텐(W), 알루미늄(Al) 등의 금속막, 혹은 합금막을 사용하는 것이 바람직하다. 이 제9 실시 형태에서는, 차광체(80I)로서 예를 들어 텅스텐(W)막을 사용하고 있다.

[0438] 여기서, 이 제9 실시 형태에서는, 화소간 분리 영역(31)이 본 기술의 「제1 분리 영역」에 상당하고, 화소내 분리 영역(32)이 본 기술의 「제2 분리 영역」에 상당한다. 또한, 이 제9 실시 형태에서는, 파임부(33a), 파임부(33b), 파임부(33i)가 본 기술의 「제1 파임부」, 「제2 파임부」, 「제3 파임부」에 상당한다. 또한, 이 제9 실시 형태에서는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향이 본 기술의 「일방향」에 상당한다.

[0439] <<고체 촬상 장치의 제조 방법>>

[0440] 이어서, 본 기술의 제9 실시 형태에 관한 고체 촬상 장치(11)의 제조 방법에 대해서, 도 30a 내지 도 30h를 사용하여 설명한다.

[0441] 이 제9 실시 형태에서도, 고체 촬상 장치(11)의 제조 방법에 포함되는 차광체(80I)의 제조에 특화해서 설명한다.

[0442] 먼저, 도 30a에 도시하는 바와 같이, 광전 변환 영역(21), 소자 분리 영역(25), 파임부(33a), 화소내 분리 영역(32) 등을 반도체층(20)에 형성함과 함께, 반도체층(20)의 제1면 S1측에 다층 배선층(40)을 형성한다.

[0443] 화소내 분리 영역(32)은, 반도체층(20)의 깊이 방향(Z 방향)으로 연신되는 파임부(33b)의 측벽을 따라 마련된 분리 절연막(34)과, 이 파임부(33b)에 분리 절연막(34)을 개재해서 충전된 도전재(35)로서의 실리콘막을 포함한다. 이 화소내 분리 영역(32)은, 반도체층(20)의 제1면 S1측으로부터 제2면 S2를 향해서 신장되는 Z 방향의 길이 L_4 (도 29a 참조)가 상술한 제8 실시 형태의 도 22a에 나타내는 화소내 분리 영역(32)의 Z 방향의 길이보다 짧게 되어 있다.

[0444] 파임부(33a)는, 도 30f에 나타내는 화소간 분리 영역(31)의 기초가 되는 것이다. 그리고 파임부(33a)는, 화소내 분리 영역(32)의 파임부(33b)와 마찬가지로, 반도체층(20)의 깊이 방향(Z 방향)으로 연신되고, 그 내부에 분리 절연막(34)을 개재해서 도전재(35)가 충전된다. 파임부(33a)는, 광전 변환 영역(21)을 광전 변환 영역(21)마다 구획한다. 이 제9 실시 형태의 파임부(33a와 33b)는, Z 방향의 길이가 다르기 때문에, 상술한 제8 실시 형태와는 달리, 별도의 공정에서 형성한다.

[0445] 광전 변환 영역(21)은, 소자 형성 영역(20a), p형 웰 영역(22), n형 반도체 영역(23), 광전 변환부(24)(PD), 소자 분리 영역(필드 분리 영역)(25), 소자 형성 영역(20a)에 형성된 화소 트랜지스터(AMP, SEL, RST, TR) 등을 포함한다. 그리고 광전 변환 영역(21)은, 플로팅 디퓨전 영역(FD), 화소내 분리 영역(32), 이 화소내 분리 영역(32)으로 분리된 제1 영역(21a) 및 제2 영역(21b)을 포함한다.

[0446] p형 웰 영역(22)은 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)에 형성한다. 소자 형성 영역(20a), n형 반도체 영역(23), 광전 변환부(24)는, 광전 변환 영역(21)의 제1 영역(21a)에 형성한다. 그리고 플로팅 디퓨전 영역(FD)은, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)의 제1면 S1측에 형성한다. 반도체층(20)으로서는, 이것에 한정되지 않지만, 예를 들어 단결정 실리콘을 포함하는 p형 반도체 기판을 사용하고 있다.

[0447] 이어서, 반도체층(20)의 제1면 S1측에 다층 배선층(40)을 형성한 후, 반도체층(20)의 제2면 S2측을 예를 들어 CMP법으로 절삭해서 반도체층(20)의 두께를 얇게 하여, 도 30b에 도시하는 바와 같이, 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)를 노출시킨다.

[0448] 이어서, 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)를 노출시킨 후, 도 30c에 도시하는 바와 같이, 광전 변환 영역(21)의 제1 영역(21a)에서, 반도체층(20)의 제2면 S2에 회절 산란부(51)를 형성함과 함께, 반도체층(20)의 제2면 S2측으로부터 화소내 분리 영역(32)의 선단에 도달하며, 또한 평면으로 보아 화소내 분리 영역(32)과 중첩되는 파임부(33i)를 형성한다. 이 파임부(33i)의 형상이나 치수는, 도 30h에 나타내는 차광체(80I)의 제2 차광 부분(82c)의 형상이나 치수를 규정한다. 이 제9 실시 형태에서는, 이것에 한정되지 않지만, 예를 들어 파임부(33i)의 폭 W_2 쪽을 화소내 분리 영역(32)의 폭 W_3 보다 넓게 형성한다. 파임부(33i)의 형성은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 행한다. 파임부(33i)와 회절 산란부(51)는, 별도의 공정에서 형성하지만, 파임부(33i)와 회절 산란부(51)의 어느 쪽을 먼저 형성하든 상관없다.

[0449] 이어서, 회절 산란부(51) 및 파임부(33i)를 형성한 후, 도 30d에 도시하는 바와 같이, 파임부(33a) 내의 분리

절연막(34) 및 도전재(35)를 선택적으로 제거한다. 파임부(33a) 내의 분리 절연막(34) 및 도전재막(35)은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용함으로써 선택적으로 제거할 수 있다.

[0450] 이어서, 파임부(33a) 내의 분리 절연막(34) 및 도전재막(35)을 선택적으로 제거한 후, 도 30e에 도시하는 바와 같이, 파임부(33a 및 33i) 각각의 내부의 내벽(측벽 및 저벽), 그리고 반도체층(20)의 제2면 S2를 덮는 고정 전하막(52)을 성막한다. 고정 전하막(52)은, 반도체층(20)의 제2면 S2측에서, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)에 걸쳐서 형성되고, 제1 영역(21a)의 회절 산란부(51)는 고정 전하막(52)으로 덮인다.

[0451] 이어서, 고정 전하막(52)을 형성한 후, 도 30f에 도시하는 바와 같이, 파임부(33a 및 33i) 각각의 내부를 포함하는 반도체층(20)의 제2면 S2측의 전체면에 절연막(53)을 형성한다. 절연막(53)은, 예를 들어 산화실리콘막을 CVD법으로 성막한 후, 이 산화실리콘막의 표면층을 CMP법으로 절삭해서 평탄화함으로써 형성할 수 있다.

[0452] 이 공정에 있어서, 파임부(33a)의 내부에 고정 전하막(52)을 개재해서 절연막(53)이 매립된 화소간 분리 영역(31)이 형성됨과 함께, 이 화소간 분리 영역(31)으로 주위가 구획되며, 또한 내부가 화소내 분리 영역(32)으로 제1 영역(21a)과 제2 영역(21b)으로 분리된 광전 변환 영역(21)이 형성된다.

[0453] 이어서, 절연막(53)을 형성한 후, 파임부(33i) 상의 절연막(53)과, 파임부(33i) 내의 절연막(53)을 선택적으로 제거한다. 이 절연막(53)의 선택적인 제거는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 행한다.

[0454] 이어서, 절연막(53)을 선택적으로 제거한 후, 도 30g에 도시하는 바와 같이, 파임부(33i)의 내부를 포함하는 절연막(53) 상의 전체면에 차광막(82)을 형성한다. 차광막(82)은, 예를 들어 광을 반사하는 반사율이 산화실리콘막이나 실리콘막보다 높은 티타늄(Ti), 텅스텐(W) 등의 금속막, 혹은 합금막을 주지의 성막 기술에 의해 성막함으로써 형성할 수 있다. 차광막(82)은, 복수의 광전 변환 영역(21)에 걸쳐서 형성함과 함께, 평면으로 보아 복수의 광전 변환 영역(21) 각각의 제1 영역(21a) 및 제2 영역(21b)을 덮으며, 또한 각각의 제2 영역(21b)의 파임부(33i)를 매립하도록 형성한다. 파임부(33i)에서의 차광막(82)은 고정 전하막(52)을 개재해서 형성된다.

[0455] 이어서, 차광막(82)을 패터닝하여, 도 30h에 도시하는 바와 같이, 광전 변환 영역(21)의 제2 영역(21b)을 덮으며, 또한 반도체층(20)의 제2면 S2의 내외에 걸쳐서 연신되는 차광체(80I)를 형성한다. 차광막(82)의 패터닝은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 행할 수 있다.

[0456] 이 공정에서, 차광체(80I)는, 광전 변환 영역(21)의 제2 영역(21b)의 외측(반도체층(20)의 제1면 S1의 외측)에 절연막(53)을 개재해서 마련되고, 또한 평면으로 보아 제2 영역(21b) 및 플로팅 디퓨전 영역(FD)과 중첩되는 제1 차광 부분(82a)과, 이 제1 차광 부분(82a)으로부터 절연막(53)을 관통해서 반도체층(20)의 내부로 돌출되는 제2 차광 부분(82c)을 포함한다. 또한, 도 17을 참조하여 설명하면, 차광체(80I)는, X 방향으로 연신되며, 또한 Y 방향으로 소정의 배열 피치로 반복 배치된 제1 직선부(81x)와, 이 제1 직선부(81x)와 교차해서 Y 방향으로 연신되며, 또한 X 방향으로 소정의 배열 피치로 반복 배치된 제2 직선부(81y)를 포함한다. 그리고 차광체(80I)는, 평면으로 보아 화소간 분리 영역(31)의 격자상 평면 패턴과 중첩되는 격자상 평면 패턴으로 형성된다. 제1 차광 부분(82a) 및 제2 차광 부분(82c)은, 제1 직선부(81x)에 형성된다.

[0457] 이어서, 차광체(80I)를 형성한 후, 차광체(80I)의 반도체층(20)측과는 반대측에, 컬러 필터(55) 및 마이크로렌즈(56)를 이 순으로 형성함으로써, 도 27 및 도 28에 나타내는 상태가 된다.

[0458] 또한, 이 제9 실시 형태에 관한 고체 촬상 장치(1I)에서도, 반도체층(20) 및 다층 배선층(40)을 포함하는 반도체 웨이퍼를 칩 형성 영역마다 분할함으로써 도 1에 나타내는 반도체 칩(2)의 상태가 된다.

[0459] <차광체의 기능>

[0460] 이어서, 차광체(80I)의 기능에 대해서, 도 29b 및 도 6 참조하여 설명한다.

[0461] 도 29b에 도시하는 바와 같이, 1개의 광전 변환 영역(21)(1개의 화소(3))에서, 마이크로렌즈(56)에 조사된 조사광(57I)은, 경사광(57I₁)으로 되어 마이크로렌즈(56), 컬러 필터(55), 절연막(53), 고정 전하막(52) 및 회절 산란부(51) 등을 투과(통과)해서 반도체층(20)의 제2면 S2측으로부터 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입(입사)한다. 그리고 제1 영역(21a)에 침입한 경사광(57I₁)은, 제1 영역(21a)측으로부터 차광체(80I)의 제2 차광 부분(82c)에 닿는다(조사된다).

[0462] 여기서, 상술한 제1 실시 형태의 도 6에 나타내는 차광막(54)을 참조하여 설명하면, 도 6에 나타내는 차광막(54)과 같이, 이 제9 실시 형태의 도 29b에 나타내는 제2 차광 부분(82c)을 구비하고 있지 않을 경우, 광전 변

환 영역(21)의 제2 영역(21b)에 침입한 경사광(57I₁)은, 제1 영역(21a)측으로부터 화소내 분리 영역(32)에 닿는다(조사된다).

[0463] 화소내 분리 영역(32)에 닿는 경사광(57I₁)으로서는, 화소내 분리 영역(32)에서 반사해서 광전 변환 영역(21)의 제1 영역(21a)으로 돌아가는 경사광도 있고, 화소내 분리 영역(32)을 투과해서 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광도 있다. 특히, 도전재(35)로서 실리콘막을 포함하는 화소내 분리 영역(32)의 경우, 실리콘막은 차광성이 부족하기 때문에, 제2 영역(21b)에의 경사광(57I₁)의 침입이 우려된다.

[0464] 광전 변환 영역(21)의 제2 영역(21b)에 경사광(57I₁)이 침입한 경우, 경사광(57I₁)은, 제2 영역(21b)에서 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에 도달한다. 이 플로팅 디퓨전 영역(FD)에의 경사광(57H₁)의 도달은, 기생 광 감도 특성에 영향을 미치기 때문에, 가능한 한 제2 영역(21b)에의 경사광의 침입을 억제하는 것 중요하다.

[0465] 이에 반해, 도 29b에 도시하는 바와 같이, 이 제9 실시 형태의 차광체(80I)는, 평면으로 보아 화소내 분리 영역(32)과 중첩되고, 또한 반도체층(20)의 제2면 S2의 외측의 제1 차광 부분(82a)으로부터 반도체층(20)의 내부로 돌출되는 제2 차광 부분(82c)을 구비하고 있다. 이 때문에, 광전 변환 영역(21)의 제1 영역(21a)에 침입한 경사광(57H₁)은, 제1 영역(21a)측으로부터 차광체(80I)의 제2 차광 부분(82c)에 닿고(조사되고), 제2 차광 부분(82c)에서 반사해서 제2 영역(21b)으로 돌아간다. 즉, 이 제9 실시 형태의 차광체(80I)는, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 제2 영역(21b)에 침입하는 경사광(57I₁)을 제2 차광 부분(82c)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 경사광(57I₁)의 도달을 억제할 수 있다.

[0466] 또한, 제1 영역(21a)측으로부터 차광체(80I)의 제2 차광 부분(82c)에 닿은(조사된) 경사광(57I₁)은, 제2 차광 부분(82c)에서 반사해서 광전 변환 영역(21)의 제1 영역(21a)으로 돌아가기 때문에, 양자 효율 QE의 향상도 도모할 수 있다.

[0467] 또한, 도 29b에 도시하는 바와 같이, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 화소간 분리 영역(31)에 닿은(조사된) 경사광(57I₂)은, 주로, 화소간 분리 영역(31)에서 반사해서 제1 영역(21a)(광전 변환부(24)(PD))으로 돌아간다.

[0468] 또한, 도 29b에 도시하는 바와 같이, 이 제9 실시 형태의 차광체(80I)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 제1 차광 부분(82a)도 구비하고 있으므로, 상술한 제1 실시 형태의 차광막(54)과 마찬가지로, 광전 변환 영역(21)의 제2 영역(21b)에서의 반도체층(20)의 제2면 S2로부터 제2 영역(21b)에 침입하는 광을 제1 차광 부분(82a)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제할 수 있다.

[0469] <<제9 실시 형태의 주된 효과>>

[0470] 이어서, 이 제9 실시 형태의 주된 효과에 대해서 설명한다.

[0471] 이 제9 실시 형태에 관한 고체 촬상 장치(1I)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31)과, 화소내 분리 영역(32)을 구비하고 있다. 따라서, 이 제9 실시 형태에 관한 고체 촬상 장치(1I)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소 특성으로서의 양자 효율 QE의 향상이나 높은 혼색 억제(MTF)를 도모할 수 있음과 함께, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다.

[0472] 또한, 이 제9 실시 형태의 차광체(80I)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 제1 차광 부분(82a)을 구비하고 있다. 이 때문에, 상술한 제1 실시 형태의 고체 촬상 장치(1A)와 마찬가지로, 광전 변환 영역(21)의 제2 영역(21b)에서의 반도체층(20)의 제2면 S2측(광 입사면측)으로부터 제2 영역(21b)에 침입하는 광을 제1 차광 부분(82a)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제할 수 있어, 기생 광 감도 특성(PLS)을 개선할 수 있다.

[0473] 또한, 이 제9 실시 형태의 차광체(80I)는, 평면으로 보아 화소내 분리 영역(32)과 중첩되고, 또한 제1 차광 부분(82a)으로부터 반도체층(20)의 내부로 돌출되는 제2 차광 부분(82c)을 구비하고 있다. 이 때문에, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 제2 영역(21b)에 침입하는 경사광(57I₁)을 제2 차광 부분(82c)에서 차광하

여, 플로팅 디퓨전 영역(FD)에의 경사광($57I_1$)의 도달을 억제할 수 있어, 제1 차광 부분(82a)에 의한 기생 광 감도 특성의 개선 효과와 아울러, 보다 한층 기생 광 감도 특성(PLS)의 개선을 도모할 수 있다.

[0474] 또한, 제1 영역(21a)측으로부터 차광체(80I)의 제2 차광 부분(82c)에 입사한 경사광($57I_1$)은, 제2 차광 부분(82c)에서 반사해서 제1 영역(21a)으로 돌아가기 때문에, 양자 효율 QE의 향상도 도모할 수 있다.

[0475] 또한, 도 29a를 참조하여 설명하면, 플로팅 디퓨전 영역(FD)에의 경사광($57I_1$)의 도달 억제 효과는, 제2 차광 부분(82c)이 제1 차광 부분(82a)으로부터 반도체층(20)에 돌출되는 선단까지의 전체 길이 L_3 중, 주로 제2 차광 부분(82c)이 반도체층(20)의 내부에 매설되는 매설 길이 L_4 에 의존(비례)한다.

[0476] 한편, 화소내 분리 영역(32)이 어시스트 전극으로서 플로팅 디퓨전 영역(FD)에의 신호 전하의 전송을 보좌하는 기능은, 주로 화소내 분리 영역(32)의 Z 방향의 길이 L_5 에 비례한다.

[0477] 따라서, 예를 들어 차광성을 증시하는 경우는, 제2 차광 부분(82c)의 매설 길이 L_4 쪽을 화소내 분리 영역(32)의 길이 L_5 보다 길게 하고($L_4 > L_5$ 로 하고), 전송을 증시하는 경우는, 화소내 분리 영역(32)의 길이 L_5 쪽을 제2 차광 부분(82c)의 매설 길이 L_4 보다 길게 하는($L_5 > L_4$ 로 하는) 것이 바람직하다.

[0478] 또한, 상술한 제9 실시 형태에서는, 고정 전하막(52)을 포함하는 고체 촬상 장치(1I)에 본 기술을 적용한 경우에 대해서 설명하였지만, 본 기술은, 고정 전하막을 포함하지 않는 고체 촬상 장치(1I)에서도 적용할 수 있다.

[0479] [제10 실시 형태]

[0480] 이 제10 실시 형태에서는, 상술한 제8 실시 형태와 마찬가지로, 주로 차광체(80J)에 대해서 설명한다.

[0481] 도 31은 이 제10 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 차광체의 평면 패턴을 모식적으로 도시하는 평면도이다.

[0482] 도 32는, 도 31의 a31-a31선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

[0483] 또한, 도 31은, 도 32에 나타내는 반도체층(20)의 제2면 S2측(광 입사면측)에서 본 평면도이다. 그리고 도 32는, 상술한 제1 실시 형태의 도 5 및 도 6에 대해서 상하가 반전되어 있다.

[0484] <<고체 촬상 장치의 구성>>

[0485] 본 기술의 제10 실시 형태에 관한 고체 촬상 장치(1J)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.

[0486] 즉, 도 31 및 도 32에 도시하는 바와 같이, 본 기술의 제10 실시 형태에 관한 고체 촬상 장치(1J)는, 상술한 제1 실시 형태의 도 5 및 도 6에 나타내는 차광막(54) 대신에 차광체(80J)를 구비하고 있다. 그리고 이 차광체(80J)에 관련하여, 절연막(53)과 컬러 필터(55)의 사이에 마련된 절연막(53J)을 더 구비하고 있다. 기타 구성은, 대략 제1 실시 형태와 마찬가지로, 마찬가지로의 구성에는 동일 부호를 붙이고, 중복되는 설명을 생략한다.

[0487] 도 31 및 도 32에 도시하는 바와 같이, 이 제9 실시 형태의 차광체(80J)는, 반도체층(20)의 제2면 S2측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b) 및 플로팅 디퓨전 영역(FD)과 중첩되어 있다. 그리고 차광체(80J)는, 절연막(53)의 두께 방향(Z 방향)에 있어서, 절연막(53)의 내외에 걸쳐서 마련되어 있다.

[0488] 도 31에는 상세하게 도시하고 있지 않지만, 상술한 제8 실시 형태의 도 17을 참조하여 설명하면, 차광체(80J)는, 상술한 제8 실시 형태의 차광체(80H)와 마찬가지로, X 방향으로 연신되며, 또한 Y 방향으로 소정의 배열 피치로 반복 배치된 제1 직선부(81x)와, 이 제1 직선부(81x)와 교차해서 Y 방향으로 연신되며, 또한 X 방향으로 소정의 배열 피치로 반복 배치된 제2 직선부(81y)를 구비하고 있다. 제1 직선부(81x)는, 평면으로 보아 화소간 분리 영역(31)의 제1 부분(31x)과 중첩되고, 제2 직선부(81y)는, 평면으로 보아 화소간 분리 영역(31)의 제2 부분(31y)과 중첩되어 있다. 즉, 이 제10 실시 형태의 차광체(80J)도, 상술한 제8 실시 형태의 차광체(80H)와 마찬가지로, 소정의 광전 변환 영역(21)에 입사하는 광이 인접한 광전 변환 영역(21)으로 새어 들어가지 않도록, 평면으로 보아 평면 패턴이 복수의 광전 변환 영역(21) 각각의 수광면측(제2면 S2측)을 개구하는 격자상 평면 패턴으로 되어 있다. 제1 직선부(81x)의 Y 방향의 폭 X_{wy} 는, 제2 직선부(81y)의 X 방향의 폭 Y_{wx} 보다 넓게 되어 있다.

[0489] 또한, 도 31 및 도 32에 도시하는 바와 같이, 차광체(80J)는, 절연막(53)의 반도체층(20)측과는 반대측에 마련

되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b) 및 플로팅 디퓨전 영역(FD)과 중첩되는 제1 차광 부분(82a)과, 평면으로 보아 화소내 분리 영역(32)과 중첩되고, 또한 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제2 차광 부분(82d₁)과, 평면으로 보아 화소간 분리 영역(31)과 중첩되고, 또한 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제3 차광 부분(82d₂)을 구비하고 있다. 이 제1 차광 부분(82a), 제2 차광 부분(82d₁) 및 제3 차광 부분(82d₂)은, 제1 직선부(81x)에 구성되어 있다. 바꾸어 말하면, 이 제10 실시 형태의 제1 직선부(81x)는, 제1 내지 제3 차광 부분(82a, 82d₁, 82d₂)을 포함하고 있다.

[0490] 도 32에 도시하는 바와 같이, 차광체(80J)의 제1 차광 부분(82a)은, 절연막(53)의 반도체층(20)측과는 반대측에 마련된 절연막(53J)으로 덮여 있다. 즉, 차광체(80J)는, 절연막(53 및 53J)을 포함하는 절연층에 포함되어 있다. 절연막(53J)은, 예를 들어 산화실리콘막으로 구성되어 있다.

[0491] 도 32에 도시하는 바와 같이, 차광체(80J)의 제2 차광 부분(82d₁)은, 절연막(53)의 파임부(53d₁)에 마련되어 있다. 차광체(80J)의 제3 차광 부분(82d₂)은, 절연막(53)의 파임부(53d₂)에 마련되어 있다. 제2 차광 부분(82d₁) 및 파임부(53d₁)와, 제3 차광 부분(82d₂) 및 파임부(53d₂)는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서 서로 이격되어 마련되어 있다.

[0492] 도 32에 도시하는 바와 같이, 차광체(80J)의 제1 차광 부분(82a), 제2 차광 부분(82d₁) 및 제3 차광 부분(82d₂) 각각은, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 제1 영역(21a)보다 제2 영역(21b)측에 위치하고 있다. 구체적으로는, 제1 차광 부분(82a) 및 제2 차광 부분(82d₁) 각각은, 평면으로 보아 제1 영역(21a)과 화소내 분리 영역(32)의 계면부(If₁)보다 제2 영역(21b)측에 위치하고, 제1 차광 부분(82a) 및 제3 차광 부분(82d₂) 각각은, Y 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21)의 사이의 화소간 분리 영역(31)과, 이 화소간 분리 영역(31)과 접하는 제1 영역(21a)의 계면부(If₂)보다 제2 영역(21b)측에 위치하고 있다. 즉, 차광체(80J)는, 평면으로 보아 화소내 분리 영역(제2 분리 영역)(32) 및 화소간 분리 영역(제1 분리 영역)(31) 각각과 중첩되며, 또한 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 광전 변환 영역(21)의 제1 영역(21a)보다 제2 영역(21b)측에 위치하고 있다.

[0493] 도 31에는 상세하게 도시하고 있지 않지만, 상술한 제8 및 제9 실시 형태의 제2 차광 부분(82b, 82c)과 마찬가지로, 제2 및 제3 차광 부분(82d₁, 82d₂) 각각도, 평면으로 보아 화소내 분리 영역(32)과 함께 X 방향으로 연신되어 있다. 제2 및 제3 차광 부분(82d₁, 82d₂) 각각의 X 방향의 길이는, 화소내 분리 영역(32)의 X 방향의 길이와 동등, 혹은 화소내 분리 영역(32)의 X 방향의 길이보다 긴 것이 바람직하다. 이 제8 실시 형태에서는, 82d₁, 82d₂ 각각의 X 방향의 길이가 화소내 분리 영역(32)의 X 방향의 길이보다 길게 되어 있다.

[0494] 제1 차광 부분(82a)은, 주로, 광전 변환 영역(21)의 제2 영역(21b)에서, 절연막(53)의 반도체층(20)측과는 반대측의 외부에서 차광하여, 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제한다. 한편, 제2 및 제3 차광 부분(82d₁, 82d₂)은, 절연막(53)의 내부에서 차광하여, 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제한다.

[0495] 즉, 차광체(80J)는, 광전 변환 영역(21)의 제2 영역(21b)에 침입(입사)하는 광을 반도체층(20)의 제2면 S2측에서 차광하여, 광전 변환 영역(21)의 제2 영역(21b) 내에서 반도체층(20)의 제1면 S1측에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제한다.

[0496] 차광체(80J)로서는, 차광성이 우수하고, 또한 광 반사율이 산화실리콘막이나 실리콘막보다 높은, 티타늄(Ti), 텅스텐(W), 알루미늄(Al) 등의 금속막, 혹은 합금막을 사용하는 것이 바람직하다. 이 제10 실시 형태에서는, 차광체(80J)로서 예를 들어 텅스텐(W)막을 사용하고 있다.

[0497] 여기서, 이 제10 실시 형태에서는, 화소간 분리 영역(31)이 본 기술의 「제1 분리 영역」에 상당하고, 화소내 분리 영역(32)이 본 기술의 「제2 분리 영역」에 상당한다. 또한, 이 제10 실시 형태에서는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향이 본 기술의 「일방향」에 상당한다.

[0498] 도 31에 도시하는 바와 같이, 차광체(80J)는, 이것에 한정되지 않지만, 2차원 평면 내에서 X 방향에 있어서 서로 인접하는 2개의 광전 변환 영역(21)에 걸쳐서 연신되어 있다. 그리고 제1 차광 부분(82a)도, X 방향에 있어

서 서로 인접하는 2개의 광전 변환 영역(21)에 걸쳐서 연속적으로 연신되어 있다.

[0499] 《고체 촬상 장치의 제조 방법》

[0500] 이어서, 본 기술의 제10 실시 형태에 관한 고체 촬상 장치(1J)의 제조 방법에 대해서, 도 34a 내지 도 34e를 사용하여 설명한다.

[0501] 이 제8 실시 형태에서도, 고체 촬상 장치(1I)의 제조 방법에 포함되는 차광체(80I)의 제조에 특화해서 설명한다.

[0502] 먼저, 상술한 제8 실시 형태와 마찬가지로의 공정을 실시하여, 도 34a에 도시하는 바와 같이, 절연막(53)까지 형성한다.

[0503] 이어서, 도 34b에 도시하는 바와 같이, 절연막(53)에, 평면으로 보아 화소내 분리 영역(32)과 중첩되는 파임부(53d₁)와, 평면으로 보아 화소간 분리 영역(31)과 중첩되는 파임부(53d₂)를 형성한다. 파임부(53d₁ 및 53d₂) 각각은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 절연막(53)을 선택적으로 에칭함으로써 형성한다. 파임부(53d₁ 및 53d₂) 각각은, 광전 변환 영역(21)의 제1 영역(21a)보다 제2 영역(21b)측에 위치하도록 형성한다.

[0504] 이어서, 파임부(53d₁ 및 53d₂) 각각을 형성한 후, 도 34c에 도시하는 바와 같이, 파임부(53d₁ 및 53d₂) 각각의 내부를 포함하는 절연막(53) 상의 전체면에 차광막(82)을 형성한다. 차광막(82)은, 예를 들어 광을 반사하는 반사율이 산화실리콘막이나 실리콘막보다 높은 티타늄(Ti), 텅스텐(W), 알루미늄(Al) 등의 금속막, 혹은 합금막을 주지의 성막 기술에 의해 성막함으로써 형성할 수 있다. 차광막(82)은, 복수의 광전 변환 영역(21)에 걸쳐서 형성함과 함께, 각각의 광전 변환 영역(21)의 파임부(53d₁, 53d₂)를 매립하도록 형성한다.

[0505] 이어서, 차광막(82)을 형성한 후, 차광막(82)을 패터닝하여, 도 34d에 도시하는 바와 같이, 광전 변환 영역(21)의 제2 영역(21b)을 덮으며, 또한 반도체층(20)의 제2면 S2측의 절연막(53)의 내외에 걸쳐서 연신되는 차광체(80J)를 형성한다. 차광막(82)의 패터닝은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 행할 수 있다.

[0506] 이 공정에서, 차광체(80J)는, 절연막(53)의 반도체층(20)측과는 반대측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 제1 차광 부분(82a)과, 평면으로 보아 화소내 분리 영역(32)과 중첩되며, 또한 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제2 차광 부분(82d₁)과, 평면으로 보아 화소간 분리 영역(31)과 중첩되며, 또한 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제3 차광 부분(82d₂)을 포함한다. 또한, 도 17을 참조하여 설명하면, 차광체(80J)는, X 방향으로 연신되며, 또한 Y 방향으로 소정의 배열 피치로 반복 배치된 제1 직선부(81x)와, 이 제1 직선부(81x)와 교차해서 Y 방향으로 연신되며, 또한 X 방향으로 소정의 배열 피치로 반복 배치된 제2 직선부(81y)를 포함한다. 그리고 차광체(80J)는, 평면으로 보아 화소간 분리 영역(31)의 격자상 평면 패턴과 중첩되는 격자상 평면 패턴으로 형성된다. 제1 차광 부분(82a), 제2 차광 부분(82d₁) 및 제3 차광 부분(82d₂)은, 제1 직선부(81x)에 형성된다.

[0507] 이어서, 차광체(80J)를 형성한 후, 도 34e에 도시하는 바와 같이, 절연막(53)의 반도체층(20)측과는 반대측에, 차광체(80J)를 덮는 절연막(53J)을 형성한다.

[0508] 이 후, 절연막(53J)의 반도체층(20)측과는 반대측에, 컬러 필터(55) 및 마이크로렌즈(56) 등을 이 순으로 형성함으로써, 도 31 및 도 32에 나타내는 상태가 된다.

[0509] 또한, 이 제10 실시 형태에 관한 고체 촬상 장치(1J)에서도, 반도체층(20) 및 다층 배선층(40)을 포함하는 반도체 웨이퍼를 칩 형성 영역마다 분할함으로써 도 1에 나타내는 반도체 칩(2)의 상태가 된다.

[0510] <차광체의 기능>

[0511] 이어서, 차광체(80J)의 기능에 대해서, 도 33 및 도 6을 사용하여 설명한다.

[0512] 도 33에 도시하는 바와 같이, 1개의 광전 변환 영역(21)(1개의 화소(3))에서, 마이크로렌즈(56)로부터 방사상으로 발하는 경사광(57J₁)은, 컬러 필터(55), 절연막(53J) 및 절연막(53)을 투과해서 차광체(80J)의 제2 차광 부분(82d₁)에 닿는다(조사된다). 그리고 제2 차광 부분(82d₁)에 닿은 경사광(57J₁)은, 제2 차광 부분(82d₁)에서

반사해서 반도체층(20)의 제2면 S2측으로부터 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입한다. 즉, 이 제10 실시 형태의 차광체(80J)는, 차광체(80J)의 제1 차광 부분(82a)의 주위로부터 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광(57J₁)을 제2 차광 부분(82d₁)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 경사광(57J₁)의 도달을 억제할 수 있다.

[0513] 여기서, 상술한 제1 실시 형태의 도 5에 나타내는 차광막(54)을 참조하여 설명하면, 도 5에 도시한 바와 같이, 차광막(54)을 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)측으로부터 제1 영역(21a)측으로 돌출되는, 제1 돌출 구조로 함으로써, 차광막(54)의 주위로부터 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광을 차광할 수 있다.

[0514] 그러나, 차광막(54)을 상술한 제1 돌출 구조로 했을 경우, 광전 변환 영역(21)의 제1 영역(21a)에 침입하는 광량이 줄어들어버려, 양자 효율 QE가 낮아진다.

[0515] 이에 반해, 이 제10 실시 형태의 차광체(80J)는, 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제2 차광 부분(82d₁)에 의해, 제1 차광 부분(82a)의 주위로부터 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광(57J₁)을 차광할 수 있기 때문에, 도 5에 나타내는 차광막(54)과 같이, 제1 돌출 구조로 할 필요가 없다. 따라서, 이 제10 실시 형태의 차광체(80J)는, 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입하는 광의 광량을 확보하면서, 제1 차광 부분(82a)의 주위로부터 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광(57J₁)을 차광할 수 있다.

[0516] 또한, 차광체(80J)의 제2 차광 부분(82d₁)에 닿은 경사광(57J₁)은, 이 제2 차광 부분(82d₁)에서 반사해서 제1 영역(21a)에 침입하기 때문에, 양자 효율 QE의 향상도 도모할 수 있다.

[0517] 또한, 도 33에 도시하는 바와 같이, Y 방향에서 서로 인접하는 2개의 화소(3)(3X₁, 3X₂)에 있어서, 한쪽의 화소(3X₁)의 마이크로렌즈(56)로부터 방사상으로 발하는 경사광(57J₂)은, 컬러 필터(55), 절연막(53J) 및 절연막(53)을 투과해서 다른 쪽의 화소(3X₂)에서의 차광체(80J)의 제3 차광 부분(82d₂)에 닿는다(조사된다). 그리고 다른 쪽의 화소(3X₂)에서의 차광체(80J)의 제3 차광 부분(82d₂)에 닿은 경사광(57J₂)은, 이 제2 차광 부분(82d₁)에서 반사해서 반도체층(20)의 제2면 S2측으로부터 한쪽의 화소(3X₁)에서의 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입한다. 즉, 이 제10 실시 형태의 차광체(80J)는, 한쪽의 화소(3X₁)로부터 다른 쪽의 화소(3X₂)에서의 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광(57J₂)을 제3 차광 부분(82d₂)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 경사광(57J₂)의 도달을 억제할 수 있다.

[0518] 여기서, 상술한 제1 실시 형태의 도 5에 나타내는 차광막(54)을 참조하여 설명하면, 도 5에 도시한 바와 같이, Y 방향에서 서로 인접하는 2개의 화소(3)(3X₁, 3X₂)에 있어서, 다른 쪽의 화소(3X₂)의 차광막(54)을 평면으로 보아 다른 쪽의 화소(3X₂)에서의 광전 변환 영역(21)의 제2 영역(21b)측으로부터 한쪽의 화소(3X₁)에서의 광전 변환 영역(21)의 제1 영역(21a)측으로 돌출되는, 제2 돌출 구조로 함으로써, 한쪽의 화소(3X₁)로부터 다른 쪽의 화소(3X₂)에서의 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광을 차광할 수 있다.

[0519] 그러나, 차광막(54)을, 다른 쪽의 화소(3X₂)에서의 차광막(54)을 상술한 제2 돌출 구조로 했을 경우, 상술한 제1 돌출 구조의 경우와 마찬가지로, 한쪽의 화소(3X₁)에서의 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입하는 광의 광량이 줄어들어버려, 양자 효율 QE가 낮아진다.

[0520] 이에 반해, 이 제10 실시 형태의 차광체(80J)는, 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제3 차광 부분(82d₂)에 의해, Y 방향에서 서로 인접하는 2개의 화소(3)(3X₁, 3X₂)에 있어서, 한쪽의 화소(3X₁)로부터 다른 쪽의 화소(3X₂)에서의 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광(57J₂)을 차광할 수 있기 때문에, 도 5에 나타내는 차광막(54)과 같이, 제2 돌출 구조로 할 필요가 없다. 따라서, 이 제10 실시 형태의 차광체(80J)는, 한쪽의 화소(3X₁)에서의 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입하는 광의 광량을 확보하면서, 한쪽의 화소(3X₁)로부터 다른 쪽의 화소(3X₂)에서의 광전 변환 영역(21)의 제2 영역

(21b)에 침입하는 경사광(57J₂)을 억제할 수 있다.

[0521] 또한, 한쪽의 화소(3X₁)로부터 다른 쪽의 화소(3X₂)에서의 차광체(80J)의 제3 차광 부분(82d₂)에 닿은 경사광(57J₂)은, 이 제3 차광 부분(82d₂)에서 반사해서 한쪽의 화소(3X₁)에서의 광전 변환 영역(21)의 제1 영역(21a)에 침입하기 때문에, 한쪽의 화소(3X₁)에서의 양자 효율 QE의 향상도 도모할 수 있다.

[0522] 이상으로부터, 차광체(80J)의 제1 차광 부분(82a), 제2 차광 부분(82d₁) 및 제3 차광 부분(82d₂) 각각은, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되어 있음과 함께, 광전 변환 영역(21)의 제1 영역(21a)보다 제2 영역(21b)측에 위치하고 있는 것이 바람직하다.

[0523] 또한, 경사광(57J₁ 및 57J₂)은, 절연막(53)의 막 두께에 비례해서 광전 변환 영역(21)의 제2 영역(21b)에 침입해 쉬워지기 때문에, 도 5에 나타내는 차광막(54)의 경우는, 절연막(53)의 막 두께에 따라서 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되는 부분의 Y 방향의 폭을 넓게 할 필요가 있다. 이에 반해, 이 제1 실시 형태의 차광체(80J)의 경우는, 절연막(53)의 막 두께에 따라서 제2 차광 부분(82d₁) 및 제3 차광 부분(82d₂) 각각의 Z 방향의 길이(높이, 깊이)를 바꿈으로써, 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에의 광의 침입을 방해하지 않아, 광전 변환 영역(21)의 제2 영역(21b)에의 경사광(57J₁, 57J₂)의 침입을 억제할 수 있다.

[0524] <<제10 실시 형태의 주된 효과>>

[0525] 이어서, 이 제10 실시 형태의 주된 효과에 대해서 설명한다.

[0526] 이 제10 실시 형태에 관한 고체 촬상 장치(1J)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31)과, 화소내 분리 영역(32)을 구비하고 있다. 따라서, 이 제10 실시 형태에 관한 고체 촬상 장치(1J)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소 특성으로서의 양자 효율 QE의 향상이나 높은 혼색 억제(MTF)를 도모할 수 있음과 함께, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다.

[0527] 또한, 이 제10 실시 형태의 차광체(80J)는, 절연막(53)의 반도체층(20)측과는 반대측에 마련되고, 또한 평면으로 보아 화소내 분리 영역(32)과 중첩되는 제1 차광 부분(82a)을 구비하고 있다. 이 때문에, 상술한 제1 실시 형태의 고체 촬상 장치(1A)와 마찬가지로, 광전 변환 영역(21)의 제2 영역(21b)에서의 반도체층(20)의 제2면 S2측(광 입사면측)으로부터 제2 영역(21b)에 침입하는 광을 제1 차광 부분(82a)에서 차광하여, 제2 영역(21b)에 마련된 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제할 수 있어, 기생 광 감도 특성(PLS)을 개선할 수 있다.

[0528] 또한, 이 제10 실시 형태의 차광체(80J)는, 평면으로 보아 화소내 분리 영역(32)과 중첩되며, 또한 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제2 차광 부분(82d₁)을 구비하고 있다. 이 때문에, 차광체(80J)의 제1 차광 부분(82a)의 주위로부터 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광(57J₁)을 제2 차광 부분(82d₁)에서 차광하여, 제2 영역(21b)에 마련된 플로팅 디퓨전 영역(FD)에의 경사광(57J₁)의 도달을 억제할 수 있어, 제1 차광 부분(82a)에 의한 기생 광 감도 특성의 개선 효과와 아울러, 보다 한층 기생 광 감도 특성(PLS)의 개선을 도모할 수 있다.

[0529] 또한, 차광체(80J)의 제2 차광 부분(82d₁)에 닿은 경사광(57J₁)은, 이 제2 차광 부분(82d₁)에서 반사해서 제1 영역(21a)(광전 변환부(24)(PD))에 침입하기 때문에, 양자 효율 QE의 향상도 도모할 수 있다.

[0530] 또한, 이 제10 실시 형태의 차광체(80J)는, 평면으로 보아 화소간 분리 영역(31)과 중첩되며, 또한 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제3 차광 부분(82d₂)을 구비하고 있다. 이 때문에, Y 방향에서 서로 인접하는 2개의 화소(3)(3X₁, 3X₂)에 있어서, 한쪽의 화소(3X₁)로부터 다른 쪽의 화소(3X₂)에서의 광전 변환 영역(21)의 제2 영역(21b)에 침입하는 경사광(57J₂)을 제3 차광 부분(82d₂)에서 차광하여, 다른 쪽의 화소(3X₂)에서의 광전 변환 영역(21)의 제2 영역(21b)에 마련된 플로팅 디퓨전 영역(FD)에의 경사광(57J₁)의 도달을 억제할 수 있어, 화소간 분리 영역(31)의 광 반사에 의한 혼색 억제 효과와 아울러, 보다 한층 혼색 억제를 도모할 수 있다.

- [0531] 또한, 한쪽의 화소($3X_1$)로부터 다른 쪽의 화소($3X_2$)에서의 차광체(80J)의 제3 차광 부분($82d_2$)에 닿은 경사광($57J_2$)은, 이 제3 차광 부분($82d_2$)에서 반사해서 한쪽의 화소($3X_1$)에서의 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입하기 때문에, 보다 한층 양자 효율 QE의 향상도 도모할 수 있다.
- [0532] 또한, 상술한 제10 실시 형태에서는, 고정 전하막(52)을 포함하는 고체 활상 장치(1J)에 본 기술을 적용한 경우에 대해서 설명하였지만, 본 기술은, 고정 전하막을 포함하지 않는 고체 활상 장치(1J)에서도 적용할 수 있다.
- [0533] [제11 실시 형태]
- [0534] 이 제11 실시 형태에서는, 주로 광 반사체(85K)에 대해서 설명한다.
- [0535] 도 35는 이 제11 실시 형태에 관한 고체 활상 장치의 화소 어레이부에서의 차광체 및 광 반사체의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0536] 도 36은, 도 35의 a35-a35선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0537] 또한, 도 35는, 도 36에 나타내는 반도체층(20)의 제2면 S2측(광 입사면측)에서 본 평면도이다. 그리고 도 36은, 상술한 제1 실시 형태의 도 5 및 도 6에 대해서 상하가 반전되어 있다.
- [0538] <<고체 활상 장치의 구성>>
- [0539] 본 기술의 제11 실시 형태에 관한 고체 활상 장치(1K)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 활상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.
- [0540] 즉, 도 35 및 도 36에 도시하는 바와 같이, 본 기술의 제11 실시 형태에 관한 고체 활상 장치(1K)는, 반도체층(20)의 제2면 S2측에 평면으로 보아 화소내 분리 영역(32)과 중첩되어 마련되며, 또한 반도체층(20)보다 굴절률이 낮은 광 반사체(85K)를 더 구비하고 있다. 그리고 이 광 반사체(85K)에 관련하여, 화소내 분리 영역(32)의 Z 방향의 길이 L_5 (도 37a 참조)가, 화소간 분리 영역(31)의 Z 방향의 길이와 비교해서 짧게 되어 있다. 바꾸어 말하면, 이 제11 실시 형태의 화소내 분리 영역(32)은, 반도체층(20)의 제1면 S1측으로부터 제2면 S2측으로 연신되는 길이 L_5 가, 상술한 제1 실시 형태의 도 5 및 도 6에 나타내는 화소내 분리 영역(32)과 비교해서 짧게 되어 있다. 기타 구성은, 대략 제1 실시 형태와 마찬가지로이며, 마찬가지로의 구성에는 동일 부호를 붙이고, 중복되는 설명을 생략한다.
- [0541] 도 36에 도시하는 바와 같이, 광 반사체(85K)는, 반도체층(20)의 제2면 S2측으로부터 화소내 분리 영역(32)을 향해서 연신되는 제3 파임부로서의 파임부(33K) 중에 고정 전하막(52)을 개재해서 마련된 절연막(53)을 포함한다. 절연막(53)으로서는, 예를 들어 산화실리콘막을 사용할 수 있다. 산화실리콘막은, Si, SiGe, InGaAs 등의 반도체 재료보다 굴절률이 낮다.
- [0542] 고정 전하막(52)은, 파임부(33a), 반도체층(20)의 제2면 S2 및 파임부(33K)에 걸쳐서 마련되어 있다. 그리고 파임부(33K)에서의 고정 전하막(52)은, 파임부(33K) 내의 내벽(측벽 및 저벽)을 따라 마련되어 있다.
- [0543] 여기서, 파임부(33K) 내에서, 고정 전하막(52)의 막 두께는, 절연막(53)의 막 두께와 비교해서 극히 얇다. 도 36에서는 고정 전하막(52)의 구성을 알기 쉽게 하기 위해서, 고정 전하막의 막 두께를 실제의 비율보다 두껍게 그리고 있다. 따라서, 절연막(53) 및 고정 전하막(52)을 포함해서 광 반사체(85K)라고 간주할 수 있다.
- [0544] 고정 전하막(52)은, 부의 고정 전하를 발생시키는 유전체막으로서, 예를 들어 산화하프늄(HfO_2), 산화지르코늄(ZrO_2), 산화탄탈(Ta_2O_5) 등의 막을 포함하고 있다. 이들 유전체막은, Si, SiGe, InGaAs 등의 반도체 재료보다 굴절률이 낮다. 따라서, 이 점에서도 절연막(53) 및 고정 전하막(52)을 포함해서 광 반사체(85K)라고 간주할 수 있다.
- [0545] 또한, 일례로서, 예를 들어 940nm 파장의 광일 경우, 실리콘은, 예를 들어 3.62 정도의 굴절률을 갖고, 산화실리콘은, 예를 들어 1.45 정도의 굴절률을 갖고, 공기는, 예를 들어 1.00 정도의 굴절률을 갖는다.
- [0546] 또한, 다른 예로서, 예를 들어 550nm 파장의 광일 경우, 실리콘은, 예를 들어 4.08 정도의 굴절률을 갖고, 산화실리콘은, 예를 들어 1.46 정도의 굴절률을 갖고, 공기는, 예를 들어 1.00 정도의 굴절률을 갖는다.
- [0547] 도 37a에 도시하는 바와 같이, 이 제11 실시 형태의 화소내 분리 영역(32)은, 반도체층(20)의 두께 방향을 따르는 Z 방향의 길이 L_5 가 화소간 분리 영역(31)의 Z 방향을 따르는 길이보다 짧게 되어 있다. 또한, 이 제11 실

시 형태의 화소내 분리 영역(32)의 Z 방향의 길이 L_5 는, 상술한 제1 실시 형태에서의 화소내 분리 영역(32)의 Z 방향의 길이와 비교해서 짧게 되어 있다. 그리고 이 제11 실시 형태의 화소내 분리 영역(32)은, 반도체층(20)의 제1면 S1측의 소자 분리 영역(25)으로부터 제2면 S2측을 향해서 연신되며, 또한 반도체층(20)의 제2면 S2로부터 이격되어 있다.

[0548] 도 37a에 도시하는 바와 같이, 파임부(33K) 및 광 반사체(85K)는, 반도체층(20)의 제2면 S2로부터 화소내 분리 영역(32)의 선단을 향해서 연신되어, 화소내 분리 영역(32)의 선단에 도달하고 있다. 이 제11 실시 형태에서는, 광 반사체(85K) 및 화소내 분리 영역(32) 각각은, 반도체층(20)의 내부에서, 각각의 선단이 맞닿는 곳에서 서로 종단되어 있다.

[0549] 여기서, 도 37a에 도시하는 바와 같이, 이 제11 실시 형태의 화소내 분리 영역(32)은, 소자 분리 영역(25)으로부터 파임부(33K)에 걸쳐서 연신되어 있다. 이 경우의 화소내 분리 영역(32)의 길이 L_5 는, 소자 분리 영역(25)의 저면으로부터 파임부(33K)까지의 거리가 된다. 도시하고 있지 않지만, 화소내 분리 영역(32)이 반도체층(20)의 제1면 S1로부터 파임부(33i)에 걸쳐서 연신되어 있을 경우는, 반도체층(20)의 제1면 S1로부터 파임부(33i)까지의 거리가 화소내 분리 영역(32)의 길이 L_5 가 된다.

[0550] 또한, 소자 분리 영역(필드 분리 영역)(25)의 저면과 접하는 반도체층(20)의 면을 제1면 S1이라고 간주할 수도 있다.

[0551] 도 37a에 도시하는 바와 같이, 화소내 분리 영역(32)과 파임부(33K)는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(일방향)을 따르는 방향(Y 방향) 각각의 폭(W_3 , W_4)이 다르게 되어 있다. 이 제11 실시 형태에서는, 파임부(33K)의 폭 W_4 쪽이 화소내 분리 영역(32)의 폭 W_3 보다 넓게 되어 있지만, 화소내 분리 영역(32)의 폭 W_3 쪽을 파임부(33K)의 폭 W_4 보다 넓게 해도 된다. 즉, 패터닝 정밀도나 특성의 관점에서, 「 $W_4 > W_3$ 」, 혹은 「 $W_4 < W_3$ 」을 충족하는 것이 바람직하다.

[0552] 도 35에는 상세하게 도시하고 있지 않지만, 상술한 제8 실시 형태의 도 17을 참조하여 설명하면, 차광막(54)은, 상술한 제8 실시 형태의 차광체(80H)와 마찬가지로, X 방향으로 연신되며, 또한 Y 방향으로 소정의 배열 피치로 반복 배치된 제1 직선부(81x)와, 이 제1 직선부(81x)와 교차해서 Y 방향으로 연신되며, 또한 X 방향으로 소정의 배열 피치로 반복 배치된 제2 직선부(81y)를 구비하고 있다. 제1 직선부(81x)는, 평면으로 보아 화소간 분리 영역(31)의 제1 부분(31x)과 중첩되고, 제2 직선부(81y)는, 평면으로 보아 화소간 분리 영역(31)의 제2 부분(31y)과 중첩되어 있다. 즉, 이 제11 실시 형태의 차광막(54)도, 상술한 제8 실시 형태의 차광체(80H)와 마찬가지로, 소정의 광전 변환 영역(21)에 입사하는 광이 인접한 광전 변환 영역(21)으로 새어 들어가지 않도록, 평면으로 보아 평면 패턴이 복수의 광전 변환 영역(21) 각각의 수광면측(제2면 S2측)을 개구하는 격자상 평면 패턴으로 되어 있다. 제1 직선부(81x)의 Y 방향의 폭 X_{wy} 는, 제2 직선부(81y)의 X 방향의 폭 Y_{wx} 보다 넓게 되어 있다.

[0553] 도 36에 도시하는 바와 같이, 차광막(54)은, 절연막(53)의 반도체층(20)측과는 반대측에 마련되고, 또한 평면으로 보아 화소내 분리 영역(32)과 중첩되어 있다. 또한, 차광막(54)은, 광전 변환 영역(21)에서, 평면으로 보아 화소간 분리 영역(31)과 화소내 분리 영역(32)의 사이의 제2 영역(21b), 구체적으로는 p형 웰 영역(22) 및 플로팅 디퓨전 영역(FD)을 덮도록 해서 마련되어 있다. 즉, 플로팅 디퓨전 영역(FD)은, 평면으로 보아 차광막(54)과 중첩되는 위치에 배치되어 있다. 이 차광막(54)으로서는, 예를 들어 차광성을 갖는 텅스텐(W)막을 사용하고 있다.

[0554] 여기서, 이 제11 실시 형태에서는, 화소간 분리 영역(31)이 본 기술의 「제1 분리 영역」의 일 구체예에 상당하고, 화소내 분리 영역(32)이 본 기술의 「제2 분리 영역」의 일 구체예에 상당한다. 또한, 이 제11 실시 형태에서는, 파임부(33a), 파임부(33b), 파임부(33K)가 본 기술의 「제1 파임부」, 「제2 파임부」, 「제3 파임부」의 일 구체예에 상당한다. 또한, 이 제11 실시 형태에서는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향이 본 기술의 「일방향」의 일 구체예에 상당하고, 차광막(54)이 본 기술의 「차광체」의 일 구체예에 상당한다.

[0555] 《고체 촬상 장치의 제조 방법》

[0556] 이어서, 본 기술의 제11 실시 형태에 관한 고체 촬상 장치(1K)의 제조 방법에 대해서, 도 38a 내지 도 38f를 사용하여 설명한다.

- [0557] 이 제11 실시 형태에서는, 고체 촬상 장치(1I)의 제조 방법에 포함되는 광 반사체(85K)의 제조에 특화해서 설명한다.
- [0558] 먼저, 상술한 제8 실시 형태와 마찬가지로의 공정을 실시하고, 도 38a에 도시하는 바와 같이, 광전 변환 영역(21)의 제1 영역(21a)에서 반도체층(20)의 제2면 S2에 회절 산란부(51)를 형성하는 공정까지 실시한다.
- [0559] 이어서, 회절 산란부(51)를 형성한 후, 도 38b에 도시하는 바와 같이, 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)를 선택적으로 제거한다. 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용함으로써 선택적으로 제거할 수 있다.
- [0560] 이어서, 분리 절연막(34) 및 도전재(35)를 선택적으로 제거한 후, 도 38c에 도시하는 바와 같이, 화소내 분리 영역(32)이 노출되는 개구부 M1a를 갖는 마스크 M1을 반도체층(20)의 제2면 S2측에 예를 들어 포토리소그래피 기술을 사용하여 형성한다. 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b) 각각은, 반도체층(20)의 제2면 S2측이 마스크 M1로 덮이고, 파임부(33a) 내는 마스크 M1의 일부로 충전된다.
- [0561] 이어서, 마스크 M1을 에치 마스크로 해서 사용하여, 마스크 M1의 개구부 M1a로부터 노출되는 도전재(35) 및 분리 절연막(34)을 선택적으로 에칭하여, 도 3d에 도시하는 바와 같이, 파임부(33K)를 형성한다.
- [0562] 이 공정에서, 파임부(33K)는, 평면으로 보아 화소내 분리 영역(32)과 중첩되어 반도체층(20)의 제2면 S2측으로부터 제1면 S1측을 향해서 연신되어, 화소내 분리 영역(32)의 선단과 접하는 상태로 형성된다. 파임부(33K)는 소정의 깊이로 형성하는데, 이 파임부(33K)의 깊이에 반비례해서 화소내 분리 영역(32)의 길이가 짧아진다.
- [0563] 이어서, 마스크 M1을 제거한 후, 도 38e에 도시하는 바와 같이, 파임부(33a 및 33K) 각각의 내부의 내벽(측벽 및 저벽)을 따라 덮고, 또한 반도체층(20)의 제2면 S2를 덮는 고정 전하막(52)을 성막한다. 고정 전하막(52)은, 반도체층(20)의 제2면 S2측에서, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)에 걸쳐서 형성되고, 제1 영역(21a)의 회절 산란부(51)는 고정 전하막(52)으로 덮인다.
- [0564] 이어서, 고정 전하막(52)을 형성한 후, 도 38f에 도시하는 바와 같이, 파임부(33a 및 33K) 각각의 내부를 포함하는 반도체층(20)의 제2면 S2측의 전체면에 절연막(53)을 형성한다. 절연막(53)은, 예를 들어 산화실리콘막을 CVD법으로 성막한 후, 이 산화실리콘막의 표면층을 CMP법으로 절삭해서 평탄화함으로써 형성할 수 있다.
- [0565] 이 공정에서, 파임부(33a)의 내부에 고정 전하막(52)을 개재해서 절연막(53)이 매립된 화소간 분리 영역(31)이 형성됨과 함께, 이 화소간 분리 영역(31)으로 주위가 구획되며, 또한 내부가 화소내 분리 영역(32)으로 제1 영역(21a)과 제2 영역(21b)으로 분리된 광전 변환 영역(21)이 형성된다.
- [0566] 또한, 이 공정에서, 파임부(33K)의 내부에 고정 전하막(52) 및 절연막(53)을 포함하는 광 반사체(85K)가 형성된다.
- [0567] 이어서, 절연막(53)을 형성한 후, 이 절연막(53)의 반도체층(20)측과는 반대측에, 차광막(54), 컬러 필터(55) 및 마이크로렌즈(56) 등을 이 순으로 형성함으로써, 도 31 및 도 32에 나타내는 상태가 된다.
- [0568] 또한, 이 제11 실시 형태에 관한 고체 촬상 장치(1K)에서도, 반도체층(20) 및 다층 배선층(40)을 포함하는 반도체 웨이퍼를 칩 형성 영역마다 분할함으로써 도 1에 나타내는 반도체 칩(2)의 상태가 된다.
- [0569] <광 반사체의 기능>
- [0570] 이어서, 광 반사체 80K의 기능에 대해서, 도 37b 및 도 6을 사용하여 설명한다.
- [0571] 도 37b에 도시하는 바와 같이, 1개의 광전 변환 영역(21)(1개의 화소(3))에서, 마이크로렌즈(56)로부터 방사상으로 발하는 경사광(57K₁)은, 컬러 필터(55), 절연막(53), 고정 전하막(52) 및 회절 산란부(51) 등을 투과(통과)해서 반도체층(20)의 제2면 S2측으로부터 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입(입사)한다. 그리고 제1 영역(21a)에 침입한 경사광(57K₁)은, 제1 영역(21a)측으로부터 광 반사체(85K)에 닿는다(조사된다). 그리고 광 반사체(85K)에 닿은 경사광(57K₁)은, 광 반사체(85K)에서 반사해서 광전 변환 영역(21)의 제1 영역(21a)으로 돌아간다. 즉, 이 제11 실시 형태의 광 반사체(85K)는, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 제2 영역(21b)에 침입하는 경사광(57K₁)을 광 반사체(85K)에서 반사하여, 광전 변환 영역(21)의 제2 영역(21b)에 마련된 플로팅 디퓨전 영역(FD)에의 경사광(57K₁)의 도달을 억제할 수 있다.
- [0572] 또한, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 광 반사체(85K)에 닿은(조사된) 경사광(57K₁)은, 이 광

반사체(85K)에서 반사해서 광전 변환 영역(21)의 제1 영역(21a)으로 돌아가기 때문에, 양자 효율 QE의 향상도 도모할 수 있다.

[0573] 또한, 마이크로렌즈(56)로부터 방사상으로 발하는 경사광(57K₂)은, 컬러 필터(55), 절연막(53), 고정 전하막(52) 및 회절 산란부(51) 등을 투과(통과)해서 반도체층(20)의 제2면 S2측으로부터 광전 변환 영역(21)의 제1 영역(21a)(광전 변환부(24)(PD))에 침입(입사)한다. 그리고 제1 영역(21a)에 침입한 경사광(57K₂)은, 화소간 분리 영역(31)에서 반사해서 제1 영역(21a)(광전 변환부(24)(PD))으로 돌아간다.

[0574] 여기서, 광 반사체(85K)를 마련함으로써, 광전 변환 영역(21)의 제2 영역(21b)에의 경사광(57K₁)의 침입을 억제할 수 있기 때문에, 광전 변환 영역(21)의 제1 영역(21a)으로부터 제2 영역(21b)에의 총 광침입량이 감소한다.

[0575] 도 37c는, 화소내 분리 영역(32)에서의 투과율과 광 반사체(85K)의 길이 L₆(도 37a 참조)의 상관 관계를 도시하는 도면(투과율의 절연막 길이 의존성을 도시하는 도면)이다. 화소내 분리 영역(32)은, 도전재(35)로서 차광성이 부족한 실리콘막을 포함하고, 광 반사체(85K)는, 반도체층(20)보다 굴절률이 낮은 절연막(53)을 포함한다.

[0576] 도 37c로부터, 예를 들어 반도체층(20)의 제2면(광 입사면) S2로부터 1.5 μ m 이상 깊은 영역까지를 광 반사체(85K)로 치환함으로써, 광전 변환 영역(21)의 제1 영역(21a)으로부터 제2 영역(21b)에 침입하는 광(632nm 파장)의 투과율을 50% 이상 저감할 수 있다.

[0577] 따라서, 반도체층(20)의 제2면 S2로부터 제1면 S1을 향해서 연신되는 광 반사체의 길이 L₆은, 1.5 μ m 이상으로 하는 것이 바람직하다.

[0578] <<제11 실시 형태의 주된 효과>>

[0579] 이어서, 이 제11 실시 형태의 주된 효과에 대해서 설명한다.

[0580] 이 제11 실시 형태에 관한 고체 촬상 장치(1K)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31)과, 화소내 분리 영역(32)을 구비하고 있다. 따라서, 이 제11 실시 형태에 관한 고체 촬상 장치(1K)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소 특성으로서의 양자 효율 QE의 향상이나 높은 혼색 억제(MTF)를 도모할 수 있음과 함께, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다.

[0581] 또한, 이 제11 실시 형태에 관한 고체 촬상 장치(1K)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 차광막(54)을 구비하고 있다. 이 때문에, 상술한 제1 실시 형태의 고체 촬상 장치(1A)와 마찬가지로, 광전 변환 영역(21)의 제2 영역(21b)에서의 반도체층(20)의 제2면 S2측(광 입사면측)으로부터 제2 영역(21b)에 침입하는 광을 제1 차광 부분(82a)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제할 수 있어, 기생 광 감도 특성(PLS)을 개선할 수 있다.

[0582] 또한, 이 제11 실시 형태에 관한 고체 촬상 장치(1K)는, 반도체층(20)의 제2면 S2측(광 입사면측)에 평면으로 보아 화소내 분리 영역(32)과 중첩되어 마련되고, 또한 반도체층(20)보다 굴절률이 낮은 광 반사체(85K)를 구비하고 있다. 이 때문에, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 광 반사체(85K)에 닿은 경사광(57K₁)은 광 반사체(85K)에서 반사해서 제1 영역(21a)으로 돌아가므로, 광전 변환 영역(21)의 제2 영역(21b)에 마련된 플로팅 디퓨전 영역(FD)에의 경사광(57I₁)의 도달을 억제할 수 있어, 차광막(54)에 의한 기생 광 감도 특성의 개선 효과와 아울러, 보다 한층 기생 광 감도 특성(PLS)의 개선을 도모할 수 있다.

[0583] 또한, 경사광(57K₁)은, 광 반사체(85K)에서 반사해서 제1 영역(21a)으로 돌아가기 때문에, 양자 효율 QE의 향상도 도모할 수 있다.

[0584] <<제11 실시 형태의 변형예>>

[0585] <변형예 11-1>

[0586] 상술한 제11 실시 형태에서는, 절연막(53) 및 고정 전하막(52)을 포함하는 광 반사체(85K)에 대해서 설명하였지만, 본 기술은 상술한 제11 실시 형태의 광 반사체(85K)에 한정되는 것은 아니다.

[0587] 예를 들어, 도 39에 도시하는 바와 같이, 반도체층(20)보다 굴절률이 낮은 공기가 충전된 공동부(53k₁) 및 고정 전하막(52)을 포함하는 광 반사체(85K₁)를 사용할 수 있다. 이 경우, 제1 분리 영역으로서, 반도체층(20)보다

굴절률이 낮은 공기가 충전된 공동부(53k₂) 및 고정 전하막(52)을 포함하는 화소간 분리 영역(31K)을 사용해도 된다.

[0588] <변형예 11-2>

[0589] 또한, 상술한 제11 실시 형태에서는, 광 반사체(85K)의 X 방향의 길이를 평면으로 보아 광 반사체와 전송 트랜지스터(TRG)의 게이트 전극이 중첩되지 않는 길이로 한 경우에 대해서 설명하였다. 그러나, 본 기술은, 제11 실시 형태의 광 반사체(85K)에 한정되는 것은 아니다.

[0590] 예를 들어, 도 40 및 도 41에 도시하는 바와 같이, 광 반사체(85K)의 X 방향의 길이를, 평면으로 보아 전송 트랜지스터(TRG)의 게이트 전극(37)과 광 반사체(85K)가 중첩되는 길이로 해도 된다.

[0591] 또한, 도시하고 있지 않지만, 도 40을 참조하여 설명하면, 1개의 광전 변환 영역(21)을 둘러싸는 화소간 분리 영역(31) 중, X 방향에 있어서 서로 이격되는 2개의 화소간 분리 영역(31) 각각과 광 반사체(85K)를 일체화해도 된다.

[0592] <변형예 11-3>

[0593] 또한, 상술한 제11 실시 형태에서는, 반도체층(20)의 두께 방향(Z 방향)에 있어서, 화소내 분리 영역(32)이 광 반사체(85K)의 선단에서 중단되는 경우에 대해서 설명하였다. 그러나, 본 기술은, 상술한 제11 실시 형태의 광 반사체(85K)에 한정되는 것은 아니다.

[0594] 예를 들어, 도 42에 도시하는 바와 같이, Y 방향(일방향)에 있어서 화소내 분리 영역(32)보다 광전 변환 영역(21)의 제1 영역(21a)측에 광 반사체(85K)를 치우치게 하고(오프셋하고), 광 반사체(85K)와 제2 영역(21b)의 사이에 화소내 분리 영역(32)의 도전재(35)가 마련된 구성으로 해도 된다. 즉, 광 반사체(85K)는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 화소내 분리 영역(32)보다 제1 영역(21a)측에 마련되고, 또한 광 반사체(85K)와 제2 영역(21b)의 사이에 화소내 분리 영역(32)의 도전재(35)로서의 실리콘막(35)이 마련된 구성으로 해도 된다.

[0595] 이 경우, 화소내 분리 영역(32)의 도전재(35)가 상술한 제11 실시 형태와 비교해서 반도체층(20)의 제2면 S2측에 가까워지는 구성(신장된 구성)으로 되기 때문에, 제11 실시 형태와 비교해서 전하 전송 특성의 향상을 도모할 수 있다.

[0596] <변형예 11-4>

[0597] 또한, 상술한 제11 실시 형태에서는, 절연막(53) 및 고정 전하막(52)을 포함하는 광 반사체(85K)에 대해서 설명하였지만, 도 43에 도시하는 바와 같이, 광 반사체(85K)는 고정 전하막(52)을 포함하지 않는 구성으로 해도 된다.

[0598] [제12 실시 형태]

[0599] 이 제12 실시 형태에서는, 주로 광전 변환 영역의 배치에 대해서 설명한다.

[0600] 도 44는, 이 제12 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.

[0601] 도 45는, 도 44의 a44-a44선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

[0602] 도 46은, 도 45의 일부를 확대한 종단면도이다.

[0603] 이 제12 실시 형태에서는, 화소간 분리 영역(31)이 본 기술의 「제1 분리 영역」의 일 구체예에 상당하고, 화소내 분리 영역(32)이 본 기술의 「제2 분리 영역」의 일 구체예에 상당한다. 또한, 이 제12 실시 형태에서는, 절연막(53), 도전재(35)가 본 기술의 「절연재」, 「도전재」의 일 구체예에 상당한다. 또한, 이 제12 실시 형태에서는, 파임부(33a), 파임부(33b), 파임부(33L)가 본 기술의 「제1 파임부」, 「제2 파임부」, 「제3 파임부」의 일 구체예에 상당한다. 또한, 이 제12 실시 형태에서는, 광전 변환 영역(21L₁), 광전 변환 영역(21L₂)이 본 기술의 「제1 광전 변환 영역」, 「제2 광전 변환 영역」의 일 구체예에 상당한다. 또한, 광전 변환 영역(21L₁ 및 21L₂)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향이 본 기술의 「일방향」의 일 구체예에 상당한다.

[0604] <<고체 촬상 장치의 구성>>

- [0605] 본 기술의 제12 실시 형태에 관한 고체 촬상 장치(1L)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.
- [0606] 즉, 도 44 및 도 45에 도시하는 바와 같이, 이 제12 실시 형태에 관한 고체 촬상 장치(1L)는, 화소간 분리 영역(31)에 의해 Y 방향으로 배열되어 구획된 광전 변환 영역(21L₁) 및 광전 변환 영역(21L₂)을 포함하는 광전 변환 셀(광전 변환 영역군)(16)을 구비하고 있다. 또한, 이 제12 실시 형태에 관한 고체 촬상 장치(1L)는, 광전 변환 영역(21L₁)과 광전 변환 영역(21L₂)으로 분리하는 셀내 화소간 분리 영역(31L)을 구비하고 있다. 기타 구성은, 대략 상술한 제1 실시 형태와 마찬가지이다.
- [0607] 도 44에 도시하는 바와 같이, 광전 변환 셀(16)은, X 방향으로 1개이고 Y 방향으로 2개의 1×2배열로 배치된 2개의 광전 변환 영역(21L₁ 및 21L₂)을 포함하고 있다. 그리고 광전 변환 셀(16)은, X 방향 및 Y 방향 각각의 방향으로 반복 배치되어, 도 1에 나타내는 화소 어레이부(2A)와 마찬가지로의 화소 어레이부를 구축하고 있다. 광전 변환 셀(16)에 포함되는 광전 변환 영역(21L₁ 및 21L₂) 각각은, 각각 개별로 화소(3)에 대응해서 마련되어 있다.
- [0608] 도 45에 도시하는 바와 같이, 광전 변환 셀(16)에 포함되는 광전 변환 영역(21L₁) 및 광전 변환 영역(21L₂) 각각은, 상술한 제1 실시 형태의 광전 변환 영역(21)과 마찬가지로의 구성으로 되어 있다. 즉, 제1 및 제2 광전 변환 영역(21L₁, 21L₂) 각각은, 화소내 분리 영역(32), 반도체층(20)에 마련된 p형 웰 영역(22)과, 이 p형 웰 영역(22) 내에 마련된 n형 반도체 영역(23)과, 광전 변환부(24)(PD) 및 플로팅 디퓨전 영역(FD)을 구비하고 있다. 또한, 제1 및 광전 변환 영역(21L₁, 21L₂) 각각은, 소자 형성 영역(20a)과, 화소내 분리 영역(32)과, 회절 산란부(51)를 구비하고 있다.
- [0609] 도 44에 도시하는 바와 같이, 화소간 분리 영역(31)은, X 방향으로 연신되는 제1 부분(31x)이 1개의 광전 변환 셀(16)마다(2개의 광전 변환 영역(21L₁ 및 21L₂)마다) Y 방향으로 반복 배치되고, Y 방향으로 연신되는 제2 부분(31y)이 1개의 광전 변환 셀(16)마다(1개의 광전 변환 영역(21L₁ 또는 21L₂)마다) X 방향으로 반복 배치되어 있다. 즉, 화소간 분리 영역(31)은, 상술한 제1 실시 형태와 마찬가지로, 평면으로 보아 평면 패턴이 격자상의 평면 패턴으로 되어 있다. 그리고 각 광전 변환 셀(16)은, Y 방향으로 배열된 2개의 광전 변환 영역(21L₁ 및 21L₂)의 Y 방향의 양단측이 화소간 분리 영역(31)의 서로 인접하는 2개의 제1 부분(31x)으로 구획되고, Y 방향으로 배열된 2개의 광전 변환 영역(21L₁ 및 21L₂)의 X 방향의 양단측이 화소간 분리 영역(31)의 서로 인접하는 2개의 제2 부분(31y)으로 구획되어 있다. 또한, 각 광전 변환 셀(16)은, 광전 변환 영역(21L₁)과 광전 변환 영역(21L₂)이, X 방향으로 연신되는 셀내 화소간 분리 영역(31L)으로 분리되어 있다(칸막이되어 있다).
- [0610] 도 44 및 도 45에 도시하는 바와 같이, 화소내 분리 영역(32)은, 상술한 제1 실시 형태의 화소내 분리 영역(32)과 마찬가지로, 광전 변환 영역(21L₁ 및 21L₂) 각각을 Y 방향에 있어서 제1 영역(21a)과 제2 영역(21b)으로 분리하고 있다. 그리고 제1 영역(21a)에, p형 웰 영역(22), n형 반도체 영역(23), 광전 변환부(24)(PD), 소자 형성 영역(20a) 및 회절 산란부(51) 등이 마련되어 있다. 그리고 제2 영역(21b)에, p형 웰 영역(22) 및 플로팅 디퓨전 영역(FD) 등이 마련되어 있다. 소자 형성 영역(20a)에는, 상술한 제1 실시 형태와 마찬가지로, 화소 트랜지스터(AMP, SEL, RST, TRG)가 마련되어 있다.
- [0611] 여기서, 도면을 보기 쉽게 하기 위해서, 상술한 제1 실시 형태의 도 4 및 도 5와 마찬가지로, 도 44에서는 화소 트랜지스터 중 전송 트랜지스터(TRG)만을 도시하고, 도 45에서는 화소 트랜지스터의 도시를 생략하고 있다.
- [0612] 도 44 및 도 45에 도시하는 바와 같이, 광전 변환 영역(21L₁)과 광전 변환 영역(21L₂)은, 제1 영역(21a)과 제2 영역(21b)의 Y 방향(일방향)의 배열순이 다르게 되어 있다. 구체적으로는, Y 방향에서 동일한 방위(배향)를 향했을 때, 광전 변환 영역(21L₁)에서는, 제1 영역(21a) 및 제2 영역(21b)이 이 순으로 배치되고, 광전 변환 영역(21L₂)에서는, 제2 영역 및 제1 영역이 이 순으로 배치되어 있다. 즉, 광전 변환 셀(16)은, 광전 변환 영역(21L₁) 및 광전 변환 영역(21L₂) 각각의 제2 영역(21b)이 평면으로 보아 셀내 화소간 분리 영역(31L)을 개재해서 서로 인접하고 있다. 바꾸어 말하면, 광전 변환 셀(16)은, 각각의 제2 영역(21b)이 평면으로 보아 셀내 화소간 분리 영역(31L)을 개재해서 Y 방향으로 서로 인접해서 배치된 제1 및 광전 변환 영역(21L₁, 21L₂)을 포함한

다.

[0613] <셀내 화소간 분리 영역>

[0614] 도 46에 도시하는 바와 같이, 셀내 화소간 분리 영역(31L)은, 반도체층(20)의 두께 방향(Z 방향)으로 연신되어 있다. 그리고 셀내 화소간 분리 영역(31L)은, 일단부측이 소자 분리 영역(25)과 연결되고, 타단부측이 반도체층(20)의 제2면 S2로부터 이격되어 있다.

[0615] 셀내 화소간 분리 영역(31L)은, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 파임부(33L)에 마련되고, 또한 반도체층(20)의 굴절률보다 낮은 절연 재료로서의 절연막(27)을 포함한다. 파임부(33L)는, 일단부측이 소자 분리 영역(25)과 연결되고, 타단부측이 반도체층(20)의 제2면 S2로부터 이격되어 있다. 셀내 화소간 분리 영역(31L) 내의 절연막(27)은, 소자 분리 영역(25)의 절연막(27)과 동일 공정에서 형성된다. 절연막(27)으로서는, 예를 들어 산화실리콘막을 사용할 수 있다. 산화실리콘막은, Si, SiGe, InGaAs 등의 반도체 재료보다 굴절률이 낮다.

[0616] 도 46a에 도시하는 바와 같이, 셀내 화소간 분리 영역(31L)과 화소간 분리 영역(31)은, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(일방향)을 따르는 방향 각각의 폭(W_7 , W_8)이 다르게 되어 있다. 구체적으로는, 셀내 화소간 분리 영역(31L)의 폭 W_7 쪽이 화소간 분리 영역(31)의 폭 W_7 보다 좁게 되어 있다($W_7 < W_8$).

[0617] 또한, 셀내 화소간 분리 영역(31L)과 화소내 분리 영역(32)은, 셀내 화소간 분리 영역(31L)의 폭 W_7 쪽이 화소내 분리 영역(32)의 폭 W_3 보다 좁게 되어 있다($W_7 < W_3$).

[0618] 그리고 파임부(33L)의 폭쪽이, 파임부(33a 및 33b) 각각의 폭보다 좁게 되어 있다.

[0619] 도 46a에 도시하는 바와 같이, 셀내 화소간 분리 영역(31L)과, 화소간 분리 영역(31) 및 화소내 분리 영역(32)은, 반도체층(20)의 두께 방향(Z 방향)을 따르는 길이(L_7 , L_8 , L_5)가 다르게 되어 있다. 구체적으로는, 셀내 화소간 분리 영역(31L)의 길이 L_7 쪽이, 화소간 분리 영역(31)의 길이 L_8 및 화소내 분리 영역(32)의 길이 L_5 보다 짧게 되어 있다. 그리고 파임부(33L)의 Z 방향의 깊이쪽이, 파임부(33a 및 33b) 각각의 Z 방향의 깊이보다 얇게 되어 있다.

[0620] 여기서, 셀내 화소간 분리 영역(31L)은, 소자 분리 영역(25)으로부터 반도체층(20)의 제2면 S2를 향해서 연신되며, 또한 반도체층(20)의 제2면 S2로부터 이격되어 있다. 이 경우의 셀내 화소간 분리 영역(31L)의 길이 L_7 은, 소자 분리 영역(25)의 저면으로부터 선단까지의 거리가 된다. 도시하고 있지 않지만, 셀내 화소간 분리 영역(31L)이 반도체층(20)의 제1면 S1로부터 제2면 S2를 향해서 연신되어 있을 경우는, 반도체층(20)의 제1면 S1로부터 선단까지의 거리가 셀내 화소간 분리 영역(31L)의 길이 L_7 이 된다.

[0621] 또한, 소자 분리 영역(필드 분리 영역)(25)의 저면과 접하는 반도체층(20)의 면을 제1면 S1이라고 간주할 수도 있다.

[0622] 화소간 분리 영역(31)의 파임부(33a)와 화소내 분리 영역(32)의 파임부(33b)는, 길이 및 폭이 설계값에서 동일하게 되어 있다. 한편, 셀내 화소간 분리 영역(31L)의 파임부(33L)와, 파임부(33a 및 33b)는, 길이 및 폭이 다르게 되어 있다. 즉, 셀내 화소간 분리 영역(31L)의 파임부(33L)는, 화소간 분리 영역(31)의 파임부(33a) 및 화소내 분리 영역(32)의 파임부(33b)와는 별도의 공정에서 형성되어 있다.

[0623] 도 45 및 도 46b에 도시하는 바와 같이, 차광막(54)은, 반도체층(20)의 제2면 S2측에 마련되어 있다. 그리고 차광막(54)은, 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 제2 영역(21b)과 중첩되며, 또한 각각의 제2 영역(21b)에 겹쳐서 연속적으로 마련되어 있다.

[0624] <<고체 촬상 장치의 제조 방법>>

[0625] 이어서, 본 기술의 제12 실시 형태에 관한 고체 촬상 장치(1L)의 제조 방법에 대해서, 도 47a 내지 도 47h를 사용하여 설명한다.

[0626] 이 제12 실시 형태에서는, 고체 촬상 장치(1L)의 제조 방법에 포함되는 셀내 화소간 분리 영역(31L)의 제조에 특화해서 설명한다.

- [0627] 먼저, 도 47a에 도시하는 바와 같이, 반도체층(20)에, 반도체층(20)의 제1면 S1로부터 제2면 S2를 향해서 연신되는 파임부(33a 및 33b)를 형성한다.
- [0628] 파임부(33a)는, Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역(21L₁ 및 21L₂)을 포함하는 광전 변환 셀(16)을 구획한다. 즉, 파임부(33a)는, Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역(21L₁ 및 21L₂)의 주위를 구획한다. 파임부(33b)는, 2개의 광전 변환 영역(21L₁ 및 21L₂) 각각을 제1 영역(21a)과 제2 영역(21b)으로 구획한다. 파임부(33a 및 33b) 각각은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술로 형성할 수 있다.
- [0629] 이 공정에서, 광전 변환 영역(21L₁ 및 21L₂) 각각의 제2 영역(21b)은, 이 후의 공정에서 파임부(33L)(도 47c 참조)가 형성되는 파임부 형성 영역(33L₁)을 통해서 Y 방향으로 서로 인접해서 배열되어 있다. 즉, 2개의 광전 변환 영역(21L₁과 21L₂)의 사이는, 아직 구획되어 있지 않고, 2개의 광전 변환 영역(21L₁ 및 21L₂) 각각은 파임부 형성 영역(33L₁)을 통해서 서로 연결되어 있다.
- [0630] 또한, 이 공정에서, 광전 변환 영역(21L₁ 및 21L₂) 각각의 제1 영역(21a)에는, p형 웰 영역(22), n형 반도체 영역(23) 및 광전 변환부(24)(PD) 등이 이미 형성되어 있다. 그리고 광전 변환 영역(21L₁ 및 21L₂) 각각의 제2 영역(21b)에는, p형 웰 영역(22)이 이미 형성되어 있다.
- [0631] 여기서, 이 실시 형태의 고체 촬상 장치(1L)의 제조에서는, 반도체층(20)의 두께를 얇게 하는 박육화 공정(도 47f 참조)이 실시된다. 따라서, 파임부(33a 및 33b) 각각의 Z 방향(반도체층(20)의 두께 방향)의 깊이를, 박육화 공정에서 실시되는 반도체층(20)의 두께를 나타내는 박육화 선 S3보다 깊게 형성한다.
- [0632] 이어서, 파임부(33a 및 33b) 각각을 형성한 후, 세정 공정을 실시한다. 이 세정 공정에서, Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역(21L₁ 및 21L₂)에서 한쪽의 광전 변환 영역(21L₁)의 제2 영역(21b)과 다른 쪽의 광전 변환 영역(21L₂)의 제2 영역(21b)의 사이는, 아직 구획되어 있지 않고, 서로 연결된 상태이다.
- [0633] 이어서, 세정 공정을 실시한 후, 도 47b에 도시하는 바와 같이, 파임부(33a 및 33b) 각각의 내부에 분리 절연막(34) 및 도전재(35)를 선택적으로 형성한다. 분리 절연막(34)은, 파임부(33a 및 33b) 각각의 내부의 내벽(측벽 및 저벽)을 따라 형성된다. 도전재(35)는, 파임부(33a 및 33b) 각각의 내부에 분리 절연막(34)을 개재해서 형성된다. 파임부(33a 및 33b) 각각의 내부의 분리 절연막(34) 및 도전재(35)는, 예를 들어 파임부(33a 및 33b) 각각의 내벽(측벽 및 저벽)을 포함하는 반도체층(20)의 제1면 S1 상의 전체면에 분리 절연막(34) 및 도전재(35)를 이 순으로 형성하고, 그 후, 반도체층(20)의 제1면 S1 상의 도전재(35) 및 분리 절연막(34)을 이 순으로 CMP법 등에 의해 선택적으로 제거함으로써 형성할 수 있다. 분리 절연막(34)으로서는, 예를 들어 산화실리콘막을 사용할 수 있다. 도전재(35)로서는, 예를 들어 저항값을 저감시키는 불순물이 퇴적 중 또는 퇴적 후에 도입된 도프트 폴리실리콘막을 사용할 수 있다.
- [0634] 이 공정에서, 파임부(33b)의 내부에 분리 절연막(34) 및 도전재(35)를 포함하는 화소내 분리 영역(32)이 형성된다. 그리고 광전 변환 영역(21L₁ 및 21L₂) 각각의 제1 영역(21a)과 제2 영역(21b)이 화소내 분리 영역(32)으로 구획 및 분리된다.
- [0635] 이어서, 도 47c에 도시하는 바와 같이, 광전 변환 셀(16) 내의 파임부 형성 영역(33L₁)에, 반도체층(20)의 제1면 S1로부터 제2면 S2를 향해서 연신되는 파임부(33L)를 형성한다. 파임부(33L)는, 파임부(33a 및 33b)의 깊이보다 얇게 형성함과 함께, 반도체층(20)의 박육화 선 S3보다 얇게 형성한다. 즉, 파임부(33L)는, 반도체층(20)의 박육화 선 S3으로부터 이격되는 깊이로 형성한다. 파임부(33L)는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술로 형성할 수 있다.
- [0636] 이 공정에서, 광전 변환 영역(21L₁)의 제2 영역(21b)과 광전 변환 영역(21L₂)의 제2 영역(21b)이 파임부(33L)로 구획 및 분리되어, 이 파임부(33L)를 개재해서 서로 인접한다.
- [0637] 또한, 이 공정에서, 파임부(33L)는, 파임부(33a 및 33b)와는 별도의 공정에서 형성되기 때문에, 짧은 방향의 폭 및 깊이가 파임부(33a 및 33b)와는 다른 치수로 형성할 수 있다. 이 실시 형태에서는, 파임부(33L)의 짧은 방향의 폭 및 깊이를, 파임부(33a 및 33b) 각각보다 작은 치수로 형성한다.

- [0638] 이어서, 파임부(33L)를 형성한 후, 세정 공정을 실시한다. 이 세정 공정에서, 파임부(33a 및 33b) 각각에는, 이미 분리 절연막(34)이나 도전재(35)가 마련되어 있다.
- [0639] 이어서, 세정 공정을 실시한 후, 도 47d에 도시하는 바와 같이, 반도체층(20)의 제1면 S1측에, 소자 형성 영역(20a) 및 소자 분리 영역(25)을 형성함과 함께, 파임부(33L)의 내부에 절연막(27)이 매립된 셀내 화소간 분리 영역(31L)을 형성한다.
- [0640] 소자 형성 영역(20a)은, 소자 분리 영역(25)으로 구획되고, 이 소자 분리 영역(25)을 형성함으로써 광전 변환 영역(21L₁ 및 21L₂) 각각의 제1 영역(21a)에 형성된다.
- [0641] 소자 분리 영역(25) 및 셀내 화소간 분리 영역(31L) 각각은, 예를 들어 반도체층(20)의 제1면 S1로부터 제2면 S2측으로 오목해지는 얇은 홈부(필드 홈부)(26)를 형성하고, 그 후, 얇은 홈부(26)의 내부 및 파임부(33L)의 내부를 포함하는 반도체층(20)의 제1면 S1 상의 전체면에 예를 들어 산화실리콘막을 포함하는 절연막(27)을 형성하고, 그 후, 절연막(27)이 얇은 홈부(26) 및 파임부(33L) 각각의 내부에 선택적으로 남도록 CMP법으로 반도체층(20)의 제1면 S1 상의 절연막(27)을 제거함으로써 형성할 수 있다. 절연막(27)으로서는, 예를 들어 Si, SiGe, InGaAs 등의 반도체 재료보다 굴절률이 낮은 산화실리콘막을 사용하고 있다.
- [0642] 이 공정에서, 파임부(33L)의 내부에 절연막(27)이 마련되고, 또한 Z 방향의 길이 L₇이 파임부(33a)의 Z 방향의 길이 및 화소내 분리 영역(32)의 Z 방향의 길이 L₅보다 짧은 셀내 화소간 분리 영역(31L)이 형성된다. 그리고 광전 변환 영역(21L₁)의 제2 영역(21b)과 광전 변환 영역(21L₂)의 제2 영역(21b)이 셀내 화소간 분리 영역(31L)으로 구획 및 분리된다.
- [0643] 이어서, 도시하고 있지 않지만, 광전 변환 영역(21L₁ 및 21L₂) 각각의 소자 형성 영역(20a)에 화소 트랜지스터(AMP, SEL, RST, TRG)를 형성함과 함께, 도 47d에 도시하는 바와 같이, 광전 변환 영역(21L₁ 및 21L₂) 각각의 제2 영역(21b)에 플로팅 디퓨전 영역(FD)을 형성한다. 플로팅 디퓨전 영역(FD)은, 광전 변환 영역(21L₁ 및 21L₂) 각각의 제2 영역(21b)에서, 반도체층(20)의 제1면 S1측에 형성된다.
- [0644] 이어서, 도 47e에 도시하는 바와 같이, 반도체층(20)의 제1면 S1측에 다층 배선층(40)을 형성한다. 그리고 그 후, 반도체층(20)의 제2면 S2측을 예를 들어 CMP법으로 절삭해서 반도체층(20)의 두께를 얇게 하는 박육화 공정을 실시하여, 도 47f에 도시하는 바와 같이, 파임부(33a) 내의 분리 절연막(34) 및 도전재(35)를 노출시킴과 함께, 화소내 분리 영역(32)의 분리 절연막(34) 및 도전재(35)를 노출시킨다. 반도체층(20)의 박육화는, 도 47e에 나타내는 박육화 선 S3까지 행한다.
- [0645] 이 공정에서, 반도체층(20)의 제1면 S1측의 소자 분리 영역(25)의 저면으로부터 반도체층(20)의 제2면 S2측을 향해서 연신되며, 또한 선단이 반도체층(20)의 제2면 S2로부터 이격되는 셀내 화소간 분리 영역(31L)이 형성된다.
- [0646] 또한, 이 공정에서, 반도체층(20)의 제1면 S1측의 소자 분리 영역(25)의 저면으로부터 반도체층(20)의 제2면 S2측을 향해서 연신되며, 또한 선단이 반도체층(20)의 제2면 S2에 도달하는 화소내 분리 영역(32)이 형성된다.
- [0647] 이어서, 도 47g에 도시하는 바와 같이, 광전 변환 영역(21L₁ 및 21L₂) 각각의 제1 영역(21a)에서, 반도체층(20)의 제2면 S2측에 회절 산란부(51)를 형성함과 함께, 파임부(33a)의 내부의 분리 절연막(34) 및 도전재(35)를 선택적으로 제거한다. 회절 산란부(51)의 형성 공정은, 분리 절연막(34) 및 도전재(35)를 선택적으로 제거하는 제거 공정과 별도의 공정에서 실시하는데, 어느 쪽의 공정을 먼저 실시하든 상관없다. 파임부(33a)의 내부의 분리 절연막(34) 및 도전재(35)는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용함으로써 선택적으로 제거할 수 있다.
- [0648] 이어서, 도 47h에 도시하는 바와 같이, 고정 전하막(52)을 형성한다. 고정 전하막(52)은, 반도체층(20)의 제2면 S2측에서, 광전 변환 영역(21L₁ 및 21L₂) 각각의 제1 영역(21a) 및 제2 영역(21b)에 걸쳐서 형성하고, 파임부(33a)의 내부의 측벽 및 저벽, 그리고 회절 산란부(51)의 요철을 따라 형성한다.
- [0649] 이어서, 고정 전하막(52)을 형성한 후, 도 47h에 도시하는 바와 같이, 파임부(33a)의 내부를 포함하는 반도체층(20)의 제2면 S2측의 전체면에 절연막(53)을 형성한다. 절연막(53)은, 예를 들어 산화실리콘막을 CVD법으로 성막한 후, 이 산화실리콘막의 표면층을 CMP법으로 절삭해서 평탄화함으로써 형성할 수 있다.

- [0650] 이 공정에서, 파임부(33a)의 내부에 고정 전하막(52)을 개재해서 절연막(53)이 매립된 화소간 분리 영역(31)이 형성됨과 함께, 이 화소간 분리 영역(31)으로 주위가 구획된 광전 변환 셀(16)이 형성된다. 그리고 광전 변환 셀(16)은, 각각의 내부가 화소내 분리 영역(32)으로 Y 방향으로 제1 영역(21a)과 제2 영역(21b)으로 분리되며, 또한 각각의 제2 영역(21b)이 셀내 화소간 분리 영역(31L)을 개재해서 서로 인접해서 Y 방향으로 배열되는 2개의 광전 변환 영역(21L₁ 및 21L₂)을 포함한다.
- [0651] 이어서, 도 45 및 도 46b에 도시하는 바와 같이, 절연막(53)의 반도체층(20)측과는 반대측에 차광막(54)을 형성한다. 차광막(54)은, 2개의 광전 변환 영역(21L₁ 및 21L₂) 각각의 제2 영역(21b)과 중첩되며, 또한 각각의 제2 영역(21b)에 걸쳐서 연속적으로 형성한다.
- [0652] 이 후, 차광막(54)의 반도체층(20)측과는 반대측에, 컬러 필터(55) 및 마이크로렌즈(56)를 이 순으로 형성함으로써, 도 44 내지 도 46b에 나타내는 상태가 된다.
- [0653] 또한, 이 제12 실시 형태에 관한 고체 촬상 장치(1L)에서도, 반도체층(20) 및 다층 배선층(40)을 포함하는 반도체 웨이퍼를 칩 형성 영역마다 분할함으로써 도 1에 나타내는 반도체 칩(2)의 상태가 된다.
- [0654] <<광전 변환 셀의 특징>>
- [0655] 이어서, 광전 변환 셀(16)의 특징에 대해서, 비교예를 참조하면서 설명한다.
- [0656] 도 48은, 비교예 12-1에서, 경사광의 침입 광로를 모식적으로 도시하는 종단면도이다.
- [0657] 도 49는, 이 제12 실시 형태에서, 경사광의 침입 광로를 모식적으로 도시하는 종단면도이다.
- [0658] 도 48에 도시하는 바와 같이, 광전 변환 영역(21)의 제2 영역(21b)과 중첩해서 차광막(54)을 마련한 경우, 경사광은, 주로, 차광막(54)의 폭 방향(Y 방향)의 단부측을 침입 광로(57L)로 해서 차광막(54)의 바로 아래의 제2 영역(21b)에 침입한다. 차광막(54)은, 폭 방향(Y 방향)으로 2개의 단부가 있기 때문에, 1개의 차광막(54)에 대해서 침입 광로(57L)도 Y 방향에서 2개 존재한다.
- [0659] 그리고 비교예 12-1에서는, Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역(21) 각각에서, 제1 영역(21a)과 제2 영역(21b)이 Y 방향으로 배열되는 배열순이 동일하게 되어 있다. 이 때문에, 차광막(54)은, 제2 영역(21b)마다 1개가 되고, 침입 광로(57L)도 제2 영역(21b)마다 2개 존재한다.
- [0660] 이에 반해, 도 49에 도시하는 바와 같이, 이 제12 실시 형태에 관한 광전 변환 셀(16)은, Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역(21L₁ 및 21L₂)에서 한쪽의 광전 변환 영역(21L₁)의 제2 영역(21b)과 다른 쪽의 광전 변환 영역(21L₂)의 제2 영역(21b)이, 셀내 화소간 분리 영역(31L)을 개재해서 Y 방향으로 서로 인접해서 배열되어 있다. 이 때문에, 2개의 광전 변환 영역(21L₁ 및 21L₂) 각각의 제2 영역(21b)에 걸쳐서 차광막(54)을 연속적으로 마련할 수 있고, 이 2개의 제2 영역(21b)에서 1개의 차광막(54)을 공유할 수 있다. 그리고 이 2개의 제2 영역(21b)에서 공유된 차광막(54)에서는, 2개의 제2 영역(21b)에 대해서 2개의 침입 광로(57L)가 되어, 실질적으로 1개의 제2 영역(21b)에 대해서 1개의 침입 광로(57L)가 되기 때문에, 비교예 12-1과 비교하여, 1개의 제2 영역(21b)에의 경사광의 침입을 보다 한층 억제할 수 있다.
- [0661] 또한, 2개의 광전 변환 영역(21L₁ 및 21L₂) 각각의 제2 영역(21b)에 걸쳐서 차광막(54)을 연속적으로 마련할 수 있기 때문에, 셀내 화소간 분리 영역(31L)에서는, 내절연성 및 내차광성 중 내절연성을 중시하면 되므로, 내절연성 및 내차광성 양쪽을 중시할 필요가 있는 화소간 분리 영역(31)과 비교하여, 짧은 방향(연신 방향과 직교하는 방향)의 폭 W₇을 좁게 할 수 있다.
- [0662] 그리고 셀내 화소간 분리 영역(31L)의 폭 W₇을 좁게 할 수 있기 때문에, Y 방향의 화소 피치를 좁게 할 수 있어, Y 방향에 있어서 화소 어레이부의 면적을 축소, 혹은 동일 면적 내에서 Y 방향의 화소수를 증가시킬 수 있다. 이에 의해, 소형이며 고해상도의 이미지 센서를 제공할 수 있다.
- [0663] 또한, 90°로 배향을 바꾸어 랜덤하게 광전 변환 셀(16)을 배치함으로써, X 방향 및 Y 방향 각각의 방향에 있어서 화소 어레이부의 면적을 축소시킬 수도 있다.
- [0664] 또한, 2개의 광전 변환 영역(21L₁ 및 21L₂) 각각의 제2 영역(21b)에 걸쳐서 차광막(54)을 연속적으로 마련할 수 있기 때문에, 셀내 화소간 분리 영역(31L)을 반도체층(20)의 차광막(54)측의 제2면 S2로부터 이격시키는 구성으

로 할 수도 있다.

- [0665] 또한, 셀내 화소간 분리 영역(31L)의 Z 방향의 길이 L_7 을 규정하는 파임부(33L)와, 화소간 분리 영역(31)의 Z 방향의 길이 L_8 을 규정하는 파임부(33a)를 별도의 공정에서 형성함으로써, 파임부(33a)의 Z 방향의 깊이보다 Z 방향의 깊이가 얇은 파임부(33L)를 형성할 수 있어, 반도체층(20)의 차광막(54)측의 제2면 S2로부터 이격된 셀내 화소간 분리 영역(31L)을 형성할 수 있다.
- [0666] <프로세스 상의 장점>
- [0667] 이어서, 광전 변환 셀(16)에 있어서, 파임부(33L)와 파임부(33a)를 별도의 공정에서 형성한 경우의 장점에 대해서, 비교예 12-2를 참조하면서 설명한다.
- [0668] 도 50은, 비교예 12-2에서, 셀내 화소간 분리 영역(31L)의 Z 방향의 길이 L_7 을 규정하는 파임부(제3 파임부)(33L)와, 화소간 분리 영역(31)의 Z 방향의 길이 L_8 을 규정하는 파임부(제1 파임부)(33a)를 동일 공정에서 형성한 경우를 도시하는 종단면도이다.
- [0669] 또한, 화소내 분리 영역(32)의 Z 방향의 길이 L_5 를 규정하는 파임부(33b)는, 통상, 화소간 분리 영역(31)의 Z 방향의 길이 L_8 을 규정하는 파임부(33a)와 동일 공정에서 형성하기 때문에, 여기서의 설명을 생략하고, 파임부(33L 및 33a)에 특화해서 설명한다.
- [0670] 또한, 여기서는, 파임부(33L과 33a)로 나누어서 설명하지만, 파임부(33L과 33a)를 동일 공정에서 형성하는 경우는, 파임부(33L)는 파임부(33a)로 치환할 수 있다.
- [0671] 도 50에 도시하는 바와 같이, 반도체층(20)에 파임부(33L)와 파임부(33a)를 동일 공정에서 형성한 경우, 파임부(33L)와 파임부(33a)의 깊이는, 거의 동일하게 된다. 그리고 Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역($21L_1$ 과 $21L_2$)의 사이가 파임부(33L)로 구획되고, 이 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 주위가 파임부(33a)로 구획된다.
- [0672] 이 파임부(33L 및 33a)를 형성한 후, 도시하고 있지 않지만, 세정 공정이 실시된다.
- [0673] 이 세정 공정에서, 비교예 12-2에서는, Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 중 한쪽의 광전 변환 영역($21L_1$)의 제2 영역(21b)과 다른 쪽의 광전 변환 영역($21L_2$)의 제2 영역(21b)의 사이가 파임부(33L)로 구획되고, 또한 이 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 주위가 파임부(33a)로 구획되어 있다. 이 때문에, 반도체층(20)에 파임부(33a)를 형성한 후의 세정 공정에서, 세정액의 증발에 기인하는 모세관력(표면 장력)에 의해, Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역($21L_1$, $21L_2$)이, 이 2개의 광전 변환 영역($21L_1$, $21L_2$)의 한쪽의 제2 영역(21b)과 다른 쪽의 제2 영역(21b)의 사이의 파임부(33a)측(도 50에 나타내는 화살표 R_1 의 방향)으로 쓰러지듯이 된다. 그리고 이 힘에 의해, 이 2개의 광전 변환 영역($21L_1$ 과 $21L_2$)의 한쪽의 제2 영역(21b)과 다른 쪽의 제2 영역(21b)의 사이에서의 파임부(33a)의 개구단부측(반도체층(20)의 제1면 S1측)의 폭이 설계값보다 좁아지는 협폭 현상이 생긴다. 이 협폭 현상이 생긴 경우, 파임부(33L)의 내부에 막의 매립이 곤란해져, 수율 저하의 요인이 된다.
- [0674] 근년, 근적외광을 취급하는 디바이스에서는, 양자 효율 QE를 개선하기 위해서, 반도체층(20)의 두께를 두껍게 하고, 반도체층(20) 내의 광로 길이를 늘리는 검토가 행해지고 있다. 그러나, 반도체층(20)의 두께 증가에 수반해서 파임부의 에스펙트비가 커져(높아져), 광전 변환 영역(21)의 파임부(33a)측으로의 쓰러짐이 현저해진다.
- [0675] 이에 반해, 이 제12 실시 형태에서는, 상술한 바와 같이, 파임부(33L)의 형성과 파임부(33a)의 형성을 별도의 공정에서 실시하고 있다.
- [0676] 즉, 도 47a에 도시하는 바와 같이, 파임부(33a)를 형성할 때, 파임부(33L)는 형성되지 않는다. 그리고 파임부(33a)를 형성한 후, 비교예와 마찬가지로 세정 공정이 실시되는데, 이 세정 공정에서는, 2개의 광전 변환 영역($21L_1$ 및 $21L_2$)에서 한쪽의 광전 변환 영역($21L_1$)의 제2 영역(21b)과 다른 쪽의 광전 변환 영역($21L_2$)의 제2 영역(21b)의 사이에는 파임부(33L)가 형성되어 있지 않다. 이 때문에, 반도체층(20)에 파임부(33a)를 형성한 후의 세정 공정에서, 세정액의 증발에 기인하는 모세관력(표면 장력)에 의한 광전 변환 영역($21L_1$ 및 $21L_2$)의 힘

(쓰러짐 포함)을 억제할 수 있다.

[0677] 그리고 도 47c를 참조하여 설명하면, Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역($21L_1$ 과 $21L_2$)의 사이에 파임부(33L)를 형성한 후, 세정 공정을 실시할 때는, 이미 파임부(33a)의 내부에 분리 절연막(34)이나 도전재(35)가 형성되어 있기 때문에, 세정액의 증발에 기인하는 모세관력(표면 장력)에 의한 광전 변환 영역($21L_1$, $21L_2$)의 휨(쓰러짐 포함)을 억제할 수 있다.

[0678] 따라서, 이 제12 실시 형태에서는, 비교예 12-2의 경우와 비교해서 제조 수율의 향상을 도모할 수 있다.

[0679] 또한, 파임부(33L)와 파임부(33a)를 별도의 공정에서 형성하기 때문에, 파임부(33a)의 깊이에 대해서 파임부(33L)의 깊이를 알게 할 수 있어, 화소간 분리 영역(31)의 Z 방향의 길이 L_8 (도 46 참조)보다 Z 방향의 길이 L_7 이 짧은 셀내 화소간 분리 영역(31L)을 형성할 수 있다. 또한, 파임부(33a)의 짧은 방향의 폭에 대해서 파임부(33L)의 짧은 방향의 폭을 좁게 할 수 있어, 화소간 분리 영역(31)의 짧은 방향의 폭 W_8 보다 짧은 방향의 폭 W_7 이 좁은 셀내 화소간 분리 영역(31L)을 형성할 수 있다.

[0680] <<제12 실시 형태의 효과>>

[0681] 이어서, 이 제12 실시 형태의 주된 효과에 대해서 설명한다.

[0682] 이 제12 실시 형태에 관한 고체 촬상 장치(1L)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31) 및 셀내 화소간 분리 영역(31L)과, 화소내 분리 영역(32)을 구비하고 있다. 따라서, 이 제12 실시 형태에 관한 고체 촬상 장치(1L)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소 특성으로서의 양자 효율 QE의 향상이나 높은 혼색 억제(MTF)를 도모할 수 있음과 함께, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다.

[0683] 또한, 이 제12 실시 형태에 관한 고체 촬상 장치(1L)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로 차광막(54)을 구비하고 있다. 따라서, 이 제12 실시 형태에 관한 고체 촬상 장치(1L)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 플로팅 디퓨전 영역(FD)에의 광의 도달(조사)을 억제할 수 있어, 기생 광 감도 특성(PLS)을 개선할 수 있다.

[0684] 또한, 이 제12 실시 형태에 관한 광전 변환 셀(16)은, Y 방향으로 서로 인접해서 배열되는 2개의 광전 변환 영역($21L_1$ 및 $21L_2$)에서 한쪽의 광전 변환 영역($21L_1$)의 제2 영역(21b)과 다른 쪽의 광전 변환 영역($21L_2$)의 제2 영역(21b)이, 셀내 화소간 분리 영역(31L)을 개재해서 Y 방향으로 서로 인접해서 마련되어 있다. 이 때문에, 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 제2 영역(21b)에 걸쳐서 차광막(54)을 연속적으로 마련할 수 있고, 2개의 제2 영역(21b)에서 1개의 차광막(54)을 공유할 수 있다. 그리고 2개의 제2 영역(21b)에서 공유된 차광막(54)에서는, 2개의 제2 영역(21b)에 대해서 2개의 침입 광로(57L)가 되어, 실질적으로 1개의 제2 영역(21b)에 대해서 1개의 침입 광로(57L)가 되기 때문에, 비교예 12-1과 비교하여, 1개의 제2 영역(21b)에의 경사광의 침입을 보다 한층 억제할 수 있다. 따라서, 이 제12 실시 형태에 관한 고체 촬상 장치(1L)에 의하면, 차광막(54)의 광 반사에 의한 기생 광 감도 특성의 개선 효과와 아울러, 보다 한층 기생 광 감도 특성(PLS)의 개선을 도모할 수 있다.

[0685] 또한, 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 제2 영역(21b)에 걸쳐서 차광막(54)을 연속적으로 마련할 수 있기 때문에, 셀내 화소간 분리 영역(31L)에서는, 내절연성 및 내차광성 중 내절연성을 중시하면 되므로, 내절연성 및 내차광성 양쪽을 중시할 필요가 있는 화소간 분리 영역(31)과 비교하여, 짧은 방향(연신 방향과 직교하는 방향)의 폭 W_7 을 좁게 할 수 있다.

[0686] 그리고 셀내 화소간 분리 영역(31L)의 폭 W_7 을 좁게 할 수 있기 때문에, Y 방향의 화소 피치를 좁게 할 수 있어, Y 방향에 있어서 화소 어레이부의 면적을 축소, 혹은 동일 면적 내에서 Y 방향의 화소수를 증가시킬 수 있다. 이에 의해, 소형이며 고해상도의 이미지 센서를 제공할 수 있다.

[0687] 또한, 90° 로 배향을 바꾸어서 랜덤하게 광전 변환 셀(16)을 배치함으로써, X 방향 및 Y 방향 각각의 방향에 있어서 화소 어레이부의 면적을 축소시킬 수도 있다.

[0688] 또한, 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 제2 영역(21b)에 걸쳐서 차광막(54)을 연속적으로 마련할 수 있기 때문에, 셀내 화소간 분리 영역(31L)을 반도체층(20)의 차광막(54)측의 제2면 S2로부터 이격시키는 구성으

로 할 수도 있다.

[0689] 또한, 셀내 화소간 분리 영역(31L)의 Z 방향의 길이 L_7 을 규정하는 파임부(33L)와, 화소간 분리 영역(31)의 Z 방향의 길이 L_8 을 규정하는 파임부(33a)를 별도의 공정에서 형성함으로써, 세정 공정에서의 세정액의 증발에 기인하는 모세관력(표면 장력)에 의한 광전 변환 영역($21L_1$, $21L_2$)의 휨(쓰러짐 포함)을 억제할 수 있다. 따라서, 이 제12 실시 형태에 관한 고체 촬상 장치(1L)의 제조 방법에 의하면, 제조 수율의 향상을 도모할 수 있다.

[0690] <<제12 실시 형태의 변형예>>

[0691] <변형예 12-1>

[0692] 상술한 제12 실시 형태에서는, 셀내 화소간 분리 영역으로서, 절연막(27)을 포함하는 셀내 화소간 분리 영역(31L)을 사용한 경우에 대해서 설명하였지만, 본 기술은 제12 실시 형태의 셀내 화소간 분리 영역(31L)에 한정되지 않는다.

[0693] 예를 들어, 도 51에 도시하는 바와 같이, p형 웰 영역과는 반대 도전형의 n형 반도체 영역(58)을 포함하는 셀내 화소간 분리 영역($31L_1$)을 사용해도 된다.

[0694] <변형예 12-2>

[0695] 또한, 상술한 제12 실시 형태에서는, 차광막(54)을 사용한 경우에 대해서 설명하였지만, 본 기술은 상술한 실시 형태의 차광막(54)에 한정되지 않는다.

[0696] 예를 들어, 도 52에 도시하는 바와 같이, 차광막(54) 대신에 상술한 제8 실시 형태의 도 20에 나타내는 차광체(80H)를 사용할 수 있다.

[0697] 이 경우, 차광체(80H)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 제2 영역(21b)과 중첩되는 제1 차광 부분(82a)과, 이 제1 차광 부분(82a)으로부터 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 제2 영역(21b)의 내부로 돌출되는 제2 차광 부분(82b)을 포함하는 구성으로 된다.

[0698] <변형예 12-3>

[0699] 또한, 도 53에 도시하는 바와 같이, 차광막(54) 대신에 상술한 제9 실시 형태의 도 28에 나타내는 차광체(80I)를 사용할 수 있다.

[0700] 이 경우, 차광체(80I)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 제2 영역(21b)과 중첩되는 제1 차광 부분(82a)과, 평면으로 보아 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 중 한쪽의 광전 변환 영역($21L_1$)의 화소내 분리 영역(32)과 중첩되고, 또한 제1 차광 부분(82a)으로부터 반도체층(20)의 내부로 돌출되는 제2 차광 부분($82c_1$)과, 평면으로 보아 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 중 다른 쪽의 광전 변환 영역($21L_2$)의 화소내 분리 영역(32)과 중첩되고, 또한 제1 차광 부분(82a)으로부터 반도체층(20)의 내부로 돌출되는 제2 차광 부분($82c_1$)을 포함하는 구성으로 된다.

[0701] <변형예 12-4>

[0702] 또한, 도 54에 도시하는 바와 같이, 차광막(54) 대신에 상술한 제10 실시 형태의 도 32에 나타내는 차광체(80J)를 사용할 수 있다.

[0703] 이 경우, 차광체(80J)는, 절연막(53)의 반도체층(20)측과는 반대측에 마련되고, 또한 평면으로 보아 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 각각의 제2 영역(21b)과 중첩되는 제1 차광 부분(82a)과, 평면으로 보아 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 중 한쪽의 광전 변환 영역($21L_1$)의 화소내 분리 영역(32)과 중첩되고, 또한 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제2 차광 부분($82d_1$)과, 평면으로 보아 2개의 광전 변환 영역($21L_1$ 및 $21L_2$) 중 다른 쪽의 광전 변환 영역($21L_2$)의 화소내 분리 영역(32)과 중첩되고, 평면으로 보아 화소간 분리 영역(31)과 중첩되고, 또한 제1 차광 부분(82a)으로부터 절연막(53)의 내부로 돌출되는 제3 차광 부분($82d_2$)을 포함하는 구성으로 된다.

- [0704] <변형예 12-5>
- [0705] 또한, 도시하고 있지 않지만, 차광막(54)과, 상술한 제11 실시 형태의 도 37b에 나타내는 광 반사체(85K)를 조합할 수 있다.
- [0706] <변형예 12-6>
- [0707] 또한, 상술한 제12 실시 형태에서는 고정 전하막(52)을 포함하는 고체 활상 장치(1L)에 대해서 설명하였지만, 본 기술은, 고정 전하막을 포함하지 않는 고체 활상 장치(1L)에서도 적용할 수 있다.
- [0708] [제13 실시 형태]
- [0709] 이 제13 실시 형태에서는, 주로 화소내 분리 영역에 대해서 설명한다.
- [0710] 도 55는, 이 제13 실시 형태에 관한 고체 활상 장치의 화소 어레이부에서의 분리 영역(화소간 분리 영역 및 화소내 분리 영역)의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0711] 도 56은, 도 55의 a55-a55선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0712] 도 57은, 도 56의 일부를 확대한 종단면도이다.
- [0713] 이 제13 실시 형태에서는, 화소간 분리 영역(31)이 본 기술의 「제1 분리 영역」의 일 구체예에 상당하고, 화소내 분리 영역(32M)이 본 기술의 「제2 분리 영역」의 일 구체예에 상당한다. 또한, 이 제13 실시 형태에서는, 제1 절연체(58M1)와 제2 절연체(58M2)가 본 기술의 「절연체」의 일 구체예에 상당한다. 또한, 이 제12 실시 형태에서는, 과임부(33a), 과임부(33M)가 본 기술의 「제1 과임부」, 「제2 과임부」의 일 구체예에 상당한다. 또한, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향이 본 기술의 「일방향」의 일 구체예에 상당한다.
- [0714] <<고체 활상 장치의 구성>>
- [0715] 도 55 내지 도 57에 도시하는 바와 같이, 본 기술의 제13 실시 형태에 관한 고체 활상 장치(1M)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 활상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.
- [0716] 즉, 도 55 내지 도 57에 도시하는 바와 같이, 이 제13 실시 형태에 관한 고체 활상 장치(1M)는, 상술한 제1 실시 형태의 도 4 내지 도 6에 나타내는 화소내 분리 영역(32) 대신에 화소내 분리 영역(32M)을 구비하고 있다. 기타 구성은, 대략 상술한 제1 실시 형태와 마찬가지이다.
- [0717] 도 55 및 도 56에 도시하는 바와 같이, 화소내 분리 영역(32M)은, 상술한 제1 실시 형태의 화소내 분리 영역(32)과 마찬가지로, 평면으로 보아 예를 들어 X 방향으로 연신되며, 또한 화소간 분리 영역(31)(제1 부분(31x) 및 제2 부분(31y))으로부터 이격되어 마련되어 있다. 그리고 화소내 분리 영역(32M)은, Y 방향에 있어서, 평면으로 보아 광전 변환 영역(21)의 중앙부보다 화소간 분리 영역(31)측에 치우쳐서 배치되고, 광전 변환 영역(21)을 평면으로 보아 Y 방향의 폭이 상대적으로 다른 2개의 영역(제1 영역(21a), 제2 영역(21b))으로 선택적으로 분리하고 있다(칸막이하고 있다). 그리고 화소내 분리 영역(32M)으로 분리된 2개의 영역(제1 영역(21a), 제2 영역(21b)) 중 Y 방향의 폭이 넓은 쪽의 제1 영역(21a)에 광전 변환부(24)가 마련되고, Y 방향의 폭이 좁은 쪽의 제2 영역(21b)에 플로팅 디퓨전 영역(FD)이 마련되어 있다. 즉, 화소내 분리 영역(32)은, 광전 변환 영역(21)을 일방향(Y 방향)에 있어서 제1 영역(21a)과 제2 영역(21b)으로 분리하고 있다. 플로팅 디퓨전 영역(FD)은, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)의 제1면 S1측에 마련되어 있다.
- [0718] 화소내 분리 영역(32M)은, 반도체층(20)의 두께 방향(Z 방향)으로 연신되며, 또한 일단부측이 소자 분리 영역(25)과 연결되며, 또한 타단부측이 반도체층(20)의 제2면 S2에 도달하고 있다. 그리고 이 제13 실시 형태의 화소내 분리 영역(32M)은, 상술한 제1 실시 형태의 화소내 분리 영역(32)에 대해서 종단면의 구성이 다르게 되어 있다.
- [0719] 도 57에 도시하는 바와 같이, 화소내 분리 영역(32M)은, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 과임부(33M)의 내부의 측벽을 따라 마련되고, 또한 반도체층(20)보다 굴절률이 낮은 절연체(58M)와, 이 과임부(33M)에 절연체(58M)를 개재해서 충전된 도전재(35)를 포함한다. 절연체(58M)는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 도전재(35)의 제1 영역(21a)측 및 제2 영역(21b)측에 각각 마련되어 있다.

- [0720] 여기서, 도전재(35)의 제1 영역(21a)측의 절연체(58M)를 제1 절연체(58M₁)라고 칭하고, 도전재(35)의 제2 영역(21b)측의 절연체(58M)를 제2 절연체(58M₂)라고 칭하기도 한다.
- [0721] 파임부(33M), 도전재(35) 및 절연체(58M) 각각은, 반도체층(20)의 제1면측에 마련된 소자 분리 영역(25)으로부터 반도체층(20)의 제2면 S2를 향해서 연신되어 있다.
- [0722] 도 57에 도시하는 바와 같이, 도전재(35)는, Y 방향에 있어서, 도전재(35)의 제1 영역(21a)측에 마련된 제1 절연체(58M₁)를 개재해서 제1 영역(21a)과 전기적으로 분리되어 있다. 또한, 도전재(35)는, Y 방향에 있어서, 도전재(35)의 제2 영역(21b)측에 마련된 제2 절연체(58M₂)를 개재해서 제2 영역(21b)과 전기적으로 분리되어 있다.
- [0723] 화소내 분리 영역(32M)의 도전재(35)는, 상술한 제1 실시 형태의 도전재(35)와 마찬가지로의 구성으로 되어 있다. 즉, 화소내 분리 영역(32M)의 도전재(35)도, 일단부측이 콘택트 전극(42b₁)을 통해서 배선(43b₁)과 전기적으로 접속되어 있다. 그리고 화소내 분리 영역(32M)의 도전재(35)도 배선(43b₁)에 인가된 제2 기준 전위가 콘택트 전극(42b₁)을 통해서 공급되어, 이 제2 기준 전위로 전위 고정된다.
- [0724] 도 57에 도시하는 바와 같이, 화소내 분리 영역(32M)은, 도전재(35)의 제1 영역(21a)측에서의 제1 절연체(58M₁)의 막 두께 t1이, 도전재(35)의 제2 영역(21b)측에서의 제2 절연체(58M₂)의 막 두께 t2보다 두껍게 되어 있다(t1>t2). 바꾸어 말하면, 화소내 분리 영역(32M)은, 평면으로 보아 도전재(35)와 제1 영역(21a)의 사이의 제1 절연체(58M₁)의 막 두께 t1이, 도전재(35)와 제2 영역(21b)의 사이의 제2 절연체(58M₂)의 막 두께보다 두껍게 되어 있다(t1>t2). 즉, 화소내 분리 영역(32M)은, 파임부(33M)의 내부에서, 평면으로 보아 도전재(35)가 제1 영역(21a)측보다 제2 영역(21b)측에 치우쳐서 마련되어 있다.
- [0725] 이것에 한정되지 않지만, 예를 들어 제1 절연체(58M₁)의 막 두께 t1은 50nm 정도로 설정되고, 제2 절연체(58M₂)의 막 두께 t2는 10nm 정도로 설정되어 있다.
- [0726] 도 57에 도시하는 바와 같이, 제1 절연체(58M₁)는, 이것에 한정되지 않지만, 예를 들어 Y 방향에 있어서, 제1 영역(21a)측으로부터 제2 영역(21b)측을 향해서 배열되는 고정 전하막(52), 절연막(53), 고정 전하막(52) 및 절연막(36)을 포함하는 다층 구조로 되어 있다. 이에 반해, 제2 절연체(58M₂)는, 예를 들어 Y 방향에 있어서, 분리 절연막(34)을 1개 포함하는 단층 구조로 되어 있다.
- [0727] 절연막(53), 분리 절연막(34) 및 절연막(36) 각각은, 예를 들어 산화실리콘막으로 구성되어 있다. 이 산화실리콘막은, Si, SiGe, InGaAs 등의 반도체 재료보다 굴절률이 낮다.
- [0728] 고정 전하막(52)은, 부의 고정 전하를 발생시키는 유전체막으로서, 예를 들어 산화하프늄(HfO₂), 산화지르코늄(ZrO₂), 산화탄탈(Ta₂O₅) 등의 막을 포함하고 있다. 이들 유전체막은, Si, SiGe, InGaAs 등의 반도체 재료보다 굴절률이 낮다. 또한, 고정 전하막(52)의 막 두께는, 절연막(53)의 막 두께와 비교해서 극히 얇다. 도 57에서는 고정 전하막(52)의 구성을 알기 쉽게 하기 위해서, 고정 전하막(52)의 막 두께를 실제의 비율보다 두껍게 그리고 있다. 따라서, 절연막(53 및 36)과 함께 고정 전하막(52)을 포함하는 제1 절연체(58M₁)를, 반도체층(20)보다 굴절률이 낮은 층으로서 간주할 수 있다.
- [0729] 또한, 일례로서, 예를 들어 940nm 파장의 광일 경우, 실리콘은, 예를 들어 3.62 정도의 굴절률을 갖고, 산화실리콘은, 예를 들어 1.45 정도의 굴절률을 갖고, 공기는, 예를 들어 1.00 정도의 굴절률을 갖는다.
- [0730] 또한, 다른 예로서, 예를 들어 550nm 파장의 광일 경우, 실리콘은, 예를 들어 4.08 정도의 굴절률을 갖고, 산화실리콘은, 예를 들어 1.46 정도의 굴절률을 갖고, 공기는, 예를 들어 1.00 정도의 굴절률을 갖는다.
- [0731] 도 55 및 도 57에 도시하는 바와 같이, 화소내 분리 영역(32M)과 화소간 분리 영역(31)은, 짧은 방향의 폭이 다르게 되어 있다. 구체적으로는, 화소내 분리 영역(32M)의 폭 W₉쪽이 화소간 분리 영역(31)의 폭 W₈보다 넓게 되어 있다(W₉>W₈).
- [0732] <<고체 촬상 장치의 제조 방법>>

- [0733] 이어서, 본 기술의 제13 실시 형태에 관한 고체 촬상 장치(1M)의 제조 방법에 대해서, 도 59a 내지 도 59i를 사용하여 설명한다.
- [0734] 이 제13 실시 형태에서는, 고체 촬상 장치(1M)의 제조 방법에 포함되는 화소내 분리 영역(32M)의 제조에 특화해서 설명한다.
- [0735] 먼저, 도 59a에 도시하는 바와 같이, 반도체층(20)에, 반도체층(20)의 제1면 S1로부터 제2면 S2를 향해서 연신되는 파임부(33a 및 33M)를 형성한다.
- [0736] 파임부(33a)는, 광전 변환 영역(21L)을 구획한다. 파임부(33M)는, 광전 변환 영역(24)(PD)을, Y 방향으로 배열되는 제1 영역(21a)과 제2 영역(21b)으로 구획한다. 파임부(33a 및 33M) 각각은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술로 형성할 수 있다. 파임부(33M)의 짧은 방향(Y 방향)의 폭은, 파임부(33a)의 짧은 방향의 폭보다 넓게 형성한다.
- [0737] 이 공정에서, 광전 변환 영역(24)(PD)의 제1 영역(21a)에는, 이미, p형 웰 영역(22), n형 반도체 영역(23), 광전 변환부(24)(PD) 등이 형성되어 있다. 그리고 광전 변환 영역(21L)의 제2 영역(21b)에는, 이미, p형 웰 영역(22)이 형성되어 있다.
- [0738] 여기서, 이 제13 실시 형태의 고체 촬상 장치(1M)의 제조에서는, 반도체층(20)의 두께를 얇게 하는 박육화 공정(도 59f 참조)이 실시된다. 따라서, 파임부(33a 및 33M) 각각의 Z 방향(반도체층(20)의 두께 방향)의 깊이는, 박육화 공정에서 실시되는 반도체층(20)의 두께를 나타내는 박육화 선 S3보다 깊게 형성한다.
- [0739] 이어서, 파임부(33a 및 33M)를 형성한 후, 도 59b에 도시하는 바와 같이, 파임부(33a 및 33M) 각각의 내부에 분리 절연막(34) 및 도전재(35)를 이 순으로 형성한다. 분리 절연막(34)은, 파임부(33a 및 33M) 각각의 내부의 측벽 및 저벽을 따라 연신되는 막 두께로 형성한다. 분리 절연막(34)으로서는, 예를 들어 산화실리콘막을 CVD법에 의해 퇴적해서 형성한다. 도전재(35)는, 파임부(33a)에서는 내부를 매립하고, 또한 파임부(33M)에서는 내부의 측벽 및 저벽을 따라 연신되는 막 두께로 형성한다. 도전재(35)로서는, 예를 들어 저항값을 저감시키는 불순물이 도핑된 도프트 폴리실리콘막을 CVD법으로 퇴적해서 형성한다. 분리 절연막(34) 및 도전재(35)는, 반도체층(20)의 제1면 S1 상에도 형성된다.
- [0740] 이 공정에서, 파임부(33M)의 내부에, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 제2 영역(21b)측을 향해서 분리 절연막(34), 도전재(35), 공간부(간극부), 도전재(35) 및 분리 절연막(34)이 다층상으로 배열되어 배치된다.
- [0741] 이어서, 분리 절연막(34) 및 도전재(35)를 형성한 후, 도 59c에 도시하는 바와 같이, 파임부(33M)의 내부에, 분리 절연막(34) 및 도전재(35)를 개재해서 절연막(36)을 형성한다. 절연막(36)으로서는, 파임부(33M)의 내부를 매립하는 막 두께로 예를 들어 CVD법에 의해 산화실리콘막을 퇴적해서 형성한다. 절연막(36)은, 반도체층(20)의 제1면 S1 상에도 형성된다.
- [0742] 이 공정에서, 파임부(33M)의 내부에, 광전 변환 영역(21)의 제1 영역(21a)측으로부터 제2 영역(21b)측을 향해서 분리 절연막(34), 도전재(35), 절연막(36), 도전재(35) 및 분리 절연막(34)이 다층상으로 배열되어 배치된다. 제1 영역(21a)측의 도전재(35)는, 어시스트 전극으로서 사용된다. 그리고 제1 영역(21a)측의 분리 절연막(34)은, 제2 절연체(58M₂)로서 사용된다.
- [0743] 이어서, 절연막(36)을 형성한 후, 도 59d에 도시하는 바와 같이, 파임부(33a 및 33M) 각각의 내부에 분리 절연막(34) 및 도전재(35)가 잔존하도록, 반도체층(20)의 제1면 S1 상의 절연막(36), 도전재(35) 및 분리 절연막(34) 각각을 선택적으로 제거한다. 절연막(36), 도전재(35) 및 분리 절연막(34)은, CMP법, 혹은 에치 백법에 의해 선택적으로 제거할 수 있다.
- [0744] 이어서, 절연막(36), 도전재(35) 및 분리 절연막(34) 각각을 선택적으로 제거한 후, 도 59e에 도시하는 바와 같이, 반도체층(20)의 제1면 S1에 소자 형성 영역(20a) 및 소자 분리 영역(25)을 형성한다. 소자 형성 영역(20a)은, 소자 분리 영역(25)으로 구획되고, 광전 변환 영역(21)의 제1 영역(21a)에 형성된다.
- [0745] 소자 분리 영역(25)은, 예를 들어 반도체층(20)의 제1면 S1로부터 제2면 S2측으로 오목해지는 얇은 홈부(필드 홈부)(26)를 형성하고, 그 후, 얇은 홈부(26)의 내부를 포함하는 반도체층(20)의 제1면 S1 상의 전체면에 예를 들어 산화실리콘막을 포함하는 절연막(27)을 형성하고, 그 후, 절연막(27)이 얇은 홈부(26)의 내부에 남도록 CMP법으로 반도체층(20)의 제1면 S1 상의 절연막(27)을 선택적으로 제거함으로써 형성할 수 있다. 절연막(27)

으로서는, 예를 들어 Si, SiGe, InGaAs 등의 반도체 재료보다 굴절률이 낮은 산화실리콘막을 사용할 수 있다.

[0746] 이 공정에서, 소자 분리 영역(25)은, 평면으로 보아 파임부(33a) 및 파임부(33M) 각각과 중첩되어 형성된다.

[0747] 이어서, 소자 형성 영역(20a) 및 소자 분리 영역(25)을 형성한 후, 도식하고 있지 않지만, 소자 형성 영역(20a)에 화소 트랜지스터(AMP, SEL, RST, TRG)를 형성함과 함께, 도 59e에 도시하는 바와 같이, 광전 변환 영역(21)의 제2 영역(21b)에 플로팅 디퓨전 영역(FD)을 형성한다. 플로팅 디퓨전 영역(FD)은, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)의 제1면 S1측에 형성된다.

[0748] 이어서, 도 59f에 도시하는 바와 같이, 반도체층(20)의 제1면 S1측에 다층 배선층(40)을 형성한다. 그리고 그 후, 반도체층(20)의 상하를 반전시켜, 반도체층(20)의 제2면 S2측을 예를 들어 CMP법으로 절삭해서 반도체층(20)의 두께를 얇게 하는 박육화 공정을 실시함으로써, 도 59g에 도시하는 바와 같이, 파임부(33a)의 내부의 분리 절연막(34) 및 도전재(35)를 노출시킴과 함께, 파임부(33M)의 내부의 분리 절연막(34) 및 도전재(35)를 노출시킨다. 반도체층(20)의 박육화는, 도 59f에 나타내는 박육화 선 S3까지 행한다.

[0749] 이어서, 도 59h에 도시하는 바와 같이, 광전 변환 영역(21)의 제1 영역(21a)에서, 반도체층(20)의 제2면 S2측에 회절 산란부(51)를 형성함과 함께, 파임부(33a)의 내부의 분리 절연막(34) 및 도전재(35)와, 파임부(33M)의 내부의 제1 영역(21a)측의 분리 절연막(34) 및 도전재(35)를 선택적으로 제거한다. 회절 산란부(51)의 형성 공정은, 분리 절연막(34) 및 도전재(35)를 선택적으로 제거하는 제거 공정과는 별도로 실시하는데, 어느 쪽의 공정을 먼저 실시하든 상관없다. 분리 절연막(34) 및 도전재(35)는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용함으로써 선택적으로 제거할 수 있다.

[0750] 이 공정에서, 파임부(33M)의 내부의 절연막(36)은, 제2 영역(21b)측이 에칭되어, 막 두께가 약간 얇아진다.

[0751] 이어서, 도 59i에 도시하는 바와 같이, 고정 전하막(52)을 형성한다. 고정 전하막(52)은, 반도체층(20)의 제2면 S2측에서, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)에 걸쳐서 형성하고, 파임부(33a 및 33M) 각각의 내부의 측벽 및 저벽, 그리고 회절 산란부(51)의 요철을 따라 형성한다.

[0752] 이어서, 고정 전하막(52)을 형성한 후, 도 59j에 도시하는 바와 같이, 파임부(33a 및 33M) 각각의 내부를 포함하는 반도체층(20)의 제2면 S2측의 전체면에 절연막(53)을 형성한다. 절연막(53)은, 예를 들어 산화실리콘막을 CVD법으로 성막한 후, 이 산화실리콘막의 표면층을 CMP법으로 절삭해서 평탄화함으로써 형성할 수 있다.

[0753] 이 공정에서, 파임부(33a)의 내부에 고정 전하막(52) 및 절연막(53)을 포함하는 화소간 분리 영역(31)이 형성된다.

[0754] 또한, 이 공정에서, 도 57을 참조하여 설명하면, 파임부(33M)의 내부에서의 도전재(35)의 제1 영역(21a)측에, 도전재(35)측으로부터 제2 영역(21b)측을 향해서 다층상으로 순차 배열되는 절연막(36), 고정 전하막(52), 절연막(53) 및 고정 전하막(52)을 포함하며, 또한 제2 절연체(58M₂)의 막 두께 t₂보다 막 두께 t₁이 두꺼운 제1 절연체(58M₁)가 형성된다. 그리고 제1 영역(21a)측으로부터 제2 영역(21b)측을 향해서 다층상으로 순차 배열되는 제1 절연체(58M₁), 도전재(35) 및 제2 절연체(58M₂)를 포함하는 화소내 분리 영역(32M)이 형성된다.

[0755] 또한, 이 공정에서, 화소내 분리 영역(32M)은, 짧은 방향의 폭 W₉가 화소간 분리 영역(31)의 짧은 방향의 폭 W₈보다 넓게 형성된다.

[0756] 이어서, 도 56 및 도 57b에 도시하는 바와 같이, 절연막(53)의 반도체층(20)측과는 반대측에 차광막(54)을 형성한다. 차광막(54)은, 광전 변환 영역(21L)의 제2 영역(21b)과 중첩되도록 형성한다.

[0757] 이 후, 차광막(54)의 반도체층(20)측과는 반대측에, 컬러 필터(55) 및 마이크로렌즈(56)를 이 순으로 형성함으로써, 도 44 내지 도 46b에 나타내는 상태가 된다.

[0758] 또한, 이 제13 실시 형태에 관한 고체 촬상 장치(1M)에서도, 반도체층(20) 및 다층 배선층(40)을 포함하는 반도체 웨이퍼를 집 형성 영역마다 분할함으로써 도 1에 나타내는 반도체 칩(2)의 상태가 된다.

[0759] ≪화소내 분리 영역의 광 반사 기능≫

[0760] 이어서, 화소내 분리 영역(32M)의 광 반사 기능에 대해서, 도 57 및 도 58을 사용하여 설명한다.

[0761] 도 58은, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32M)의 계면부(If₁)에서의 광 반사율과, 화

소내 분리 영역(32M)의 제1 영역(21a)측에서의 제1 절연체(58M₁)의 막 두께 t₁의 상관 관계를 도시하는 도면이다. 단, 종축의 반사율은, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32M)의 계면부(If₁)에 대해서 입사광이 45° 내지 85° 로 조사된 경우의 반사율이다.

[0762] 또한, 도 58 중, B는, 청색 파장대의 광의 데이터이며, G는 녹색 파장대의 광의 데이터이며, R은 적색 파장대의 광의 데이터이며, NIR은 근적외 파장대의 광의 데이터이다.

[0763] 도 57에 도시하는 바와 같이, 반도체층(20)의 제2면 S2측(광 입사면측)으로부터 입사하는 광(57M)은, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32)의 계면부(If₁)에 대해서 45° 이상의 입사 각도를 갖는 것이 일반적이다. 또한, 광전 변환 영역(21)은, 광을 흡수하는 반도체 재료(예를 들어 실리콘)로 형성되어 있어, 일반적으로 굴절률이 크다(높다). 이와 같이, 고굴절률 매질 중의 입사 각도가 큰 광 반사의 경우, 전반사 조건이 성립된다. 실제로, 투과율이 「n=3 내지 4」의 실리콘(Si)과, 투과율이 「n=1.5」의 산화실리콘(SiO₂)은, 입사 각도 20 내지 30° 이상에서 전반사 조건이 성립한다. 단, 화소내 분리 영역(32M)의 제1 절연체(58M₁)의 두께 t₁이 광(57M)의 파장에 비해서 얇으면, 에바네센트 성분은 투과하여, 제2 영역(21b)측에 침입해 버리는데, 도전재(35)의 제1 영역(21a)측에서의 제1 절연체(58M₁)의 막 두께 t₁이 두꺼울수록 에바네센트 성분은 작아진다.

[0764] 한편, 화소내 분리 영역(32M)은, 광전 변환부(24)에서 광전 변환된 신호 전하를 플로팅 디퓨전 영역(FD)에 전송할 때, 화소내 분리 영역(32M)의 도전재(35)에 정전위를 인가하여, 화소내 분리 영역(32M)의 측벽의 반도체층(20)의 포텐셜을 변화시킴으로써, 신호 전하의 플로팅 디퓨전 영역(FD)에의 전송을 보좌하는 어시스트 전극으로서 기능(제2 영역(21b)에서의 전송 성능)한다. 이 제2 영역(21b)에서의 전송 성능을 향상시키기 위해서는, 도전재(35)의 제2 영역(21b)측에서의 제2 절연체(58M₂)의 막 두께 t₂를 얇게 하는 편이 바람직하다.

[0765] 따라서, 도전재(35)의 제1 영역(21a)측에 위치하는 제1 절연체(58M₁)의 막 두께 t₁쪽을 도전재(35)의 제2 영역(21b)측에 위치하는 제2 절연체(58M₂)의 막 두께 t₂보다 두껍게 함으로써, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32M)의 계면부(If₁)에서의 반사율이 향상됨과 함께, 제1 영역(21a)의 광전 변환부(24)에서 광전 변환된 신호 전하의 플로팅 디퓨전 영역(FD)에의 전송을 향상시킬 수 있다.

[0766] 도 58에 도시하는 바와 같이, 어느 파장대의 경우든, 제1 절연체(58M₁)의 막 두께 t₁에 의존해서 계면부(If₁)에서의 광 반사율이 향상되어 있다. 그리고 광 반사율의 향상은, 제1 절연체(58M₁)의 막 두께 t₁이 50nm 부근에서 포화하고 있다. 제1 절연체(58M₁)의 막 두께 t₁은 두꺼울수록 좋지만, 제1 절연체(58M₁)의 막 두께 t₁이 두꺼워지면, 광전 변환 영역(21)의 제2 영역(21b)(광전 변환부(24)(PD))의 체적이 작아지기 때문에, 감도의 저하에 영향을 미친다. 따라서, 제1 절연체(58M₁)의 막 두께 t₁은, 50nm 정도가 바람직하다.

[0767] 또한, 제1 절연체(58M₁)의 막 두께 t₁과 제2 절연체(58M₂)의 막 두께 t₂의 차이는, 제조 프로세스 중의 가공 변동에 의한 치수 오차와는 다르다.

[0768] 또한, 이 제13 실시 형태에서는, 제1 절연체(58M₁)는 고정 전하막(52)을 포함하고 있지만, 고정 전하막(52)을 포함하지 않는 경우나, 질화실리콘(Si₃N₄)막, 공기층 등의 유전체를 포함하는 경우에도 마찬가지로의 광 반사율 향상의 효과가 얻어진다.

[0769] <<제13 실시 형태의 주된 효과>>

[0770] 이어서, 이 제13 실시 형태의 주된 효과에 대해서 설명한다.

[0771] 이 제13 실시 형태에 관한 고체 촬상 장치(1M)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31)과, 화소내 분리 영역(32M)을 구비하고 있다. 따라서, 이 제13 실시 형태에 관한 고체 촬상 장치(1M)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소 특성으로서의 양자 효율 QE의 향상이나 높은 혼색 억제(MTF)를 도모할 수 있음과 함께, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다.

[0772] 또한, 이 제13 실시 형태에 관한 고체 촬상 장치(1L)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로 차광막(54)을 구비하고 있다. 따라서, 이 제12 실시 형태에 관한 고체 촬상 장치(1M)에서도, 상술한

제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 플로팅 디퓨전 영역(FD)에의 광의 도달(조사)을 억제할 수 있어, 기생 광 감도 특성(PLS)을 개선할 수 있다.

[0773] 또한, 이 제13 실시 형태의 화소내 분리 영역(32M)은, 도전재(35)의 제1 영역(21a)측에서의 제1 절연체(58M₁)의 막 두께 t₁이 도전재(35)의 제2 영역(21b)측에서의 제2 절연체(58M₂)의 막 두께 t₂보다 두껍게 되어 있다. 이에 의해, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32M)의 계면부(If₁)에서의 광 반사율이 향상되기 때문에, 제1 영역(21a)의 광전 변환부(24)(PD)에서 흡수되는 광량이 증가하여, 양자 효율 QE(감도)의 향상을 도모할 수 있음과 함께, 제2 영역(21b)에의 광의 침입을 억제할 수 있어, 플로팅 디퓨전 영역(FD)에의 광의 도달(조사)을 억제할 수 있다. 따라서, 이 제13 실시 형태에 관한 고체 촬상 장치(1M)에 의하면, 차광막(54)의 차광에 의한 기생 광 감도 특성의 개선 효과와 아울러, 보다 한층 기생 광 감도 특성(PLS)의 개선을 도모할 수 있음과 함께, 양자 효율 QE(감도)의 향상을 도모할 수 있다.

[0774] <<제13 실시 형태의 변형예>>

[0775] 상술한 제13 실시 형태에서는, 고정 전하막(52)을 포함하는 제1 절연체(58M₁)에 대해서 설명하였지만, 제1 절연체(58M₁)는, 도 60에 도시하는 바와 같이, 고정 전하막(52)을 포함하지 않는 구성으로 해도 된다.

[0776] 또한, 상술한 제13 실시 형태에서는 고정 전하막(52)을 포함하는 고체 촬상 장치(1M)에 대해서 설명하였지만, 본 기술은, 고정 전하막을 포함하지 않는 고체 촬상 장치(1M)에서도 적용할 수 있다.

[0777] [제14 실시 형태]

[0778] 이 제14 실시 형태에서는, 주로 근적외광의 광전 변환을 행하는 고체 촬상 장치에 본 기술을 적용한 예에 대해서 설명한다.

[0779] 도 61은, 본 기술의 제14 실시 형태에 관한 고체 촬상 장치(1N)의 화소 어레이부(2A)에서의 분리 영역(화소간 분리 영역(31) 및 화소내 분리 영역(32))의 평면 패턴을 모식적으로 도시하는 평면도이다.

[0780] 도 62는, 도 61의 a61-a61선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

[0781] 도 63은, 도 62의 일부를 확대해서 상하를 반전시킨 종단면도이다.

[0782] 도 64는, 화소내 분리 영역(32)에서 반사한 반사광(57N₁)과 화소간 분리 영역(31)에서 반사한 복귀광(57N₂)의 간섭을 모식적으로 도시하는 도면이다.

[0783] <<고체 촬상 장치의 구성>>

[0784] 도 61 및 도 62에 도시하는 바와 같이, 본 기술의 제14 실시 형태에 관한 고체 촬상 장치(1N)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 광전 변환 영역(21)의 구성이 다르게 되어 있다.

[0785] 즉, 이 제14 실시 형태의 도 61 및 도 62에 나타내는 광전 변환 영역(21)은, 제1 영역(21a)의 광전 변환부(24)(PD)에서 광전 변환하는 광의 종류(파장)에 따라, 제2 영역(21b)의 Y 방향의 폭 W_b가 설정되어 있다. 그리고 제2 영역(21b)의 폭 W_b는, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서의 광 반사율이 높아지도록 설정되어 있다.

[0786] 여기서, 제2 영역(21b)의 Y 방향의 폭 W_b는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향을 따르는 폭이다.

[0787] 구체적으로는, 도 63에 도시하는 바와 같이, 반도체층(20)의 제2면 S2로부터 광전 변환 영역(21)의 제1 영역(21a)에 입사(침입)한 입사광(57N)은, 제1 영역(21a)과 화소내 분리 영역(32)의 계면부(If₁)(화소내 분리 영역(32)의 제1 영역(21a)측의 측벽)에 닿는다. 이 계면부(If₁)에 닿는 입사광(57N)으로서, 도 64에 도시하는 바와 같이, 계면부(If₁)에서 반사하는 반사광(57N₁)과, 화소내 분리 영역(32)을 투과하고, 또한 화소간 분리 영역(31)에서 반사해서 제1 영역(21a)으로 돌아가는 복귀광(57N₂)이 있다. 그리고 이 반사광(57N₁)과 복귀광(57N₂)의 위상차가 입사광(57N)의 정수배($\lambda/4n$)가 되도록, 광전 변환 영역(21)의 제2 영역(21b)의 폭 W_b를 설정함으로써, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서의 광 반사율이

높아진다.

- [0788] 이 제14 실시 형태에서는, 이것에 한정되지 않지만, 예를 들어 모든 광전 변환 영역(21)에서, 광전 변환부(24)(PD)는, 파장 800nm의 근적외광(NIR)을 신호 전하로 광전 변환한다. 그리고 이 제14 실시 형태에 관한 고체 촬상 장치(1N)는, 도 62 및 도 63에 도시하는 바와 같이, 상술한 제1 실시 형태의 도 5 및 도 6에 나타내는 컬러 필터(55)를 구비하고 있지 않다. 그리고 이 제14 실시 형태에 관한 고체 촬상 장치(1N)는, 절연막(53)과 마이크로렌즈(56)의 사이에 차광막(54)을 덮어서 마련된 평탄화막(59)을 구비하고 있다.
- [0789] 도 65는, 근적외광에 있어서, 광전 변환 영역(21)의 제2 영역(21b)의 폭 Wb와, 화소내 분리 영역(32)의 제1 영역(21a)측의 측벽(광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁))에서의 광 반사율의 상관 관계를 도시하는 도면이다.
- [0790] 광전 변환 영역(21)의 제2 영역(21b)의 폭 Wb와, 계면부(If₁)에서의 광 반사율의 관계는 도 65에 나타내는 바와 같이 되어 있으며, 계면부(If₁)에서의 광 반사율은 제2 영역(21b)의 폭 Wb가 350nm로 최대로 되어 있다.
- [0791] 따라서, 이 반사광(57N₁)과 복귀광(57N₂)의 위상차가 입사광(57N)의 정수배($\lambda/4n$)가 되도록, 광전 변환 영역(21)의 제2 영역(21b)의 폭 Wb를 설정함으로써, 광전 변환 영역(21)의 제1 영역(21a)과, 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서의 입사광(57N)의 광 반사율을 높일 수 있다.
- [0792] 또한, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서의 광 반사율을 높일 수 있기 때문에, 광전 변환 영역(21)의 제1 영역(21a)에 마련된 광전 변환부(24)(PD)에서 흡수되는 광성분이 증가하여, 고체 촬상 장치(1N)의 감도 향상을 도모할 수 있다. 또한, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서의 광 반사율을 높일 수 있기 때문에, 제2 영역에 마련된 플로팅 디퓨전 영역(FD)에의 입사광(57N)의 도달(조사)을 억제할 수 있어, 차광막(54)의 차광에 의한 기생 광 감도 특성의 개선 효과와 아울러, 보다 한층 기생 광 감도 특성(PLS)의 개선을 도모할 수 있다.
- [0793] 또한, 도 63에 도시하는 바와 같이, 화소내 분리 영역(32)은, 도전재(35)의 제1 영역(21a)측 및 제2 영역(21b)측 각각에 분리 절연막(34)이 마련된 구성으로 되어 있다. 이 분리 절연막(34)은, 상술한 제13 실시 형태와 마찬가지로, 단일한 절연체로서 간주할 수 있다. 따라서, 화소내 분리 영역(32)은, 파임부(33b)의 내부의 제1 영역측 및 제2 영역측 각각에, 분리 절연막(34)을 포함하는 절연체를 개재해서 도전재(35)가 마련된 구성으로 되어 있다.
- [0794] [제15 실시 형태]
- [0795] 상술한 제14 실시 형태에서는, 주로 근적외광을 광전 변환하는 고체 촬상 장치(1N)에 대해서 설명하였지만, 이 제15 실시 형태에서는, 적색 파장의 광, 녹색 파장의 광, 청색 파장의 광 및 근적외광을 광전 변환하는 고체 촬상 장치에 본 기술을 적용한 일례에 대해서 설명한다.
- [0796] 도 66은, 본 기술의 제15 실시 형태에 관한 고체 촬상 장치(1P)의 화소 어레이부(2A)에서의 분리 영역(화소간 분리 영역(31) 및 화소내 분리 영역(32))의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0797] 도 67은, 도 66의 a66-a66선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0798] 도 68은, 도 66의 b66-b66선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0799] 도 69는, 차광체의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0800] 《고체 촬상 장치의 구성》
- [0801] 도 66 내지 도 68에 도시하는 바와 같이, 본 기술의 제15 실시 형태에 관한 고체 촬상 장치(1P)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 화소 어레이부(2A)의 구성이 다르게 되어 있다.
- [0802] 도 66에 도시하는 바와 같이, 이 제15 실시 형태의 화소 어레이부(2A)는, 행렬상으로 배치된 복수의 화소(3)에 대응해서 배치된 복수의 광전 변환 영역(21)을 구비하고 있다. 그리고 복수의 광전 변환 영역(21)은, 제2 영역(21b)의 Y 방향의 폭이 다른 2종류 이상의 광전 변환 영역(21)을 포함하고 있다. 이 제15 실시 형태에서는, 이것에 한정되지 않지만, 제2 영역(21b)의 Y 방향의 폭이 다른 4종류의 광전 변환 영역(21)(21P₁, 21P₂, 21P₃,

21P₄)을 포함하고 있다.

- [0803] 도 66 및 도 67에 나타내는 광전 변환 영역(21P₁)은, 제1 영역(21a)의 광전 변환부(24)(PD)에서 적색(R)의 파장의 광을 광전 변환한다. 그리고 이 광전 변환 영역(21P₁)에서는, 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서 적색 파장의 광이 반사하는 광 반사율을 높이도록 제2 영역(21b)의 Y 방향의 폭 Wb₁이 설정되어 있다.
- [0804] 도 66 및 도 67에 나타내는 광전 변환 영역(21P₂)은, 제1 영역(21a)의 광전 변환부(24)(PD)에서 녹색(G)의 파장의 광을 광전 변환한다. 그리고 이 광전 변환 영역(21P₂)에서는, 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서 녹색 파장의 광이 반사하는 광 반사율을 높이도록 제2 영역(21b)의 Y 방향의 폭 Wb₂가 설정되어 있다. 이 광전 변환 영역(21P₂)의 제2 영역(21b)의 폭 Wb₂는, 광전 변환 영역(21P₁)의 제2 영역(21b)의 폭 Wb₁보다 작게 되어 있다(Wb₂<Wb₁).
- [0805] 도 66 및 도 68에 나타내는 광전 변환 영역(21P₃)은, 제1 영역(21a)의 광전 변환부(24)(PD)에서 청색(B)의 파장의 광을 광전 변환한다. 그리고 이 광전 변환 영역(21P₃)에서는, 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서 청색 파장의 광이 반사하는 광 반사율을 높이도록 제2 영역(21b)의 Y 방향의 폭 Wb₃이 설정되어 있다. 이 광전 변환 영역(21P₃)의 제2 영역(21b)의 폭 Wb₃은, 광전 변환 영역(21P₂)의 제2 영역(21b)의 폭 Wb₂보다 작게 되어 있다(Wb₃<Wb₂).
- [0806] 도 66 및 도 68에 나타내는 광전 변환 영역(21P₄)은, 제1 영역(21a)의 광전 변환부(24)(PD)에서 근적외광(NIR)을 광전 변환한다. 그리고 이 광전 변환 영역(21P₄)에서는, 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서 근적외광이 반사하는 광 반사율을 높이도록 제2 영역(21b)의 Y 방향의 폭 Wb₄가 설정되어 있다. 이 광전 변환 영역(21P₄)의 제2 영역(21b)의 폭 Wb₄는, 광전 변환 영역(21P₂)의 제2 영역(21b)의 폭 Wb₃보다 작게 되어 있다(Wb₄<Wb₃).
- [0807] 즉, 광전 변환 영역(21P₁ 내지 21P₄) 각각은, 계면부(If₁)에서의 광 반사율이 높아지도록, 각각의 제2 영역(21b)의 폭(Wb₁, Wb₂, Wb₃, Wb₄)이 설정되어 있다. 그리고 광전 변환 영역(21P₁ 내지 21P₄) 각각은, 각각의 제2 영역(21b)의 폭(Wb₁>Wb₂>Wb₃>Wb₄)이 다르게 되어 있다.
- [0808] 광전 변환 영역(21P₁ 내지 21P₄) 각각의 계면부(If₁)에서의 광 반사율은, 상술한 제14 실시 형태의 도 64를 참조하여 설명하면, 상술한 제1 실시 형태와 마찬가지로, 반사광(57N₁)과 복귀광(57N₂)의 위상차가 입사광(57N)의 정수배($\lambda/4n$)가 되도록, 광전 변환 영역(21)의 제2 영역(21b)의 폭(Wb₁, Wb₂, Wb₃, Wb₄)을 설정함으로써, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서의 광 반사율이 높아진다.
- [0809] 도 70은, 적색 파장의 광(R), 녹색 파장의 광(G), 청색 파장의 광(B) 및 근적외광(NIR)에 있어서, 광전 변환 영역(21)의 제2 영역(21b)의 폭(Wb₁, Wb₂, Wb₃, Wb₄)과, 화소내 분리 영역(32)의 제1 영역(21a)측의 측벽(광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁))에서의 광 반사율의 상관 관계를 도시하는 도면이다.
- [0810] 광전 변환 영역(21P₁ 내지 21P₄)에서, 제2 영역(21b)의 폭(Wb₁, Wb₂, Wb₃, Wb₄)과, 계면부(If₁)에서의 광 반사율의 관계는 도 69에 나타내는 바와 같이 되어 있으며,
- [0811] · 광전 변환 영역(21P₁)에서의 계면부(If₁)의 광 반사율은 제2 영역(21b)의 폭 Wb₁이 400nm로 최대,
- [0812] · 광전 변환 영역(21P₂)에서의 계면부(If₁)의 광 반사율은 제2 영역(21b)의 폭 Wb₂가 390nm로 최대,
- [0813] · 광전 변환 영역(21P₃)에서의 계면부(If₁)의 광 반사율은 제2 영역(21b)의 폭 Wb₃이 360nm로 최대,
- [0814] · 광전 변환 영역(21P₄)에서의 계면부(If₁)의 광 반사율은 제2 영역(21b)의 폭 Wb₄가 400nm로 최대

- [0815] 로 되어 있다.
- [0816] 따라서, 광전 변환 영역(21P₁ 내지 21P₄)에서, 반사광(57N₁)과 복귀광(57N₂)의 위상차가 입사광(57N)의 정수배($\lambda/4n$)가 되도록, 각각의 광전 변환 영역(21)의 제2 영역(21b)의 폭(Wb₁, Wb₂, Wb₃, Wb₄)을 설정함으로써, 광전 변환 영역(21)의 제1 영역(21a)의 화소내 분리 영역(32)의 측벽과의 계면부(If₁)에서의 입사광(57N)의 광 반사율을 높일 수 있다. 그리고 광전 변환 영역(21P₁ 내지 21P₄)에서는, 제2 영역(21b)의 Y 방향의 폭(Wb₁, Wb₂, Wb₃, Wb₄)이 각각 다르다.
- [0817] 또한, 광전 변환 영역(21P₁ 내지 21P₄)에서, 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서의 광 반사율을 높일 수 있기 때문에, 광전 변환 영역(21)의 제1 영역(21a)에 마련된 광전 변환부(24)(PD)에서 흡수되는 광성분이 증가하여, 고체 촬상 장치(1P)의 감도 향상을 도모할 수 있다. 또한, 광전 변환 영역(21)의 제1 영역(21a)과 화소내 분리 영역(32)의 측벽의 계면부(If₁)에서의 광 반사율을 높일 수 있기 때문에, 제2 영역에 마련된 플로팅 디퓨전 영역(FD)에의 입사광(57N)의 도달(조사)을 억제할 수 있어, 차광막(54)의 차광에 의한 기생 광 감도 특성의 개선 효과와 아울러, 보다 한층 기생 광 감도 특성(PLS)의 개선을 도모할 수 있다.
- [0818] 여기서, 도 69에 도시하는 바와 같이, 차광막(54)의 Y 방향의 폭도, 광전 변환 영역(21P₁ 내지 21P₄) 각각의 제2 영역(21b)에서의 Y 방향의 폭(Wb₁, Wb₂, Wb₃, Wb₄)에 따라 다르게 바꾸는 것이 바람직하다. 이 제15 실시 형태에서는, 광전 변환 영역(21P₁ 내지 21P₄) 각각의 제2 영역(21b)의 폭이 Wb₁>Wb₂>Wb₃>Wb₄로 되어 있기 때문에, 광전 변환 영역(21P₁)에서의 차광막(54)의 폭을 Ws₁로 하고, 광전 변환 영역(21P₂)에서의 차광막(54)의 폭을 Ws₂로 하고, 광전 변환 영역(21P₃)에서의 차광막(54)의 폭을 Ws₃으로 하고, 광전 변환 영역(21P₄)에서의 차광막(54)의 폭을 Ws₄로 했을 때, 광전 변환 영역(21p₁ 내지 21p₄) 각각의 차광막(54)은, 각각의 폭이 Wb₁>Wb₂>Wb₃>Wb₄로 되어 있다.
- [0819] 또한, 도 67 및 도 68에 도시하는 바와 같이, 이 제15 실시 형태에서도, 화소내 분리 영역(32)은, 도전재(35)의 제1 영역(21a)측 및 제2 영역(21b)측 각각에 분리 절연막(34)이 마련된 구성으로 되어 있다. 이 분리 절연막(34)은, 상술한 제13 실시 형태와 마찬가지로, 단일한 절연체로서 간주할 수 있다. 따라서, 화소내 분리 영역(32)은, 파임부(33b)의 내부의 제1 영역측 및 제2 영역측 각각에, 분리 절연막(34)을 포함하는 절연체를 개재해서 도전재(35)가 마련된 구성으로 되어 있다.
- [0820] 또한, 이 제15 실시 형태에서는, 제2 분리 영역으로서 화소내 분리 영역(32)을 포함하는 고체 촬상 장치(1P)에 대해서 설명하였지만, 본 기술은, 상술한 제14 실시 형태의 도 57에 나타내는 화소내 분리 영역(32M)을 포함하는 고체 촬상 장치에서도 적용할 수 있다.
- [0821] [제16 실시 형태]
- [0822] 이 제16 실시 형태에서는, 반도체층의 깊이 방향으로 연신되는 파임부에 고정 전하막을 개재해서 절연막이 마련된 유전체로서, 화소내 분리 영역으로부터 광전 변환 영역의 제2 영역측으로 돌출되는 돌기부에 대해서 설명한다.
- [0823] 도 71은, 본 기술의 제16 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0824] 도 72는, 도 71의 a71-a71선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0825] 도 73은, 도 71의 b71-b71선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0826] 이 제16 실시 형태에서는, 화소간 분리 영역(31)이 본 기술의 「제1 분리 영역」의 일 구체예에 상당하고, 화소내 분리 영역(32)이 본 기술의 「제2 분리 영역」의 일 구체예에 상당한다. 또한, 또한, 이 제16 실시 형태에서는, 파임부(33a), 파임부(33b), 파임부(33Q)가 본 기술의 「제1 파임부」, 「제2 파임부」, 「제3 파임부」의 일 구체예에 상당한다. 또한, 이 제16 실시 형태에서는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향이 본 기술의 「일방향」의 일 구체예에 상당하고, 돌기부(31Q)가 본 기술의 「유전체」의 일 구체예에 상당한다.
- [0827] <<고체 촬상 장치의 구성>>

- [0828] 도 71 내지 도 73에 도시하는 바와 같이, 본 기술의 제16 실시 형태에 관한 고체 촬상 장치(1Q)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.
- [0829] 즉, 도 71 내지 도 73에 도시하는 바와 같이, 본 기술의 제16 실시 형태에 관한 고체 촬상 장치(1Q)는, 화소내 분리 영역(32)으로부터 광전 변환 영역(21)의 제2 영역(21b)측으로 돌출되는 유전체로서의 돌기부(31Q)를 더 구비하고 있다. 기타 구성은, 대략 상술한 제1 실시 형태와 마찬가지로이다.
- [0830] 도 71 내지 도 73에 도시하는 바와 같이, 돌기부(31Q)는, 2차원 평면에 있어서, 화소내 분리 영역(32)이 연신되는 길이 방향(X 방향)으로 소정의 배열 피치로 반복 마련되어 있다. 즉, 제2 영역(21b)의 화소내 분리 영역(32)측에는, 화소내 분리 영역(32)으로부터 돌출되는 돌기부(31Q)가 화소내 분리 영역(32)의 길이 방향을 따라 점재하고 있다. 바꾸어 말하면, 화소내 분리 영역(32)의 제2 영역(21b)측은, 돌기부(31Q)의 사이가 오목부로 되는 요철 형상으로 되어 있다.
- [0831] 도 72에 도시하는 바와 같이, 돌기부(31Q)는, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 파임부(33Q)의 내부에, 이 파임부(33Q)의 내벽(측벽 및 저벽)을 따라 마련된 고정 전하막(52)과, 파임부(33Q)의 내부에 고정 전하막(52)을 개재해서 마련된 절연막(53)을 포함한다.
- [0832] 돌기부(31Q)는, 반도체층(20)의 두께 방향(Z 방향)으로 연신되며, 또한 일단부측이 소자 분리 영역(25)과 연결되며, 또한 타단부측이 반도체층(20)의 제2면 S2에 도달하고 있다. 그리고 돌기부(31Q)는, 종단면에서의 구성이 화소간 분리 영역(31)과 마찬가지로 되어 있다.
- [0833] 파임부(33Q)는, 화소내 분리 영역(32)의 파임부(33b)와 연결되어, 일체화되어 있다.
- [0834] 고정 전하막(52)은, 화소간 분리 영역(31), 회절 산란부(51) 및 돌기부(31Q)에 걸쳐서 마련되어 있다. 돌기부(31Q)의 고정 전하막(52)은, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 절연막(53)의 화소내 분리 영역(32)측 및 제2 영역(21b)측에 마련되어 있다. 또한, 돌기부(31Q)의 고정 전하막(52)은, 도 71에 도시하는 바와 같이, 평면으로 보아 화소내 분리 영역(32)의 길이 방향(X 방향)에 있어서, 절연막(53)의 양측에 마련되어 있다. 즉, 돌기부(31Q)의 고정 전하막(52)은, 평면으로 보아 절연막(53)의 X 방향의 양측 및 Y 방향의 양측에 각각 마련되어, 절연막(53)의 주위를 둘러싸고 있다. 그리고 돌기부(31Q)의 고정 전하막(52)은, 평면으로 보아 절연막(53)의 X 방향 및 Y 방향의 사방 중, 제1 영역(21a)측(화소내 분리 영역(32)측)을 제외한 삼방면에 있어서, 반도체층(20)과 인접하고 있다.
- [0835] 이와 같이, 화소내 분리 영역(32)의 제2 영역(21b)측에 돌기부(31Q)를 마련함으로써, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)과 인접하는(대향하는) 고정 전하막(52)의 면적이 증가한다. 바꾸어 말하면, 반도체층(20)과 고정 전하막(52)의 계면부의 면적이 증가한다.
- [0836] 또한, 도 71의 부호 57Q는, 전송 트랜지스터(TRG)가 제1 영역(21a)으로부터 제2 영역(21b)에 신호 전하를 전송하는 전하 전송로이다.
- [0837] 또한, 광전 변환 영역(21)의 제2 영역의 Y 방향의 폭은, 돌기부(31Q)가 있는 곳보다 없는 곳쪽이 좁게 되어 있다.
- [0838] 《고체 촬상 장치의 제조 방법》
- [0839] 이어서, 본 기술의 제16 실시 형태에 관한 고체 촬상 장치(1Q)의 제조 방법에 대해서, 도 74a 내지 도 74g를 사용하여 설명한다.
- [0840] 이 제16 실시 형태에서는, 고체 촬상 장치(1Q)의 제조 방법에 포함되는 돌기부(31Q)의 제조에 특화해서 설명한다.
- [0841] 먼저, 상술한 제8 실시 형태와 마찬가지로의 공정을 실시하여, 도 74a에 도시하는 바와 같이, 광전 변환 영역(21)의 제1 영역(21a)에서 반도체층(20)의 제2면 S2에 회절 산란부(51)까지를 형성한다.
- [0842] 이어서, 회절 산란부(51)를 형성한 후, 도 74b에 도시하는 바와 같이, 광전 변환 영역(21)의 제2 영역(21b)의 화소내 분리 영역(32)측을 노출시키는 개구부 M3a를 갖는 마스크 M3을 반도체층(20)의 제2면 S2측에 예를 들어 포토리소그래피 기술을 사용하여 형성한다. 광전 변환 영역(21)은, 제2 영역(21b)의 일부를 제외하고 반도체층(20)의 제2면 S2측이 마스크 M3으로 덮인다.

- [0843] 이어서, 마스크 M3을 형성한 후, 마스크 M3을 에치 마스크로서 사용하여, 마스크 M3의 개구부 M3a로부터 노출되는 제2 영역(21b)을 선택적으로 에칭하여, 도 74c에 도시하는 바와 같이 파임부(33Q)를 형성한다. 파임부(33Q)는, 화소내 분리 영역(32)으로부터 광전 변환 영역(21)의 제2 영역(21b)측에 돌출되고, 또한 반도체층(20)의 제2면 S2측으로부터 제1면 S1측의 소자 분리 영역(25)에 도달하는 깊이로 형성한다. 또한, 파임부(33Q)는, 화소내 분리 영역(32)의 길이 방향(X 방향)으로 복수 점재하도록 형성한다. 또한, 파임부(33Q)는, 화소내 분리 영역(32)의 분리 절연막(34)이 파임부(33Q)의 내부로부터 노출되도록, 화소내 분리 영역(32)의 파임부(33b)와 연결되며, 또한 일체화해서 형성한다.
- [0844] 이어서, 마스크 M3을 제거한 후, 도 74d에 도시하는 바와 같이, 파임부(33a)의 내부의 분리 절연막(34) 및 도전재(35)가 노출되는 개구부 M4a를 갖는 마스크 M4를 반도체층(20)의 제2면 S2측에 예를 들어 포토리소그래피 기술을 사용하여 형성한다. 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b) 각각은, 반도체층(20)의 제2면 S2측이 마스크 M4로 덮이고, 파임부(33Q)의 내부는 마스크 M4의 일부로 충전된다.
- [0845] 이어서, 마스크 M4를 에치 마스크로서 사용하여, 도 74e에 도시하는 바와 같이, 파임부(33a)의 내부의 분리 절연막(34) 및 도전재(35)를 선택적으로 제거한다. 파임부(33a)의 내부의 분리 절연막(34) 및 도전재(35)는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술에 의해 선택적으로 제거할 수 있다.
- [0846] 이어서, 마스크 M4를 제거한 후, 도 74f에 도시하는 바와 같이, 파임부(33a 및 33Q) 각각의 내부의 내벽(측벽 및 저벽)을 따라 연신되며, 또한 반도체층(20)의 제2면 S2를 덮는 고정 전하막(52)을 성막한다. 고정 전하막(52)은, 반도체층(20)의 제2면 S2측에서, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)에 걸쳐서 형성되고, 제1 영역(21a)의 회절 산란부(51)는 고정 전하막(52)으로 덮인다.
- [0847] 이어서, 고정 전하막(52)을 형성한 후, 도 74g에 도시하는 바와 같이, 파임부(33a 및 33Q) 각각의 내부를 포함하는 반도체층(20)의 제2면 S2측의 전체면에 절연막(53)을 형성한다. 절연막(53)은, 예를 들어 산화실리콘막을 CVD법으로 성막한 후, 이 산화실리콘막의 표면층을 CMP법으로 절삭해서 평탄화함으로써 형성할 수 있다.
- [0848] 이 공정에서, 파임부(33a)의 내부에 고정 전하막(52)을 개재해서 절연막(53)이 매립된 화소간 분리 영역(31)이 형성됨과 함께, 이 화소간 분리 영역(31)으로 주위가 구획되며, 또한 내부가 화소내 분리 영역(32)으로 제1 영역(21a)과 제2 영역(21b)으로 분리된 광전 변환 영역(21)이 형성된다.
- [0849] 또한, 이 공정에서, 평면으로 보아 화소내 분리 영역(32)으로부터 광전 변환 영역(21)의 제2 영역(21b)측으로 돌출되고, 또한 파임부(33Q)의 내부에 고정 전하막(52)을 개재해서 절연막(53)이 매립된 돌기부(31Q)가 형성된다.
- [0850] 이어서, 절연막(53)을 형성한 후, 이 절연막(53)의 반도체층(20)측과는 반대측에, 차광막(54), 컬러 필터(55) 및 마이크로렌즈(56) 등을 이 순으로 형성함으로써, 도 31 및 도 32에 나타내는 상태가 된다.
- [0851] 또한, 이 제16 실시 형태에 관한 고체 촬상 장치(1Q)에서도, 반도체층(20) 및 다층 배선층(40)을 포함하는 반도체 웨이퍼를 칩 형성 영역마다 분할함으로써 도 1에 나타내는 반도체 칩(2)의 상태가 된다.
- [0852] <<제16 실시 형태의 주된 효과>>
- [0853] 이어서, 이 제16 실시 형태의 주된 효과에 대해서 설명한다.
- [0854] 이 제16 실시 형태에 관한 고체 촬상 장치(1Q)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31)과, 화소내 분리 영역(32)을 구비하고 있다. 따라서, 이 제16 실시 형태에 관한 고체 촬상 장치(1Q)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소 특성으로서의 양자 효율 QE의 향상이나 높은 혼색 억제(MTF)를 도모할 수 있음과 함께, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다.
- [0855] 또한, 이 제16 실시 형태에 관한 고체 촬상 장치(1Q)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 차광막(54)을 구비하고 있다. 따라서, 상술한 제1 실시 형태의 고체 촬상 장치(1A)와 마찬가지로, 광전 변환 영역(21)의 제2 영역(21b)에서의 반도체층(20)의 제2면 S2측(광 입사면측)으로부터 제2 영역(21b)에 침입하는 광을 차광막(54)으로 차광하여, 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제할 수 있어, 기생 광 감도 특성(PLS)을 개선할 수 있다.
- [0856] 또한, 이 제16 실시 형태에 관한 고체 촬상 장치(1Q)는, 평면으로 보아 화소내 분리 영역(32)으로부터 광전 변환 영역(21)의 제2 영역(21b)측으로 돌출되는 돌기부(31Q)를 구비하고 있다. 그리고 돌기부(31Q)는, 반도체층

(20)의 두께 방향으로 연신되는 파임부(33Q)에 고정 전하막(52)을 개재해서 절연막(53)이 마련되어 있다. 이 때문에, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)과 인접하는(대향하는) 고정 전하막(52)의 면적을 증가시킬 수 있어, 광전 변환 영역(21)의 제2 영역(21b)에서 신호 전하를 일시적으로 보유하는 전하 축적 용량을 증가시킬 수 있다.

[0857] 그런데, 근년, 고해상의 이미지 센서가 시장에서 요구되고 있어, 화소(3)를 미세화한 이미지 센서의 개발이 진행되고 있다. 화소(3)의 미세화를 도모하기 위해서는, 반도체층(20)의 광전 변환 영역(21)을 미세화할 필요가 있다. 그러나, 광전 변환 영역(21)의 미세화에 수반하여 제2 영역(21b)의 면적이 축소되어, 제2 영역(21b)에서의 전하 축적 용량이 저하된다. 그래서, 제2 영역(21b)의 면적을 유지하려고 하면, 제1 영역(21a)의 면적이 축소되어, 제1 영역(21a)에 마련된 광전 변환부(24)(PD)의 체적이 축소되어 버린다. 그리고 광전 변환부(24)의 체적이 축소됨으로써 포화 신호량 Q_s 가 저하되어 버린다. 즉, 제1 영역(21a)에서의 포화 신호량 Q_s 와, 제2 영역(21b)에서의 전하 축적 용량은 트레이드오프의 관계에 있다.

[0858] 이에 대해, 이 제16 실시 형태의 고체 촬상 장치(1Q)는, 화소내 분리 영역(32)의 제2 영역(21b)측에 돌기부(31Q)를 마련함으로써 제2 영역(21b)의 전하 축적 용량을 증가시키고 있다. 즉, 제2 영역(21b)의 면적을 확대하지 않고, 전하 축적 용량을 증가시킬 수 있기 때문에, 제1 영역(21a)에서의 포화 신호량 Q_s 와, 제2 영역(21b)에서의 전하 축적 용량의 트레이드오프를 완화할 수 있다. 따라서, 본 기술은, 고해상의 이미지 센서를 실현하는데 있어서도 유효하다.

[0859] 또한, 도 75에 도시하는 바와 같이, 돌기부(31Q)는, 평면으로 보아 화소내 분리 영역(32)의 길이 방향(X 방향)의 양단부 중, 전송 트랜지스터(TRG)가 마련된 한쪽 단부와는 반대측의 다른 쪽 단부에 마련해도 된다.

[0860] [제17 실시 형태]

[0861] 이 제17 실시 형태에서는, 반도체층의 깊이 방향으로 연신되는 파임부에 고정 전하막을 개재해서 절연막이 마련된 유전체로서, 화소간 분리 영역으로부터 광전 변환 영역의 제2 영역측으로 돌출되는 돌기부에 대해서 설명한다.

[0862] 도 76은, 본 기술의 제17 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.

[0863] 도 77은, 도 76의 a76-a76선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

[0864] 도 78은, 도 76의 b76-b76선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.

[0865] 이 제17 실시 형태에서는, 화소간 분리 영역(31)이 본 기술의 「제1 분리 영역」의 일 구체예에 상당하고, 화소내 분리 영역(32)이 본 기술의 「제2 분리 영역」의 일 구체예에 상당한다. 또한, 또한, 이 제16 실시 형태에서는, 파임부(33a), 파임부(33b), 파임부(33R)가 본 기술의 「제1 파임부」, 「제2 파임부」, 「제3 파임부」의 일 구체예에 상당한다. 또한, 이 제17 실시 형태에서는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향이 본 기술의 「일방향」의 일 구체예에 상당하고, 돌기부(31R)가 본 기술의 「유전체」의 일 구체예에 상당한다.

[0866] 도 76 내지 도 78에 도시하는 바와 같이, 본 기술의 제17 실시 형태에 관한 고체 촬상 장치(1R)는, 기본적으로 상술한 제16 실시 형태에 관한 고체 촬상 장치(1Q)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.

[0867] 즉, 도 76 내지 도 78에 도시하는 바와 같이, 본 기술의 제17 실시 형태에 관한 고체 촬상 장치(1R)는, 광전 변환 영역(21)에서, 제2 영역(21b)의 화소내 분리 영역(32)측과는 반대측의 화소간 분리 영역(31)으로부터 제2 영역(21b)측으로 돌출되는 돌기부(31R)를 더 구비하고 있다. 기타 구성은 대략 상술한 제16 실시 형태와 마찬가지로 지이다.

[0868] 도 76 내지 도 78에 도시하는 바와 같이, 돌기부(31R)는, 2차원 평면에 있어서, 화소간 분리 영역(31)이 연신되는 길이 방향(X 방향)으로 소정의 배열 피치로 반복 마련되어 있다. 즉, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 제2 영역(21b)의 화소간 분리 영역(31)측에는, 화소간 분리 영역(31)으로부터 제2 영역(21b)측으로 돌출되는 돌기부(31R)가 화소간 분리 영역(31)의 길이 방향(X 방향)을 따라 점재하고 있다. 바꾸어 말하면, 화소간 분리 영역(31)의 제2 영역(21b)측은, 돌기부(31R)의 사이가 오탁부로 되는 요철 형상으로 되어 있다.

- [0869] 도 77에 도시하는 바와 같이, 돌기부(31R)는, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 파임부(33R)의 내부의 내벽(측벽 및 저벽)을 따라 마련된 고정 전하막(52)과, 파임부(33R)의 내부에 고정 전하막(52)을 개재해서 마련된 절연막(53)을 포함한다. 돌기부(31R)의 고정 전하막(52)은, 화소간 분리 영역(31)의 고정 전하막(52)과 일체화되어, 연속해서 형성되어 있다. 돌기부(31R)의 절연막(53)도, 화소간 분리 영역(31)의 절연막(53)과 일체화되어, 연속해서 형성되어 있다.
- [0870] 돌기부(31R)는, 반도체층(20)의 두께 방향(Z 방향)으로 연신되며, 또한 일단부측이 소자 분리 영역(25)과 연결되며, 또한 타단부측이 반도체층(20)의 제2면 S2에 도달하고 있다.
- [0871] 파임부(33R)는, 화소간 분리 영역(31)의 파임부(33a)와 연결되어, 일체화되어 있다.
- [0872] 고정 전하막(52)은, 화소간 분리 영역(31), 회절 확산부(51), 돌기부(31Q 및 31R)에 걸쳐서 마련되어 있다. 돌기부(31R)의 고정 전하막(52)은, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 절연막(53)의 제2 영역(21b)측에 마련되어 있다. 또한, 돌기부(31R)의 고정 전하막(52)은, 도 76에 도시하는 바와 같이, 평면으로 보아 화소간 분리 영역(31)의 길이 방향(X 방향)에 있어서, 절연막(53)의 양측에 마련되어 있다. 즉, 돌기부(31R)의 고정 전하막(52)은, 평면으로 보아 절연막(53)의 X 방향 및 Y 방향의 사방 중, 화소간 분리 영역(31)측을 제외한 삼방면에 있어서, 반도체층(20)과 인접하고 있다(대향하고 있다).
- [0873] 이와 같이, 광전 변환 영역(21)의 제2 영역(21b)의 화소간 분리 영역(31)측과는 반대측의 화소간 분리 영역(31)의 제2 영역(21b)측에 돌기부(31R)를 마련함으로써, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)과 인접하는(대향하는) 고정 전하막(52)의 면적을 증가시킬 수 있다. 따라서, 이 제17 실시 형태에 관한 고체 촬상 장치(1R)에 의하면, 돌기부(31Q)에 의한, 반도체층(20)과 고정 전하막(52)의 계면부의 면 증가와 아울러, 광전 변환 영역(21)의 제2 영역(21b)에서의 전하 축적 용량을 보다 한층 증가시킬 수 있다.
- [0874] 또한, 이 제17 실시 형태에서는, 돌기부(31Q) 및 돌기부(31R)의 양쪽을 마련한 경우에 대해서 설명하였지만, 돌기부(31R)만으로도 충분한 것은 물론이다.
- [0875] 또한, 이 제17 실시 형태에서는, 광전 변환 영역(21)의 제2 영역(21b)의 화소내 분리 영역(32)측과는 반대측의 화소간 분리 영역(31)에 돌기부(31R)를 마련한 경우에 대해서 설명하였다. 그러나, 돌기부(31R)는, 광전 변환 영역(21)의 제2 영역(21b)에 있는 것이면 된다. 또한, 돌기부(31R)는, 평면으로 보아 화소내 분리 영역(32)의 길이 방향(X 방향)의 양단부 중, 평면으로 보아 전송 트랜지스터(TRG)가 마련된 한쪽 단부와는 반대측의 다른 쪽 단부와 인접하는 화소간 분리 영역(31)에 마련해도 된다.
- [0876] [제18 실시 형태]
- [0877] 이 제18 실시 형태에서는, 반도체층의 깊이 방향으로 연신되는 파임부에 고정 전하막을 개재해서 절연막이 마련된 유전체로서, 화소간 분리 영역 및 화소내 분리 영역 각각으로부터 이격되는 섬부에 대해서 설명한다.
- [0878] 도 79는, 본 기술의 제18 실시 형태에 관한 고체 촬상 장치의 화소 어레이부에서의 분리 영역의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0879] 도 80은, 도 79의 a79-a79선을 따른 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0880] 이 제18 실시 형태에서는, 화소간 분리 영역(31)이 본 기술의 「제1 분리 영역」의 일 구체예에 상당하고, 화소내 분리 영역(32)이 본 기술의 「제2 분리 영역」의 일 구체예에 상당한다. 또한, 또한, 이 제18 실시 형태에서는, 파임부(33a), 파임부(33b), 파임부(33S)가 본 기술의 「제1 파임부」, 「제2 파임부」, 「제3 파임부」의 일 구체예에 상당한다. 또한, 이 제18 실시 형태에서는, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향이 본 기술의 「일방향」의 일 구체예에 상당하고, 섬부(31S)가 본 기술의 「유전체」의 일 구체예에 상당한다.
- [0881] 도 79 및 도 80에 도시하는 바와 같이, 본 기술의 제18 실시 형태에 관한 고체 촬상 장치(1S)는, 기본적으로 상술한 제17 실시 형태에 관한 고체 촬상 장치(1R)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.
- [0882] 즉, 도 79 및 도 80에 도시하는 바와 같이, 본 기술의 제18 실시 형태에 관한 고체 촬상 장치(1S)는, 광전 변환 영역(21)에서, 화소간 분리 영역(31) 및 화소내 분리 영역(32) 각각으로부터 이격되는 섬부(31S)를 더 구비하고 있다. 기타 구성은 대략 상술한 제17 실시 형태와 마찬가지로이다.
- [0883] 도 79 내지 도 80에 도시하는 바와 같이, 섬부(31S)는, 평면으로 보아 화소내 분리 영역(32)의 길이 방향(X 방

향)의 양단부 중, 평면으로 보아 전송 트랜지스터(TRG)가 마련된 한쪽 단부와는 반대측의 다른 쪽 단부와, 이 다른 쪽 단부와 인접하는 화소간 분리 영역(31)의 사이에, 점재해서 마련되어 있다.

[0884] 도 80에 도시하는 바와 같이, 섬부(31S)는, 반도체층(20)의 두께 방향(Z 방향)으로 연신되는 파임부(33S)의 내부의 내벽(측벽 및 저벽)을 따라 마련된 고정 전하막(52)과, 파임부(33S)의 내부에 고정 전하막(52)을 개재해서 마련된 절연막(53)을 포함한다. 섬부(31S)의 고정 전하막(52)은, 화소간 분리 영역(31) 및 화소내 분리 영역(32) 각각의 고정 전하막(52)과 일체화되어, 연속해서 형성되어 있다. 섬부(31S)는, 화소간 분리 영역(31) 및 화소내 분리 영역(32) 각각의 파임부(33a, 33b)로부터 이격되어 있다.

[0885] 섬부(31S)는, 반도체층(20)의 두께 방향(Z 방향)으로 연신되며, 또한 일단부측이 소자 분리 영역(25)과 연결되며, 또한 타단부측이 반도체층(20)의 제2면 S2에 도달하고 있다.

[0886] 고정 전하막(52)은, 화소간 분리 영역(31), 회절 확산부(51), 돌기부(31Q 및 31R), 그리고 섬부(31S)에 걸쳐서 마련되어 있다. 섬부(31S)의 고정 전하막(52)은, 광전 변환 영역(21)의 제1 영역(21a) 및 제2 영역(21b)의 배열 방향(Y 방향)에 있어서, 절연막(53)의 제2 영역(21b)측에 마련되어 있다. 또한, 섬부(31S)의 고정 전하막(52)은, 도 79에 도시하는 바와 같이, 평면으로 보아 화소간 분리 영역(31)의 길이 방향(X 방향)에 있어서, 절연막(53)의 양측에 마련되어 있다. 즉, 섬부(31S)의 고정 전하막(52)은, 평면으로 보아 절연막(53)의 X 방향 및 Y 방향의 사방에 있어서, 반도체층(20)과 인접하고 있다(대향하고 있다).

[0887] 이와 같이, 평면으로 보아 화소내 분리 영역(32)의 길이 방향(X 방향)의 타단부측과 화소간 분리 영역(31)의 사이에 섬부(31S)를 마련함으로써, 광전 변환 영역(21)의 제2 영역(21b)에서, 반도체층(20)과 인접하는(대향하는) 고정 전하막(52)의 면적을 증가시킬 수 있다. 따라서, 이 제18 실시 형태에 관한 고체 촬상 장치(1S)에 의하면, 돌기부(31Q 및 31R)에 의한, 반도체층(20)과 고정 전하막(52)의 계면부의 먼 증가와 아울러, 광전 변환 영역(21)의 제2 영역(21b)에서의 전하 축적 용량을 보다 한층 증가시킬 수 있다.

[0888] 또한, 이 제18 실시 형태에서는, 섬부(31S)와, 돌기부(31Q) 및 돌기부(31R) 양쪽을 마련한 경우에 대해서 설명하였지만, 돌기부(31Q) 및 돌기부(31R) 중 어느 한쪽과, 섬부(31S)를 조합해도 된다. 또한, 섬부(31S)만이어도 된다.

[0889] 또한, 섬부(31S)는, 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b) 내에 마련해도 된다.

[0890] [제19 실시 형태]

[0891] 이 제19 실시 형태에서는, 2개의 반도체층을 적층한 2단 구조의 고체 촬상 장치에 대해서 설명한다.

[0892] 도 81은, 본 기술의 제19 실시 형태에 관한 고체 촬상 장치(1T)의 종단면 구조를 모식적으로 도시하는 종단면도이다.

[0893] 이 제19 실시 형태에서는, 반도체층(20)이 본 기술의 「제1 반도체층」의 일 구체예에 상당하고, 반도체층(92)이 본 기술의 「제2 반도체층」의 일 구체예에 상당한다.

[0894] <<고체 촬상 장치의 구성>>

[0895] 도 81에 도시하는 바와 같이, 본 기술의 제19 실시 형태에 관한 고체 촬상 장치(1T)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.

[0896] 즉, 도 5에 도시한 바와 같이, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)는, 반도체층(20)의 제1면 S1측에 다층 배선층(40)을 구비하고 있다. 그리고 도 3의 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST)가 반도체층(20)의 광전 변환 영역(21)에 마련되어 있다.

[0897] 이에 반해, 도 81에 도시하는 바와 같이, 본 기술의 제19 실시 형태에 관한 고체 촬상 장치(1T)는, 제1 반도체층으로서의 반도체층(20)의 제1면 S1측에, 절연층(91)을 개재해서 제2 반도체층으로서의 반도체층(92)을 구비하고 있다. 그리고 도 3의 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST)가 반도체층(92)에 마련되어 있다. 도 81에서는, 판독 회로(15)에 포함되는 화소 트랜지스터 중, 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)를 도시하고 있다.

[0898] 도 81에 도시하는 바와 같이, 반도체층(92)의 절연층(91)측과는 반대측에는, 층간 절연막(94)이 마련되어 있다. 반도체층(92)은, 층간 절연막(94)으로 덮여 있다. 판독 회로(15)(도 3 참조)에 포함되는 화소 트랜지스터(AMP, SEL, RST) 각각은, 반도체층(92)의 절연층(91)측과는 반대측의 소자 형성면에 마련되어 있고, 층간 절연막(94)

으로 덮여 있다.

- [0899] 층간 절연막(94)의 반도체층(92)측과는 반대측에는 배선층(96)이 마련되어 있다. 배선층(96)에는, 다양한 배선이 형성되어 있다. 도 81에서는, 배선(96b₁, 96f 및 96s)을 도시하고 있다.
- [0900] 도 81에 도시하는 바와 같이, 배선(96b₁)은, 층간 절연막(94), 반도체층(92), 절연층(91) 및 소자 분리 영역(25)을 관통해서 화소내 분리 영역(32)의 도전재(35)에 도달하는 콘택트 전극(관통 플러그)(95b₁)과 전기적으로 접속되고, 또한, 이 콘택트 전극(95b₁)을 통해서 화소내 분리 영역(32)의 도전재(35)와 전기적으로 접속되어 있다. 그리고 이 배선(96b₁)에는, 전원 전위로서, p형 웰 영역(22)에 인가되는 제1 기준 전위보다 높은 정전위의 제2 기준 전위가 인가된다. 즉, 화소내 분리 영역(32)의 도전재(35)는, 배선(96b₁)에 인가된 제2 기준 전위가 콘택트 전극(95b₁)을 통해서 공급되어, 이 제2 기준 전위로 전위 고정된다. 제2 기준 전위로서는, 예를 들어 2.7V가 인가된다. 콘택트 전극(95b₁)은, 반도체층(92)의 관통 구멍을 빠져 나가, 관통 구멍 내의 층간 절연막(94)을 개재해서 반도체층(92)과 전기적으로 절연 분리되어 있다.
- [0901] 도 81에 도시하는 바와 같이, 배선(96f)은, 층간 절연막(94), 반도체층(92), 절연층(91)을 관통해서 광전 변환 영역(21)의 제2 영역(21b)의 플로팅 디퓨전 영역(FD)에 도달하는 콘택트 전극(관통 플러그)(95f)과 전기적으로 접속되고, 또한, 이 콘택트 전극(95f)을 통해서 플로팅 디퓨전 영역(FD)과 전기적으로 접속되어 있다. 또한, 배선(96f)은, 층간 절연막(94)에 매립된 콘택트 전극(95a)을 통해서, 증폭 트랜지스터(AMP)의 게이트 전극(93a)과 전기적으로 접속되어 있다. 즉, 플로팅 디퓨전 영역(FD)은, 판독 회로(15)의 입력단측(증폭 트랜지스터(AMP)의 게이트 전극(93a) 및 리셋 트랜지스터(RST)의 소스 영역)과 전기적으로 접속되어 있다. 콘택트 전극(95f)은, 반도체층(92)의 관통 구멍을 빠져 나가, 관통 구멍 내의 층간 절연막(94)을 개재해서 반도체층(92)과 전기적으로 절연 분리되어 있다.
- [0902] 도 81에 도시하는 바와 같이, 배선(96s)은, 층간 절연막(94)에 매립된 콘택트 전극(95s)을 통해서, 선택 트랜지스터(SEL)의 소스 영역과 전기적으로 접속되어 있다. 그리고 배선(96s)은, 도 3에 나타내는 수직 신호선(11)(VSL)과 전기적으로 접속되어 있다.
- [0903] 이 제19 실시 형태에 관한 2단 구조의 고체 촬상 장치(1T)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로의 효과가 얻어진다.
- [0904] 또한, 이 제19 실시 형태에서는, 2개의 반도체층을 적층한 2단 구조의 고체 촬상 장치에 본 기술을 적용한 경우에 대해서 설명하였지만, 본 기술은, 3개 이상의 반도체층을 적층한 다단 구조의 고체 촬상 장치에도 적용할 수 있다.
- [0905] 또한, 제2 실시 형태 내지 제18 실시 형태에 관한 본 기술도, 2개 이상의 반도체층을 적층한 고체 촬상 장치에 적용할 수 있다.
- [0906] [제20 실시 형태]
- [0907] 이 제20 실시 형태에서는, 2개의 반도체층을 적층한 2단 구조의 고체 촬상 장치에 본 기술의 광 반사체를 적용한 일례에 대해서 설명한다.
- [0908] 도 82는, 본 기술의 제20 실시 형태에 관한 고체 촬상 장치의 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0909] 도 83a는, 도 82의 광 반사체의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0910] 도 83b는, 광 반사체에 의한 광 반사를 모식적으로 도시하는 종단면도이다.
- [0911] 또한, 도 82 및 도 83b에서는, 도면을 보기 쉽게 하기 위해서, 단면을 나타내는 해칭을 일부 생략하고 있다.
- [0912] 또한, 도 82 및 도 83b에서는 전송 트랜지스터(TRG)의 게이트 전극(37)을 도시하고 있지만, 이 게이트 전극(37)은, 구성을 알기 쉽게 하기 위해서, 도 83a에 대해서 의도적으로 위치를 바꾸고 있다.
- [0913] 또한, 도 82에서는, 도 5 및 도 6에 나타내는 회절 확산부(51), 고정 전하막(52), 컬러 필터(55) 및 마이크로렌즈(56) 등의 도시를 생략하고 있다.
- [0914] 또한, 도 83b는, 도 82에 대해서 상하가 반전되어 있다.

- [0915] 이 제20 실시 형태에서는, 반도체층(20)이 본 기술의 「제1 반도체층」의 일 구체예에 상당하고, 섬상의 반도체부(204a 및 204b)가 본 기술의 「제2 반도체층」의 일 구체예에 상당한다.
- [0916] <<고체 활상 장치의 구성>>
- [0917] 도 82에 도시하는 바와 같이, 본 기술의 제20 실시 형태에 관한 고체 활상 장치(1U)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 활상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.
- [0918] 즉, 도 5에 도시한 바와 같이, 상술한 제1 실시 형태에 관한 고체 활상 장치(1A)는, 반도체층(20)의 제1면 S1측에 다층 배선층(40)을 구비하고 있다. 그리고 도 3의 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST)가 반도체층(20)의 광전 변환 영역(21)에 마련되어 있다.
- [0919] 이에 반해, 도 82에 도시하는 바와 같이, 본 기술의 제20 실시 형태에 관한 고체 활상 장치(1U)는, 제1 반도체층으로서의 반도체층(20)의 제1면 S1측에, 층간 절연막(41)을 개재해서 마련된 다층체(적층체)(200)를 구비하고 있다. 그리고 도 3에 나타내는 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST)가 다층체(200)에 마련되어 있다.
- [0920] 도 82에 도시하는 바와 같이, 다층체(200)는, 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되어 마련된 광 반사체(213)와, 이 광 반사체(213)의 반도체층(20)측과는 반대측에 마련된 제2 반도체층으로서의 섬상의 반도체부(204a 및 204b)를 구비하고 있다. 즉, 이 제20 실시 형태에 관한 고체 활상 장치(1U)는, 제1 반도체층인 반도체층(20)과, 제2 반도체층인 섬상의 반도체부(204a 및 204b)를 적층한 2단 구조로 되어 있다.
- [0921] 또한, 다층체(200)는, 층간 절연막(41)의 반도체층(20)측과는 반대측에 마련된 스톱퍼막(202)과, 이 스톱퍼막(202)의 층간 절연막(41)측과는 반대측에 마련된 절연막(203)을 더 구비하고 있다. 섬상의 반도체부(204a 및 204b)는, 절연막(203)의 스톱퍼막(202)측과는 반대측에 마련되어 있다.
- [0922] 또한, 다층체(200)는, 절연막(203)의 스톱퍼막(202)측과는 반대측에 섬상의 반도체부(204a 및 204b)를 덮도록 해서 마련된 절연막(206)과, 이 절연막(206)의 절연막(203)측에 마련된 절연막(208)을 더 구비하고 있다.
- [0923] 또한, 다층체(200)는, 절연막(208)에 마련된 배선층(209)과, 절연막(208)의 절연막(206)측과는 반대측에 배선층(209)을 덮도록 해서 마련된 캡막(210)을 구비하고 있다.
- [0924] 또한, 다층체(200)는, 캡막(210)의 절연막(208)측과는 반대측에 마련되고, 또한 절연막(208)으로부터 반도체층(20)을 향해서 연신되는 개구부(파임부)(211)의 내벽(측벽 및 저벽)을 따라 마련된 보호막(212)과, 이 분리 절연막(217)의 캡막(210)측과는 반대측에 마련되고, 또한 개구부(211)의 내부를 매립하도록 해서 마련된 절연막(215)을 더 구비하고 있다.
- [0925] 도 82에 나타내는 층간 절연막(41)은, 상세하게 도시하고 있지 않지만, 반도체층(20)의 제1면 S1측에 전송 트랜지스터(TRG)의 게이트 전극(37)을 덮도록 해서 마련되어 있다.
- [0926] 도 82에 나타내는 섬상의 반도체부(204a 및 204b) 각각은, 동일층으로 형성되어 있다. 즉, 반도체부(204a 및 204b)는, 1개의 반도체층을 패터닝함으로써 형성된다. 반도체층(반도체부(204a 및 204b))으로서, Si 기판, SiGe 기판, InGaAs 기판 등의 반도체를 사용할 수 있다. 이 제20 실시 형태에서는, 예를 들어 단결정 실리콘을 포함하는 p형 반도체 기판을 사용하고 있다.
- [0927] 섬상의 반도체부(204a)에는, 판독 회로(15)에 포함되는 화소 트랜지스터로서 예를 들어 증폭 트랜지스터(AMP)가 마련되어 있다. 그리고 섬상의 반도체부(204b)에는, 판독 회로(15)에 포함되는 화소 트랜지스터로서 예를 들어 리셋 트랜지스터(RST)가 마련되어 있다. 도시하고 있지 않지만, 판독 회로(15)에 포함되는 화소 트랜지스터로서의 선택 트랜지스터는, 증폭 트랜지스터(AMP)와 직렬 접속으로 섬상의 반도체부(204a)에 형성해도 되고, 혹은 다른 섬상의 반도체부에 마련해도 된다.
- [0928] 도 82에 나타내는 배선층(209)에는, 다양한 배선이 형성되어 있다. 도 82에서는, 배선(209b₁, 209f, 209r 및 209t)을 도시하고 있다.
- [0929] 도 82에 도시하는 바와 같이, 배선(209b₁)은, 절연막(206 및 203), 스톱퍼막(202) 및 층간 절연막(41)을 관통해서 화소내 분리 영역(32)의 도전재(35)에 도달하는 콘택트 전극(관통 플러그)(207b₁)과 전기적으로 접속되고, 또한, 이 콘택트 전극(207b₁)을 통해서 화소내 분리 영역(32)의 도전재(35)와 전기적으로 접속되어 있다. 그리

고 이 배선(209b₁)에는, 전원 전위로서, p형 웰 영역(22)에 인가되는 제1 기준 전위보다 높은 정전위의 제2 기준 전위가 인가된다. 즉, 화소내 분리 영역(32)의 도전재(35)는, 배선(96b₁)에 인가된 제2 기준 전위가 콘택트 전극(95b₁)을 통해서 공급되어, 이 제2 기준 전위로 전위 고정된다. 제2 기준 전위로서는, 예를 들어 2.7V가 인가된다.

[0930] 도 82에 도시하는 바와 같이, 배선(209f)은, 절연막(206 및 203), 스톱퍼막(202) 및 층간 절연막(41)을 관통해서 광전 변환 영역(21)의 제2 영역(21b)의 플로팅 디퓨전 영역(FD)에 도달하는 콘택트 전극(관통 플러그)(207f)과 전기적으로 접속되고, 또한, 이 콘택트 전극(207f)을 통해서 플로팅 디퓨전 영역(FD)과 전기적으로 접속되어 있다. 또한, 배선(209f)은, 절연막(206)에 매립된 콘택트 전극(매립 플러그)(207a)을 통해서, 증폭 트랜지스터(AMP)의 게이트 전극(205a)과 전기적으로 접속되어 있다. 즉, 플로팅 디퓨전 영역(FD)은, 판독 회로(15)의 입력단측(증폭 트랜지스터(AMP)의 게이트 전극(205a) 및 리셋 트랜지스터(RST)의 소스 영역)과 전기적으로 접속되어 있다.

[0931] 배선(209r)은, 절연막(206)에 매립된 콘택트 전극(207r)을 통해서, 리셋 트랜지스터(RST)의 게이트 전극(205r)과 전기적으로 접속되어 있다.

[0932] 배선(209t)은, 절연막(206 및 203), 스톱퍼막(202) 및 층간 절연막(41)을 관통해서 전송 트랜지스터(TRG)의 게이트 전극(37)에 도달하는 콘택트 전극(관통 플러그)(207t)과 전기적으로 접속되고, 또한, 이 콘택트 전극(207t)을 통해서 전송 트랜지스터(TRG)의 게이트 전극(37)과 전기적으로 접속되어 있다.

[0933] 도 82에 도시하는 바와 같이, 광 반사체(213)는, 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되어 개구부(211) 내에 마련되어 있다. 그리고 광 반사체(213)는, 반도체층(20)의 두께 방향(Z 방향)에 있어서, 섬상의 반도체부(204a 및 204b)보다 반도체층(20)측에 위치하고, 또한 반도체층(20)측보다 섬상의 반도체부(204a 및 204b)측에 위치하고 있다. 즉, 광 반사체(213)는, 층상적(레이어적)으로는, 반도체층(20)과, 섬상의 반도체부(204a 및 204b)의 사이의 층에 마련되어 있다. 그리고 도 83a에 도시하는 바와 같이, 광 반사체(213)는, 2차원상으로 펼쳐지는 플레이트 형상으로 되어 있다.

[0934] 광 반사체(213)로서는, 화소간 분리 영역(31)에 포함되는 절연재보다 광 반사율이 높은 금속 재료를 포함하는 것이 바람직하다. 또한, 광 반사체(213)로서는, 제2 반도체층인 섬상의 반도체부(204a 및 204b)보다 광 반사율이 높으며, 또한 광 흡수율이 작은 금속 재료를 포함하는 것이 바람직하다. 이러한 금속 재료로서는, 예를 들어 구리(Cu)나 알루미늄(Al) 등을 들 수 있다. Cu나 Al은, 산화실리콘이나 실리콘보다 광 반사율이 높고, 또한 광 흡수율이 작다. 이 제20 실시 형태에서는, 예를 들어 Cu를 포함하는 광 반사체(213)를 사용하고 있다.

[0935] 광 반사체(213)는, 도 83b에 도시하는 바와 같이, 반도체층(20)의 제2면 S2(광 입사면)로부터 입사해서 광전 변환 영역(21)의 제1 영역(21a)을 투과한 광(57T)을 제1 영역(21a)에 반사한다. 즉, 반도체층(20)의 제2면 S2로부터 입사해서 광전 변환 영역(21)의 제1 영역(21a)을 투과(통과)한 광(57U)은, 광 반사체(213)에서 반사해서 광전 변환 영역(21)의 제1 영역(21a)으로 돌아간다. 광전 변환 영역의 제1 영역(21a)에는, 광전 변환부(24)(PD)가 마련되어 있다.

[0936] <<고체 촬상 장치의 제조 방법>>

[0937] 이어서, 본 기술의 제20 실시 형태에 관한 고체 촬상 장치(1U)의 제조 방법에 대해서, 도 84a 내지 도 84j를 사용하여 설명한다.

[0938] 또한, 도 84a 내지 도 84j에서도, 도면을 보기 쉽게 하기 위해서, 단면을 나타내는 해칭을 일부 생략하고 있다.

[0939] 또한, 도 84a 내지 도 84j에서도, 전송 트랜지스터(TRG)의 게이트 전극(37)을 도시하고 있지만, 이 게이트 전극(37)은, 구성을 알기 쉽게 하기 위해서, 도 83a에 대해서 의도적으로 위치를 바꾸고 있다.

[0940] 이 제20 실시 형태에서는, 고체 촬상 장치(1U)의 제조 방법에 포함되는 광 반사체(213)의 제조에 특화해서 설명한다.

[0941] 먼저, 상술한 제1 실시 형태의 도 5를 참조하여 설명하면, 반도체층(20)에, 광전 변환 영역(21), 화소간 분리 영역(31), 화소내 분리 영역(32), 플로팅 디퓨전 영역(FD) 및 전송 트랜지스터(TRG)(도시하지 않음) 등을 형성한다.

[0942] 이어서, 도 84a에 도시하는 바와 같이, 반도체층(20)의 제1면 S1측에, 층간 절연막(41)과, 스톱퍼막(202)을 이 순으로 형성한다. 층간 절연막(41)으로서, 예를 들어 산화실리콘막을 사용한다. 스톱퍼막(202)으로서, 예

를 들어 투명성을 가지며, 또한 산화실리콘막을 에칭할 때 산화실리콘막에 대해서 선택성을 갖는 질화실리콘(SiN)막이나 산질화실리콘(SiON)막을 사용한다. 산화실리콘막, 질화실리콘막 및 산질화실리콘막은, 예를 들어 CVD법으로 성막할 수 있다.

[0943] 이어서, 도 84b에 도시하는 바와 같이, 스토퍼막(202)의 반도체층(20)측과는 반대측에, 절연막(203)과, 섬상의 반도체부(204a 및 204b)와, 절연막(206)을, 이 순으로 형성한다. 절연막(203)은, 예를 들어 산화실리콘막으로 형성한다. 섬상의 반도체부(204a 및 204b)는, 먼저, 예를 들어 p형의 단결정 실리콘 기판을 포함하는 반도체층의 소자 형성면과는 반대측에 절연막(203)이 마련된 반도체 기체를 준비하고, 그 후, 이 반도체 기체의 절연막(203)측을 스토퍼막(202)과 접합하고, 그 후, 반도체 기체의 반도체층의 두께를 예를 들어 CMP법으로 얇게 하고, 그 후, 이 반도체층을 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 패터닝함으로써 형성할 수 있다. 절연막(206)은, 절연막(203)의 반도체층(20)과는 반대측에, 섬상의 반도체부(204a 및 204b)를 덮도록 해서 형성한다.

[0944] 또한, 절연막(206)을 형성하기 전에, 섬상의 반도체부에 화소 트랜지스터(AMP, SEL, RST)를 형성한다. 도 84b에서는, 섬상의 반도체부(204a)에 게이트 전극(205a)을 갖는 증폭 트랜지스터(AMP)가 형성되고, 섬상의 반도체부(204b)에, 게이트 전극(205r)을 갖는 리셋 트랜지스터(RST)가 형성된 상태를 나타내고 있다.

[0945] 이어서, 도 84c에 도시하는 바와 같이, 절연막(206)의 상면으로부터 화소내 분리 영역(32)의 도전재(35)에 도달하는 콘택트 전극(207b₁)과, 절연막(206)의 상면으로부터 플로팅 디퓨전 영역(FD)에 도달하는 콘택트 전극(207f)과, 절연막(206)의 상면으로부터 전송 트랜지스터의 게이트 전극(37)에 도달하는 콘택트 전극(207t)과, 절연막(206)의 상면으로부터 증폭 트랜지스터(AMP)의 게이트 전극(205a)에 도달하는 콘택트 전극(207a)과, 절연막(206)의 상면으로부터 리셋 트랜지스터(RST)의 게이트 전극(205r)에 도달하는 콘택트 전극(207r)을 각각 형성한다.

[0946] 콘택트 전극(207b₁, 207f, 207t, 207a 및 207r)은, 절연막(206 및 203), 스토퍼막(202) 및 층간 절연막(41) 등을 포함하는 절연층에 각각의 콘택트 구멍을 형성하고, 그 후, 각각의 콘택트 구멍의 내벽에, 예를 들어 접속용으로서의 티타늄(Ti)막과, 배리어막으로서의 질화티타늄(TiN)막을 순차 형성하고, 그 후, 각각의 콘택트 구멍을 매립하도록 해서 예를 들어 도전재로서의 텅스텐(W)막을 형성한 후, 각각의 콘택트 구멍 내의 텅스텐막, 질화티타늄막 및 티타늄막이 선택적으로 남도록 절연층의 상면 상(절연막(206)의 상면 상)의 텅스텐막, 질화티타늄막 및 티타늄막을 예를 들어 CMP법으로 선택적으로 제거함으로써 형성할 수 있다.

[0947] 이어서, 도 84d에 도시하는 바와 같이, 절연막(208)과, 배선(209b₁, 209f, 209t, 209a 및 209r)을 포함하는 배선층(209)과, 캡막(210)을 형성한다.

[0948] 절연막(208)은, 절연막(206)의 반도체층(20)측과는 반대측에 형성된다. 절연막(208)으로서는, 예를 들어 산화실리콘막을 사용한다.

[0949] 배선(209b₁, 209f, 209t, 209a 및 209r)을 포함하는 배선층(209)은, 절연막(208)에 예를 들어 싱글 다마신법으로 형성한다. 배선층(209)의 재료로서는, 예를 들어 Cu를 사용한다.

[0950] 캡막(210)은, 절연막(208)의 절연막(206)측과는 반대측에, 배선층(209)을 덮도록 해서 형성한다. 캡막(210)으로서는, 예를 들어 SiN, SiCN, SiC 등의 막을 예를 들어 CVD법으로 성막함으로써 형성할 수 있다.

[0951] 이 공정에서, 화소내 분리 영역(32)의 도전재(35)가, 콘택트 전극(207b₁)을 통해서 배선(209b₁)과 전기적으로 접속된다. 또한, 광전 변환 영역(21)의 제2 영역(21b)에 마련된 플로팅 디퓨전 영역(FD)이, 콘택트 전극(207f)을 통해서 배선(209f)과 전기적으로 접속된다. 또한, 광전 변환 영역(21)의 제1 영역(21a)에 마련된 전송 트랜지스터(TRG)의 게이트 전극(37)이, 콘택트 전극(207t)을 통해서 배선(209t)과 전기적으로 접속된다. 또한, 섬상의 반도체부(204a)에 마련된 증폭 트랜지스터(AMP)의 게이트 전극(37)이, 콘택트 전극(207a)을 통해서 배선(209a)과 전기적으로 접속된다. 또한, 섬상의 반도체부(204b)에 마련된 리셋 트랜지스터(RST)의 게이트 전극(205r)이 콘택트 전극(207r)을 통해서 배선(209r)과 전기적으로 접속된다.

[0952] 이어서, 도 84e에 도시하는 바와 같이, 캡막(210)의 상면으로부터 반도체층(20)을 향해서 연신되며, 또한 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되는 개구부(211)를 형성한다. 개구부(211)는, 캡막(210)의 상면으로부터 스토퍼막(202)에 도달하는 깊이로 형성한다. 개구부(211)는, 후술하는 광 반사체(213)를 설치하기 위한 것으로, 이 개구부(211)의 개구 사이즈에 의해 광 반사체(213)의 평면 사이즈가 정해진다. 개구

부(211)는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 형성할 수 있다. 개구부(211)의 깊이는, 스토퍼막(202)에 의해 제어할 수 있다.

[0953] 이어서, 도 84f에 도시하는 바와 같이, 캡막(210)을 에칭 시의 약액 등으로부터 보호하기 위한 보호막(212)과, 도전재로서의 Cu막(213A)을 형성한다. 보호막(212)은, 투명성을 갖는 산화실리콘막을 ALD법이나 CVD법으로 퇴적해서 형성한다. 보호막(212)은, 캡막(210)의 상면 및 개구부(211)의 내벽(측벽 및 저벽)을 따르는 막 두께로 형성한다.

[0954] Cu막(213A)은, 예를 들어 개구부(211)의 내부의 저벽에서의 막 두께가 약 50nm 정도로 되도록 스퍼터법으로 형성한다. Cu막(213A)의 막 두께는, 광 반사율이 생기는 5nm 이상이 필요하고, 나아가 투과하기 어려운 50nm 이상이 바람직하다. 개구부(211)의 내부에서의 Cu막(213A)은, 오버행 형상으로 형성된다.

[0955] 또한, Cu막과 절연막간의 밀착성, Cu 확산 방지를 위해 배리어 메탈층으로서 티타늄(Ti), 탄탈(Ta) 및 각 질화막 및 질화막과의 적층막을 얇게 설치해도 된다. 막 두께는 광학적인 영향을 받기 어려운 5nm 정도가 바람직하다.

[0956] 이어서, 도 84g에 도시하는 바와 같이, 개구부(211)를 매립하도록 해서 Cu막(213A) 상의 전체면에, 유동성이 높은 수지막(214)을 스핀 코트 도포법으로 형성한다. 수지막(214)으로서, 예를 들어 노블락 수지계 재료를 사용할 수 있다. 이 수지막(214)은, 애스펙트비가 큰 개구부(211)의 매립에 적합하다. 수지막(214)은, 이 후의 공정에서 여분의 Cu막(213A)을 선택적으로 제거하기 위한 것이다.

[0957] 이어서, IRE(Reactive Ion Etching) 등의 이방성 건식 에칭을 사용하여, 보호막(212) 상의 평탄부의 수지막(214)을 제거하고, 그 후, 질산 등의 약액으로 보호막(212) 상의 평탄부의 Cu막(213A)을 제거한다. 이 공정에 의해, 도 84h에 도시하는 바와 같이, 개구부(211)의 내부 저벽에 수지막(214)으로 보호된 상태에서 Cu막(213A)이 선택적으로 잔존한다.

[0958] 이어서, 도 84i에 도시하는 바와 같이, 개구부(211) 내의 여분의 수지막(214)을 RIE와 약액으로 제거한다. 이 공정에 의해, 개구부(211)의 저벽에 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되고, 또한 Cu막(213A)을 포함하는 광 반사체(213)가 형성된다.

[0959] 이어서, 도 84j에 도시하는 바와 같이, 개구부(211) 내를 절연막(215)으로 매립한다. 절연막(215)으로서, 예를 들어 CVD법이나, 기판에 고주파를 인가하는 바이어스 CVD법 등으로 성막하는 산화실리콘막을 사용할 수 있다. 이 공정에 의해, 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되는 광 반사체(213)와, 제2 반도체층인 섬상의 반도체부(204a 및 204b)를 포함하는 다층체(200)가 반도체층(20)의 제1면 S1측에 형성된다.

[0960] 이 후, 웨이퍼 공정인 배선층을 또한 형성해 나간다.

[0961] <<제20 실시 형태의 주된 효과>>

[0962] 이어서, 이 제20 실시 형태의 주된 효과에 대해서 설명한다.

[0963] 이 제20 실시 형태에 관한 고체 촬상 장치(1U)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31)과, 화소내 분리영역(32)을 구비하고 있다. 따라서, 이 제20 실시 형태에 관한 고체 촬상 장치(1U)에서도, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소 특성으로서의 양자 효율 QE의 향상이나 높은 혼색 억제(MTF)를 도모할 수 있음과 함께, 화소 특성으로서의 전송 특성의 향상을 도모할 수 있다.

[0964] 또한, 이 제20 실시 형태에 관한 고체 촬상 장치(1U)는, 반도체층(20)의 제2면 S2의 외측에 마련되고, 또한 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 차광막(54)을 구비하고 있다. 따라서, 상술한 제1 실시 형태의 고체 촬상 장치(1A)와 마찬가지로, 광전 변환 영역(21)의 제2 영역(21b)에서의 반도체층(20)의 제2면 S2측(광 입사면측)으로부터 제2 영역(21b)에 침입하는 광을 제1 차광 부분(82a)에서 차광하여, 플로팅 디퓨전 영역(FD)에의 광의 도달을 억제할 수 있어, 기생 광 감도 특성(PLS)을 개선할 수 있다.

[0965] 또한, 이 제20 실시 형태에 관한 고체 촬상 장치(1U)는, 반도체층(20)의 제1면 S1측에 마련된 다층체(200)를 구비하고 있다. 그리고 다층체(200)는, 광전 변환 영역(21)의 제1 영역(21a)과 중첩되어 마련된 광 반사체(213)를 포함하고 있다. 이 때문에, 반도체층(20)의 제2면 S2로부터 입사해서 광전 변환 영역(21)의 제1 영역(21a)을 투과(통과)한 광(57U)은, 광 반사체(213)에서 반사해서 광전 변환 영역의 제1 영역(21a)으로 돌아간다. 따라서, 이 제20 실시 형태에 관한 고체 촬상 장치(1U)에 의하면, 광의 이용 효율의 향상을 도모할 수 있다.

- [0966] 또한, 상술한 제20 실시 형태에서는, 광 반사체(213)의 도전재로서 Cu막(213A)을 사용한 제조 프로세스에 대해서 설명하였지만, 광 반사체(213)의 도전재로서 Al막을 사용하는 경우에도 마찬가지로의 제조 프로세스를 적용할 수 있다.
- [0967] [제21 실시 형태]
- [0968] 이 제21 실시 형태에서는, 2개의 반도체층을 적층한 2단 구조의 고체 촬상 장치에 본 기술의 광 흡수체를 적용한 일례에 대해서 설명한다.
- [0969] 도 85는, 본 기술의 제21 실시 형태에 관한 고체 촬상 장치의 종단면 구조를 모식적으로 도시하는 종단면도이다.
- [0970] 도 86은, 도 85의 광 흡수체의 평면 패턴을 모식적으로 도시하는 평면도이다.
- [0971] 도 85에서는, 도면을 보기 쉽게 하기 위해서, 단면을 나타내는 해칭을 일부 생략하고 있다.
- [0972] 또한, 도 85에서는, 도 5 및 도 6에 나타내는 회절 확산부(51), 고정 전하막(52), 컬러 필터(55) 및 마이크로렌즈(56) 등의 도시를 생략하고 있다.
- [0973] 이 제21 실시 형태에서는, 반도체층(20)이 본 기술의 「제1 반도체층」의 일 구체예에 상당하고, 섬상의 반도체부(204a 및 204b)가 본 기술의 「제2 반도체층」의 일 구체예에 상당한다.
- [0974] <<고체 촬상 장치의 구성>>
- [0975] 도 85에 도시하는 바와 같이, 본 기술의 제21 실시 형태에 관한 고체 촬상 장치(1V)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.
- [0976] 즉, 도 5에 도시한 바와 같이, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)는, 반도체층(20)의 제1면측에 다층 배선층(40)을 구비하고 있다. 그리고 도 3의 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST)가 반도체층(20)의 광전 변환 영역(21)에 마련되어 있다.
- [0977] 이에 반해, 도 85에 도시하는 바와 같이, 본 기술의 제21 실시 형태에 관한 고체 촬상 장치(1V)는, 제1 반도체층으로서의 반도체층(20)의 제1면 S1측에, 층간 절연막(41)을 개재해서 마련된 다층체(적층체)(220)를 구비하고 있다. 그리고 도 3에 나타내는 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST)가 다층체(220)에 마련되어 있다.
- [0978] 도 85에 도시하는 바와 같이, 다층체(220)는, 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되어 마련된 광 흡수체(228)와, 이 광 흡수체(228)의 반도체층(20)측과는 반대측에 마련된 제2 반도체층으로서의 섬상의 반도체부(204a 및 204b)를 구비하고 있다. 즉, 이 제21 실시 형태에 관한 고체 촬상 장치(1V)는, 제1 반도체층인 반도체층(20)과, 제2 반도체층인 섬상의 반도체층(204a 및 204b)을 적층한 2단 구조로 되어 있다.
- [0979] 또한, 다층체(220)는, 층간 절연막(41)의 반도체층(20)측과는 반대측에 마련된 절연막(222)과, 이 절연막(222)의 층간 절연막(41)과는 반대측에 마련된 절연막(223)과, 이 절연막(223)의 절연막(222)측과는 반대측에 마련된 배선층(229)을 더 구비하고 있다.
- [0980] 층간 절연막(41)은, 상세하게 도시하고 있지 않지만, 상술한 제20 실시 형태와 마찬가지로, 광전 변환 영역(21)에 마련된 전송 트랜지스터(TRG)의 게이트 전극(37)(도 4 참조)을 덮도록 해서 반도체층(20)의 제1면 S1측에 마련되어 있다.
- [0981] 섬상의 반도체부(204a 및 204b)는, 절연막(222)의 층간 절연막(41)측과는 반대측에 마련되고, 절연막(223)으로 덮여 있다. 섬상의 반도체부(204a 및 204b) 각각은, 상술한 제20 실시 형태와 마찬가지로, 동일한 반도체층으로 형성되어 있다. 반도체층으로서, Si 기판, SiGe 기판, InGaAs 기판 등을 사용할 수 있다. 이 제21 실시 형태에서는, 상술한 제20 실시 형태와 마찬가지로, 예를 들어 단결정 실리콘을 포함하는 p형 반도체 기판을 사용하고 있다.
- [0982] 섬상의 반도체부(204a)에는, 상술한 제20 실시 형태와 마찬가지로, 판독 회로(15)에 포함되는 화소 트랜지스터로서 예를 들어 증폭 트랜지스터(AMP)가 마련되어 있다. 그리고 섬상의 반도체부(204b)에는, 판독 회로(15)에 포함되는 화소 트랜지스터로서 예를 들어 리셋 트랜지스터(RST)가 마련되어 있다. 도시하고 있지 않지만, 판독 회로(15)에 포함되는 화소 트랜지스터로서의 선택 트랜지스터는, 증폭 트랜지스터(AMP)와 직렬 접속으로 섬상의 반도체부(204a)에 형성해도 되고, 혹은 다른 섬상의 반도체부에 마련해도 된다.

- [0983] 배선층(229)에는, 다양한 배선이 형성되어 있다. 도 85에서는, 배선(229b₁, 229f 및 229r)을 도시하고 있다.
- [0984] 도 85에 도시하는 바와 같이, 배선(229b₁)은, 절연막(223), 절연막(222) 및 층간 절연막(41)을 관통해서 화소내 분리 영역(32)의 도전재(35)에 도달하는 콘택트 전극(관통 플러그)(227b₁)과 전기적으로 접속되고, 또한, 이 콘택트 전극(227b₁)을 통해서 화소내 분리 영역(32)의 도전재(35)와 전기적으로 접속되어 있다. 그리고 이 배선(229b₁)에는, 상술한 제20 실시 형태와 마찬가지로, 전원 전위로서, p형 웰 영역(22)에 인가되는 제1 기준 전위보다 높은 정전위의 제2 기준 전위가 인가된다. 즉, 화소내 분리 영역(32)의 도전재(35)는, 배선(96b₁)에 인가된 제2 기준 전위가 콘택트 전극(95b₁)을 통해서 공급되어, 이 제2 기준 전위로 전위 고정된다.
- [0985] 도 85에 도시하는 바와 같이, 배선(229f)은, 절연막(223), 절연막(222) 및 층간 절연막(41)을 관통해서 광전 변환 영역(21)의 제2 영역(21b)의 플로팅 디퓨전 영역(FD)에 도달하는 콘택트 전극(관통 플러그)(227f)과 전기적으로 접속되고, 또한, 이 콘택트 전극(227f)을 통해서 플로팅 디퓨전 영역(FD)과 전기적으로 접속되어 있다. 또한, 배선(229f)은, 절연막(223)에 매립된 콘택트 전극(매립 플러그)(227a)을 통해서, 증폭 트랜지스터(AMP)의 게이트 전극(205a)과 전기적으로 접속되어 있다. 즉, 플로팅 디퓨전 영역(FD)은, 판독 회로(15)의 입력단측(증폭 트랜지스터(AMP)의 게이트 전극(205a) 및 리셋 트랜지스터(RST)의 소스 영역)과 전기적으로 접속되어 있다.
- [0986] 배선(229r)은, 절연막(203)에 매립된 콘택트 전극(227r)을 통해서, 리셋 트랜지스터(RST)의 게이트 전극(205r)과 전기적으로 접속되어 있다.
- [0987] 도 85에 도시하는 바와 같이, 광 흡수체(228)는, 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되어 층간 절연막(41)의 반도체층(20)측과는 반대측에 마련되고, 또한 상층의 절연막(222)으로 덮여 있다. 그리고 광 흡수체(228)는, 반도체층(20)의 두께 방향(Z 방향)에 있어서, 섬상의 반도체부(204a 및 204b)보다 반도체층(20)측에 위치하고, 또한 반도체층(20)측보다 섬상의 반도체부(204a 및 204b)측에 위치하고 있다. 또한, 광 흡수체(228)는, 제1 반도체층인 반도체층(20)과, 제2 반도체층인 섬상의 반도체부(204a 및 204b)의 사이에 마련되어 있다. 즉, 광 흡수체(228)는, 층상적(레이어적)으로는, 반도체층(20)과, 섬상의 반도체부(204a 및 204b)의 사이의 층에 마련되어 있다. 그리고 도 86에 도시하는 바와 같이, 광 반사체(213)는, 2차원상으로 펼쳐지는 플레이트 형상으로 되어 있다. 이 제21 실시 형태에서, 광 흡수체(228)는, 평면으로 보아 화소간 분리 영역 및 화소내 분리 영역과도 중첩되어 있다.
- [0988] 광 흡수체(228)로서는, 반도체층(20)이나 제2 반도체층으로서의 섬상의 반도체부(204a 및 204b)보다 광 흡수율이 높은 금속 재료를 포함하는 것이 바람직하다. 구체적으로는, 광 흡수체(228)로서는, Si, SiGe, InGaAa 등의 반도체 재료보다 광 흡수율이 높은 금속 재료를 포함하는 것이 바람직하다. 이러한 금속 재료로서는, 예를 들어 텅스텐(W)이 유효하다. 이 제21 실시 형태에서는, 예를 들어 텅스텐을 포함하는 광 흡수체(228)를 사용하고 있다.
- [0989] 광 흡수체(228)는, 도 85에 도시하는 바와 같이, 반도체층(20)의 제2면 S2(광 입사면)로부터 입사하여, 광전 변환 영역(21)의 제1 영역(21a)을 투과해서 자신의 광 흡수체(228)에 닿은 광(57V)을 흡수한다. 즉, 반도체층(20)의 제2면 S2(광 입사면)로부터 입사하여, 광전 변환 영역(21)의 제1 영역(21a)을 투과해서 광 흡수체(228)에 닿은 광(57V)은, 광 흡수체(228)에 흡수된다.
- [0990] <고체 촬상 장치의 제조 방법>
- [0991] 이어서, 본 기술의 제21 실시 형태에 관한 고체 촬상 장치(1V)의 제조 방법에 대해서, 도 87a 내지 도 87j를 사용하여 설명한다.
- [0992] 또한, 도 87a 내지 도 87i에서도, 도면을 보기 쉽게 하기 위해서, 단면을 나타내는 해칭을 일부 생략하고 있다.
- [0993] 이 제21 실시 형태에서는, 고체 촬상 장치(1V)의 제조 방법에 포함되는 광 흡수체(228)의 제조에 특화해서 설명한다.
- [0994] 먼저, 상술한 제20 실시 형태와 마찬가지로, 반도체층(20)에, 광전 변환 영역(21), 화소간 분리 영역(31), 화소내 분리 영역(32), 플로팅 디퓨전 영역(FD) 및 전송 트랜지스터(TRG)(도시하지 않음) 등을 형성한다.
- [0995] 이어서, 도 87a에 도시하는 바와 같이, 반도체층(20)의 제1면 S1측에, 층간 절연막(41)과, 희생막(221)을 이 순으로 형성한다. 층간 절연막(41)으로서는, 예를 들어 산화실리콘막을 사용한다. 희생막(221)으로서는, 예를 들어 산화실리콘막에 대해서 선택성을 갖는 질화실리콘막을 사용한다. 층간 절연막(41)은, 도 87a에는 도시하

고 있지 않지만, 도 86을 참조하여 설명하면, 광전 변환 영역(21)에 형성된 전송 트랜지스터(TRG)의 게이트 전극(37)을 덮도록 해서 형성한다. 희생막(221)은, 이 희생막(221)을 선택적으로 제거함으로써 공동부를 형성하기 위한 것이다.

- [0996] 이어서, 도 87b에 도시하는 바와 같이, 희생막(221)을 패터닝하여, 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되는 제1 패터닝부(221a)와, 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 제2 패터닝부(221f)를 형성한다. 이 희생막(221)의 패터닝은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 행한다.
- [0997] 이어서, 도 87b에 도시하는 바와 같이, 층간 절연막(41)의 반도체층(20)측과는 반대측에, 제1 패터닝부(221a)와 제2 패터닝부(221f)의 사이를 매립하고, 또한 제1 패터닝부(221a) 및 제2 패터닝부(221f)를 덮는 절연막(222)을 형성한다. 절연막(222)으로서는, CVD법이나, 기판에 고주파를 인가하는 바이어스 CVD법 등으로 성막하는 산화실리콘막을 사용할 수 있다.
- [0998] 이어서, 도 87c에 도시하는 바와 같이, 절연막(222)의 반도체층(20)측과는 반대측에, 제2 반도체층으로서의 섬상의 반도체부(204a 및 204b)를 형성하고, 그 후, 섬상의 반도체부(204a)에 증폭 트랜지스터(AMP), 섬상의 반도체부(204b)에 리셋 트랜지스터(RST)를 각각 형성한다. 섬상의 반도체부(204a 및 204b)는, 상술한 제20 실시 형태와 마찬가지로 방법으로 형성한다. 또한, 여기서는, 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST) 중 증폭 트랜지스터(AMP)와 리셋 트랜지스터(RST)에 대해서 설명하지만, 선택 트랜지스터(SEL)도, 섬상의 반도체부(204a 및 204b) 중 어느 한쪽, 혹은 다른 섬상의 반도체부에 형성된다.
- [0999] 이어서, 도 87d에 도시하는 바와 같이, 절연막(222)의 반도체층(20)측과는 반대측에, 섬상의 반도체부(204a 및 204b) 등을 덮도록 해서 절연막(223)을 형성한다. 절연막(223)으로서는, 예를 들어 CVD법으로 성막하는 산화실리콘막을 사용한다.
- [1000] 이어서, 도 87d에 도시하는 바와 같이, 절연막(223)의 상면으로부터 제1 패터닝부(221a)에 도달하며, 또한 평면으로 보아 화소내 분리 영역(32)과 중첩되는 콘택트 구멍(224b₁)과, 절연막(223)의 상면으로부터 제2 패터닝부(221f)에 도달하며, 또한 평면으로 보아 플로팅 디퓨전 영역(FD)과 중첩되는 콘택트 구멍(224f)과, 절연막(223)의 상면으로부터 증폭 트랜지스터(AMP)의 게이트 전극(205a)에 도달하는 콘택트 구멍(224a)과, 절연막(223)의 상면으로부터 리셋 트랜지스터(RST)의 게이트 전극(205r)에 도달하는 콘택트 구멍(224r)을 각각 형성한다. 이들 콘택트 구멍(224b₁, 224f, 224a 및 224r)은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 형성할 수 있다.
- [1001] 이어서, 도 87e에 도시하는 바와 같이, 콘택트 구멍(224b₁)을 통해서 제1 패터닝부(221a) 및 층간 절연막(41)을 순차 에칭해서 콘택트 구멍(224b₁)을 화소내 분리 영역(32)의 도전재(35)에 도달시킴과 함께, 콘택트 구멍(224f)을 통해서 제2 패터닝부(221f) 및 층간 절연막(41)을 순차 에칭해서 콘택트 구멍(224f)을 광전 변환 영역(21)의 제2 영역(21b)의 플로팅 디퓨전 영역(FD)에 도달시킨다.
- [1002] 이어서, 도 87f에 도시하는 바와 같이, 제1 패터닝부(221a)를 선택적으로 제거해서 제1 공동부(225a)를 형성함과 함께, 제2 패터닝부(221f)를 선택적으로 제거해서 제2 공동부(225f)를 형성한다. 제1 및 제2 패터닝부(221a, 221f) 각각은, 콘택트 구멍(224b₁ 및 224f) 각각을 통해서 제1 및 제2 패터닝부(221a, 221f) 각각에 인산 약액을 공급함으로써 선택적으로 제거할 수 있다.
- [1003] 이어서, 절연막(223)의 상면 상(절연막(222)측과는 반대측), 콘택트 구멍(224b₁, 224f, 224a 및 224r) 각각의 내벽, 그리고 제1 및 제2 공동부(225a, 225f) 각각의 내벽에, 예를 들어 접속용으로서의 티타늄(Ti)막과, 배리어막으로서의 질화티타늄(TiN)막을 순차 형성한다. Ti막 및 TiN막은, 스퍼터법이나 CVD법으로 형성할 수 있다.
- [1004] 이어서, 도 87g에 도시하는 바와 같이, 제1 및 제2 공동부(225a, 225f) 그리고 콘택트 구멍(224b₁, 224f, 224a 및 224r) 각각을 매립하도록 하여, 예를 들어 도전재로서의 텅스텐(W)막(226)을 형성한다. W막(226)은, 스퍼터법이나 CVD법으로 형성할 수 있다.
- [1005] 이어서, 도 87h에 도시하는 바와 같이, 절연막(223)의 상면 상의 W막(226), TiN막 및 Ti막을 예를 들어 CMP법으로 선택적으로 제거한다.
- [1006] 이 공정에 의해, 제1 공동부(225a)에서, Ti막, TiN막 및 W막(226)을 포함하며, 또한 화소내 분리 영역(32)의 도

전재(35)와 전기적으로 접속되고, 또한 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩됨과 함께, 광전 변환 영역(21)의 제1 영역(21a)과 섬상의 반도체부(204a 및 204b)의 사이에 위치하는 광 흡수체(228)를 형성할 수 있다.

[1007] 또한, 콘택트 구멍(224f) 및 제2 공동부(225f)에서, Ti막, TiN막 및 W막(226)을 포함하며, 또한 광전 변환 영역(21)의 제2 영역(21b)의 플로팅 디퓨전 영역(FD)과 전기적으로 접속된 콘택트 전극(227b₁)을 형성할 수 있다.

[1008] 또한, 콘택트 구멍(224a)에 있어서, Ti막, TiN막 및 W막(226)을 포함하며, 또한 증폭 트랜지스터(AMP)의 게이트 전극(205a)과 전기적으로 접속된 콘택트 전극(227a)을 형성할 수 있다.

[1009] 또한, 콘택트 구멍(224r)에 있어서, Ti막, TiN막 및 W막(226)을 포함하며, 또한 리셋 트랜지스터(RST)의 게이트 전극(205r)과 전기적으로 접속된 콘택트 전극(227r)을 형성할 수 있다.

[1010] 이어서, 도 87i에 도시하는 바와 같이, 배선(229b₁), 배선(229f), 배선(229a) 및 배선(229r)을 포함하는 배선층(229)을 절연막(223)의 반도체층(20)측과는 반대측에 형성한다.

[1011] 이 후, 웨이퍼 공정인 배선층을 또한 형성해 나간다.

[1012] <<제21 실시 형태의 주된 효과>>

[1013] 이 제21 실시 형태에 관한 고체 촬상 장치(1V)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31)과, 화소내 분리 영역(32)과, 차광막(54)을 구비하고 있다. 따라서, 이 제21 실시 형태에 관한 고체 촬상 장치(1V)에서도, 상술한 제1 실시 형태의 고체 촬상 장치(1A)와 마찬가지로의 효과가 얻어진다.

[1014] 또한, 이 제21 실시 형태에 관한 고체 촬상 장치(1V)는, 반도체층(20)의 제1면 S1측에 마련된 다층체(220)를 구비하고 있다. 그리고 다층체(220)는, 광전 변환 영역(21)의 제1 영역(21a)과 중첩되어 마련되고, 또한 반도체층(20)보다 광 흡수율이 높은 광 흡수체(228)를 구비하고 있다. 이 때문에, 반도체층(20)의 제2면 S2(광 입사면)로부터 입사해서 광전 변환 영역(21)의 제1 영역(21a)을 투과한 광(57V)을 광 흡수체(228)에서 흡수할 수 있어, 섬상의 반도체부(204a 및 204b)를 포함하는 제2 반도체층에의 광의 입사를 억제할 수 있다. 이에 의해, 산란이나 미광을 억제할 수 있다.

[1015] 또한, 이 제21 실시 형태의 제조 방법에 의하면, 광전 변환 영역(21)의 제1 영역(21a)과 섬상의 반도체부(204a 및 204b)의 사이에 광 흡수체(228)를 형성할 수 있기 때문에, 섬상의 반도체부(204a 및 204b)의 설치 면적을 넓게 취할 수 있다.

[1016] [제22 실시 형태]

[1017] 이 제22 실시 형태에서는, 2개의 반도체층을 적층한 2단 구조의 고체 촬상 장치에 본 기술의 광 반사체를 적용한 일례에 대해서 설명한다.

[1018] 도 88은, 본 기술의 제22 실시 형태에 관한 고체 촬상 장치의 종단면 구조를 모식적으로 도시하는 종단면도이다.

[1019] 도 89는, 도 88의 광 반사체의 평면 패턴을 모식적으로 도시하는 평면도이다.

[1020] 도 88에서는, 도면을 보기 쉽게 하기 위해서, 단면을 나타내는 해칭을 일부 생략하고 있다.

[1021] 또한, 도 88에서는, 도 5 및 도 6에 나타내는 회절 확산부(51), 고정 전하막(52), 컬러 필터(55) 및 마이크로렌즈(56) 등의 도시를 생략하고 있다.

[1022] 이 제22 실시 형태에서는, 반도체층(20)이 본 기술의 「제1 반도체층」의 일 구체예에 상당하고, 섬상의 반도체부(204a 및 204b)가 본 기술의 「제2 반도체층」의 일 구체예에 상당한다.

[1023] <<고체 촬상 장치의 구성>>

[1024] 도 88에 도시하는 바와 같이, 본 기술의 제22 실시 형태에 관한 고체 촬상 장치(1W)는, 기본적으로 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로의 구성으로 되어 있고, 이하의 구성이 다르게 되어 있다.

[1025] 즉, 도 5에 도시한 바와 같이, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)는, 반도체층(20)의 제1면측에 다층 배선층(40)을 구비하고 있다. 그리고 도 3의 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST)

가 반도체층(20)의 광전 변환 영역(21)에 마련되어 있다.

- [1026] 이에 반해, 도 88에 도시하는 바와 같이, 본 기술의 제22 실시 형태에 관한 고체 촬상 장치(1W)는, 제1 반도체층으로서의 반도체층(20)의 제1면 S1측에, 층간 절연막(41)을 개재해서 마련된 다층체(적층체)(230)를 구비하고 있다. 그리고 도 3에 나타내는 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST)가 다층체(230)에 마련되어 있다.
- [1027] 도 88에 도시하는 바와 같이, 다층체(220)는, 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되어 마련된 광 반사체(239)와, 이 광 반사체(239)의 반도체층(20)측과는 반대측에 마련된 제2 반도체층으로서의 섬상의 반도체부(204a 및 204b)를 구비하고 있다. 즉, 이 제22 실시 형태에 관한 고체 촬상 장치(1W)는, 제1 반도체층인 반도체층(20)과, 제2 반도체층인 섬상의 반도체층(204a 및 204b)을 적층한 2단 구조로 되어 있다.
- [1028] 또한, 다층체(230)는, 층간 절연막(41)의 반도체층(20)측과는 반대측에 마련된 절연막(232)과, 이 절연막(232)의 층간 절연막(41)과는 반대측에 마련된 절연막(234)과, 이 절연막(234)의 절연막(232)측과는 반대측에 마련된 절연막(236)을 더 구비하고 있다.
- [1029] 층간 절연막(41)은, 상세하게 도시하고 있지 않지만, 상술한 제20 실시 형태와 마찬가지로, 광전 변환 영역(21)에 마련된 전송 트랜지스터(TRG)의 게이트 전극(37)(도 4 참조)을 덮도록 해서 반도체층(20)의 제1면 S1측에 마련되어 있다.
- [1030] 섬상의 반도체부(204a 및 204b)는, 절연막(232)의 층간 절연막(41)측과는 반대측에 마련되고, 절연막(234)으로 덮여 있다. 섬상의 반도체부(204a 및 204b) 각각은, 상술한 제20 실시 형태와 마찬가지로, 동일층으로 형성되어 있다. 반도체층(20)으로서, Si 기판, SiGe 기판, InGaAs 기판 등을 사용할 수 있다. 이 제22 실시 형태에서는, 상술한 제20 실시 형태와 마찬가지로, 예를 들어 단결정 실리콘을 포함하는 p형 반도체 기판을 사용하고 있다.
- [1031] 섬상의 반도체부(204a)에는, 상술한 제20 실시 형태와 마찬가지로, 판독 회로(15)에 포함되는 화소 트랜지스터로서 예를 들어 증폭 트랜지스터(AMP)가 마련되어 있다. 그리고 섬상의 반도체부(204b)에는, 판독 회로(15)에 포함되는 화소 트랜지스터로서 예를 들어 리셋 트랜지스터(RST)가 마련되어 있다. 도시하고 있지 않지만, 판독 회로(15)에 포함되는 화소 트랜지스터로서의 선택 트랜지스터는, 증폭 트랜지스터(AMP)와 직렬 접속으로 섬상의 반도체부(204a)에 형성해도 되고, 혹은 다른 섬상의 반도체부에 마련해도 된다.
- [1032] 도 88에 도시하는 바와 같이, 광전 변환 영역(21)의 화소내 분리 영역(32)의 도전재(35)에는, 절연막(234)의 상면으로부터 도전재(35)에 도달하는 콘택트 전극(235b₁)이 전기적으로 접속되어 있다. 이 콘택트 전극(235b₁)에는, 상술한 제1 실시 형태와 마찬가지로, 전원 전위로서, p형 웰 영역(22)에 인가되는 제1 기준 전위보다 높은 정전위의 제2 기준 전위가 인가된다. 즉, 화소내 분리 영역(32)의 도전재(35)는, 콘택트 전극(235b₁)에 인가된 제2 기준 전위가 공급되어, 이 제2 기준 전위로 전위 고정된다.
- [1033] 광전 변환 영역(21)의 제2 영역(21b)의 플로팅 디퓨전 영역(FD)에는, 절연막(234)의 상면으로부터 플로팅 디퓨전 영역(FD)에 도달하는 콘택트 전극(235f)이 전기적으로 접속되어 있다. 이 콘택트 전극(235f)은, 도 88에 도시하고 있지 않지만, 증폭 트랜지스터(AMP)의 게이트 전극(205a)과 전기적으로 접속되어 있다. 즉, 플로팅 디퓨전 영역(FD)은, 판독 회로(15)의 입력단측(증폭 트랜지스터(AMP)의 게이트 전극(205a) 및 리셋 트랜지스터(RST)의 소스 영역)과 전기적으로 접속되어 있다.
- [1034] 증폭 트랜지스터(AMP)의 게이트 전극(205a)에는, 절연막(234)의 상면으로부터 게이트 전극(205a)에 도달하는 콘택트 전극(235a)이 전기적으로 접속되어 있다.
- [1035] 리셋 트랜지스터(RST)의 게이트 전극에는, 절연막(234)의 상면으로부터 플로팅 디퓨전 영역(FD)에 도달하는 콘택트 전극(235r)이 전기적으로 접속되어 있다.
- [1036] 도 88에 도시하는 바와 같이, 광 반사체(239)는, 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩되어 층간 절연막(41)의 반도체층(20)측과는 반대측에 마련되고, 또한 상층의 절연막(232)으로 덮여 있다. 그리고 광 반사체(239)는, 반도체층(20)의 두께 방향(Z 방향)에 있어서, 섬상의 반도체부(204a 및 204b)보다 반도체층(20)측에 위치하고, 또한 반도체층(20)측보다 섬상의 반도체부(204a 및 204b)측에 위치하고 있다. 또한, 광 반사체(239)는, 제1 반도체층인 반도체층(20)과, 제2 반도체층인 섬상의 반도체부(204a 및 204b)의 사이에 마련되어 있다. 즉, 광 반사체(239)는, 층상적(레이어적)으로는, 반도체층(20)과, 섬상의 반도체부(204a 및 204b)의 사이의 층에 마련되어 있다. 그리고 도 89에 도시하는 바와 같이, 광 반사체(239)는, 2차원상으로 펼쳐지는

플레이트 형상으로 되어 있다.

- [1037] 도 88에 도시하는 바와 같이, 광 반사체(239)는, 절연막(236)의 상면으로부터 반도체층(20)을 향해서 연신되는 러너 금속체(239a)와 일체로 형성되어 있다.
- [1038] 광 반사체(239)로서는, 화소간 분리 영역(31)에 포함되는 절연체보다 광 반사율이 높은 금속 재료를 포함하는 것이 바람직하다. 또한, 광 반사체(213)로서는, 제2 반도체층인 섬상의 반도체부(204a 및 204b)보다 광 반사율이 높으며, 또한 광 흡수율이 작은 금속 재료를 포함하는 것이 바람직하다. 이러한 금속 재료로서는, 예를 들어 구리(Cu)나 알루미늄(Al) 등을 들 수 있다. Cu나 Al은, 산화실리콘이나 실리콘보다 광 반사율이 높고, 또한 광 흡수율이 작다. 이 제22 실시 형태에서는, 예를 들어 Al을 포함하는 광 반사체(239)를 사용하고 있다.
- [1039] 광 반사체(239)는, 도 88에 도시하는 바와 같이, 반도체층(20)의 제2면 S2(광 입사면)로부터 입사해서 광전 변환 영역(21)의 제1 영역(21a)을 투과한 광(57W)을 제1 영역(21a)에 반사한다. 즉, 반도체층(20)의 제2면 S2로부터 입사해서 광전 변환 영역(21)의 제1 영역(21a)을 투과(통과)한 광(57W)은, 광 반사체(239)에서 반사해서 광전 변환 영역(21)의 제1 영역(21a)으로 돌아간다. 광전 변환 영역의 제1 영역(21a)에는, 광전 변환부(24)(PD)가 마련되어 있다.
- [1040] <<고체 촬상 장치의 제조 방법>>
- [1041] 이어서, 본 기술의 제22 실시 형태에 관한 고체 촬상 장치(1W)의 제조 방법에 대해서, 도 90a 내지 도 90h를 사용하여 설명한다.
- [1042] 또한, 도 90a 내지 도 90h에서도, 도면을 보기 쉽게 하기 위해서, 단면을 나타내는 해칭을 일부 생략하고 있다.
- [1043] 이 제22 실시 형태에서는, 고체 촬상 장치(1W)의 제조 방법에 포함되는 광 반사체(239)의 제조에 특화해서 설명한다.
- [1044] 먼저, 상술한 제20 실시 형태와 마찬가지로, 반도체층(20)에, 광전 변환 영역(21), 화소간 분리 영역(31), 화소내 분리 영역(32), 플로팅 디퓨전 영역(FD) 및 전송 트랜지스터(TRG)(도시하지 않음) 등을 형성한다.
- [1045] 이어서, 도 90a에 도시하는 바와 같이, 반도체층(20)의 제1면 S1측에, 층간 절연막(41)과, 희생막(231)을 이 순으로 형성한다. 층간 절연막(41)으로서, 예를 들어 산화실리콘막을 사용한다. 희생막(231)으로서, 예를 들어 산화실리콘막에 대해서 선택성을 갖는 질화실리콘막을 사용한다. 층간 절연막(41)은, 도 90a에는 도시하고 있지 않지만, 도 89를 참조하여 설명하면, 광전 변환 영역(21)에 형성된 전송 트랜지스터(TRG)의 게이트 전극(37)을 덮도록 해서 형성한다. 희생막(231)은, 이 희생막(221)을 선택적으로 제거함으로써 공동부를 형성하기 위한 것이다.
- [1046] 이어서, 도 90b에 도시하는 바와 같이, 희생막(231)을 패터닝하여, 평면으로 보아 광전 변환 영역(21)의 제2 영역(21b)과 중첩되는 개구부(231a)를 형성한다. 이 희생막(221)의 패터닝은, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 행한다.
- [1047] 이어서, 도 90b에 도시하는 바와 같이, 층간 절연막(41)의 반도체층(20)측과는 반대측에, 개구부(231a)를 매립하고, 또한 희생막(231)을 덮는 절연막(232)을 형성한다. 절연막(232)으로서, CVD법이나, 기판에 고주파를 인가하는 바이어스 CVD법 등으로 성막하는 산화실리콘막을 사용할 수 있다.
- [1048] 이어서, 도 90c에 도시하는 바와 같이, 절연막(232)의 반도체층(20)측과는 반대측에, 제2 반도체층으로서의 섬상의 반도체부(204a 및 204b)를 형성하고, 그 후, 섬상의 반도체부(204a)에 증폭 트랜지스터(AMP), 섬상의 반도체부(204b)에 리셋 트랜지스터(RST)를 각각 형성한다. 섬상의 반도체부(204a 및 204b)는, 상술한 제20 실시 형태와 마찬가지로의 방법으로 형성한다. 또한, 여기서는, 판독 회로(15)에 포함되는 화소 트랜지스터(AMP, SEL, RST) 중 증폭 트랜지스터(AMP)와 리셋 트랜지스터(RST)에 대해서 설명하지만, 선택 트랜지스터(SEL)도, 섬상의 반도체부(204a 및 204b) 중 어느 한쪽, 혹은 다른 섬상의 반도체부에 형성된다.
- [1049] 이어서, 도 87d에 도시하는 바와 같이, 절연막(222)의 반도체층(20)측과는 반대측에, 섬상의 반도체부(204a 및 204b) 등을 덮도록 해서 절연막(234)을 형성한다. 절연막(234)으로서, 예를 들어 CVD법으로 성막하는 산화실리콘막을 사용한다.
- [1050] 이어서, 도 90d에 도시하는 바와 같이, 절연막(234)의 상면으로부터 화소내 분리 영역(32)의 도전재(35)에 도달하는 콘택트 전극(235b₁)과, 절연막(234)의 상면으로부터 플로팅 디퓨전 영역(FD)에 도달하는 콘택트 전극(235f)과, 절연막(206)의 상면으로부터 증폭 트랜지스터(AMP)의 게이트 전극(205a)에 도달하는 콘택트 전극

(235a)과, 절연막(206)의 상면으로부터 리셋 트랜지스터(RST)의 게이트 전극(205r)에 도달하는 콘택트 전극(235r)을 각각 형성한다. 콘택트 전극(235b₁, 235f, 235a 및 235s)은, 상술한 제20 실시 형태와 마찬가지로 방법으로 형성한다.

[1051] 이어서, 도 90e에 도시하는 바와 같이, 각각의 콘택트 전극을 보호하기 위해서, 절연막(234)의 반도체층(20)측과 반대측에 각각의 콘택트 전극(235b₁, 235f, 235a 및 235r)을 덮는 절연막(236)을 형성한다.

[1052] 이어서, 도 90f에 도시하는 바와 같이, 절연막(236)의 상면으로부터 희생막(231)에 도달하는 개구부(237)를 형성한다. 개구부(237)는, 주지의 포토리소그래피 기술 및 이방성 건식 에칭 기술을 사용하여 형성할 수 있다.

[1053] 이어서, 도 90g에 도시하는 바와 같이, 희생막(231)을 선택적으로 제거해서 개구부(237)와 연결하는 공동부(238)를 형성한다. 희생막(231)은, 개구부(237)를 통해서 희생막(231)에 인산계 약액을 공급함으로써 선택적으로 제거할 수 있다.

[1054] 이어서, 공동부(238) 및 개구부(237) 각각을 매립하도록 하여, 예를 들어 도전재로서의 알루미늄(Al)막을 형성하고, 그 후, 도 90h에 도시하는 바와 같이, 절연막(236) 상의 알루미늄막을 에치 백법이나 CMP법으로 선택적으로 제거한다. 알루미늄막의 형성 방법은 스퍼터법이나 CVD법으로 가능하다. CVD법의 경우는 안정적으로 성장시키기 위해서 최초로 Ti막이나 TiN막을 형성해도 된다.

[1055] 이 공정에 의해, 공동부(238)에서, Al막을 포함하며, 또한 평면으로 보아 광전 변환 영역(21)의 제1 영역(21a)과 중첩됨과 함께, 광전 변환 영역(21)의 제1 영역(21a)과 섬상의 반도체부(204a 및 204b)의 사이에 위치하는 광 반사체(239)를 형성할 수 있다.

[1056] 또한, 개구부(237)에서, Al막을 포함하며, 또한 광 반사체(239)와 연결된 러너 금속체(239a)도 형성된다.

[1057] 이 후, 웨이퍼 공정인 배선층을 또한 형성해 나간다.

[1058] <<제22 실시 형태의 주된 효과>>

[1059] 이 제22 실시 형태에 관한 고체 촬상 장치(1W)는, 상술한 제1 실시 형태에 관한 고체 촬상 장치(1A)와 마찬가지로, 화소간 분리 영역(31)과, 화소내 분리 영역(32)과, 차광막(54)을 구비하고 있다. 따라서, 이 제21 실시 형태에 관한 고체 촬상 장치(1W)에서도, 상술한 제1 실시 형태의 고체 촬상 장치(1A)와 마찬가지로 효과가 얻어진다.

[1060] 또한, 이 제22 실시 형태에 관한 고체 촬상 장치(1W)는, 반도체층(20)의 제1면 S1측에 마련된 다층체(230)를 구비하고 있다. 그리고 다층체(230)는, 광전 변환 영역(21)의 제1 영역(21a)과 중첩되어 마련된 광 반사체(239)를 포함하고 있다. 이 때문에, 반도체층(20)의 제2면 S2로부터 입사해서 광전 변환 영역(21)의 제1 영역(21a)을 투과(통과)한 광(57W)은, 광 반사체(213)에서 반사해서 광전 변환 영역의 제1 영역(21a)으로 돌아간다. 따라서, 이 제22 실시 형태에 관한 고체 촬상 장치(1W)에 의하면, 광의 이용 효율의 향상을 도모할 수 있다.

[1061] 또한, 이 제22 실시 형태의 제조 방법에 의하면, 광전 변환 영역(21)의 제1 영역(21a)과, 섬상의 반도체부(204a 및 204b)의 사이에 광 반사체(239)를 형성할 수 있기 때문에, 섬상의 반도체부(204a 및 204b)의 설치 면적을 넓게 취할 수 있다.

[1062] 또한, Al막은 W막보다 광 흡수가 낮고, 반사율도 높기 때문에, 광 이용 효율의 향상을 도모할 수 있다.

[1063] [제23 실시 형태]

[1064] <<전자 기기예의 응용예>>

[1065] 본 기술(본 개시에 관한 기술)은, 예를 들어 디지털 스틸 카메라, 디지털 비디오 카메라 등의 촬상 장치, 촬상 기능을 구비한 휴대 전화기, 또는 촬상 기능을 구비한 다른 기기와 같은 각종 전자 기기에 적용할 수 있다.

[1066] 도 91은, 본 기술의 제8 실시 형태에 관한 전자 기기(예를 들어, 카메라)의 개략 구성을 도시하는 도면이다.

[1067] 도 91에 도시하는 바와 같이, 전자 기기(300)는, 고체 촬상 장치(301)와, 광학 렌즈(302)와, 셔터 장치(303)와, 구동 회로(304)와, 신호 처리 회로(305)를 구비하고 있다. 이 전자 기기(300)는, 고체 촬상 장치(301)로서, 본 기술의 제1 실시 형태 내지 제4 실시 형태에 관한 고체 촬상 장치를 전자 기기(예를 들어 카메라)에 사용한 경우의 실시 형태를 나타낸다.

[1068] 광학 렌즈(302)는, 피사체로부터의 상 광(입사광(306))을 고체 촬상 장치(301)의 촬상면 상에 결상시킨다. 이

에 의해, 고체 촬상 장치(301) 내에 일정 기간에 걸쳐 신호 전하가 축적된다. 셔터 장치(303)는, 고체 촬상 장치(301)에의 광 조사 기간 및 차광 기간을 제어한다. 구동 회로(304)는, 고체 촬상 장치(301)의 전송 동작 및 셔터 장치(303)의 셔터 동작을 제어하는 구동 신호를 공급한다. 구동 회로(304)로부터 공급되는 구동 신호(타이밍 신호)에 의해, 고체 촬상 장치(301)의 신호 전송을 행한다. 신호 처리 회로(305)는, 고체 촬상 장치(301)로부터 출력되는 신호(화소 신호)에 각종 신호 처리를 행한다. 신호 처리가 행해진 영상 신호는, 메모리 등의 기억 매체에 기억되고, 혹은 모니터에 출력된다.

- [1069] 이와 같은 구성에 의해, 제23 실시 형태의 전자 기기(300)에서는, 고체 촬상 장치(301)에 있어서 화소 특성의 향상이 도모되어 있기 때문에, 화질의 향상을 도모할 수 있다.
- [1070] 또한, 상술한 실시 형태의 고체 촬상 장치를 적용할 수 있는 전자 기기(300)로서는, 카메라에 한정되는 것은 아니고, 다른 전자 기기에도 적용할 수 있다. 예를 들어, 휴대 전화기나 태블릿 단말기 등의 모바일 기기용 카메라 모듈 등의 촬상 장치에 적용해도 된다.
- [1071] 또한, 본 기술은, 상술한 이미지 센서로서의 고체 촬상 장치 외에, ToF(Time of Flight) 센서라고 호칭되며, 거리를 측정하는 측정하는 측거 센서 등도 포함하는 광 검출 장치 전반에 적용할 수 있다. 측거 센서는, 물체를 향해서 조사광을 발광하고, 그 조사광이 물체의 표면에서 반사되어 돌아오는 반사광을 검출하여, 조사광이 발광되고 나서 반사광이 수광될 때까지의 비행 시간에 기초해서 물체까지의 거리를 산출하는 센서이다. 이 측거 센서의 소자 분리 영역의 구조로서, 상술한 소자 분리 영역의 구조를 채용할 수 있다.
- [1072] 또한, 본 기술은, 이하와 같은 구성으로 해도 된다.
- [1073] (1) 반도체층과,
- [1074] 상기 반도체층에 마련된 제1 및 제2 분리 영역
- [1075] 을 구비하고,
- [1076] 상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 충전되며, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하고,
- [1077] 상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 충전된 도전재를 포함하는, 광 검출 장치.
- [1078] (2) 상기 도전재는, 전위가 인가되는 배선과 전기적으로 접속되어 있는, 상기 (1)에 기재된 광 검출 장치.
- [1079] (3) 상기 제1 분리 영역으로 구획된 광전 변환 영역을 더 구비하고,
- [1080] 상기 광전 변환 영역은,
- [1081] 상기 제1 분리 영역으로부터 이격되는 상기 제2 분리 영역과,
- [1082] 상기 제2 분리 영역으로 분리된 전하 보유부 및 광전 변환부와,
- [1083] 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터
- [1084] 를 포함하는, 상기 (1) 또는 (2)에 기재된 광 검출 장치.
- [1085] (4) 상기 광전 변환부는, 가시 영역의 파장의 광 또는 적외 영역의 파장의 광을 광전 변환하는, 상기 (3)에 기재된 광 검출 장치.
- [1086] (5) 상기 제1 분리 영역으로 구획된 제1 광전 변환 영역과,
- [1087] 상기 제2 분리 영역으로 구획된 제2 광전 변환 영역을 더 구비하고,
- [1088] 상기 제1 광전 변환 영역과 상기 제2 광전 변환 영역은, 서로 인접하는 상기 제1 및 제2 분리 영역을 개재해서 서로 인접하고 있는, 상기 (1) 또는 (2)에 기재된 광 검출 장치.
- [1089] (6) 상기 제1 및 제2 광전 변환 영역 각각은, 전하 보유부와, 광전 변환부와, 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 포함하는, 상기 (5)에 기재된 광 검출 장치.
- [1090] (7) 상기 제1 광전 변환 영역의 상기 광전 변환부는, 적외 영역의 파장의 광을 광전 변환하고,
- [1091] 상기 제2 광전 변환 영역의 상기 광전 변환부는, 가시 영역의 파장의 광을 광전 변환하는, 상기 (6)에 기재된

광 검출 장치.

- [1092] (8) 상기 제1 분리 영역으로 서로 인접해서 구획된 제1 및 제2 광전 변환 영역을 더 구비하고,
- [1093] 상기 제2 분리 영역은, 상기 제1 및 제2 광전 변환 영역 중 적어도 어느 한 쪽에 상기 제1 분리 영역으로부터 이격되어 마련되어 있는, 상기 (1) 또는 (2)에 기재된 광 검출 장치.
- [1094] (9) 상기 제1 및 제2 광전 변환 영역 중, 상기 제2 분리 영역을 포함하는 한쪽의 광전 변환 영역은, 적외 영역의 파장의 광을 광전 변환하고, 상기 제2 분리 영역을 포함하지 않는 다른 쪽의 광전 변환 영역은, 가시 영역의 파장의 광을 광전 변환하는, 상기 (8)에 기재된 광 검출 장치.
- [1095] (10) 상기 반도체층의 광 입사면과는 반대측의 면에 소자 분리 영역을 더 구비하고,
- [1096] 상기 제1 및 제2 분리 영역 각각은, 일단부측이 상기 소자 분리 영역에 연결되고, 타단부측이 상기 반도체층의 광 입사면에 도달하고 있는, 상기 (1)에 기재된 광 검출 장치.
- [1097] (11) 상기 제1 분리 영역으로 구획된 제1 광전 변환 영역과,
- [1098] 상기 제2 분리 영역으로 구획된 제2 광전 변환 영역과,
- [1099] 상기 반도체층의 두께 방향으로 연신되는 제3 파임부에 충전된 도전재를 포함하는 제3 분리 영역을 더 구비하고,
- [1100] 상기 제3 분리 영역은, 상기 제1 광전 변환 영역에 상기 제1 분리 영역으로부터 이격되어 마련되어 있음과 함께, 상기 제2 광전 변환 영역에 상기 제2 분리 영역으로부터 이격되어 마련되어 있는, 상기 (1) 또는 (2)에 기재된 광 검출 장치.
- [1101] (12) 상기 제3 분리 영역의 상기 도전재는, 전위가 인가되는 배선과 전기적으로 접속되어 있는, 상기 (11)에 기재된 광 검출 장치.
- [1102] (13) 상기 제1 및 제2 광전 변환 영역 각각은,
- [1103] 상기 제3 분리 영역으로 구획된 전하 보유부 및 광전 변환부와,
- [1104] 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 포함하는, 상기 (11) 또는 (12)에 기재된 광 검출 장치.
- [1105] (14) 상기 제1 광전 변환 영역의 상기 광전 변환부는, 적외 영역의 파장의 광을 광전 변환하고,
- [1106] 상기 제2 광전 변환 영역의 상기 광전 변환부는, 가시 영역의 파장의 광을 광전 변환하는, 상기 (13)에 기재된 광 검출 장치.
- [1107] (15) 상기 반도체층의 광 입사면과는 반대측의 면에 소자 분리 영역을 더 구비하고,
- [1108] 상기 제1, 제2 및 제3 분리 영역 각각은, 일단부측이 상기 소자 분리 영역에 연결되고, 타단부측이 상기 반도체층의 상기 광 입사면에 도달하고 있는, 상기 (11) 내지 (14)의 어느 것에 기재된 광 검출 장치.
- [1109] (16) 상기 제1 분리 영역으로 구획되며, 또한 상기 제2 분리 영역으로 분리된 제1 영역 및 제2 영역을 포함하는 광전 변환 영역과,
- [1110] 상기 제1 영역에 마련된 광전 변환부와,
- [1111] 상기 제2 영역에서 상기 반도체층의 상기 제2 영역측에 마련된 전하 보유부와,
- [1112] 상기 반도체층의 상기 제1면측에 상기 전하 보유부와 중첩되어 마련된 차광체를 더 구비하고 있는, 상기 (1)에 기재된 광 검출 장치.
- [1113] (17) 상기 반도체층을 제1 반도체층으로 하고,
- [1114] 상기 제1 반도체층의 상기 제1면측에 마련된 제2 반도체층과,
- [1115] 상기 전하 보유부와 전기적으로 접속된 판독 회로를 또한 구비하고,
- [1116] 상기 화소 회로에 포함되는 화소 트랜지스터는, 상기 제2 반도체층에 마련되어 있는, 상기 (3)에 기재된 광 검출 장치.

- [1117] (18) 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [1118] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [1119] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [1120] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [1121] 상기 제1 영역에 마련된 광전 변환부와,
- [1122] 상기 제2 영역에서 상기 반도체층의 상기 제1면측에 마련된 전하 보유부와,
- [1123] 상기 반도체층의 상기 제2면측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되는 차광체를 구비하고 있는, 광 검출 장치.
- [1125] (19) 상기 차광체는, 상기 제2 영역의 내외에 걸쳐서 마련되어 있는, 상기 (18)에 기재된 광 검출 장치.
- [1126] (20) 상기 차광체는,
- [1127] 상기 반도체층의 상기 제2면의 외측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되는 제1 차광 부분과,
- [1128] 상기 제1 차광 부분으로부터 상기 제2 영역의 내부에 걸쳐서 돌출되는 제2 차광 부분을 포함하는, 상기 (18) 또는 (19)에 기재된 광 검출 장치.
- [1129] (21) 상기 제2 차광 부분은, 상기 반도체층의 두께 방향에 있어서, 상기 반도체층의 제2면을 가로지르고 있는, 상기 (20)에 기재된 광 검출 장치.
- [1130] (22) 상기 제2 차광 부분은, 상기 제1 분리 영역 및 상기 제2 분리 영역 각각으로부터 이격되어 있는, 상기 (20) 또는 (21)에 기재된 광 검출 장치.
- [1131] (23) 상기 반도체층의 상기 제2면측에 마련된 절연막을 더 구비하고,
- [1132] 상기 제1 차광 부분은, 상기 절연막의 상기 반도체층측과는 반대측에 마련되고,
- [1133] 상기 제2 차광 부분은, 상기 절연막을 관통하고 있는, 상기 (20) 내지 (22)의 어느 것에 기재된 광 검출 장치.
- [1134] (24) 상기 차광체는, 평면으로 보아 상기 제2 분리 영역과 중첩되며, 또한 상기 반도체층의 상기 제2면측에서 상기 반도체층의 내외에 걸쳐서 마련되어 있는, 상기 (18)에 기재된 광 검출 장치.
- [1135] (25) 상기 차광체는,
- [1136] 상기 반도체층의 상기 제2면의 외측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되는 제1 차광 부분과,
- [1137] 평면으로 보아 상기 제2 분리 영역과 중첩되며, 또한 상기 제1 차광 부분으로부터 상기 반도체층의 내부로 돌출되는 제2 차광 부분을 포함하는, 상기 (24)에 기재된 광 검출 장치.
- [1138] (26) 상기 제2 차광 부분은, 상기 반도체층의 상기 제2면측으로부터 상기 제2 파임부를 향해서 연신되는 제3 파임부에 마련되어 있는, 상기 (25)에 기재된 광 검출 장치.
- [1139] (27) 상기 제2 차광 부분과 상기 제2 분리 영역은, 상기 일방향을 따르는 방향의 폭이 다르게 되어 있는, 상기 (25) 또는 (26)에 기재된 광 검출 장치.
- [1140] (28) 상기 반도체층의 상기 제2면측에 마련된 절연막을 더 구비하고,
- [1141] 상기 차광체는, 상기 절연막의 두께 방향에 있어서, 상기 절연막의 내외에 걸쳐서 마련되어 있는, 상기 (18)에 기재된 광 검출 장치.
- [1142] (29) 상기 차광체는,
- [1143] 상기 절연막의 상기 반도체층측과는 반대측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되는 제1 차

광 부분과,

- [1144] 평면으로 보아 상기 제1 분리 영역과 중첩되며, 또한 상기 제1 차광 부분으로부터 상기 절연막의 내부로 돌출되는 제2 차광 부분과,
- [1145] 평면으로 보아 상기 제2 분리 영역과 중첩되며, 또한 상기 제1 차광 부분으로부터 상기 절연막의 내부로 돌출되는 제3 차광 부분을 포함하는, 상기 (28)에 기재된 광 검출 장치.
- [1146] (30) 상기 차광체는, 평면으로 보아 상기 제1 및 제2 분리 영역 각각과 중첩되며, 또한 상기 일방향에 있어서 상기 광전 변환 영역의 상기 제1 영역보다 제2 영역측에 위치하고 있는, 상기 (28) 또는 (29)에 기재된 광 검출 장치.
- [1147] (31) 상기 차광체는, 2차원 평면 내에서 상기 일방향과 직교하는 타방향에 있어서 서로 인접하는 2개의 상기 광전 변환 영역에 걸쳐서 연신되어 있는, 상기 (18) 내지 (30)의 어느 것에 기재된 광 검출 장치.
- [1148] (32) 상기 광전 변환부는, 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하고,
- [1149] 상기 전하 보유부는, 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는, 상기 (18) 내지 (31)의 어느 것에 기재된 광 검출 장치.
- [1150] (33) 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [1151] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [1152] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [1153] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [1154] 상기 제1 영역에 마련된 광전 변환부와,
- [1155] 상기 제2 영역에서 상기 반도체층의 상기 제1면측에 마련된 전하 보유부와,
- [1156] 상기 반도체층의 상기 제2면측에 마련되고, 또한 평면으로 보아 상기 제2 영역과 중첩되어 마련된 차광체와,
- [1157] 상기 반도체층의 상기 제2면측에 평면으로 보아 상기 제2 분리 영역과 중첩되어 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 광 반사체를 구비하고 있는, 광 검출 장치.
- [1158] (34) 광 반사체는, 평면으로 보아 상기 제2 파임부와 중첩되어 상기 반도체층의 제2면측으로부터 상기 제1면측을 향해서 연신되는 제3 파임부에 마련되어 있는, 상기 (33)에 기재된 광 검출 장치.
- [1160] (35) 상기 광 반사체는, 상기 일방향에 있어서 상기 제2 분리 영역보다 상기 제1 영역측에 마련되고, 또한 상기 광 반사체와 상기 제2 영역의 사이에 상기 제2 분리 영역의 상기 도전재가 마련되어 있는, 상기 (33) 또는 (34)에 기재된 광 검출 장치.
- [1161] (36) 상기 광 반사체는, 산화막 또는 공기인, 상기 (33) 내지 (35)의 어느 것에 기재된 광 검출 장치.
- [1162] (37) 상기 반도체층의 제2면으로부터 상기 제1면을 향한 상기 광 반사체의 깊이는, 1.5 μm 이상인, 상기 (33) 내지 (36)의 어느 것에 기재된 광 검출 장치.
- [1163] (38) 상기 광전 변환부는, 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하고,
- [1164] 상기 전하 보유부는, 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는, 상기 (33) 내지 (37)의 어느 것에 기재된 광 검출 장치.
- [1165] (39) 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [1166] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [1167] 상기 제1 분리 영역으로 일방향으로 배열되어 구획된 제1 및 제2 광전 변환 영역과,

- [1168] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 제1 및 제2 광전 변환 영역 각각을 상기 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [1169] 상기 제1 및 제2 광전 변환 영역 각각의 상기 제1 영역에 마련된 광전 변환부와,
- [1170] 상기 제1 및 제2 광전 변환 영역 각각의 상기 제2 영역에 마련된 전하 보유부
- [1171] 를 구비하고,
- [1172] 상기 제1 및 제2 광전 변환 영역 각각의 상기 제2 영역은, 평면으로 보아 상기 제3 분리 영역을 개재해서 상기 일방향으로 서로 인접해서 배열되어 있는, 광 검출 장치.
- [1173] (40) 상기 제3 분리 영역의 짧은 방향의 폭은, 상기 제1 분리 영역의 짧은 방향의 폭보다 좁게 되어 있는, 상기 (39)에 기재된 광 검출 장치.
- [1174] (41) 상기 제3 분리 영역은, 상기 반도체층의 두께 방향을 따르는 길이가 상기 제2 분리 영역보다 짧은, 상기 (39) 또는 (40)에 기재된 광 검출 장치.
- [1175] (42) 상기 제3 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제3 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연체를 포함하는, 상기 (39) 내지 (41)의 어느 것에 기재된 광 검출 장치.
- [1176] (43) 상기 제3 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 반도체 영역으로 구성되어 있는, 상기 (39) 내지 (42)의 어느 것에 기재된 광 검출 장치.
- [1177] (44) 상기 반도체층의 상기 제2면측에 마련된 차광체를 더 구비하고,
- [1178] 상기 차광체는, 상기 제1 및 제2 광전 변환 영역 각각의 상기 제2 영역과 중첩되며, 또한 각각의 상기 제2 영역에 걸쳐서 연속적으로 마련되어 있는, 상기 (39) 내지 (43)의 어느 것에 기재된 광 검출 장치.
- [1179] (45) 상기 광전 변환부는, 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하고,
- [1180] 상기 전하 보유부는, 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는, 상기 (39) 내지 (44)의 어느 것에 기재된 광 검출 장치.
- [1181] (46) 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [1182] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연체를 포함하는 제1 분리 영역과,
- [1183] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [1184] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 상기 반도체층보다 굴절률이 낮은 절연체를 개재해서 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [1185] 상기 제1 영역에 마련된 광전 변환부와,
- [1186] 상기 제2 영역에 마련된 전하 보유부
- [1187] 를 구비하고,
- [1188] 상기 제2 분리 영역은, 상기 도전재의 상기 제1 영역측에서의 상기 절연체의 막 두께가 상기 도전재의 상기 제2 영역측에서의 상기 절연체의 막 두께보다 두꺼운, 광 검출 장치.
- [1189] (47) 상기 도전재는, 평면으로 보아 상기 제1 영역측보다 상기 제2 영역측에 치우쳐 있는, 상기 (46)에 기재된 광 검출 장치.
- [1190] (48) 상기 제2 분리 영역의 상기 일방향을 따르는 방향의 폭은, 상기 제1 분리 영역의 상기 일방향을 따르는 방향의 폭보다 넓은, 상기 (46) 또는 (47)에 기재된 광 검출 장치.
- [1191] (49) 상기 광전 변환부는, 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하고,
- [1192] 상기 전하 보유부는, 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하고,
- [1193] 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 구비하고

있는, 상기 (46) 내지 (48)의 어느 것에 기재된 광 검출 장치.

- [1194] (50) 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [1195] 상기 반도체층에 제1 분리 영역으로 구획되어 마련된 광전 변환 영역과,
- [1196] 상기 광전 변환 영역 각각의 광전 변환 영역을 일방향으로 배열되는 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [1197] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,
- [1198] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부
- [1199] 를 구비하고,
- [1200] 상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하고,
- [1201] 상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에, 상기 반도체층보다 굴절률이 낮은 분리 절연막을 개재해서 마련된 도전재를 포함하고,
- [1202] 상기 반도체층의 상기 제2면측으로부터 상기 제1 영역에 입사한 입사광 중, 상기 제2 분리 영역의 측면부에서 반사한 반사광과, 상기 입사광이 상기 제2 분리 영역 및 상기 제2 영역을 투과하고, 또한 상기 제1 분리 영역에서 반사해서 상기 제1 영역으로 돌아가는 복귀광의 위상차가 상기 입사광의 정수배가 되도록, 상기 제2 영역의 상기 일방향을 따르는 폭이 설정되어 있는, 광 검출 장치.
- [1203] (51) 상기 반도체층의 제2면측에 평면으로 보아 상기 전하 보유부와 중첩되어 마련된 차광막을 더 구비하고 있는, 상기 (50)에 기재된 광 검출 장치.
- [1204] (52) 상기 전하 보유부는, 상기 반도체층의 상기 제2면측에 마련되어 있는, 상기 (50) 또는 (51)에 기재된 광 검출 장치.
- [1205] (53) 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 구비하고 있는, 상기 (50) 내지 (52)의 어느 것에 기재된 광 검출 장치.
- [1206] (54) 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [1207] 상기 반도체층에 제1 분리 영역으로 구획되어 마련된 복수의 광전 변환 영역과,
- [1208] 상기 복수의 광전 변환 영역 각각의 광전 변환 영역을 일방향으로 배열되는 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [1209] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,
- [1210] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부
- [1211] 를 구비하고,
- [1212] 상기 제1 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하고,
- [1213] 상기 제2 분리 영역은, 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에, 상기 반도체층보다 굴절률이 낮은 분리 절연막을 개재해서 마련된 도전재를 포함하고,
- [1214] 상기 복수의 광전 변환 영역은, 상기 제2 영역의 상기 일방향을 따르는 폭이 다른 2종류 이상의 광전 변환 영역을 포함하는, 광 검출 장치.
- [1215] (55) 상기 반도체층의 상기 제2면측에 평면으로 보아 상기 제2 영역과 중첩되어 마련된 차광막을 더 구비하고 있는, 상기 (54)에 기재된 광 검출 장치.
- [1216] (56) 상기 광전 변환 영역의 폭에 따라서 상기 차광막의 상기 일방향을 따르는 폭도 다르게 되어 있는, 상기 (54) 또는 (55)에 기재된 광 검출 장치.

- [1217] (57) 상기 전하 보유부는, 상기 반도체층의 상기 제1면측에 마련되어 있는, 상기 (54) 내지 (56)의 어느 것에 기재된 광 검출 장치.
- [1218] (58) 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 구비하고 있는, 상기 (54) 내지 (57)의 어느 것에 기재된 광 검출 장치.
- [1219] (59) 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [1220] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [1221] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [1222] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [1223] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 신호 전하로 광전 변환하는 광전 변환부와,
- [1224] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부와,
- [1225] 상기 반도체층의 깊이 방향으로 연신되는 제3 파임부에 고정 전하막을 개재해서 절연막이 마련된 유전체를 구비하고 있는, 광 검출 장치.
- [1226] (60) 상기 유전체는, 상기 제2 분리 영역으로부터 상기 제2 영역측으로 돌출되는 돌기부인, 상기 (59)에 기재된 광 검출 장치.
- [1228] (61) 상기 유전체는, 상기 제1 분리 영역으로부터 상기 제2 영역측으로 돌출되는 돌기부인, 상기 (59)에 기재된 광 검출 장치.
- [1229] (62) 상기 유전체는, 상기 제1 및 제2 분리 영역 각각으로부터 이격되는 섬부인, 상기 (59)에 기재된 광 검출 장치.
- [1230] (63) 상기 전하 보유부는, 상기 반도체층의 상기 제1면측에 마련되어 있는, 상기 (59) 내지 (62)의 어느 것에 기재된 광 검출 장치.
- [1231] (64) 상기 반도체층의 상기 제2면측에 평면으로 보아 상기 제2 영역과 중첩되어 마련된 차광막을 더 구비하고 있는, 상기 (59) 내지 (63)의 어느 것에 기재된 광 검출 장치.
- [1232] (65) 상기 광전 변환부에서 광전 변환된 신호 전하를 상기 전하 보유부에 전송하는 전송 트랜지스터를 더 구비하고 있는, 상기 (59) 내지 (64)의 어느 것에 기재된 광 검출 장치.
- [1233] (66) 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [1234] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [1235] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [1236] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [1237] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,
- [1238] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부와,
- [1239] 상기 반도체층의 상기 제1면측에 마련된 다층체를 구비하고,
- [1240] 상기 다층체는, 상기 제1 영역과 중첩되어 마련된 광 반사체를 포함하는, 광 검출 장치.
- [1241] (67) 상기 반도체층을 제1 반도체층으로 하고,
- [1242]

- [1243] 상기 다층체는, 상기 광 반사체의 상기 제1 반도체층측과는 반대측에, 평면으로 보아 상기 광 반사체와 중첩되어 마련된 제2 반도체층을 더 포함하는, 상기 (66)에 기재된 광 검출 장치.
- [1244] (68) 상기 광 반사체는, 상기 제1 분리 영역의 절연체보다 광 반사율이 높은 금속 재료를 포함하는, 상기 (66) 또는 (67)에 기재된 광 검출 장치.
- [1245] (69) 상기 광 반사체는, 상기 제2 반도체층보다 광 반사율이 높으며, 또한 광 흡수율이 작은 금속 재료를 포함하는, 상기 (66) 또는 (67)에 기재된 광 검출 장치.
- [1246] (70) 상기 전하 보유부와 전기적으로 접속된 판독 회로를 더 구비하고,
- [1247] 상기 판독 회로에 포함되는 화소 트랜지스터는, 상기 제2 반도체층에 마련되어 있는, 상기 (67) 내지 (69)의 어느 것에 기재된 광 검출 장치.
- [1248] (71) 두께 방향에서 서로 반대측에 위치하는 제1면 및 제2면을 갖는 반도체층과,
- [1249] 상기 반도체층의 두께 방향으로 연신되는 제1 파임부에 마련되고, 또한 상기 반도체층보다 굴절률이 낮은 절연재를 포함하는 제1 분리 영역과,
- [1250] 상기 제1 분리 영역으로 구획된 광전 변환 영역과,
- [1251] 상기 반도체층의 두께 방향으로 연신되는 제2 파임부에 마련된 도전재를 포함하며, 또한 상기 광전 변환 영역을 일방향에 있어서 제1 영역과 제2 영역으로 분리하는 제2 분리 영역과,
- [1252] 상기 제1 영역에 마련되고, 또한 상기 반도체층의 상기 제2면측으로부터 입사한 광을 광전 변환하는 광전 변환부와,
- [1253] 상기 제2 영역에 마련되고, 또한 상기 광전 변환부에서 광전 변환된 신호 전하를 보유하는 전하 보유부와,
- [1254] 상기 반도체층의 상기 제1면측에 마련된 다층체
- [1255] 를 구비하고,
- [1256] 상기 다층체는, 상기 제1 영역과 중첩되어 마련되고, 또한 상기 반도체층보다 광 흡수율이 높은 광 흡수체를 구비하고 있는, 광 검출 장치.
- [1257] (72) 상기 (1) 내지 (71)의 어느 것에 기재된 광 검출 장치와, 피사체로부터의 상 광이 상기 광 검출 장치의 촬상면 상에 결상되는 광학 렌즈와, 상기 광 검출 장치로부터 출력되는 신호에 신호 처리를 행하는 신호 처리 회로를 구비하고 있는, 전자 기기.
- [1258] 본 기술의 범위는, 도시되어 기재된 예시적인 실시 형태에 한정되는 것이 아니라, 본 기술이 목적으로 하는 것과 균등한 효과를 초래하는 모든 실시 형태도 포함한다. 또한, 본 기술의 범위는, 청구항에 의해 정의되는 발명의 특징의 조합에 한정되는 것이 아니라, 모든 개시된 각각의 특징 중 특정 특징의 모든 원하는 조합에 의해 정의될 수 있다.

부호의 설명

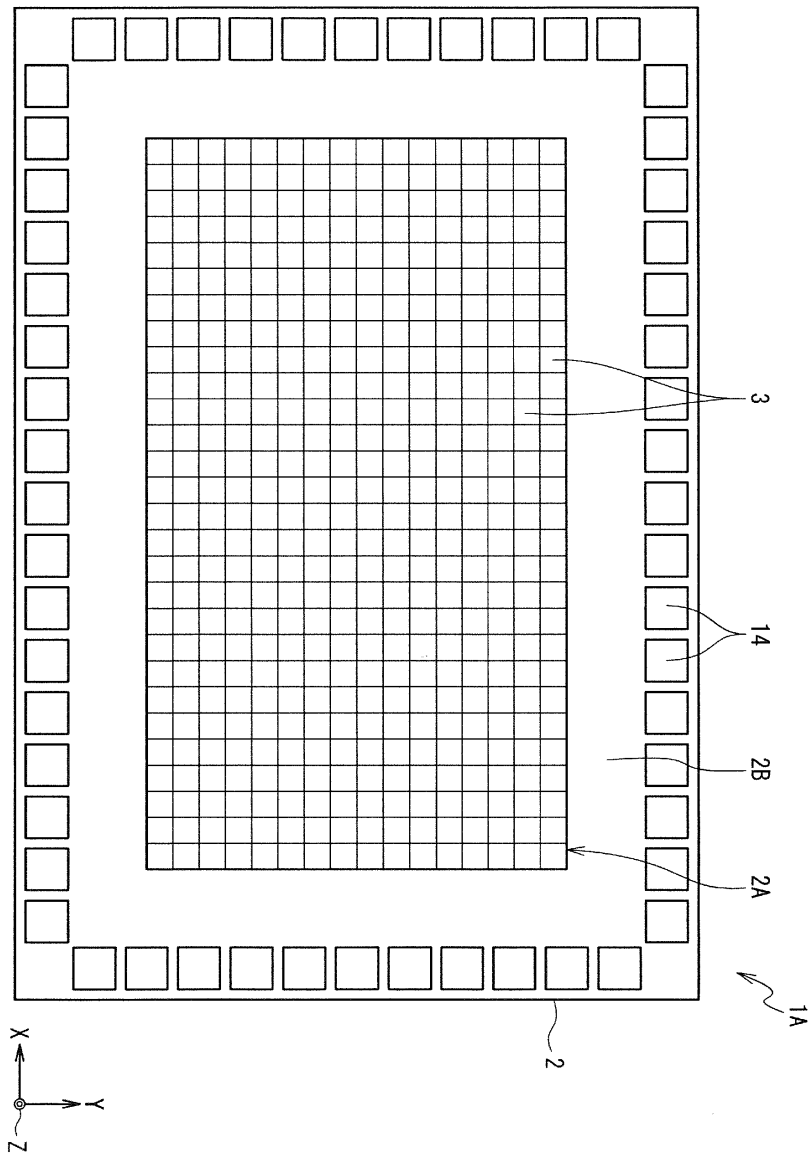
- [1259] 1A, 1B, 1C, 1D, 1E, 1F, 1G, 1H, 1I, 1J, 1K, 1L, 1M, 1N, 1P, 1Q, 1R, 1S, 1T, 1U, 1V, 1W: 고체 촬상 장치
- 2: 반도체 칩 2A: 화소 어레이부
- 2B: 주변부 3: 화소
- 4: 수직 구동 회로 5: 칼럼 신호 처리 회로
- 6: 수평 구동 회로 7: 출력 회로
- 8: 제어 회로 10: 화소 구동선
- 11: 수직 신호선 13: 로직 회로
- 14: 본딩 패드 15: 판독 회로
- 20: 반도체층 21: 광전 변환 영역

21A: 제1 광전 변환 영역 21B: 제2 광전 변환 영역
 21a: 제1 영역 21b: 제2 영역
 22: p형 웰 영역 23: n형 웰 영역
 24: 광전 변환부 24a: 제1 광전 변환부
 24b: 제2 광전 변환부 25: 소자 분리 영역(필드 분리 영역)
 26: 얇은 홈부 27: 절연막
 31: 화소간 분리 영역(제1 분리 영역)
 31a: 제1 화소간 분리 영역(제1 분리 영역)
 31b: 제2 화소간 분리 영역(제2 분리 영역)
 31L: 셀내 화소간 분리 영역
 31Q, 31R: 돌기부 31x: 제1 부분
 31y: 제2 부분 32: 화소내 분리 영역(제2 분리 영역)
 33a: 파임부(제1 파임부) 33b: 파임부(제2 파임부)
 33a₁: 파임부(제1 파임부) 33a₂: 파임부(제2 파임부)
 33h, 33i, 33K: 파임부 33h₁: 절연막
 33L: 파임부 33L₁: 파임부 형성 영역
 33M, 33Q, 33R: 파임부 34: 분리 절연막
 35: 실리콘막(도전재) 36: 절연막
 37: 게이트 전극 40: 다층 배선층
 41: 층간 절연막 42b, 42b₁, 42b₂, 43c: 콘택트 전극
 43: 배선층 43a, 43b, 43f, 43f₁, 43f₂: 배선
 44: 층간 절연막 45: 배선층
 51: 회절 산란부 52: 고정 전하막
 53, 53J: 절연막 53d₁, 53d₂: 파임부
 54: 차광막 55: 컬러 필터
 56: 마이크로렌즈 57H, 57I: 조사광
 57H₁, 57H₂, 57I₁, 57I₂, 57J₁, 57J₂, 57K₁, 57K₂: 경사광
 57L: 침입 광로 57M, 57T, 57U, 57V, 57W: 광
 57N: 입사광 57N₁, 57N₂: 반사광
 57Q: 전하 전송로 58M: 절연체
 58M₁: 제1 절연체 58M₂: 제2 절연체
 60: 화소 61: 광전 변환부
 62: 제1 전송 트랜지스터(TRG) 63: 제2 전송 트랜지스터(TRG)
 64: 메모리부 65: 플로팅 디퓨전(FD) 영역

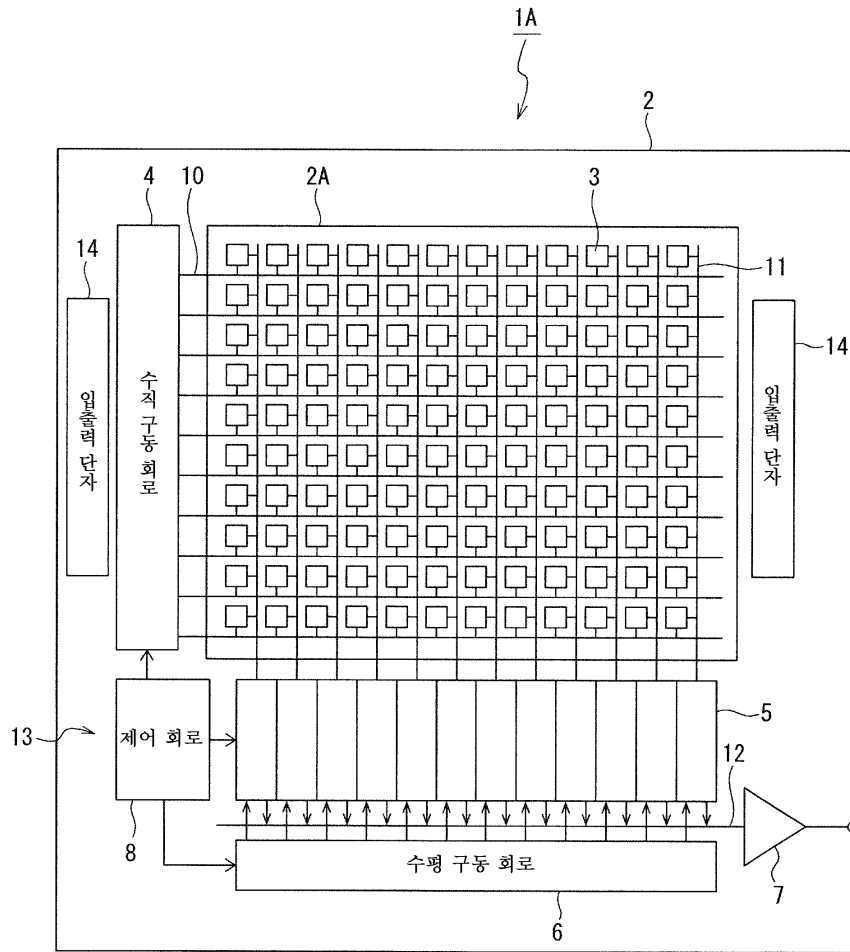
66: 증폭 트랜지스터(AMP) 67: 선택 트랜지스터(SEL)
 68: 리셋 트랜지스터(RST) 80H, 80I, 80J: 차광체
 80K: 광 반사체 81x: 제1 직선부
 82: 차광막 82a: 제1 차광 부분
 82b, 82c, 82d₁: 제2 차광 부분
 82d₂: 제3 차광 부분 82y: 제2 직선부
 85K: 광 반사체 200, 220, 230: 다층체
 202: 스톱퍼막 204a, 204b: 반도체부(제2 반도체층)
 207a, 207b₁, 207f, 207r, 207t: 콘택트 전극
 209: 배선층 209a, 209b₁, 209f, 209r, 209t: 배선
 210: 캡막 212: 보호막
 213: 광 반사체 225a: 제1 공동부
 225f: 제2 공동부 227a, 227b₁, 227f, 227t: 콘택트 전극
 228: 광 흡수체 229: 배선층
 229b₁, 229f, 229r: 배선 235a, 235b₁, 235f: 콘택트 전극
 239: 광 반사체 AMP: 증폭 트랜지스터
 FD: 플로팅 디퓨전 영역 If₁, If₂: 계면부
 RST: 리셋 트랜지스터 SEL: 선택 트랜지스터
 STG: 전송 트랜지스터

도면

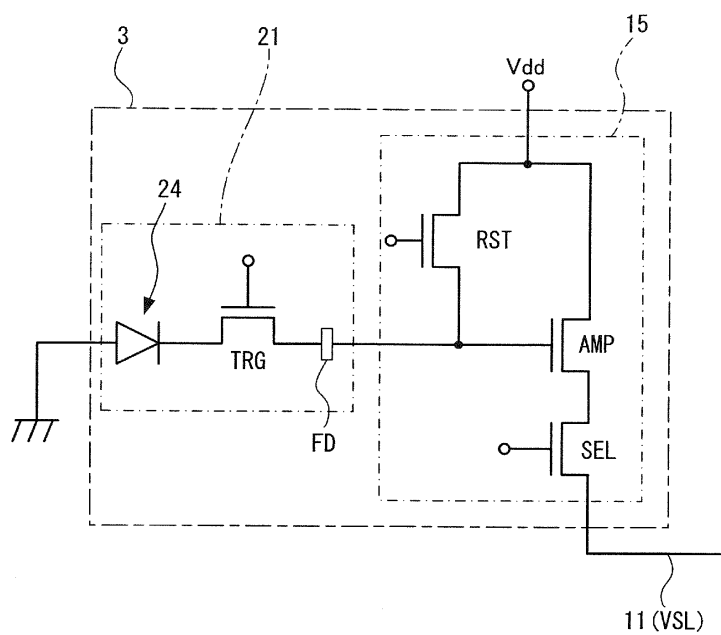
도면1



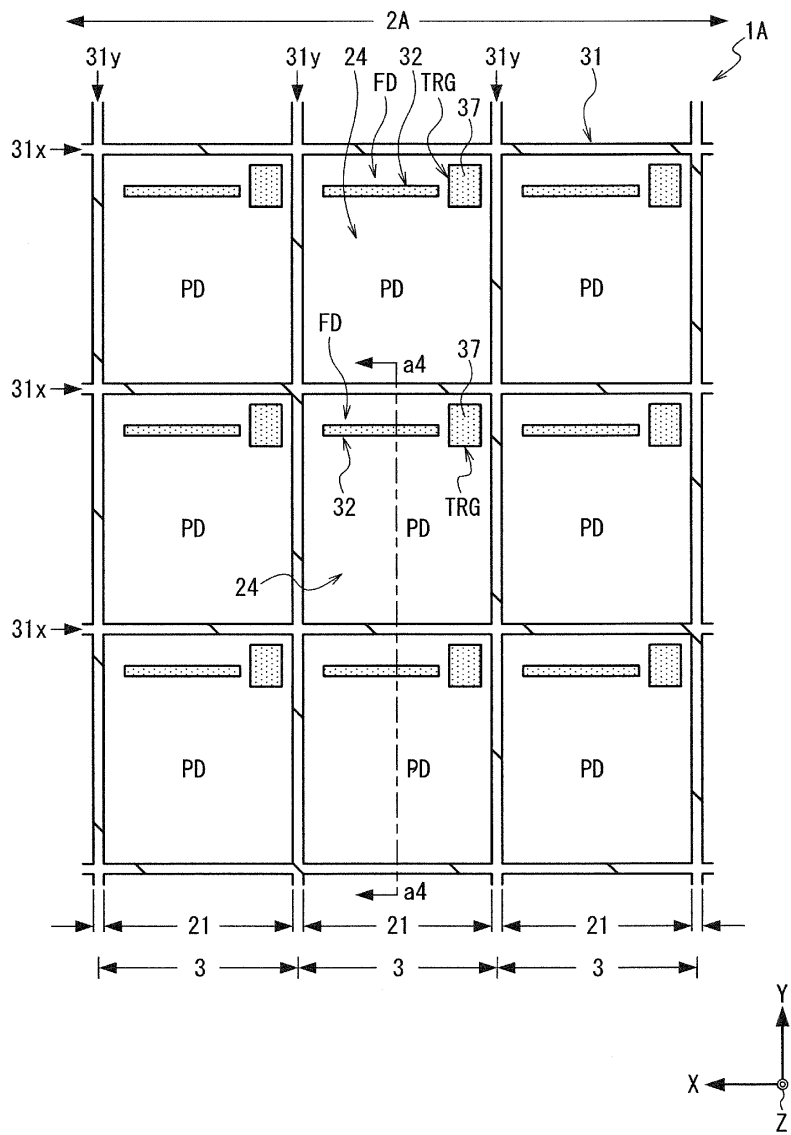
도면2



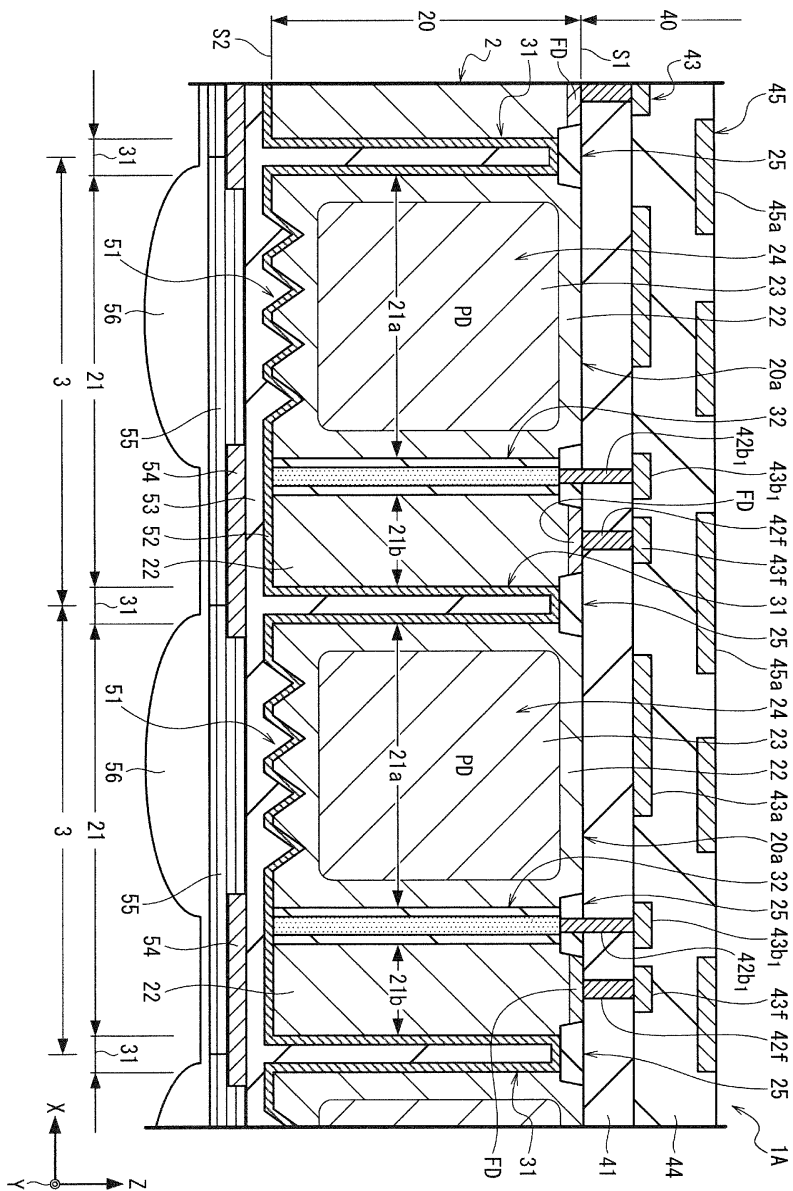
도면3



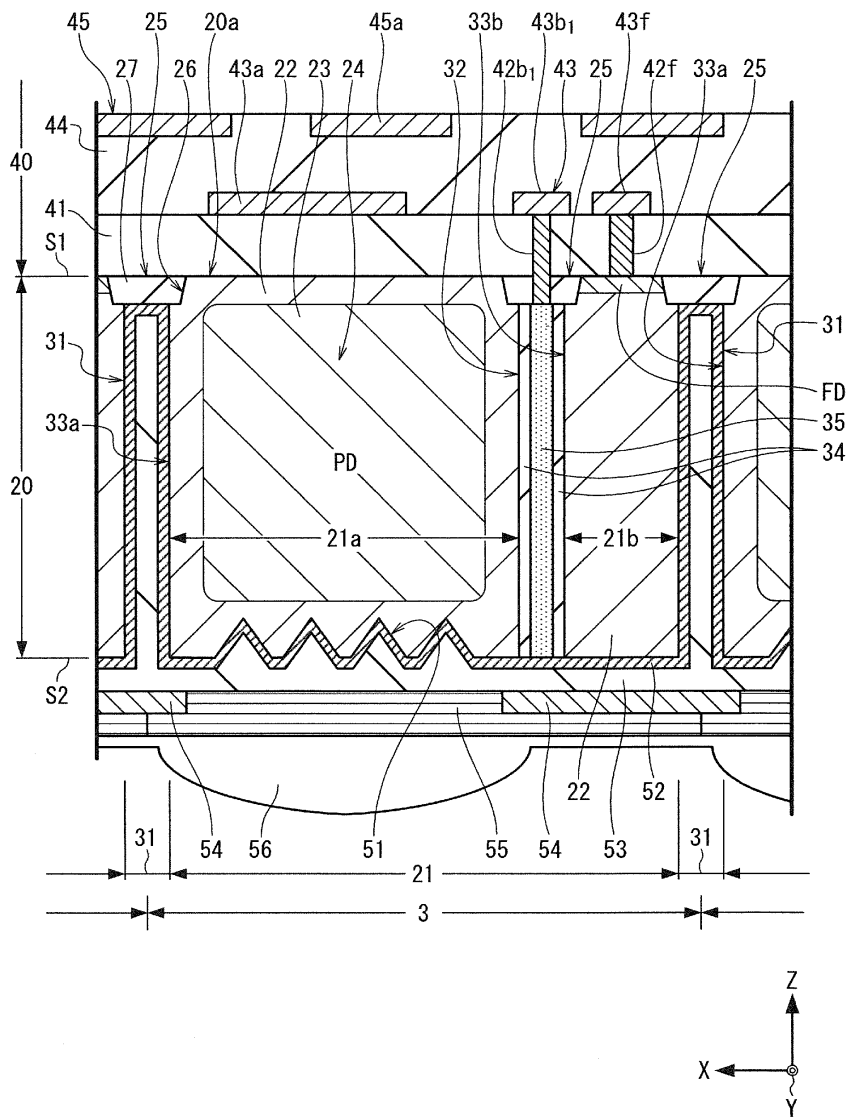
도면4



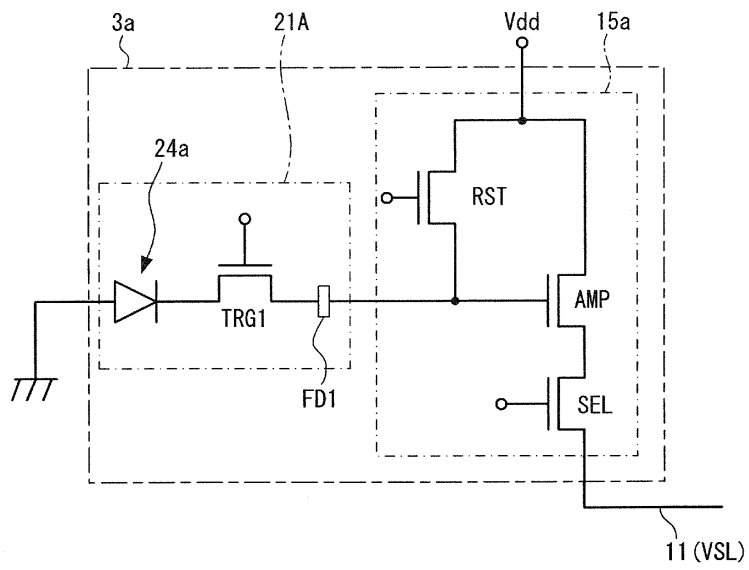
도면5



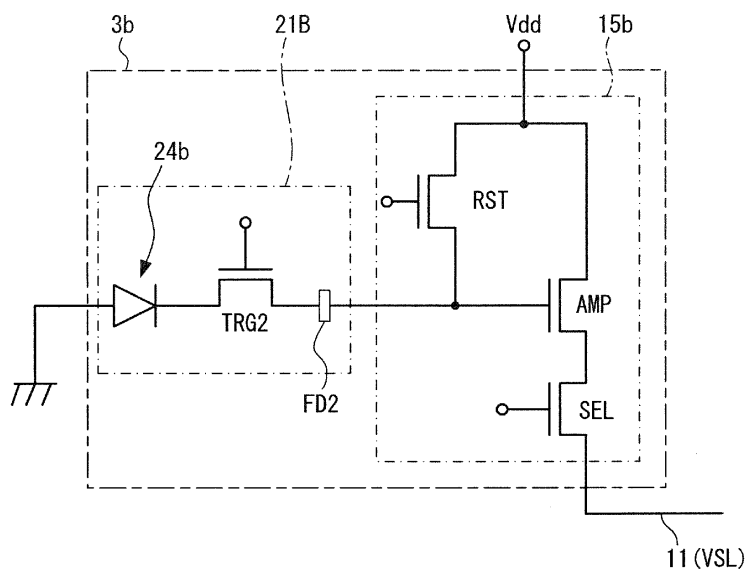
도면6



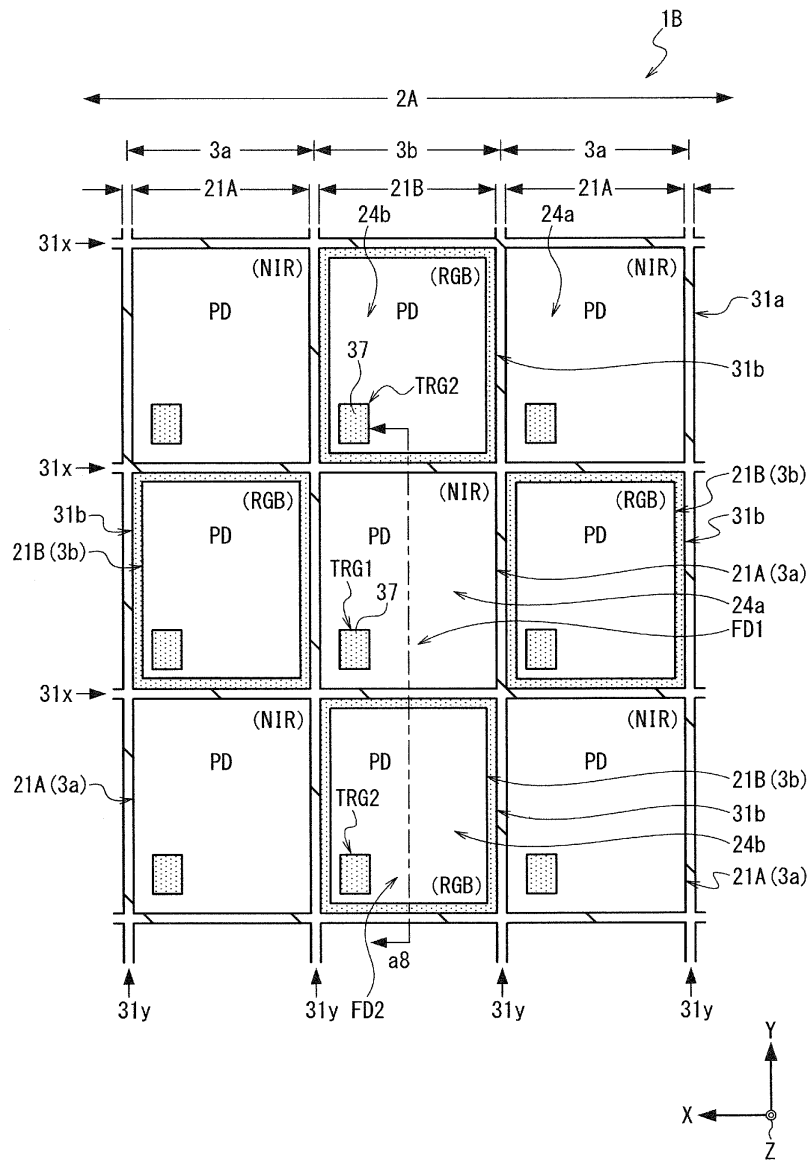
도면7a



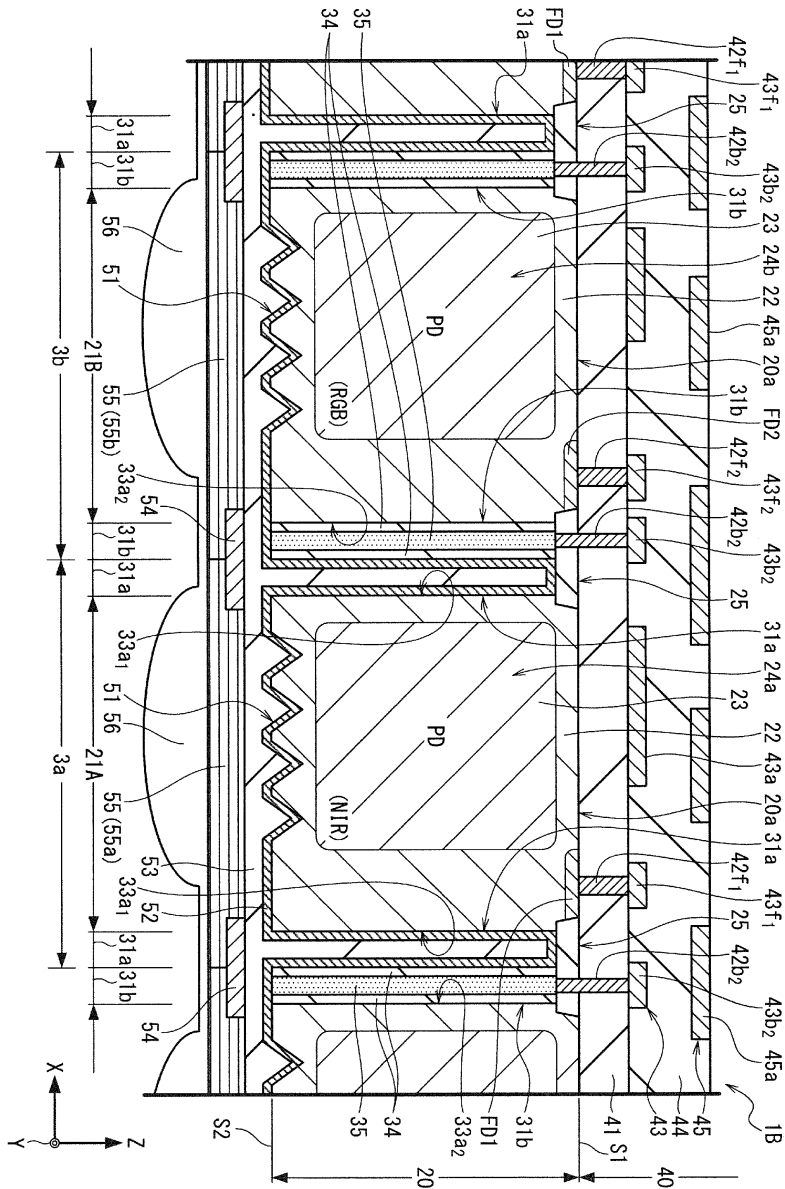
도면7b



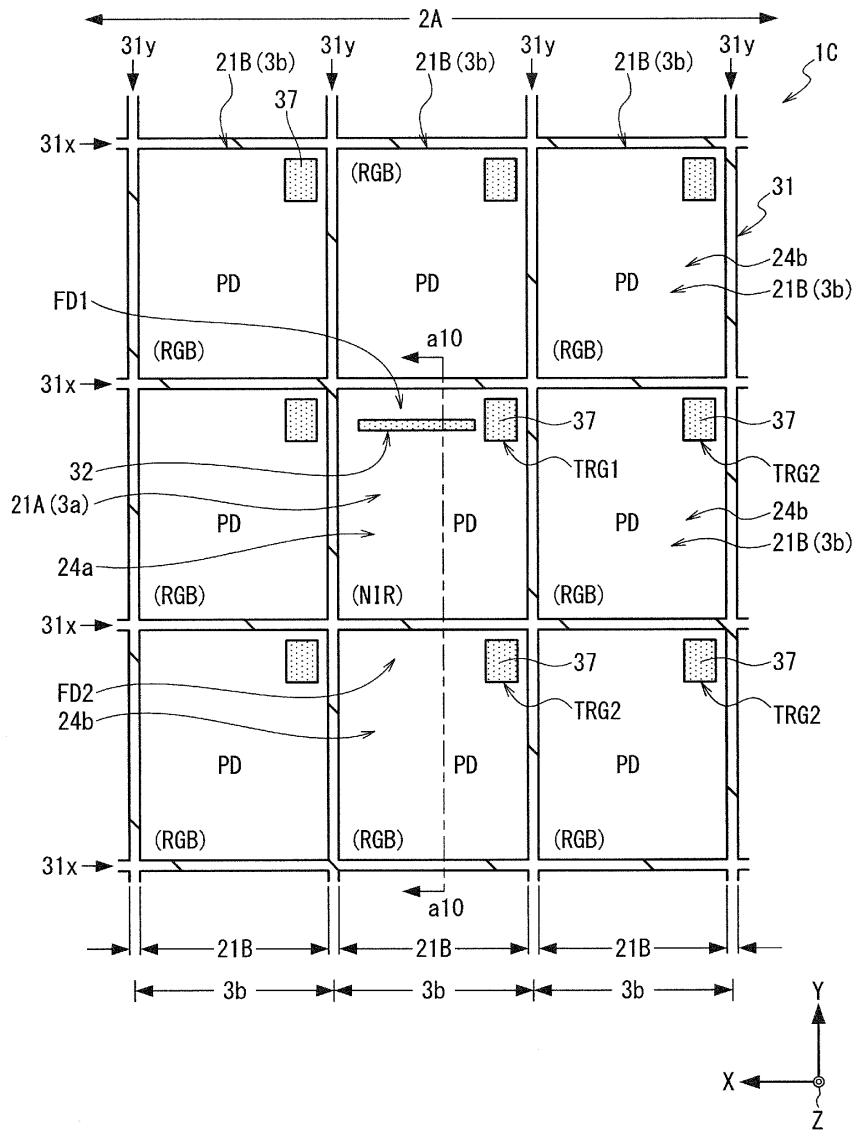
도면8



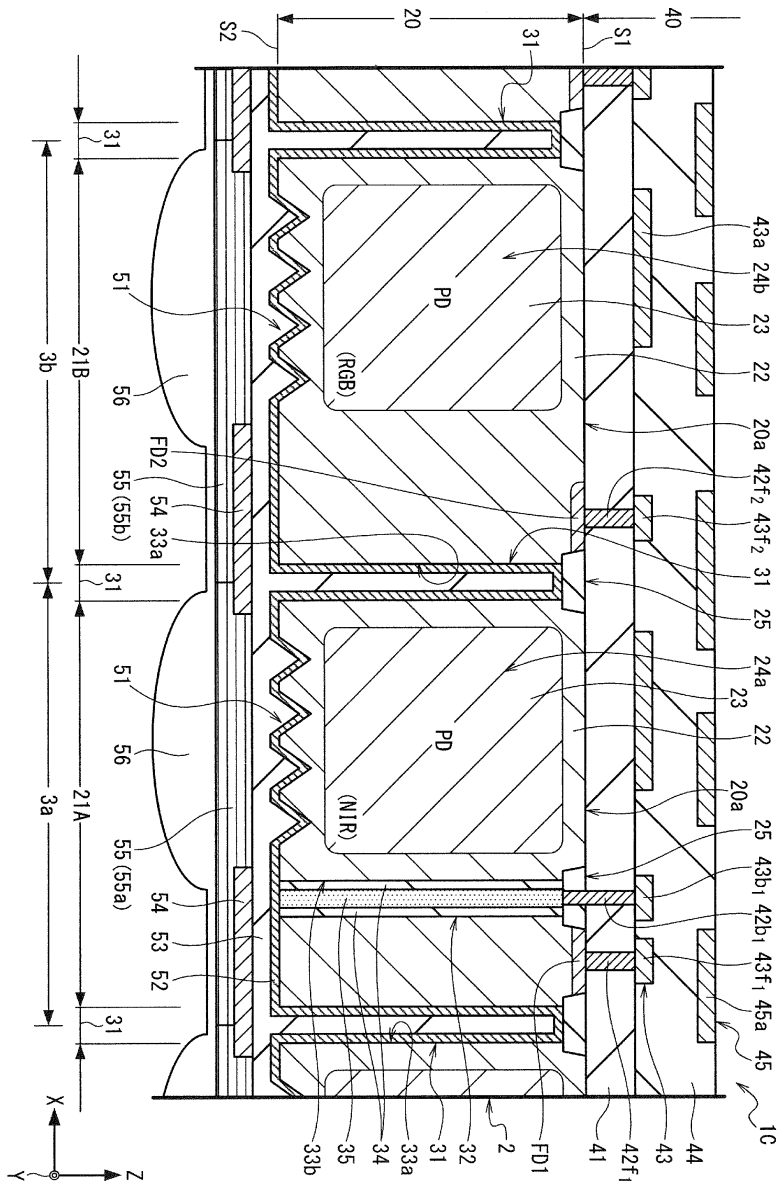
도면9



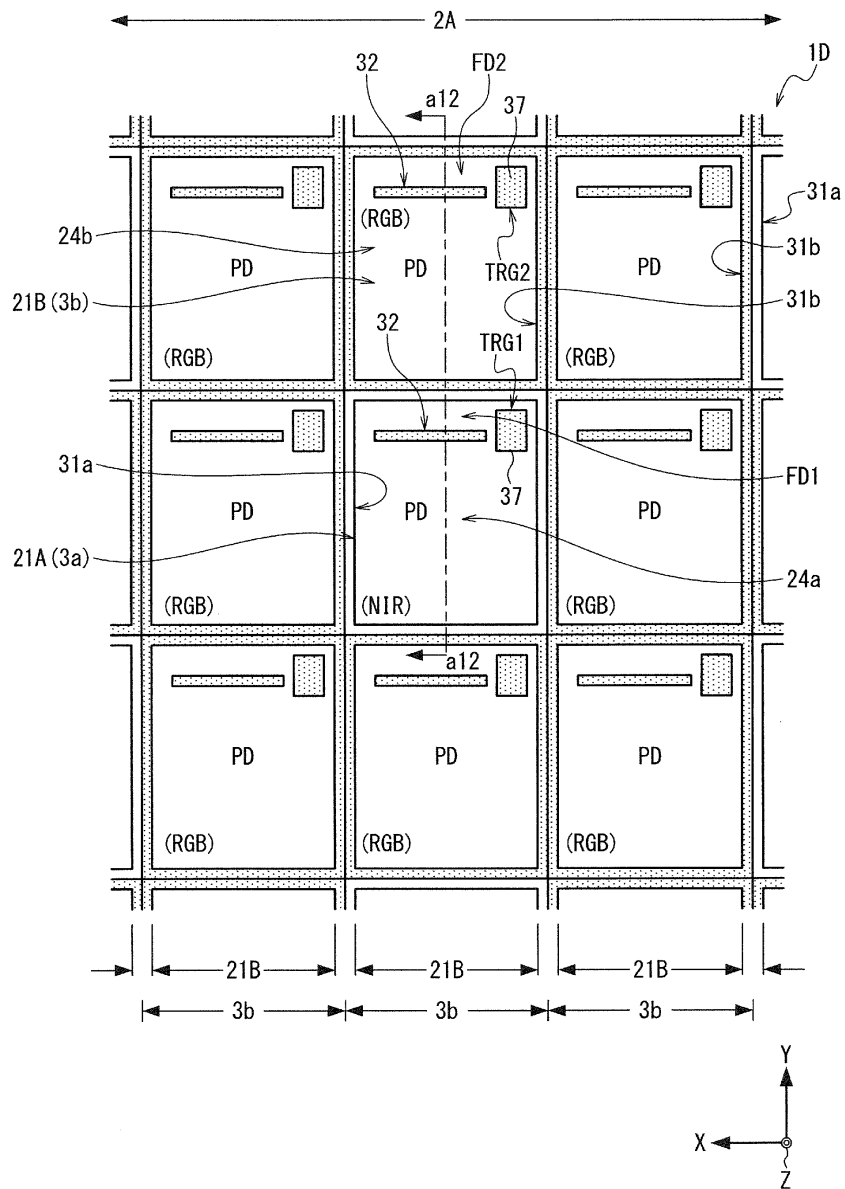
도면10



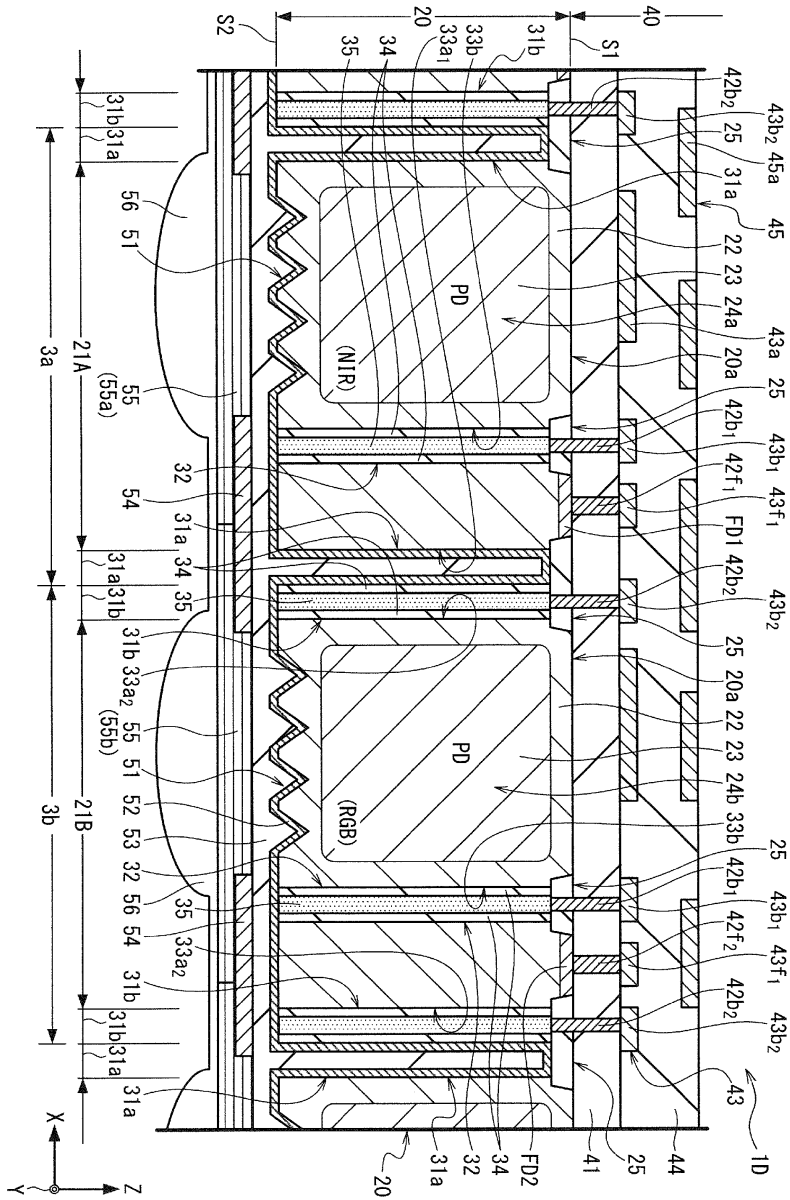
도면11



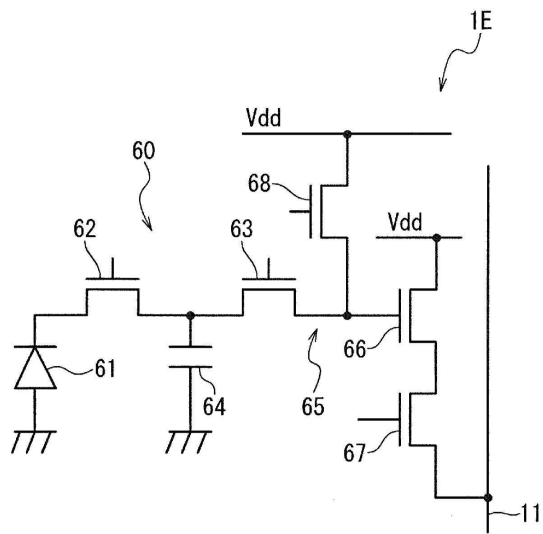
도면12



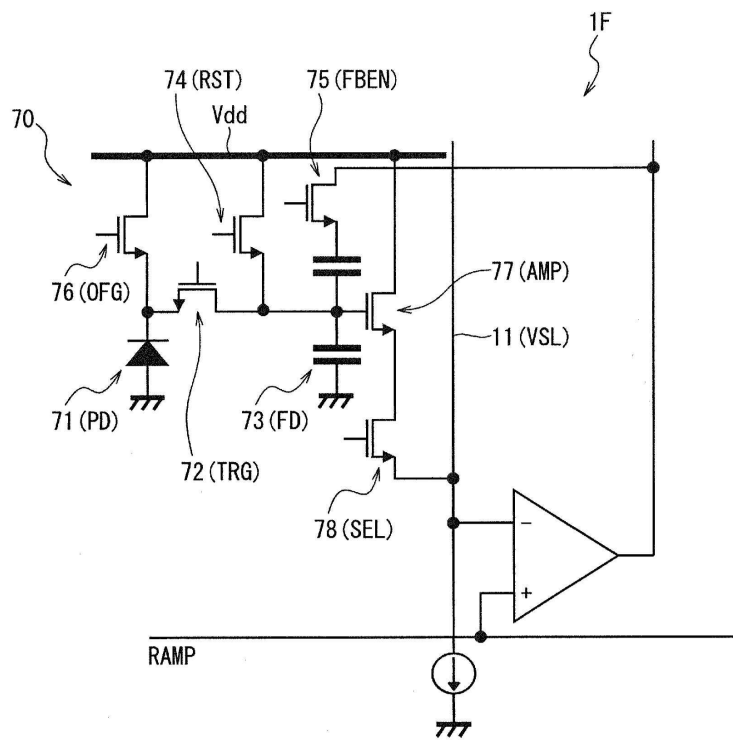
도면13



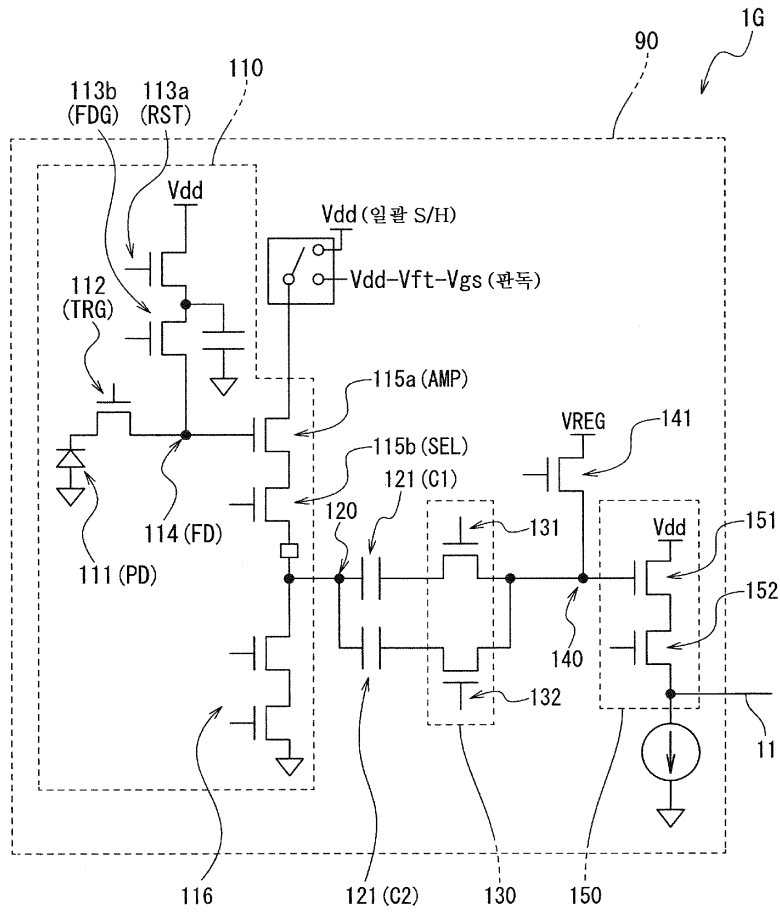
도면14



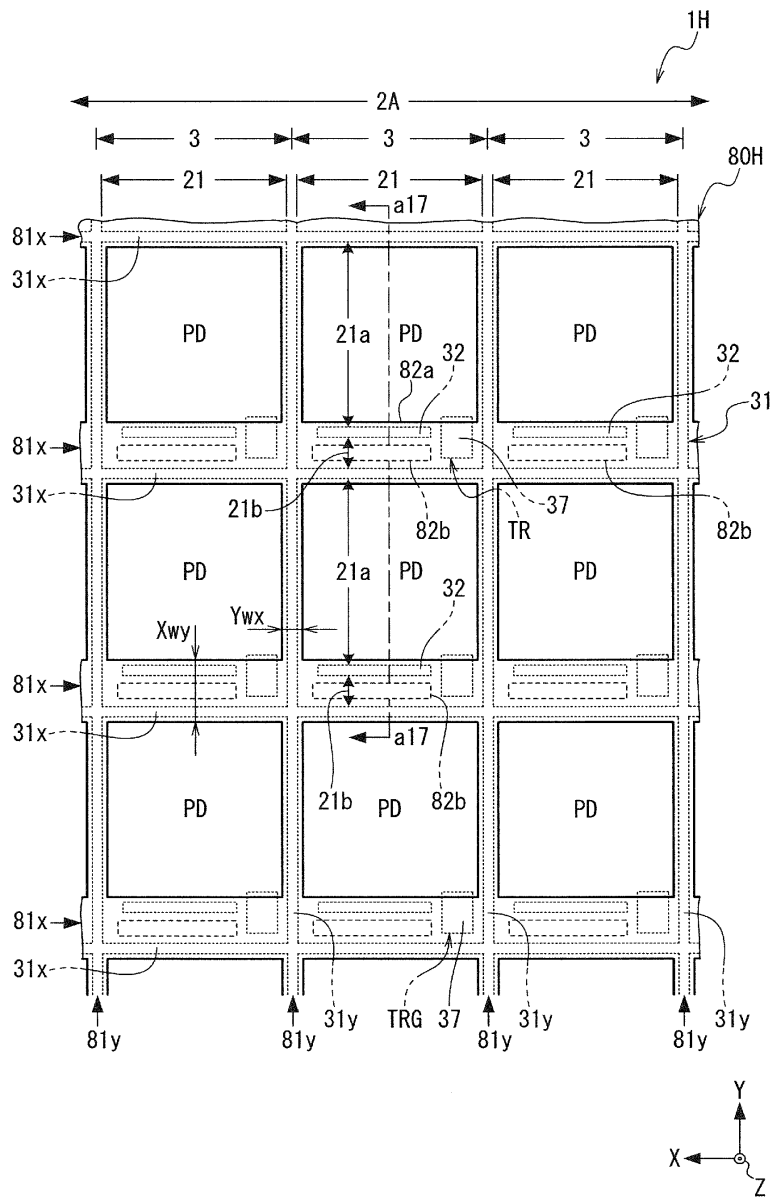
도면 15



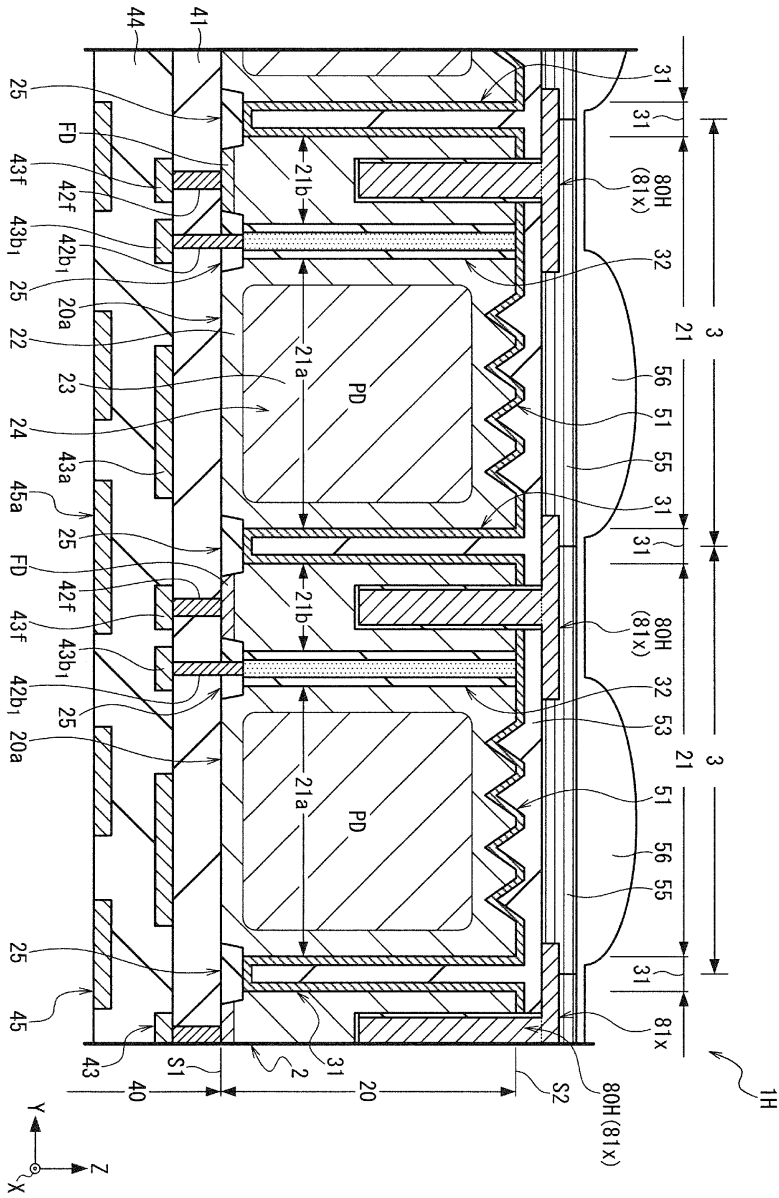
도면16



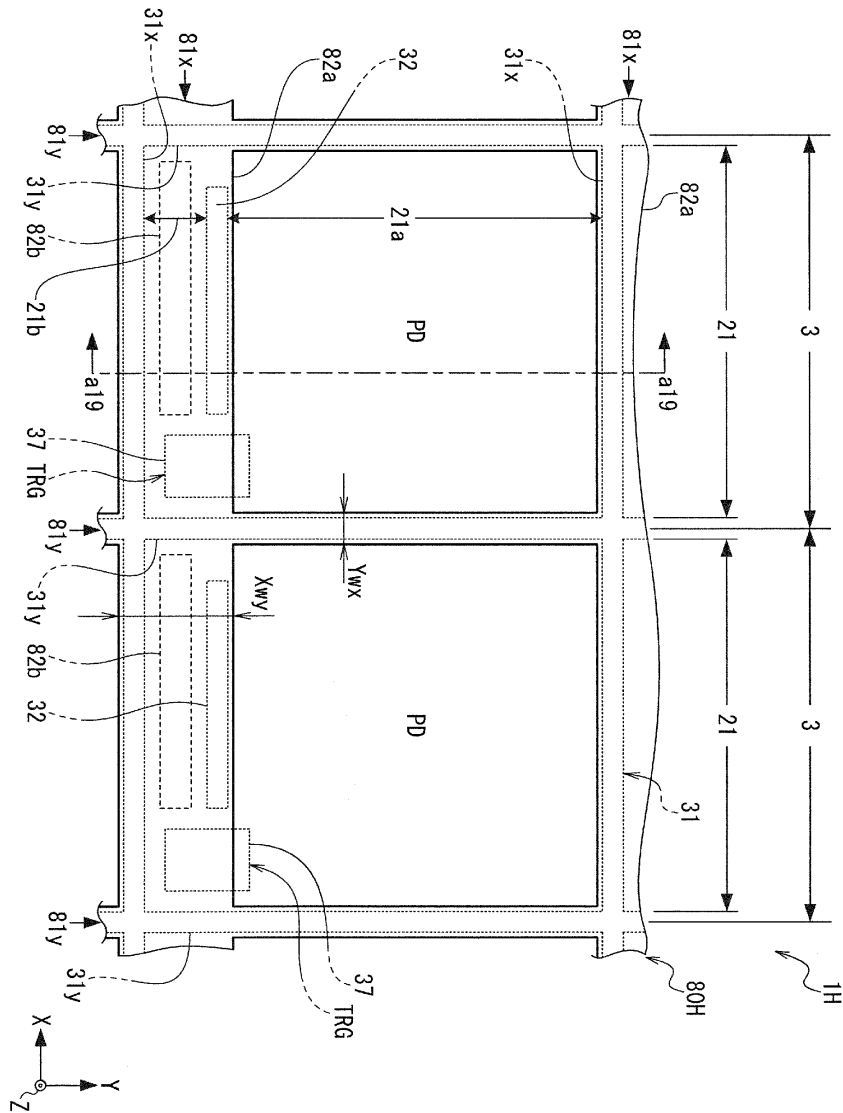
도면17



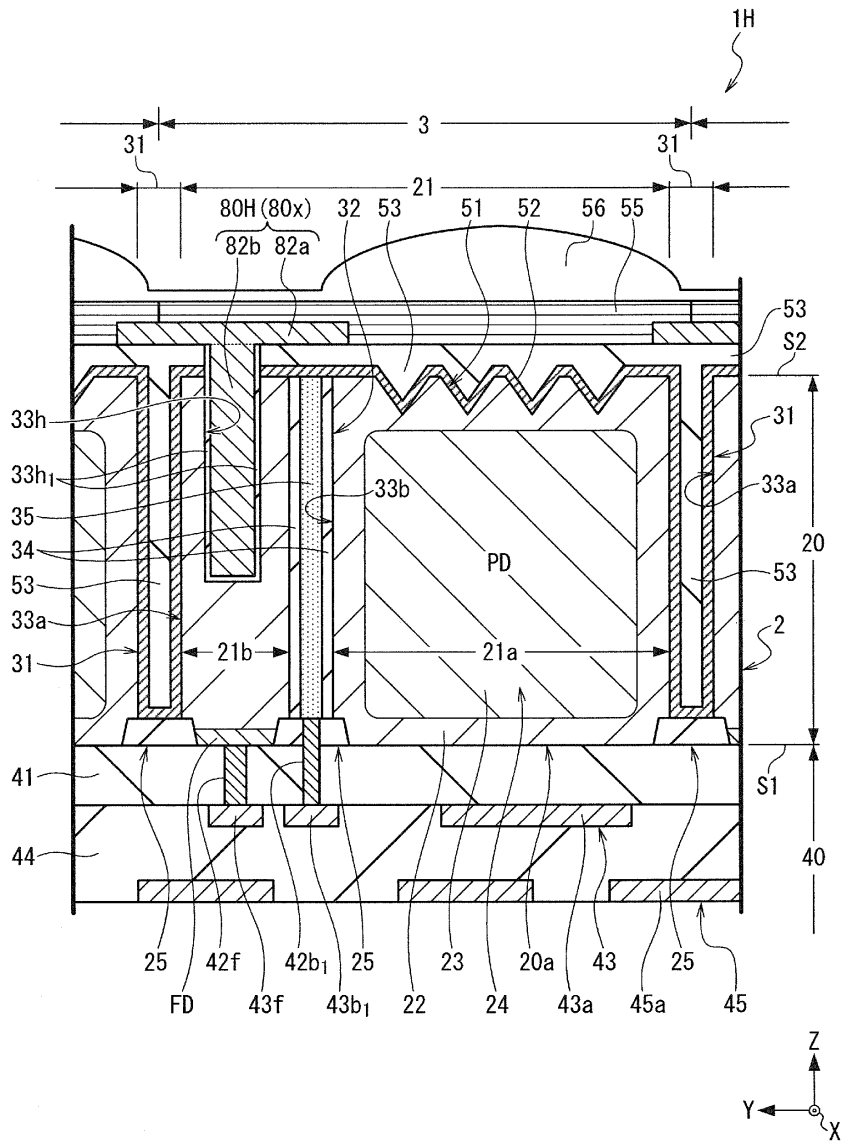
도면18



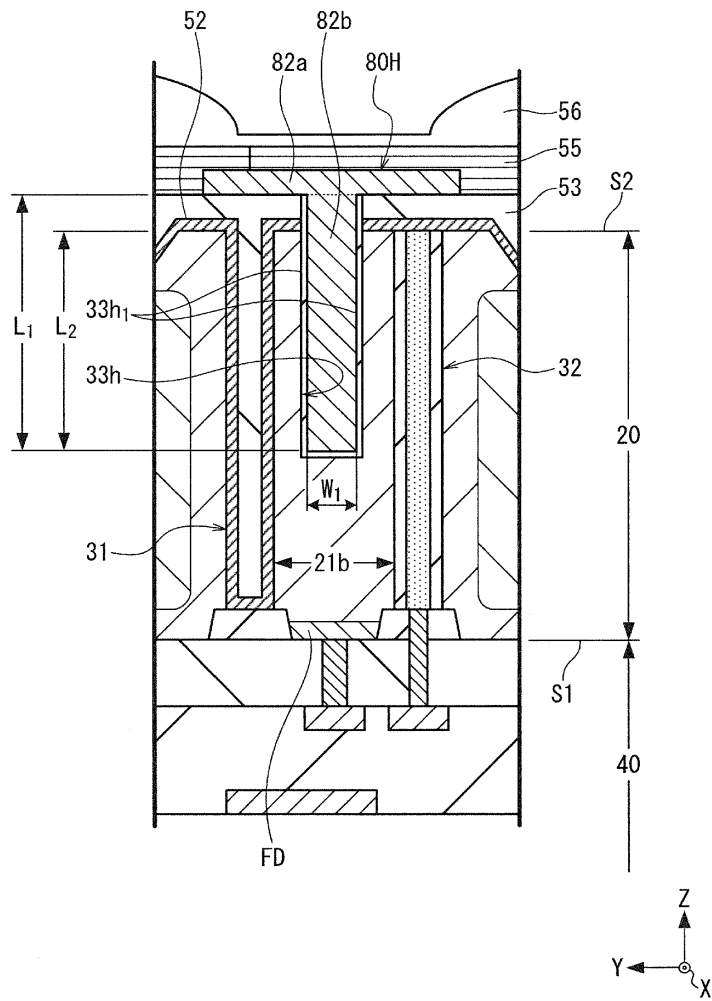
도면19



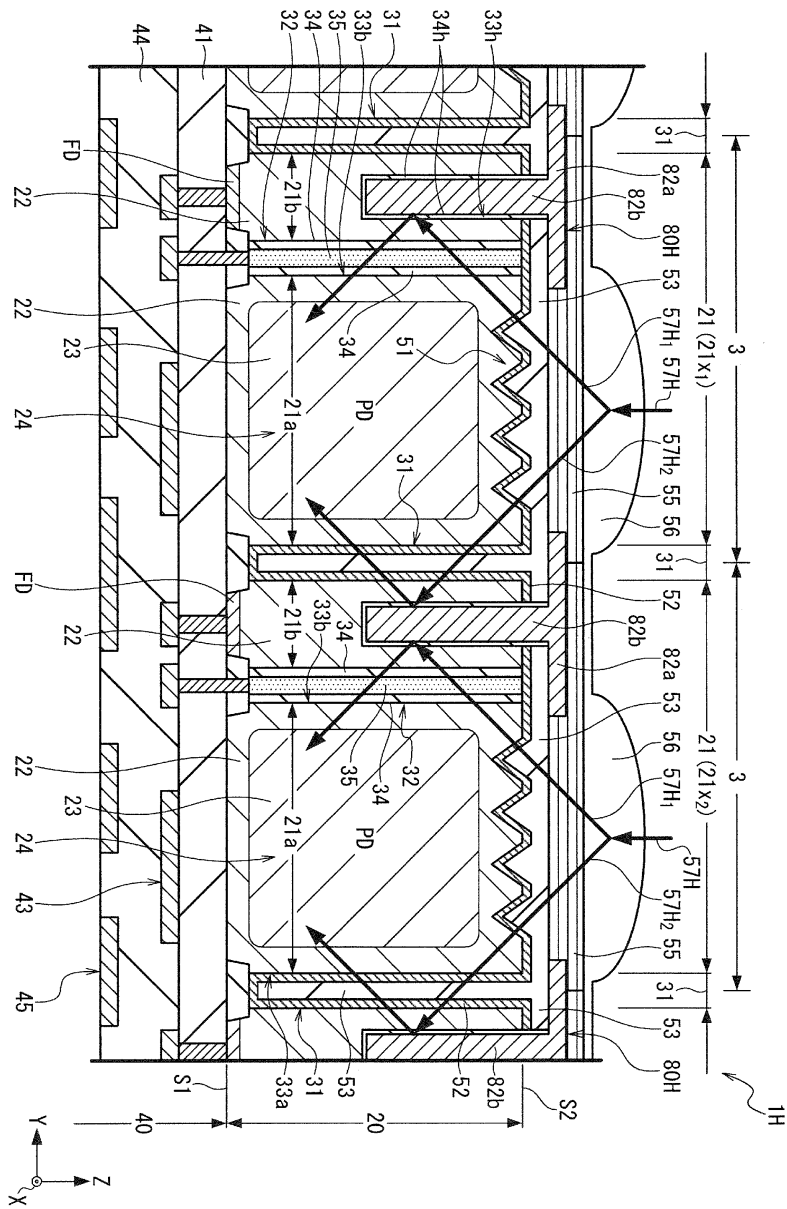
도면20



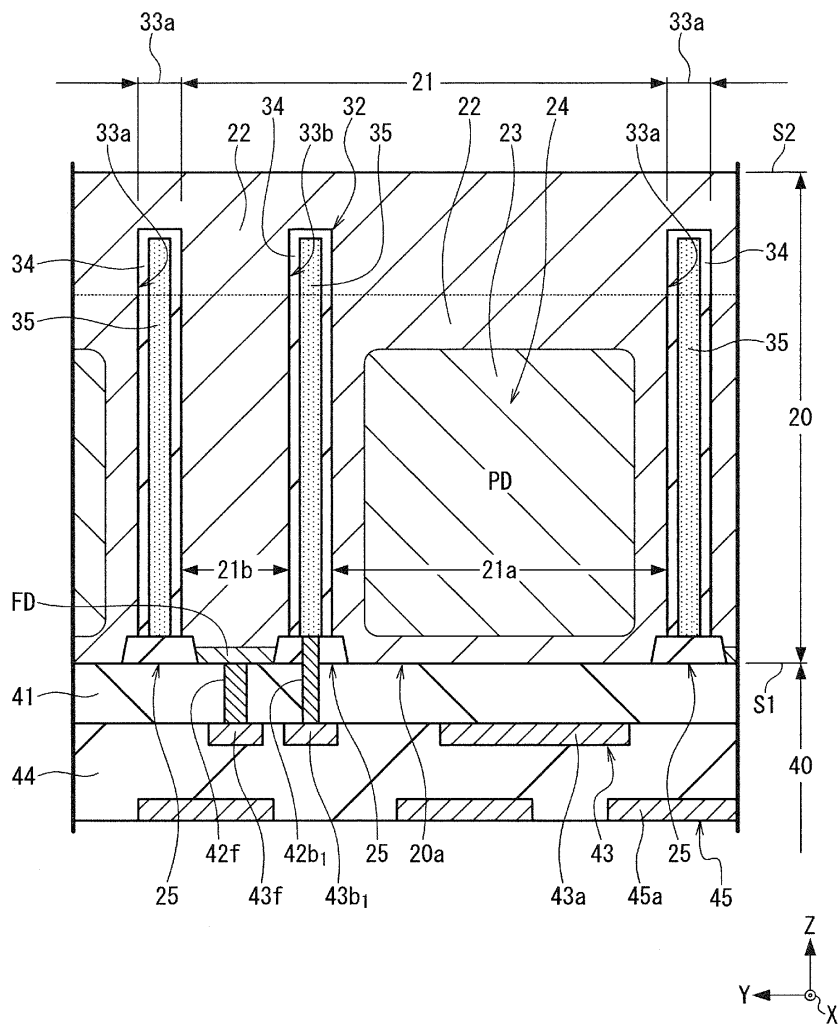
도면21a



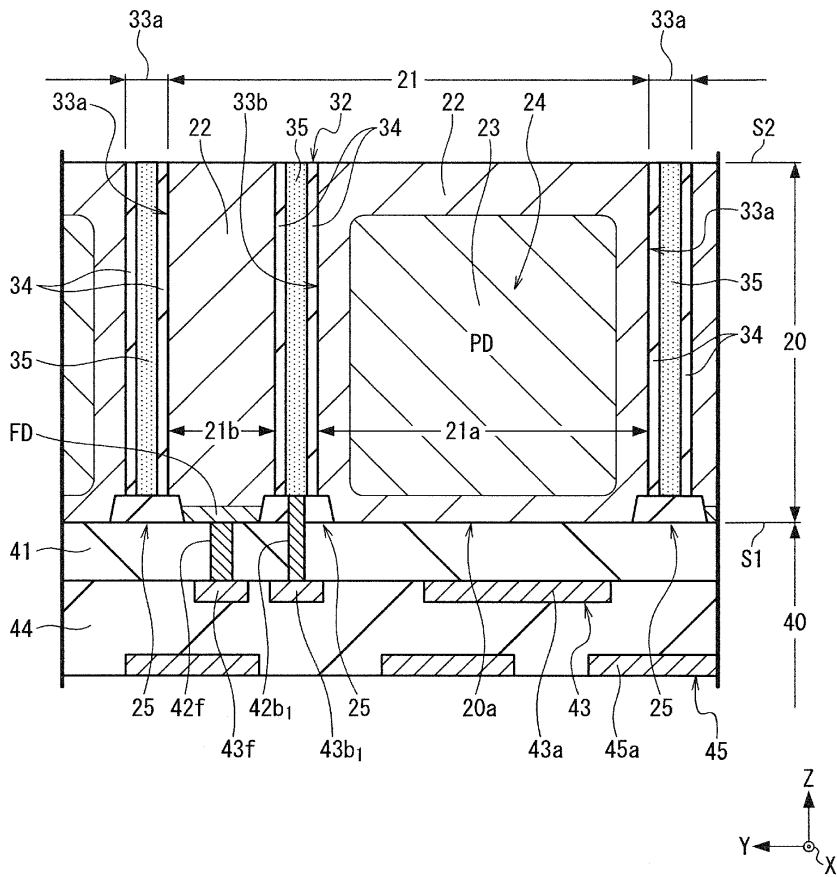
도면21b



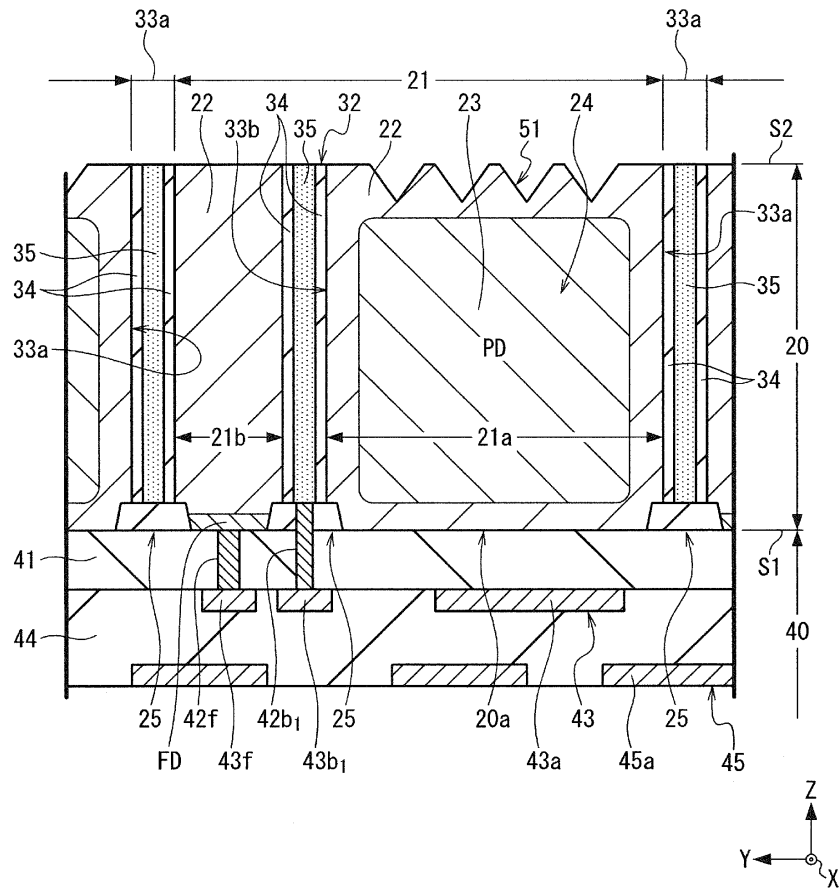
도면 22a



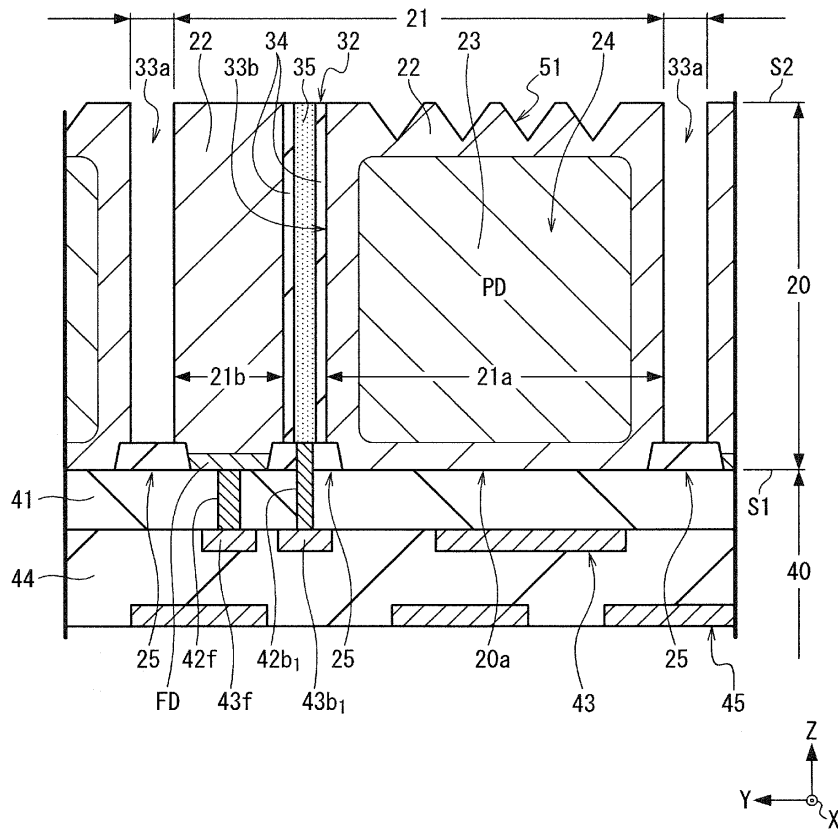
도면22b



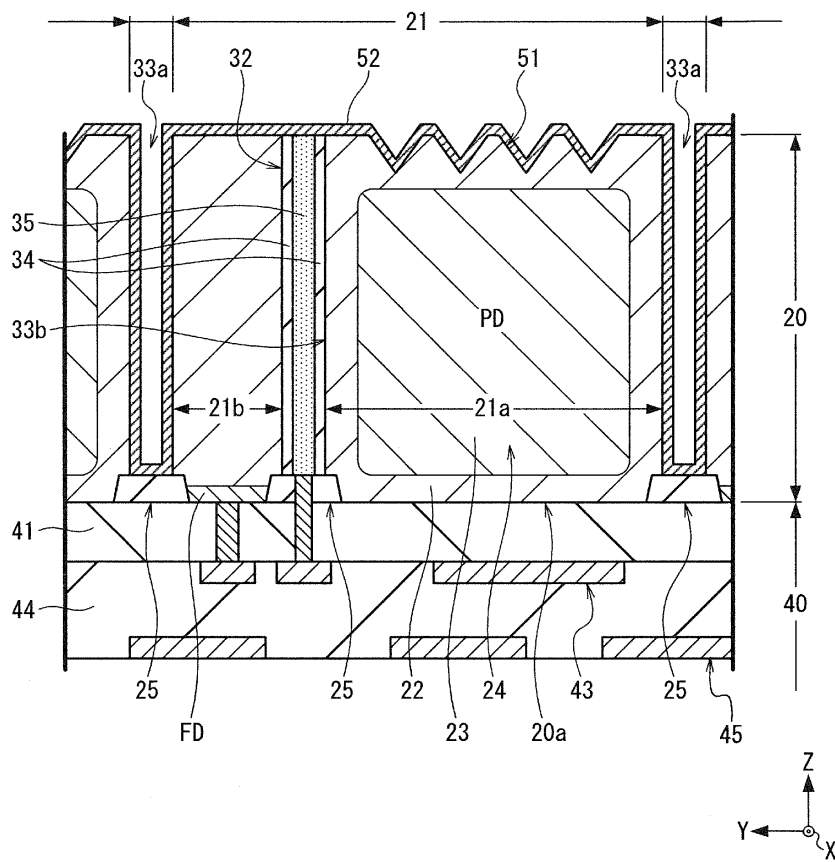
도면22c



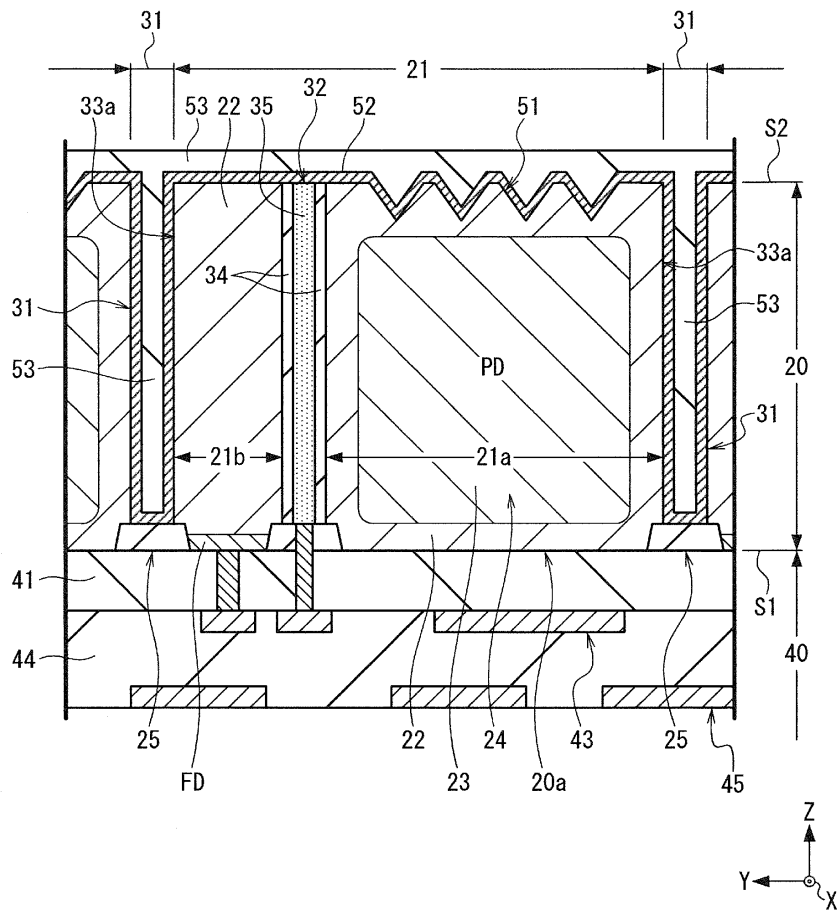
도면22d



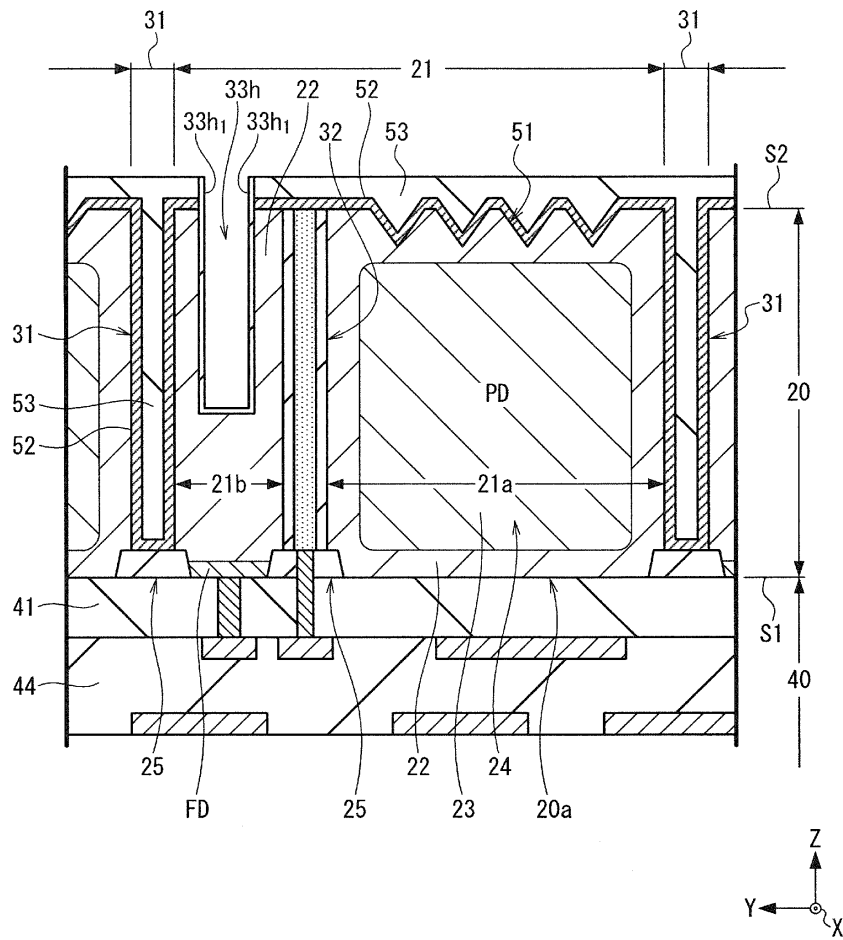
도면22e



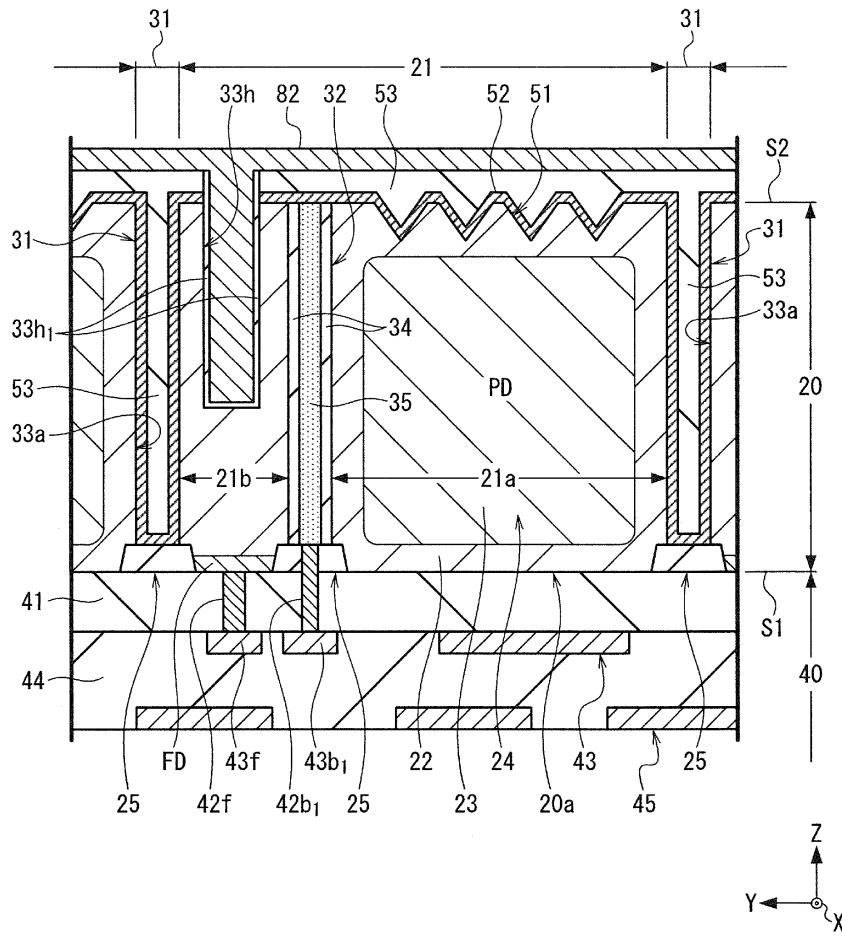
도면22f



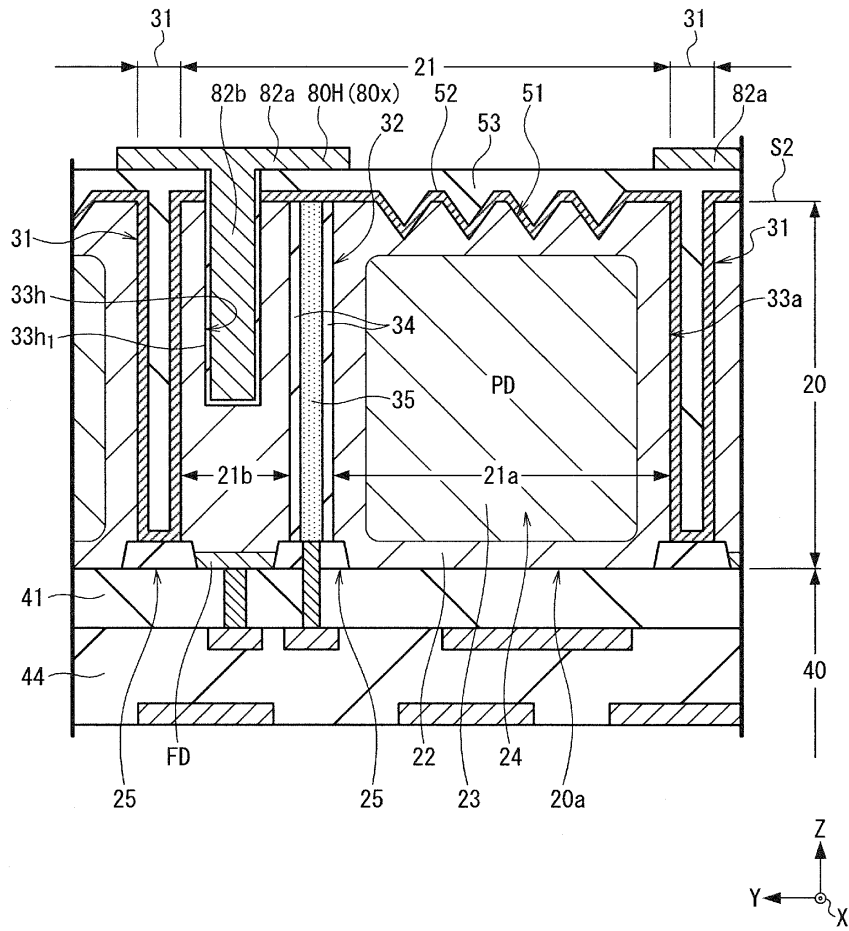
도면22g



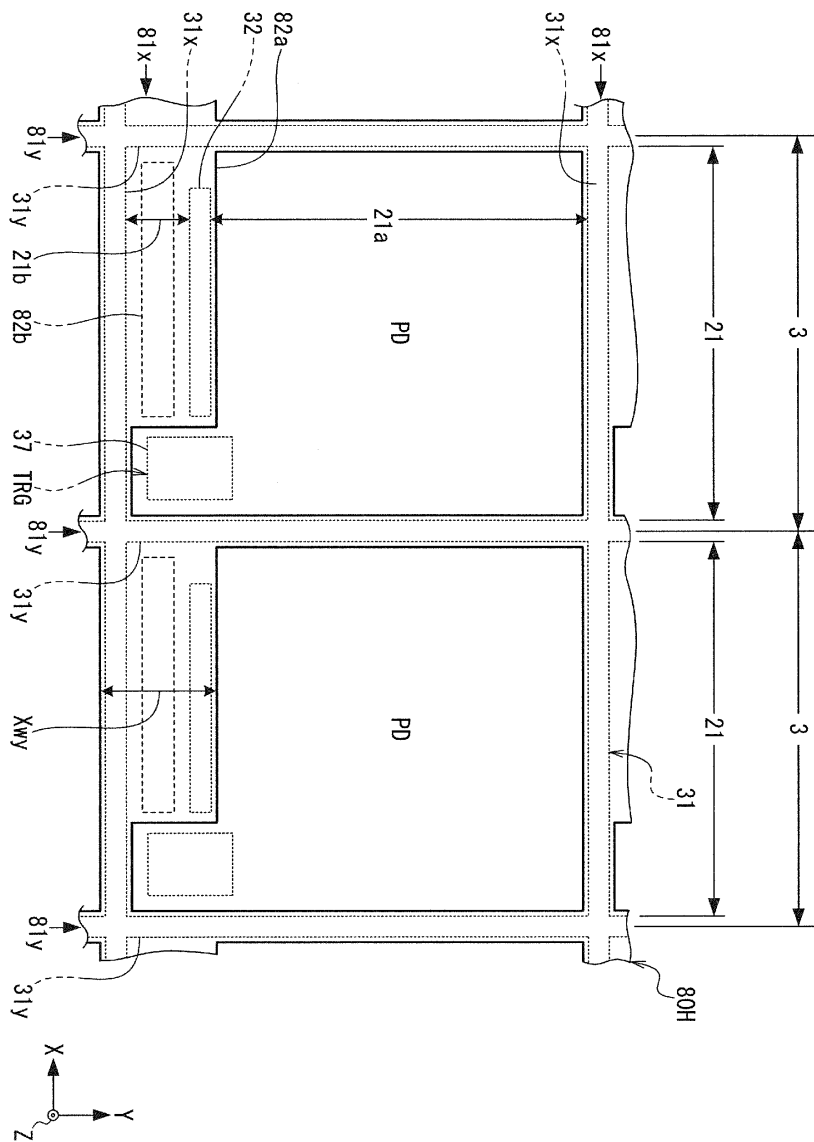
도면22h



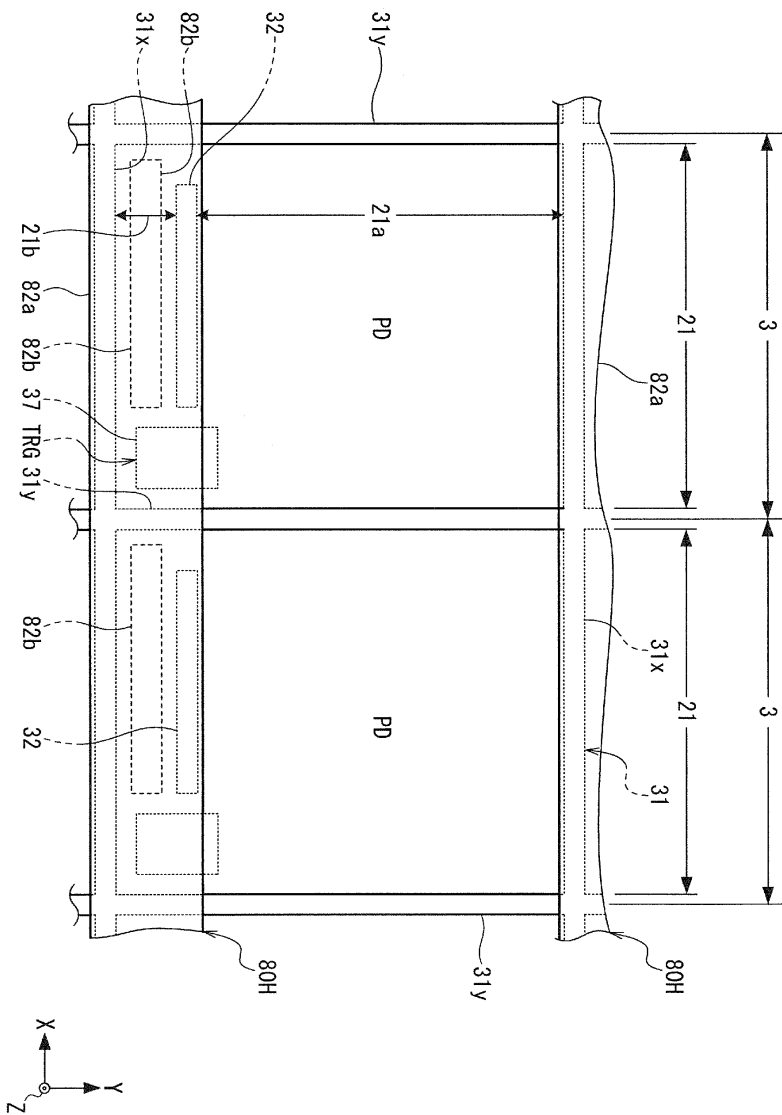
도면22i



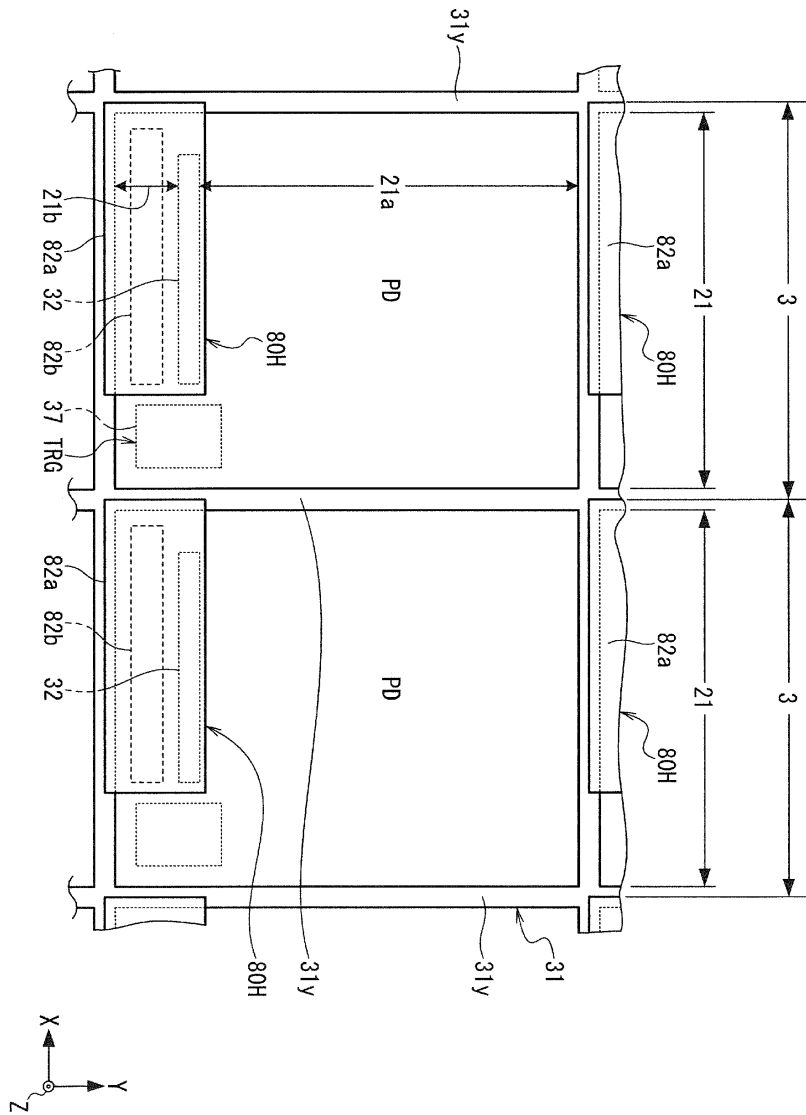
도면23



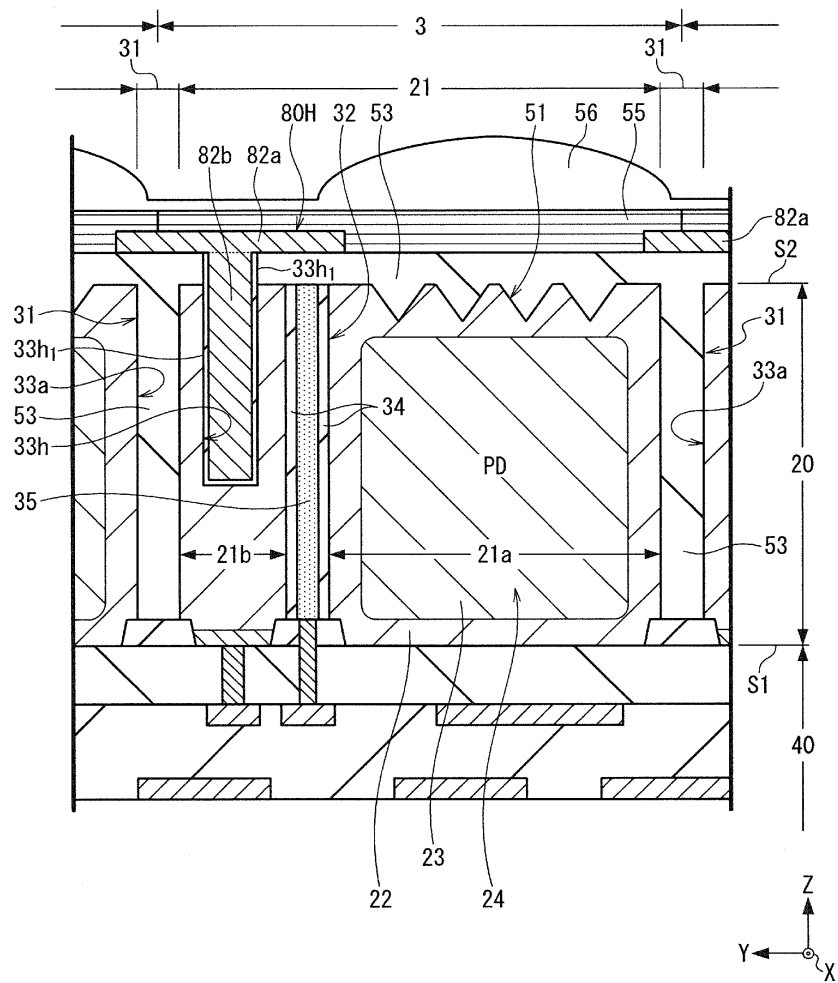
도면24



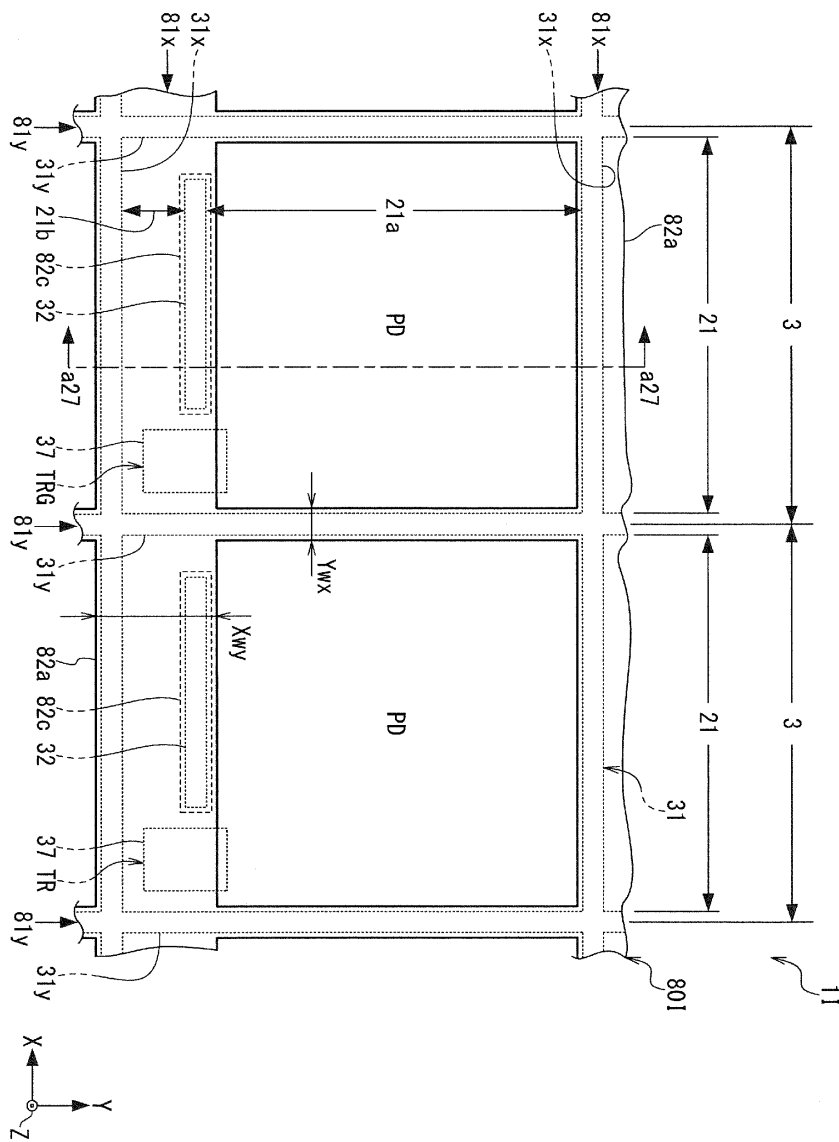
도면25



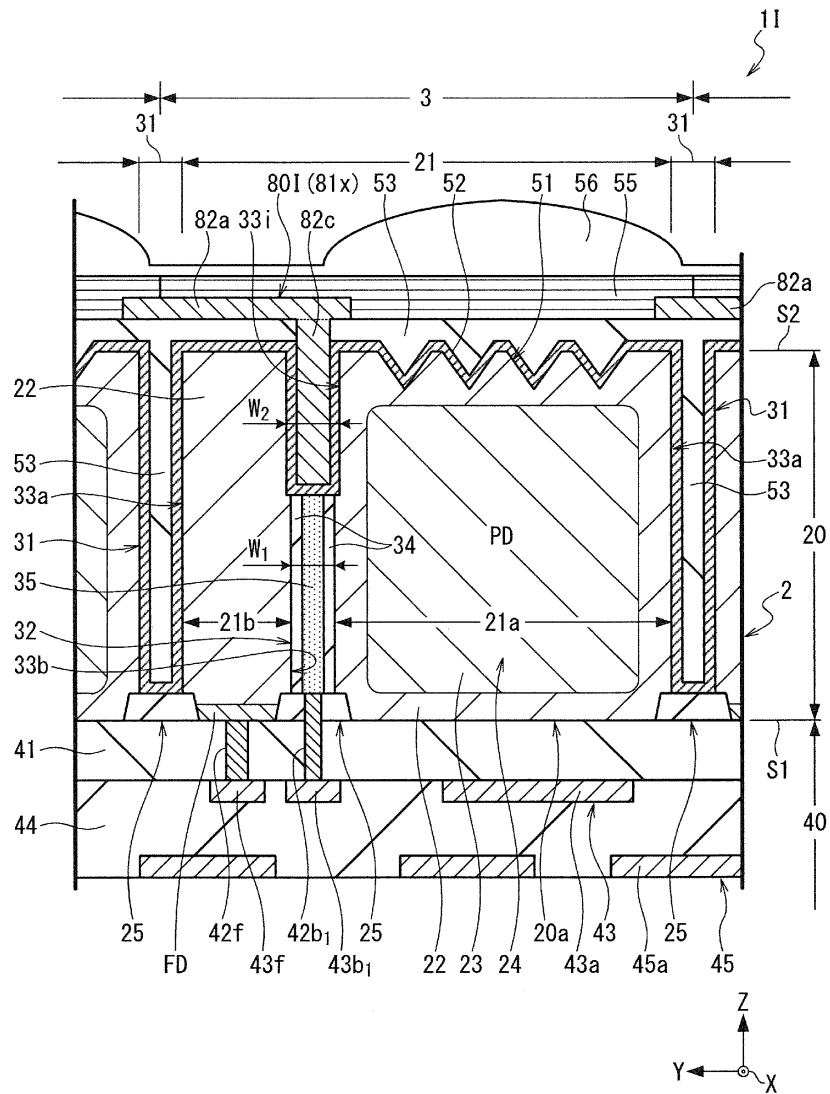
도면26



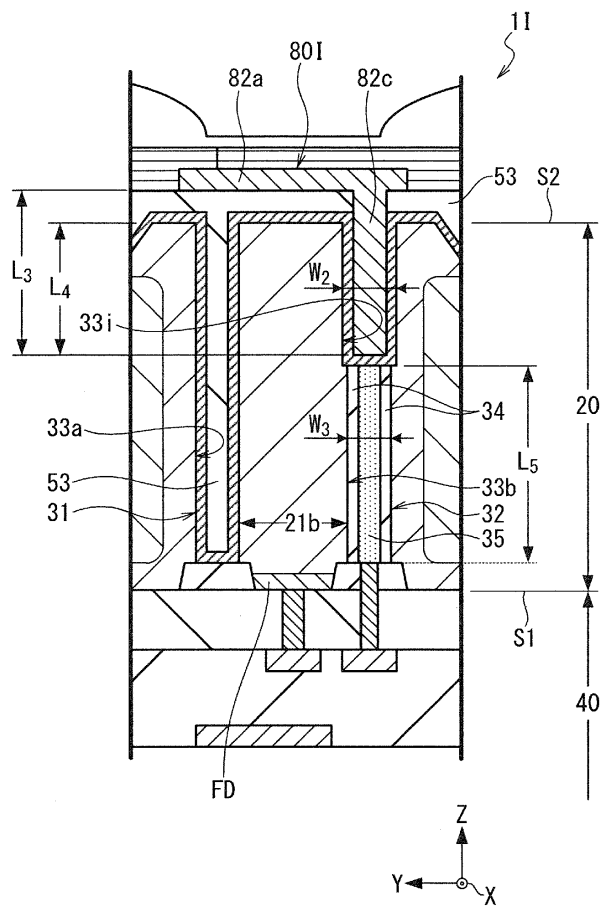
도면27



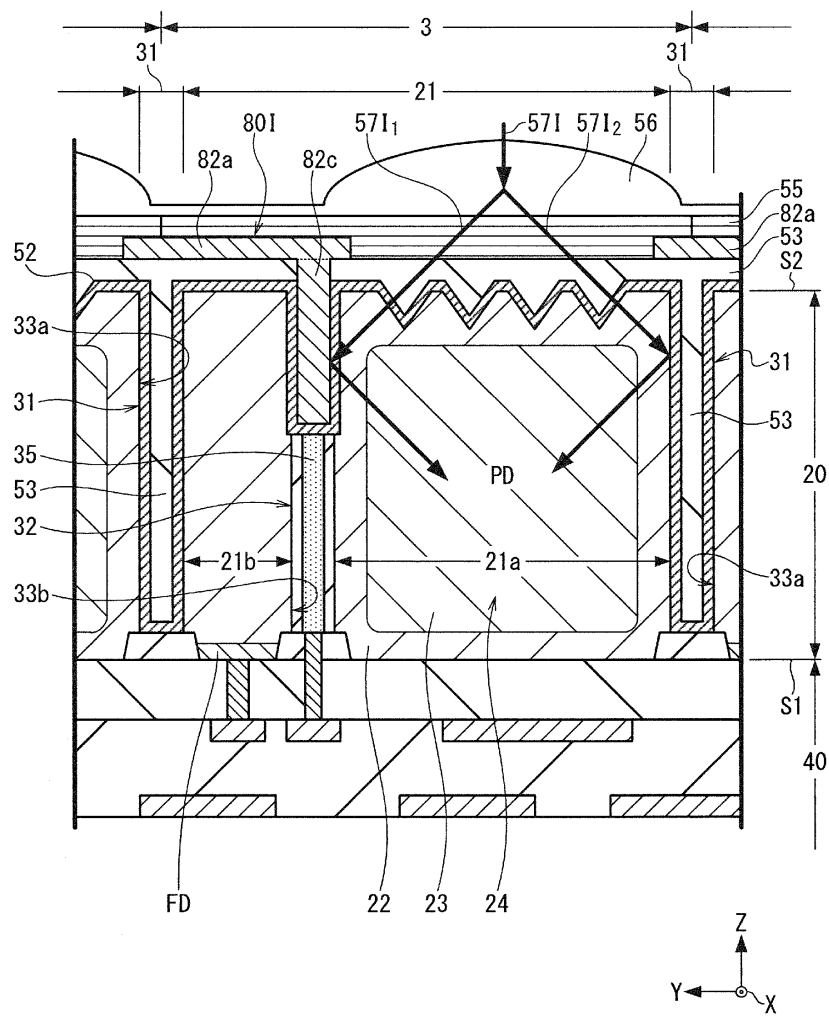
도면28



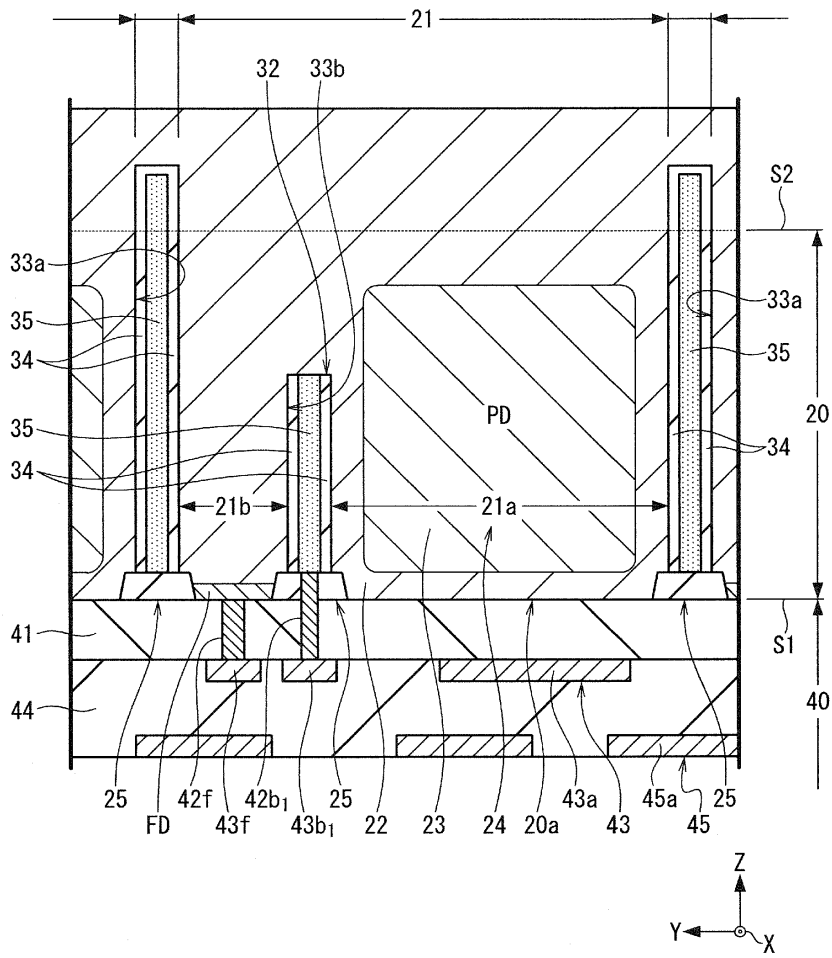
도면29a



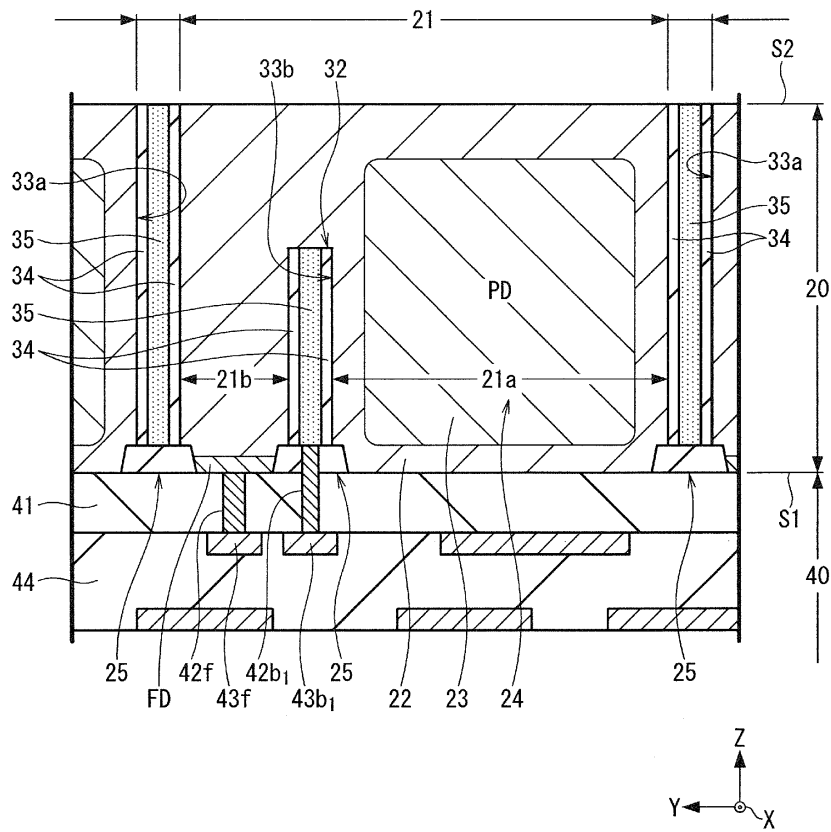
도면 29b



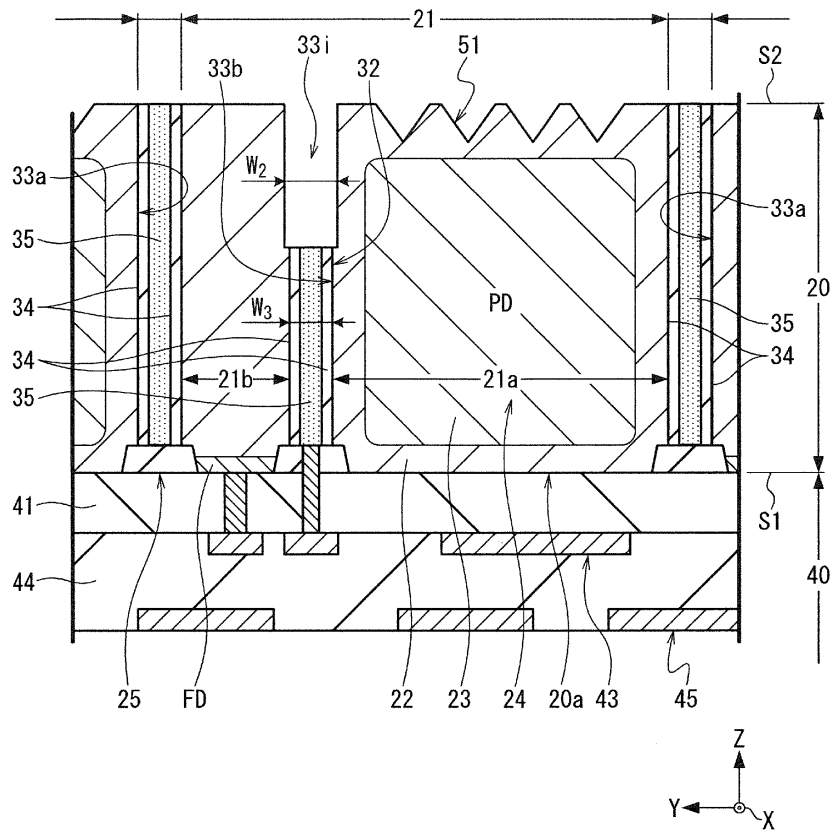
도면30a



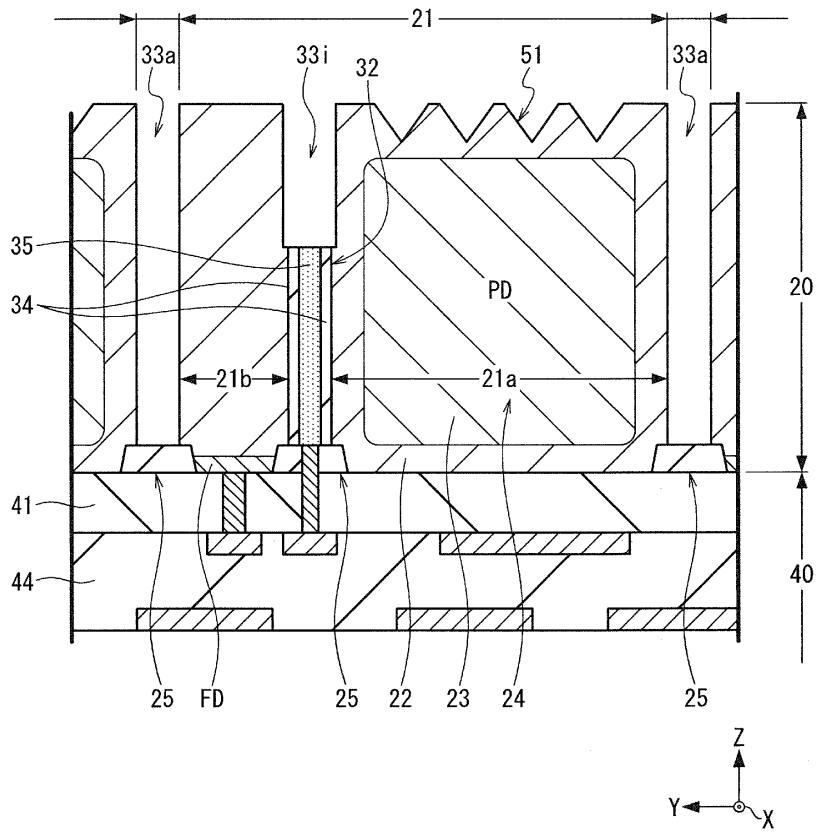
도면30b



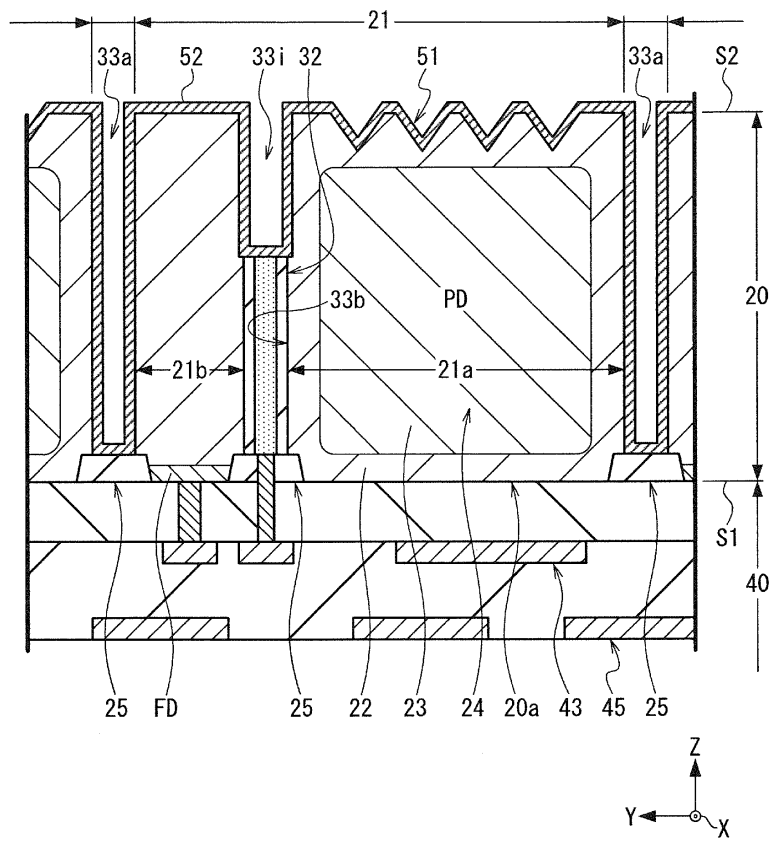
도면30c



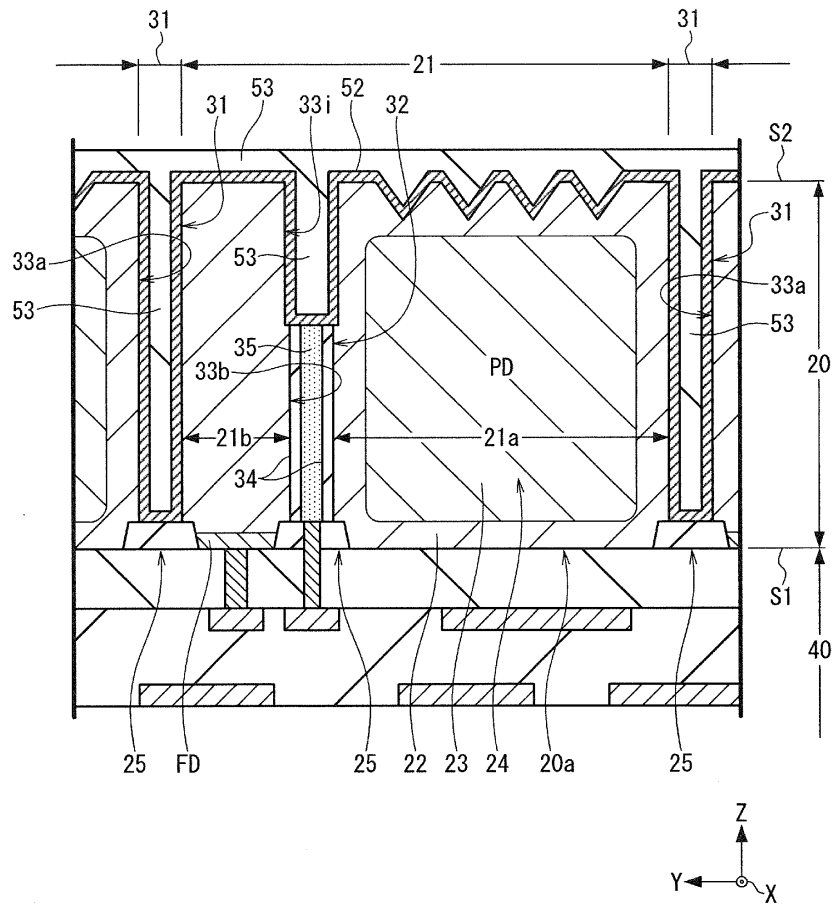
도면30d



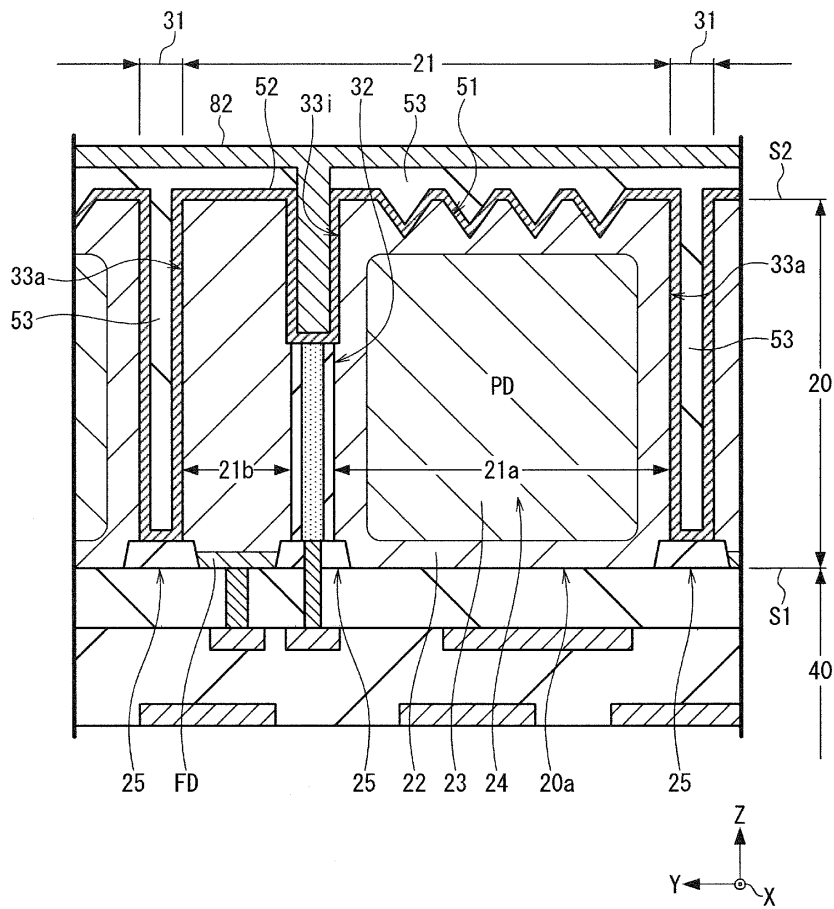
도면30e



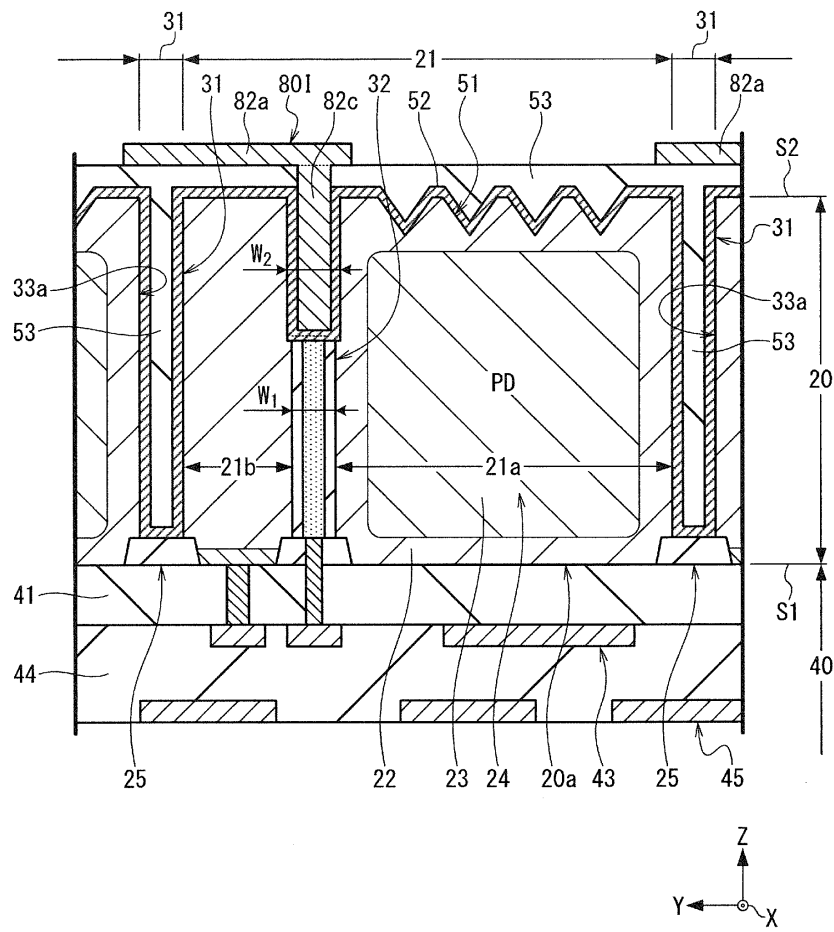
도면30f



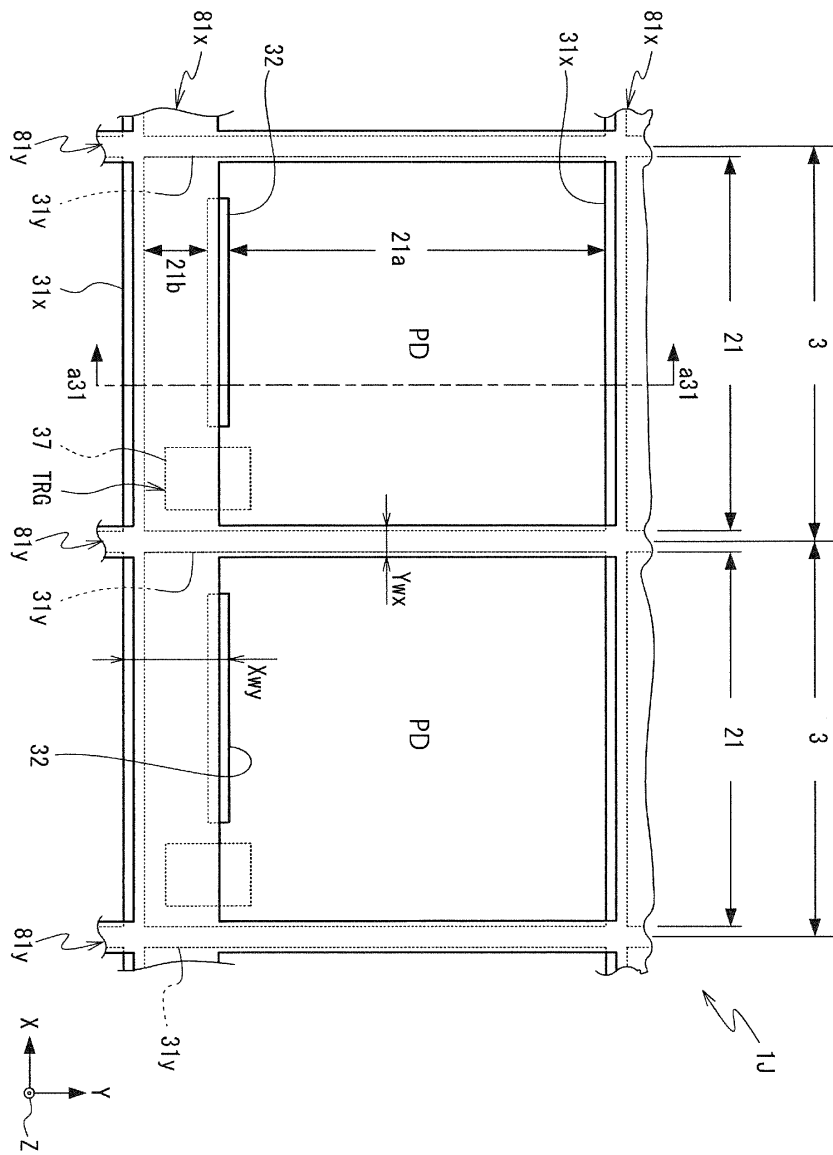
도면30g



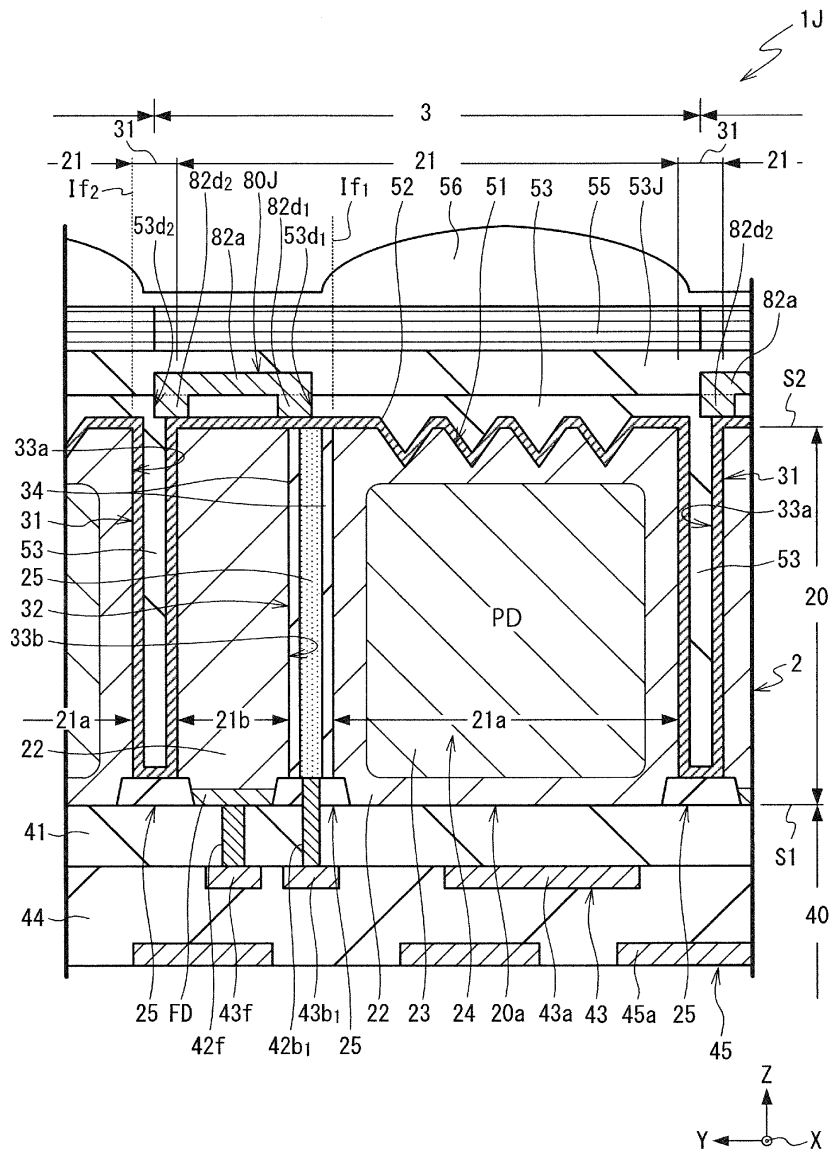
도면30h



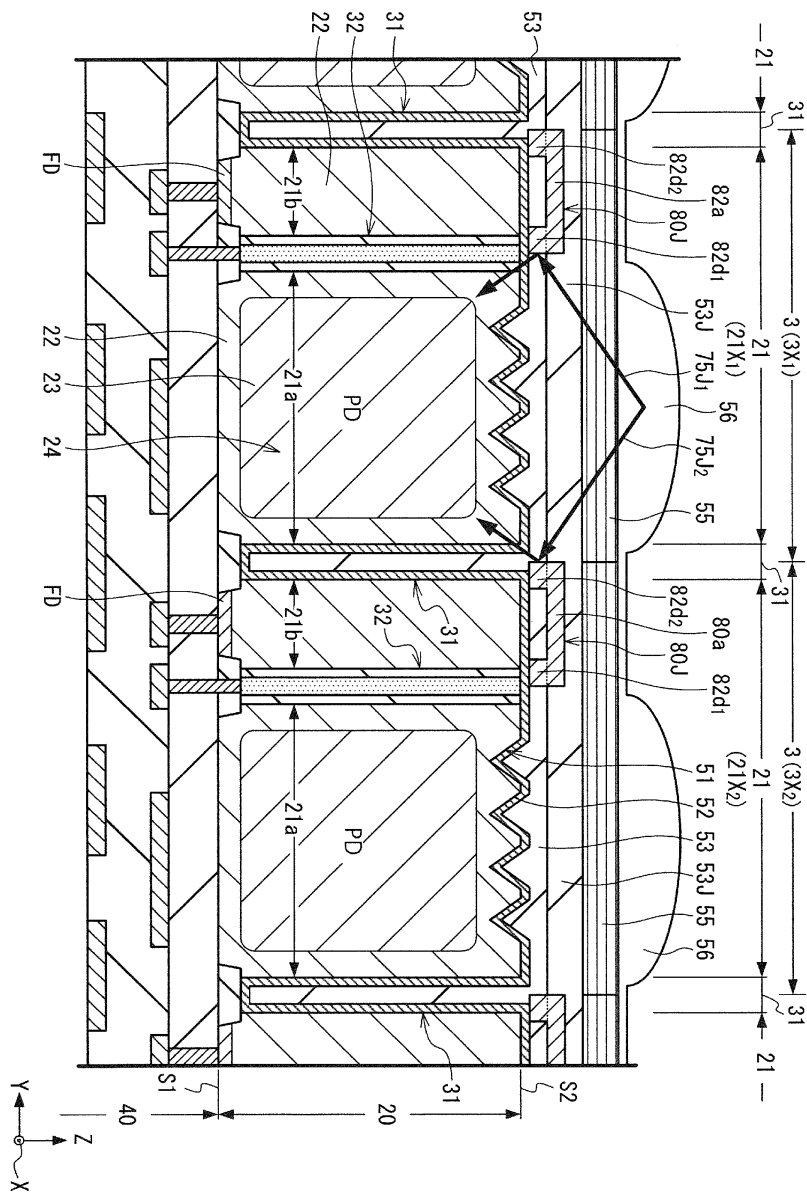
도면31



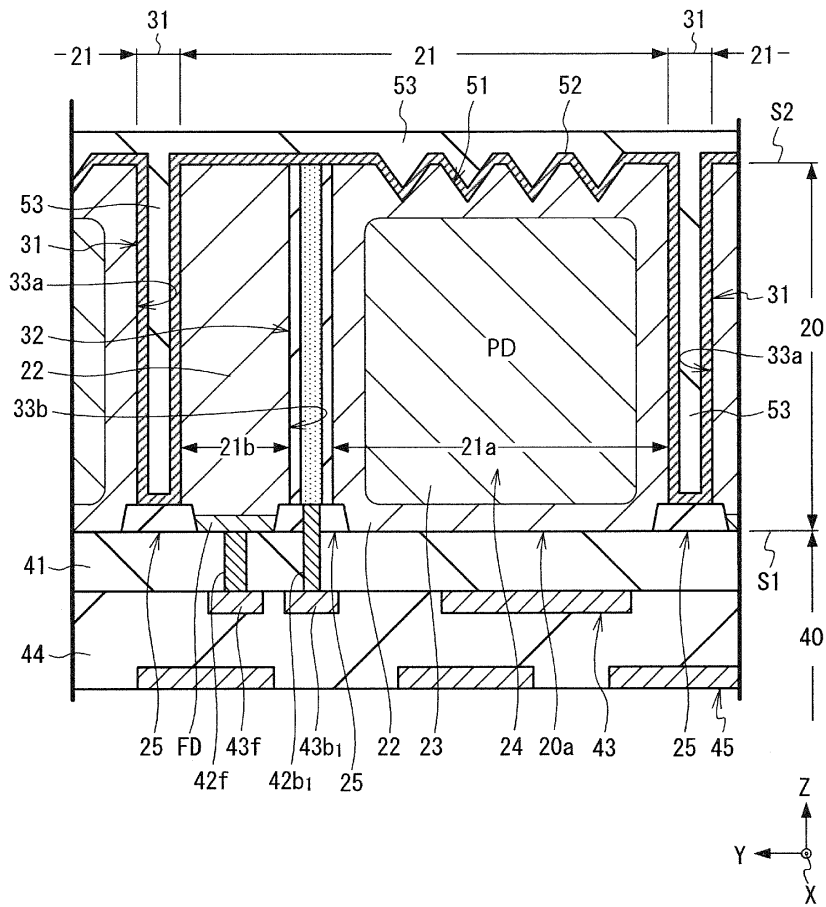
도면32



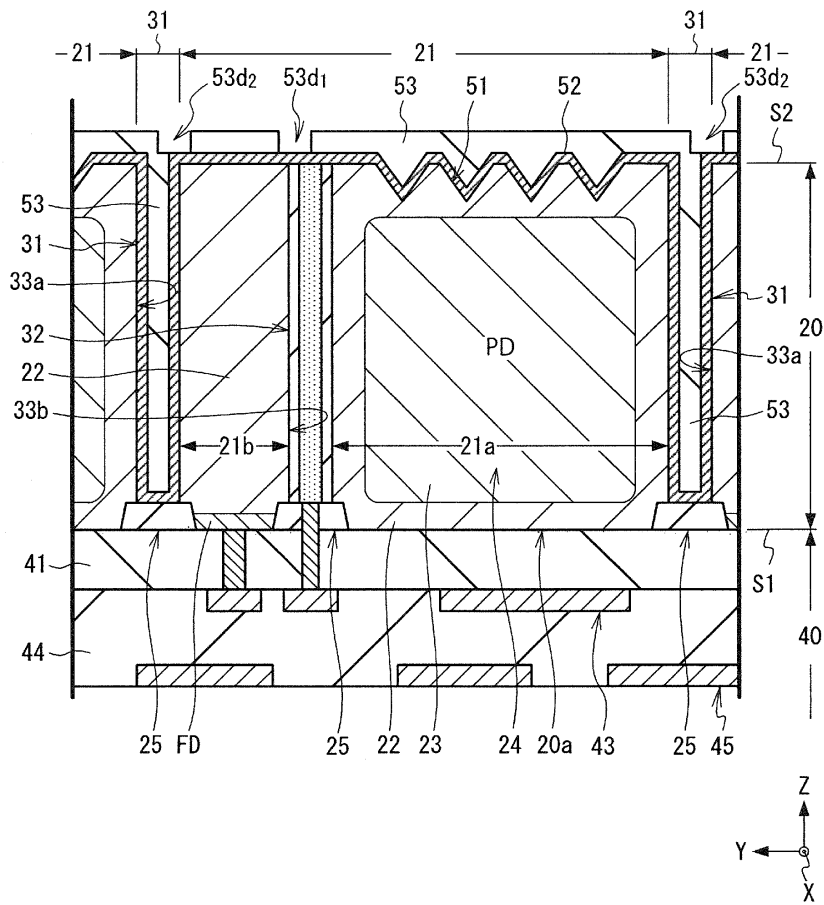
도면33



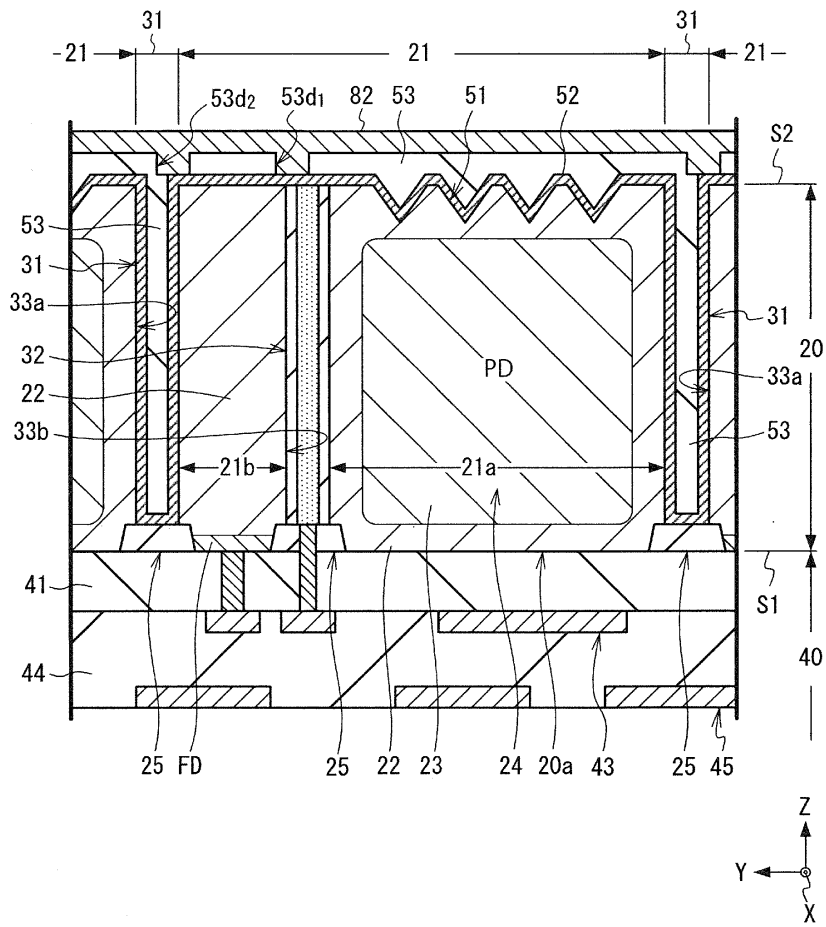
도면34a



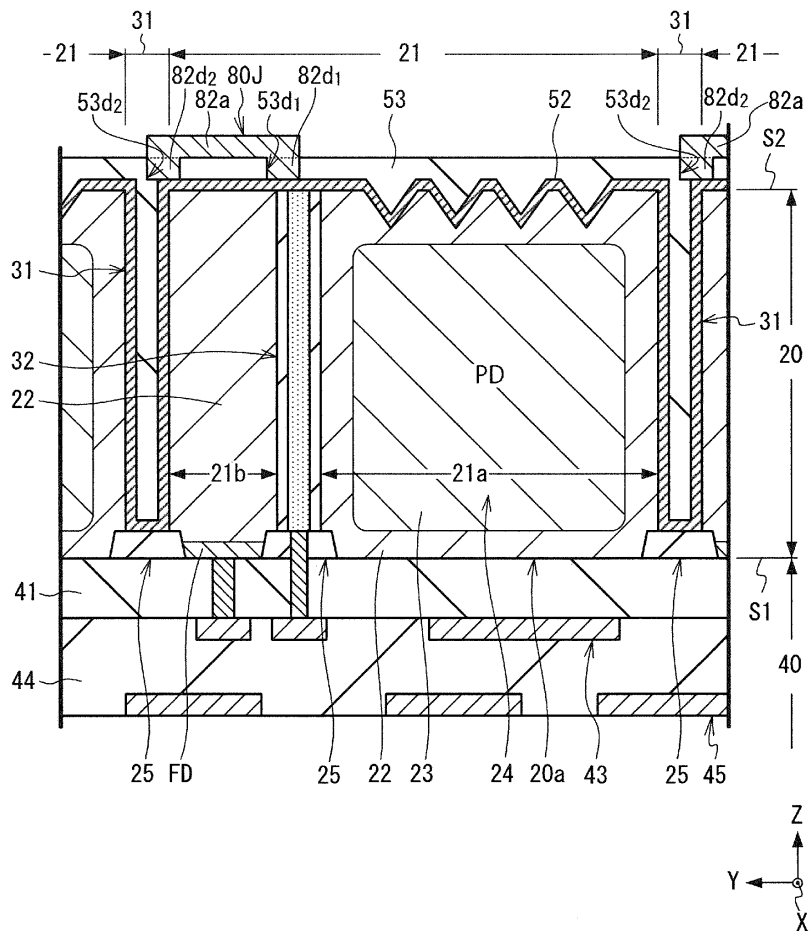
도면34b



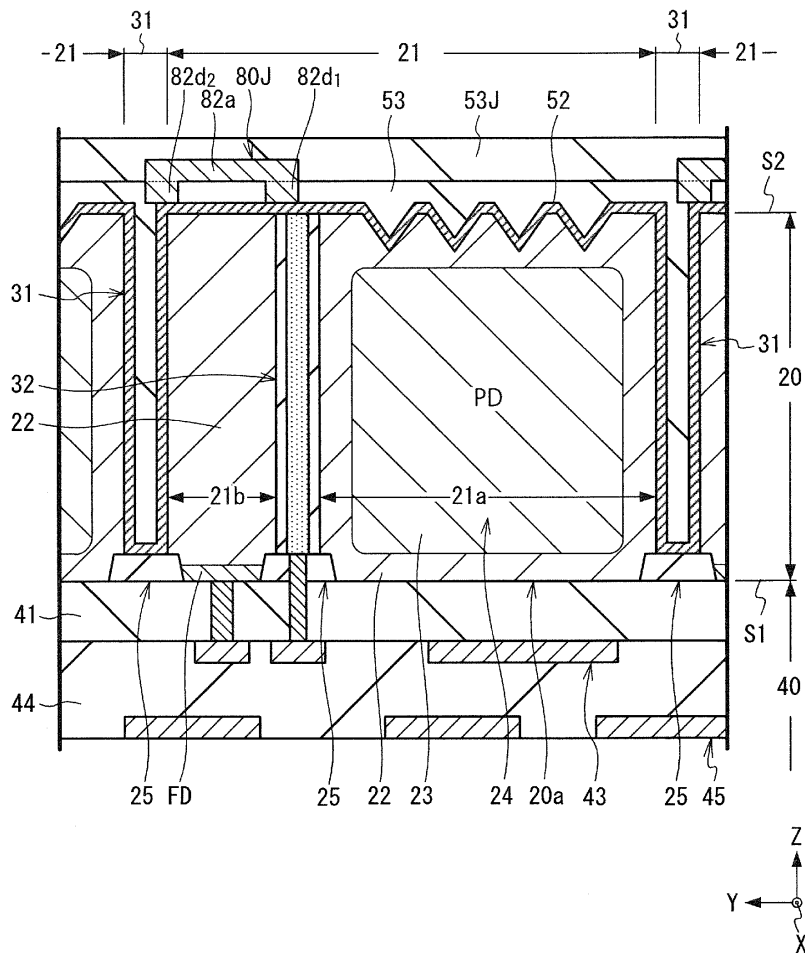
도면34c



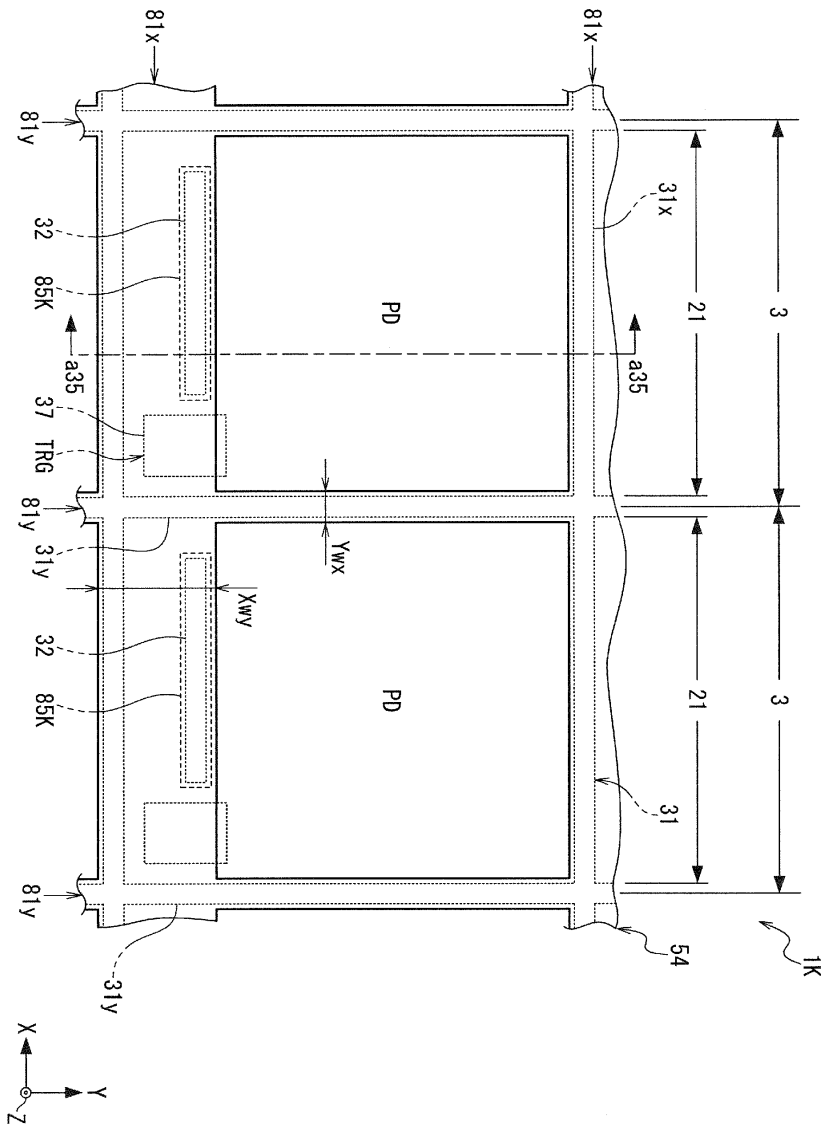
도면34d



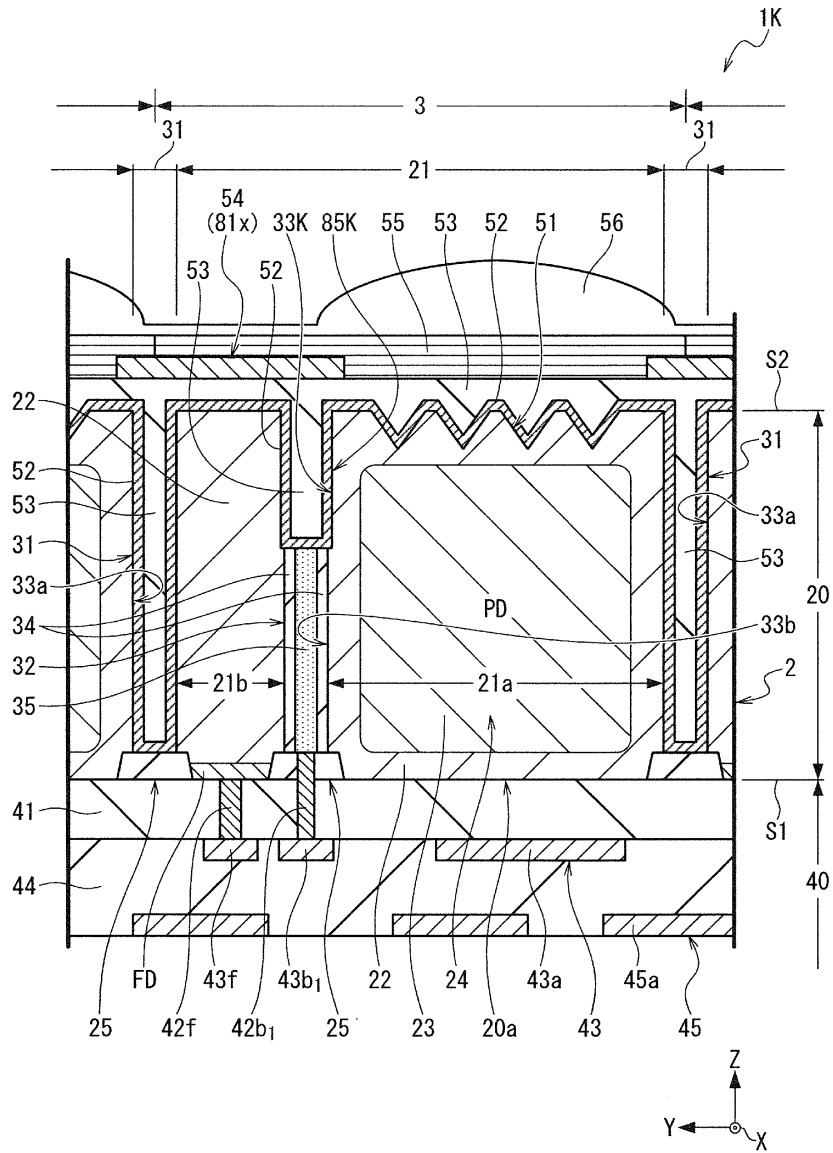
도면34e



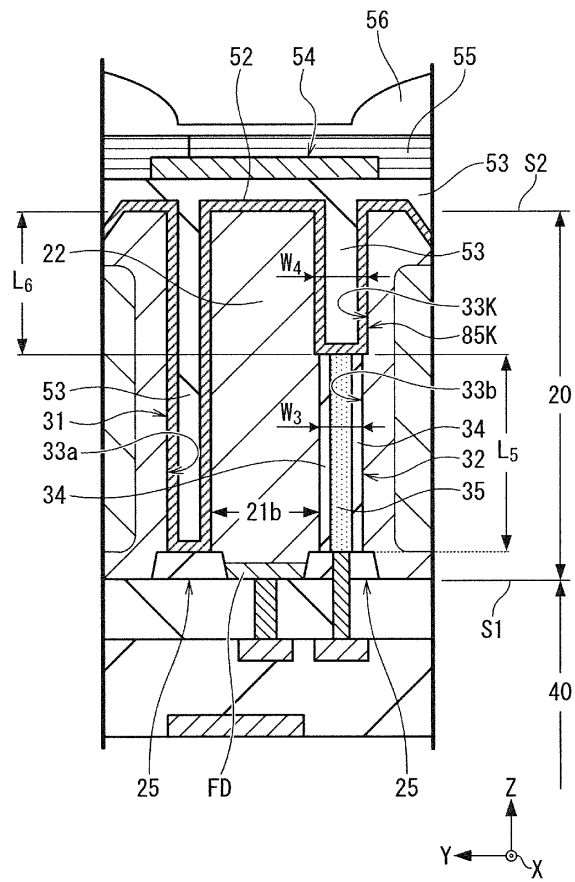
도면35



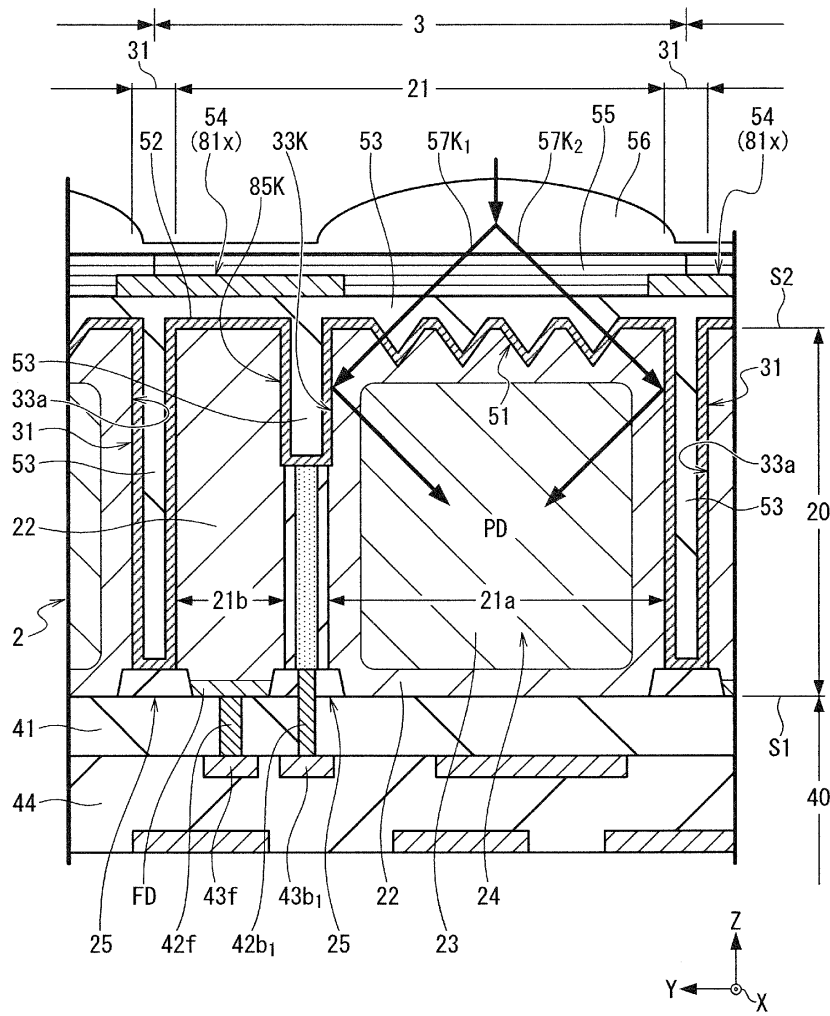
도면36



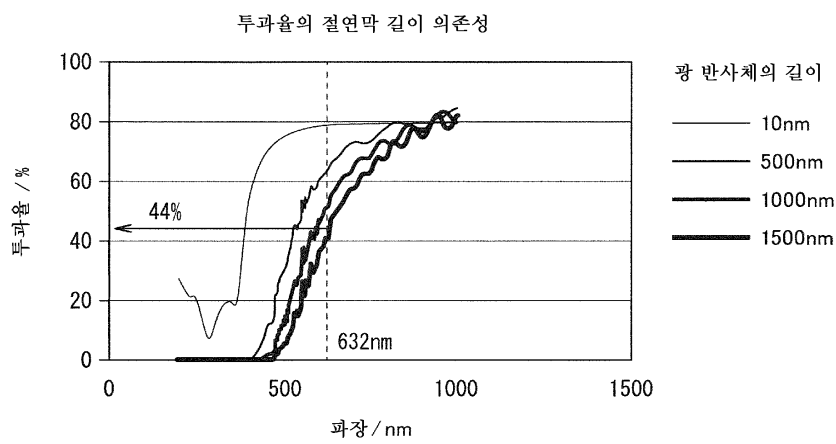
도면37a



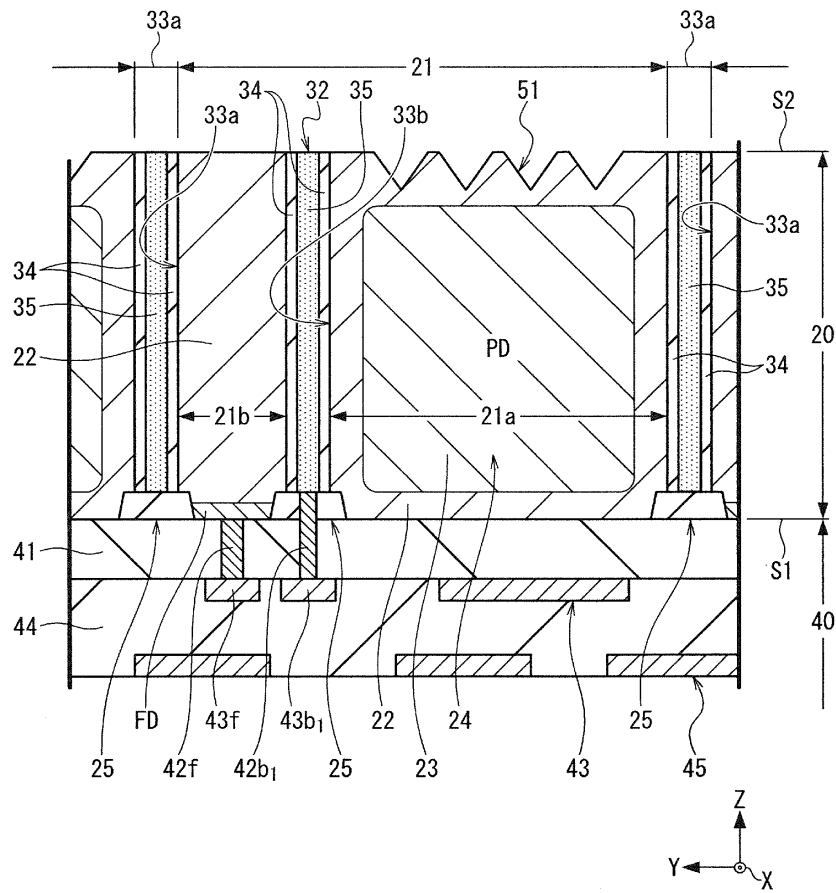
도면37b



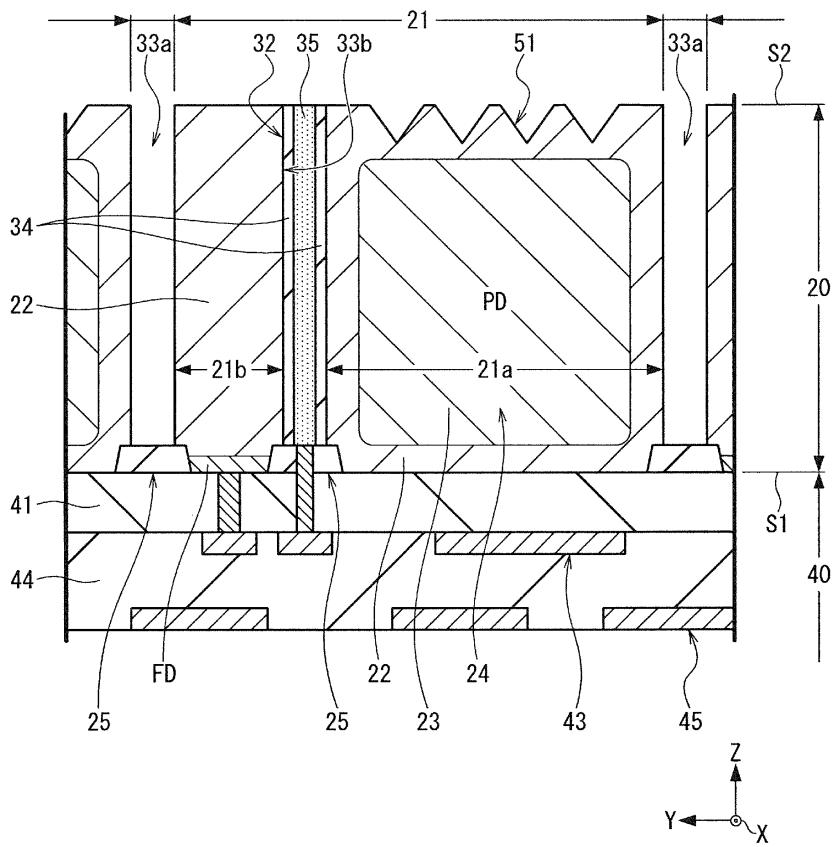
도면37c



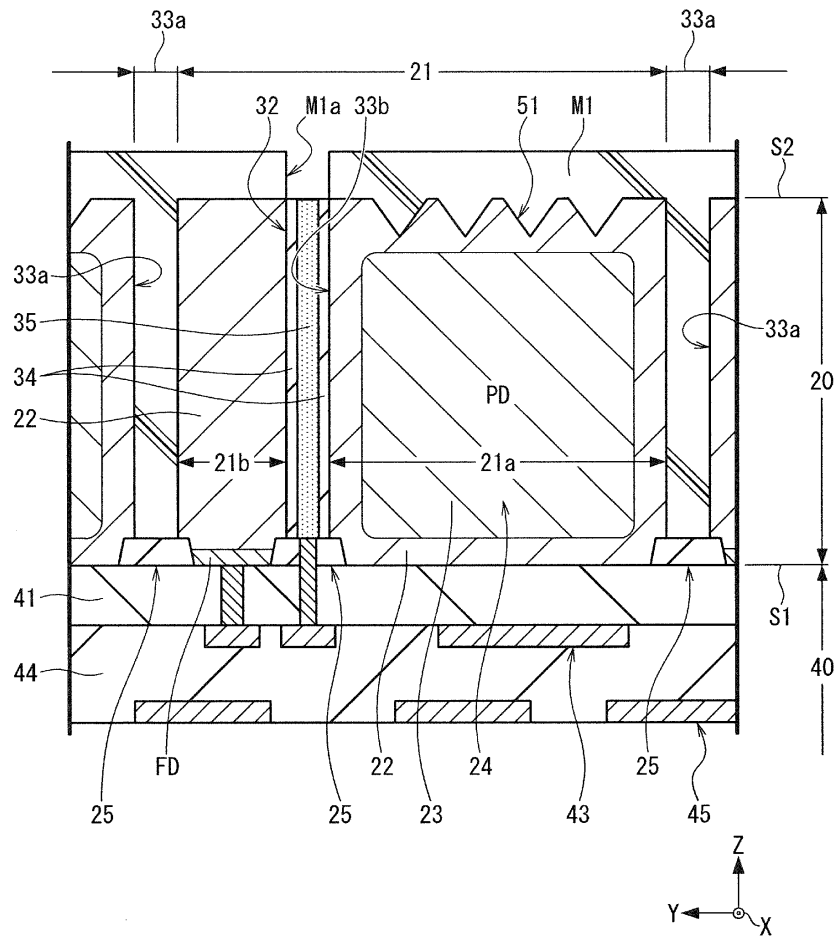
도면38a



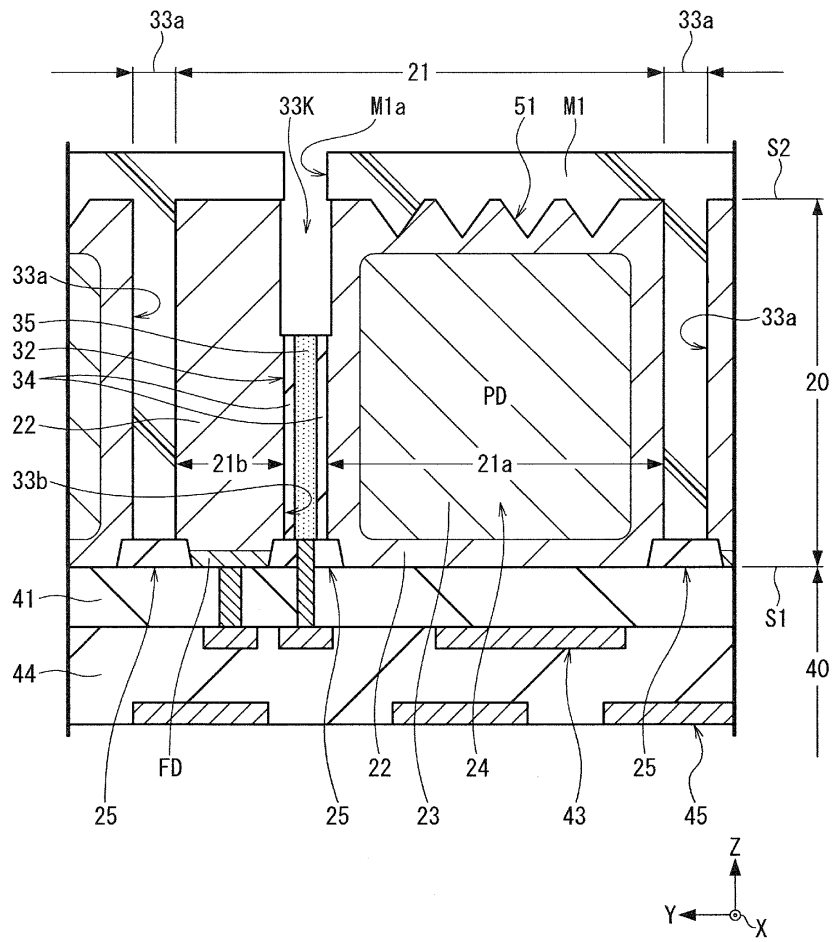
도면38b



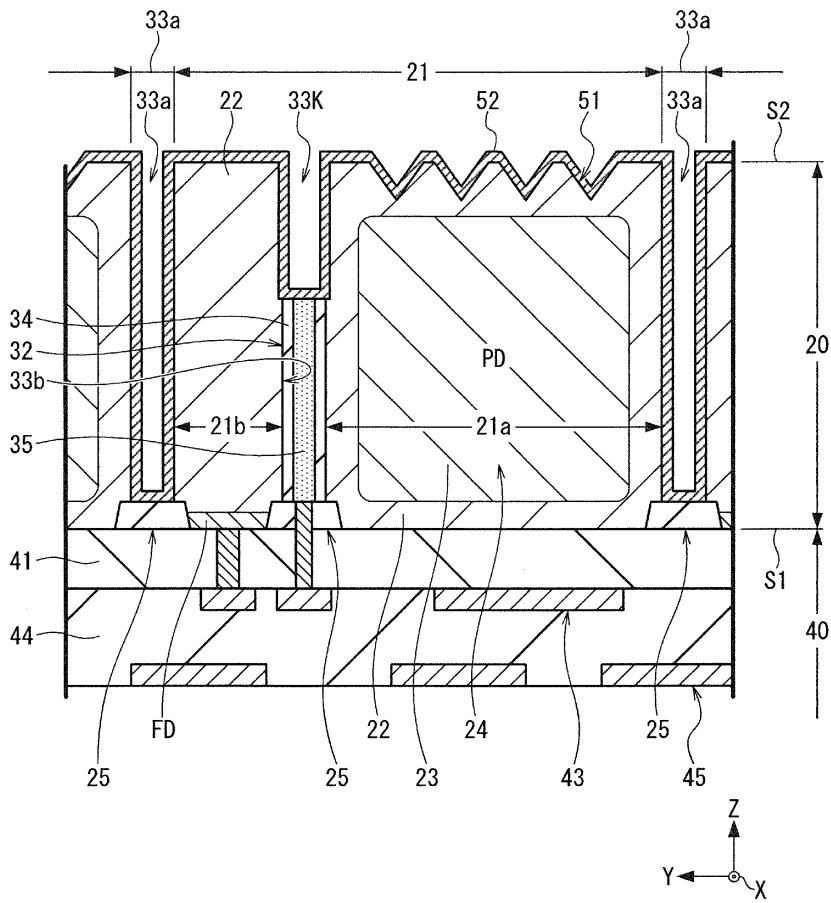
도면38c



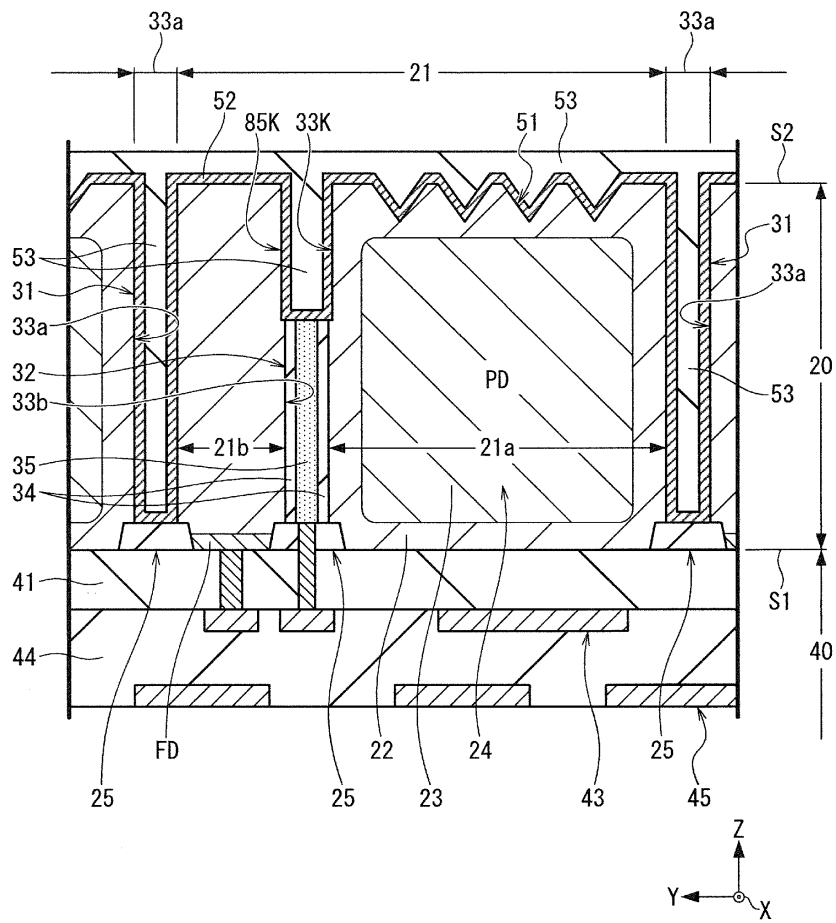
도면38d



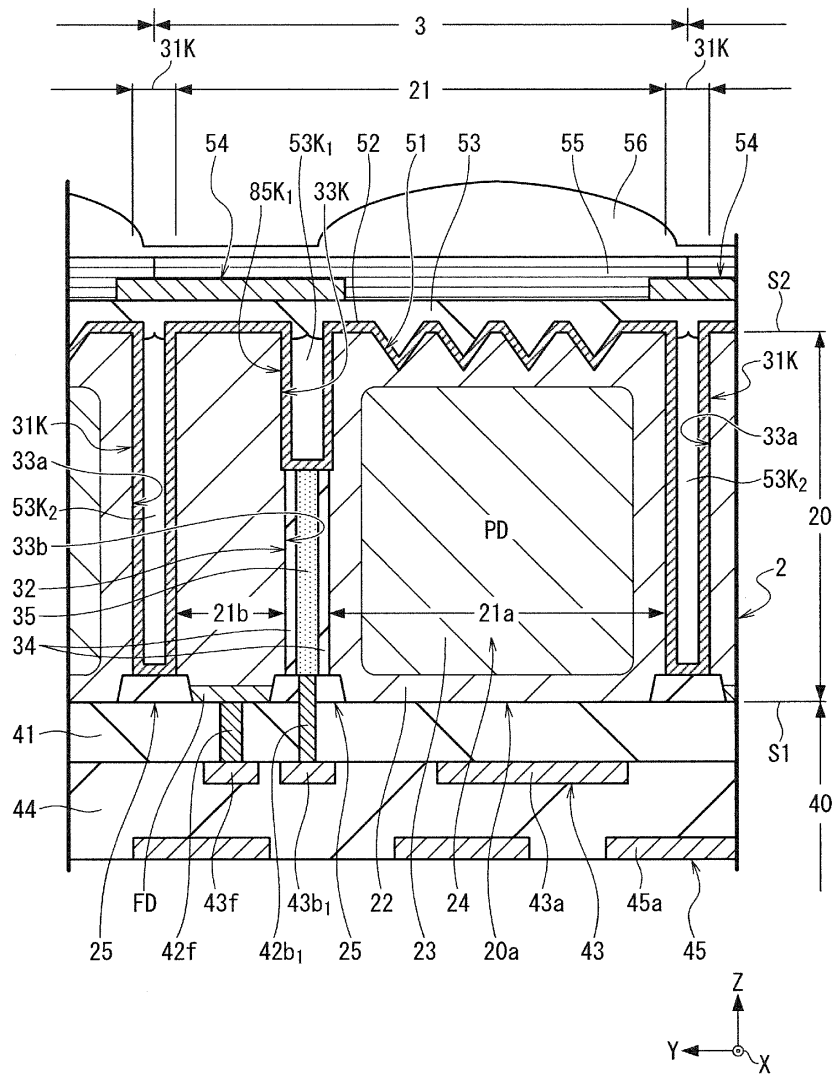
도면38e



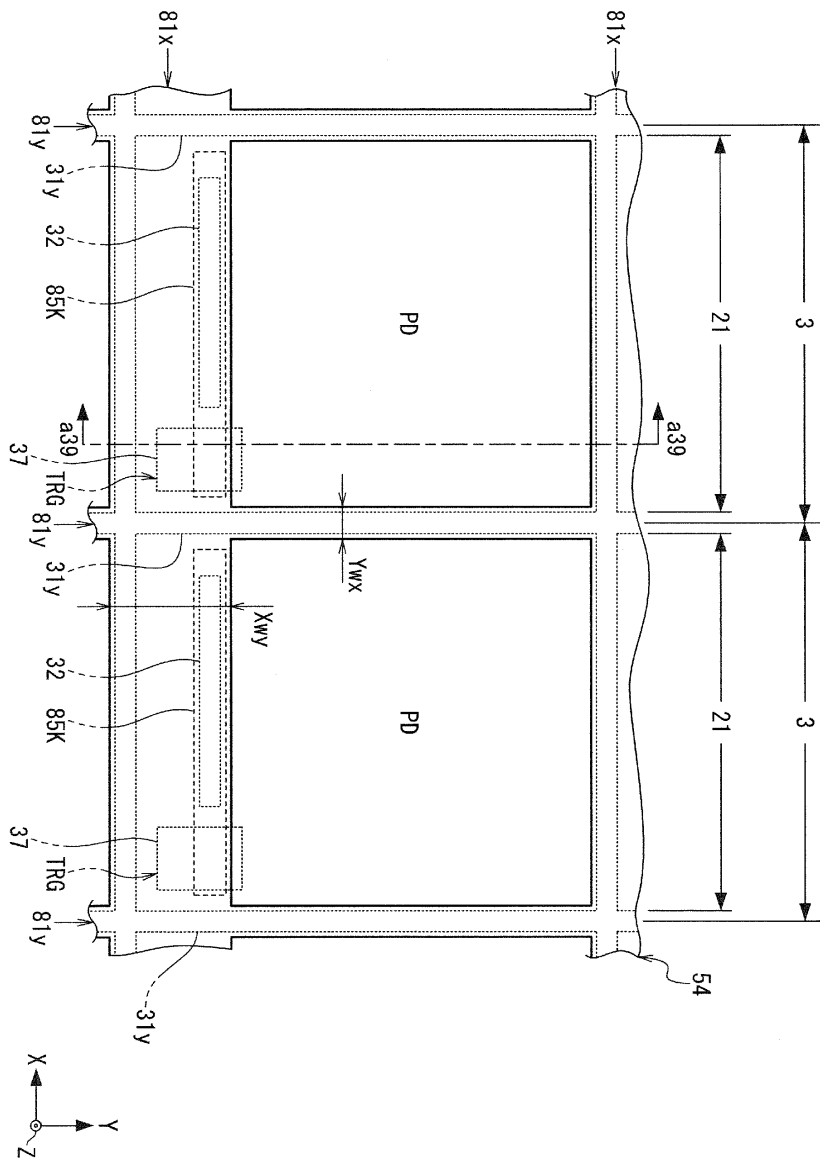
도면38f



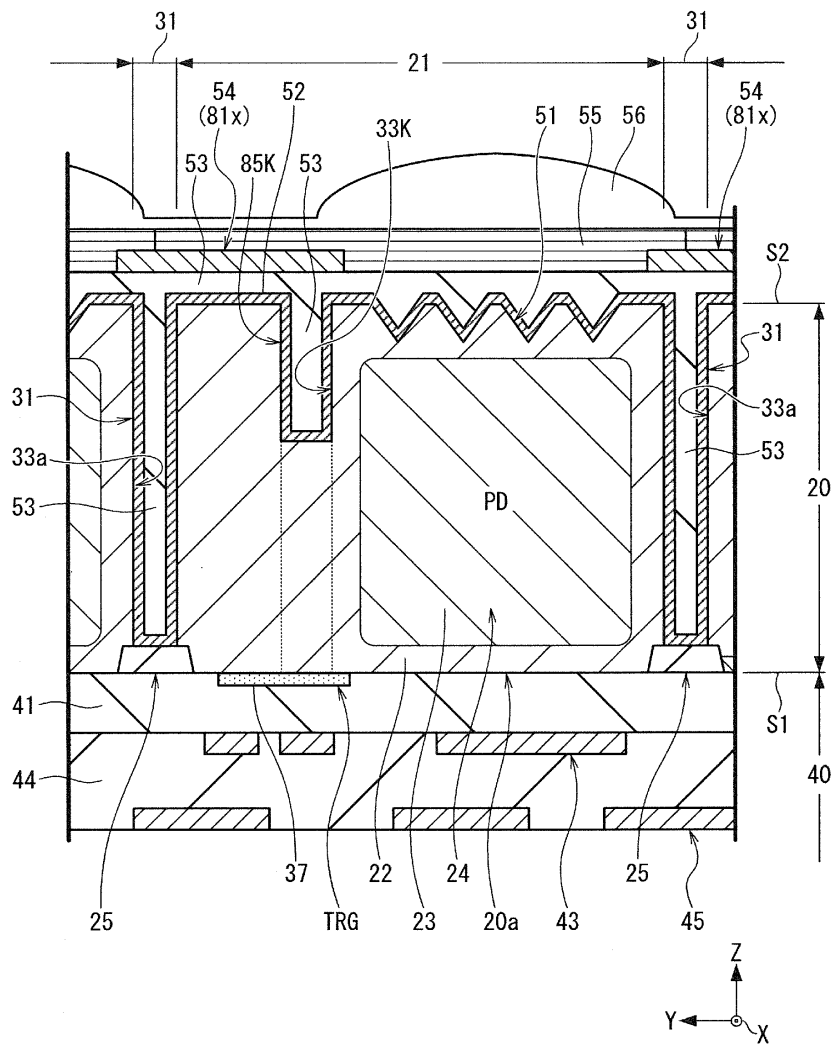
도면39



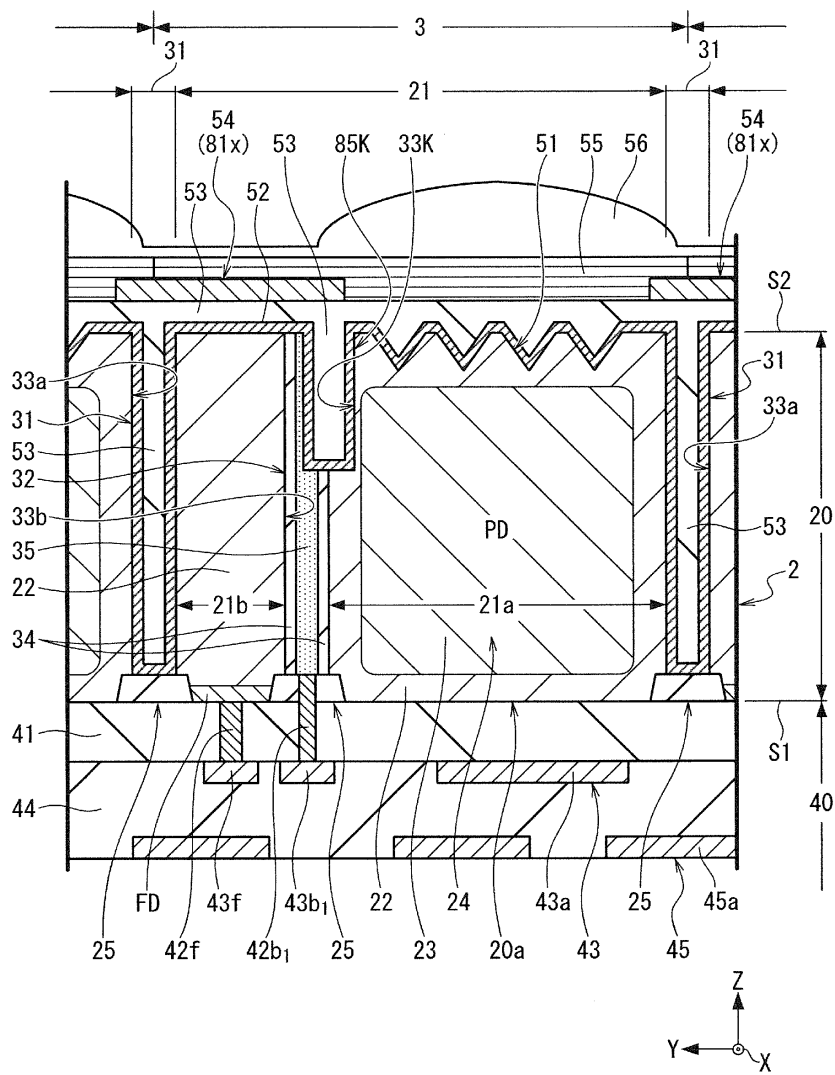
도면40



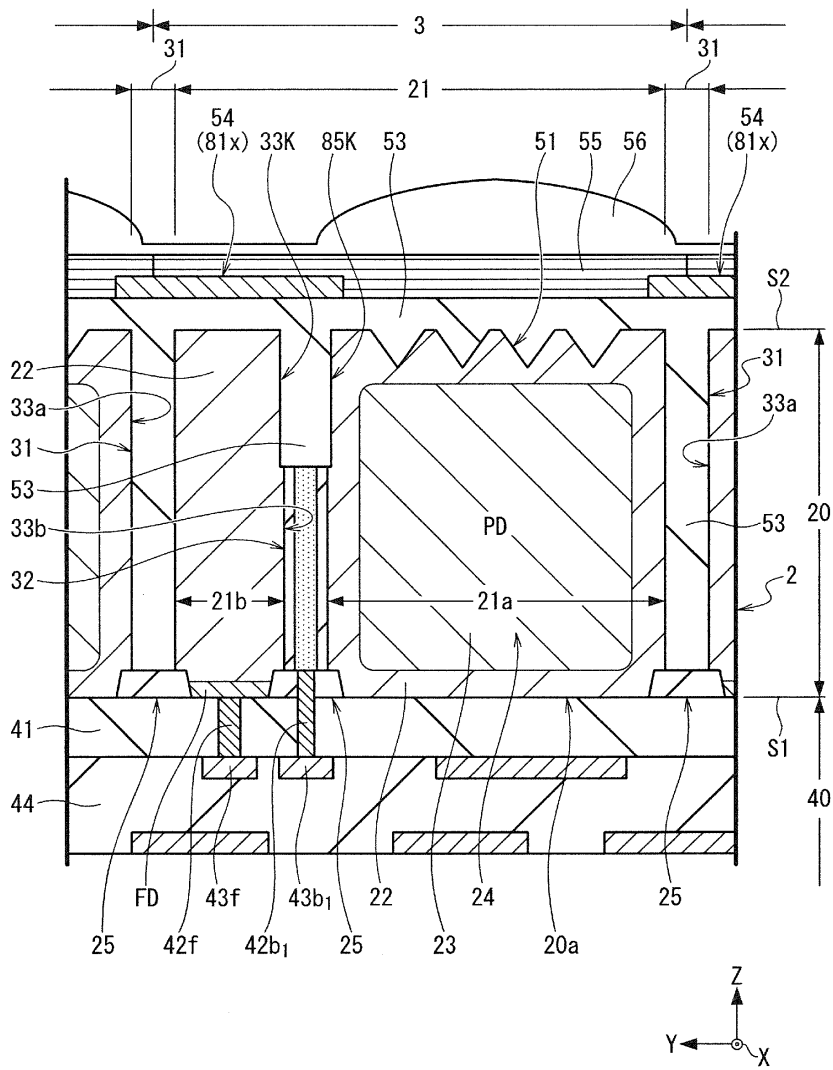
도면41



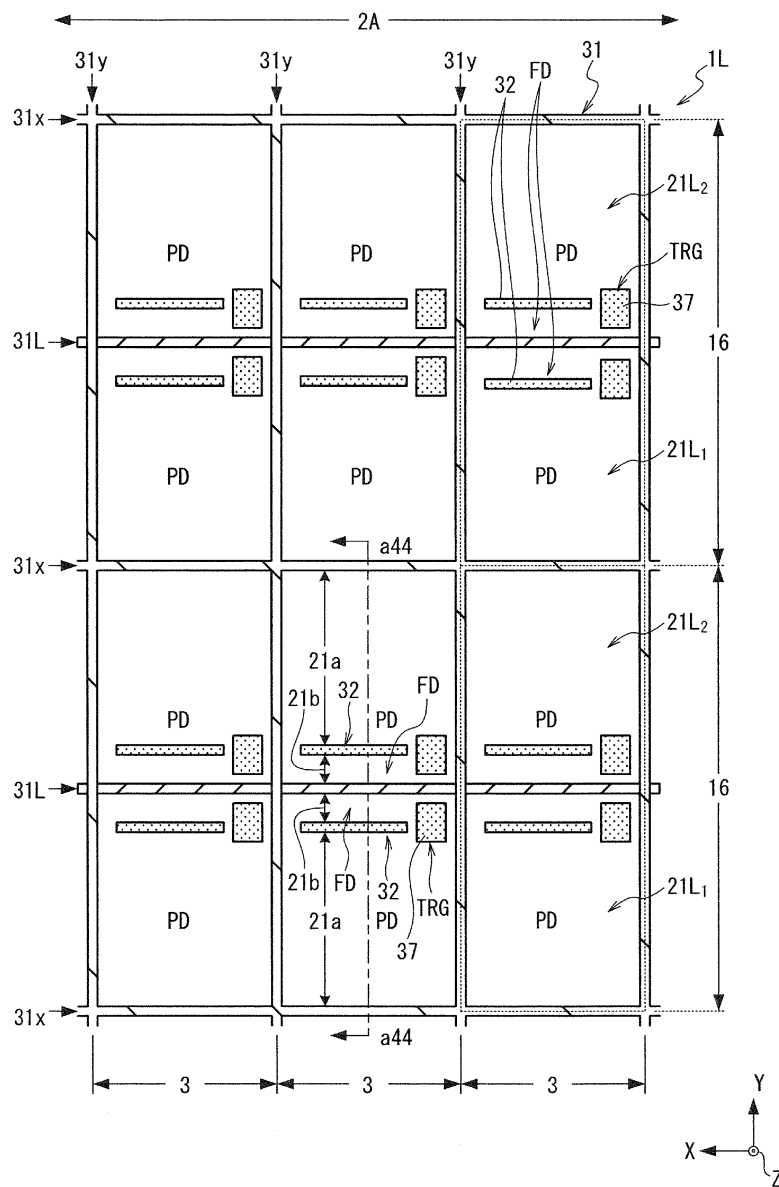
도면42



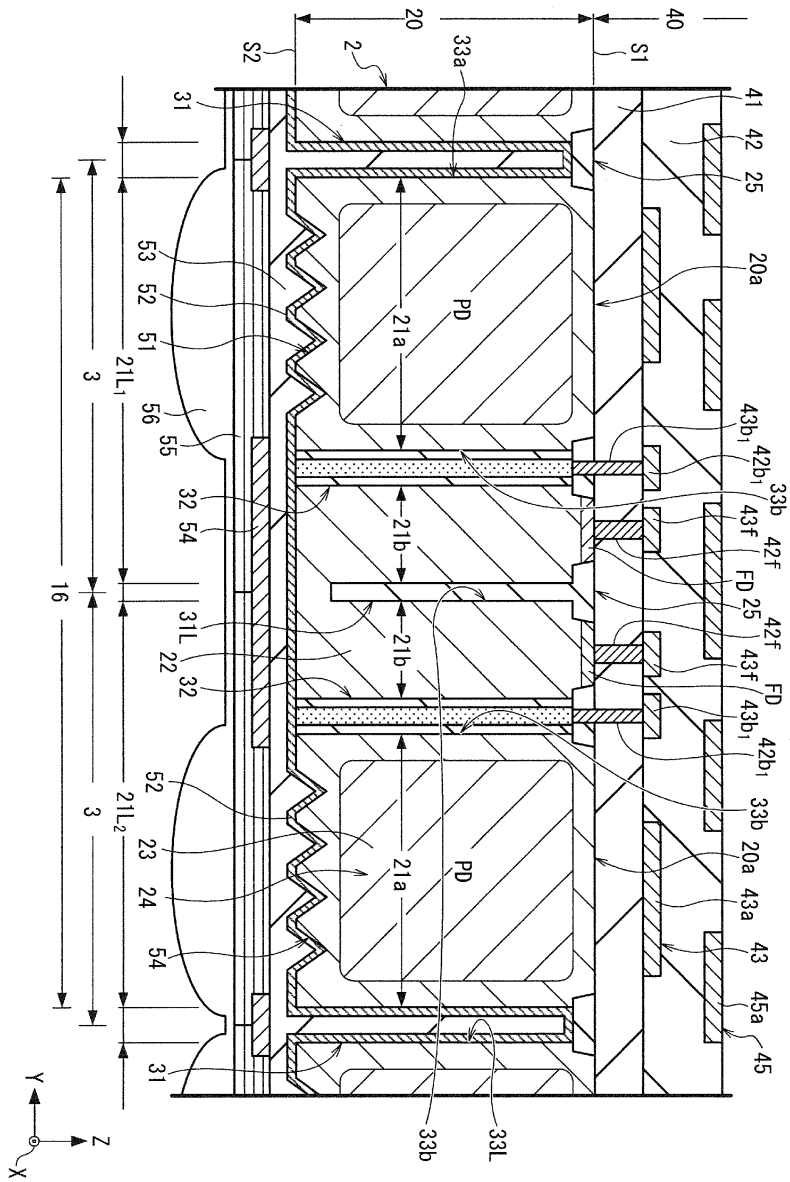
도면43



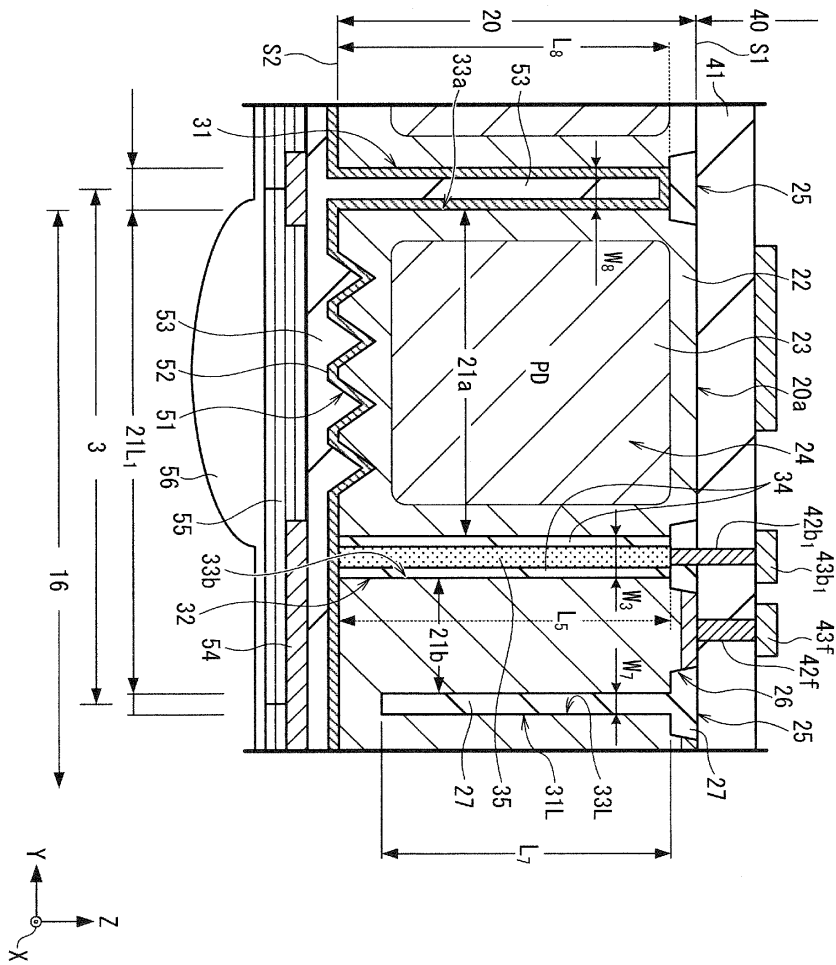
도면44



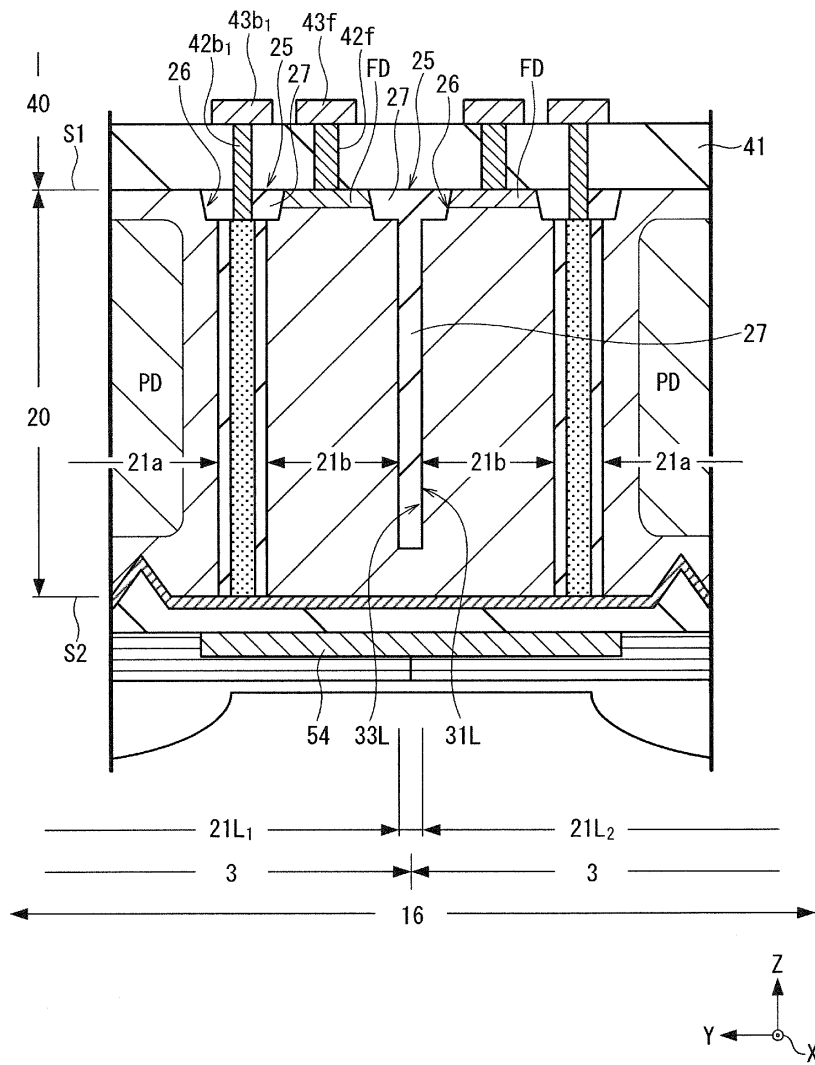
도면45



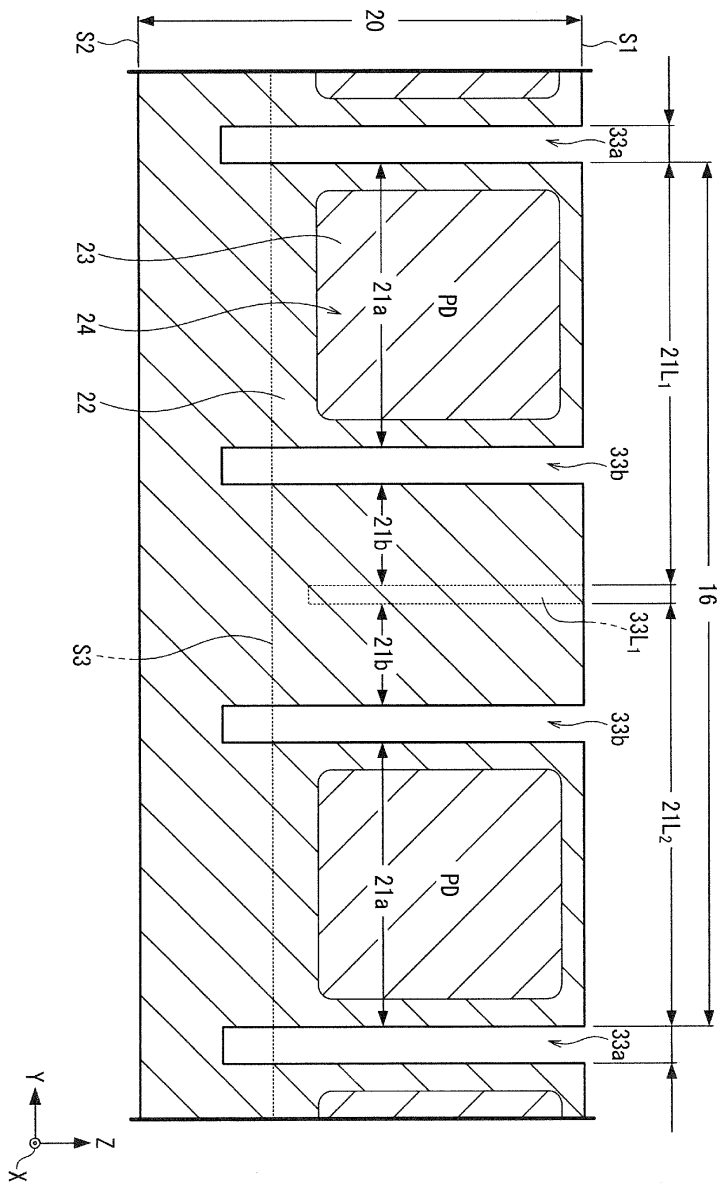
도면46a



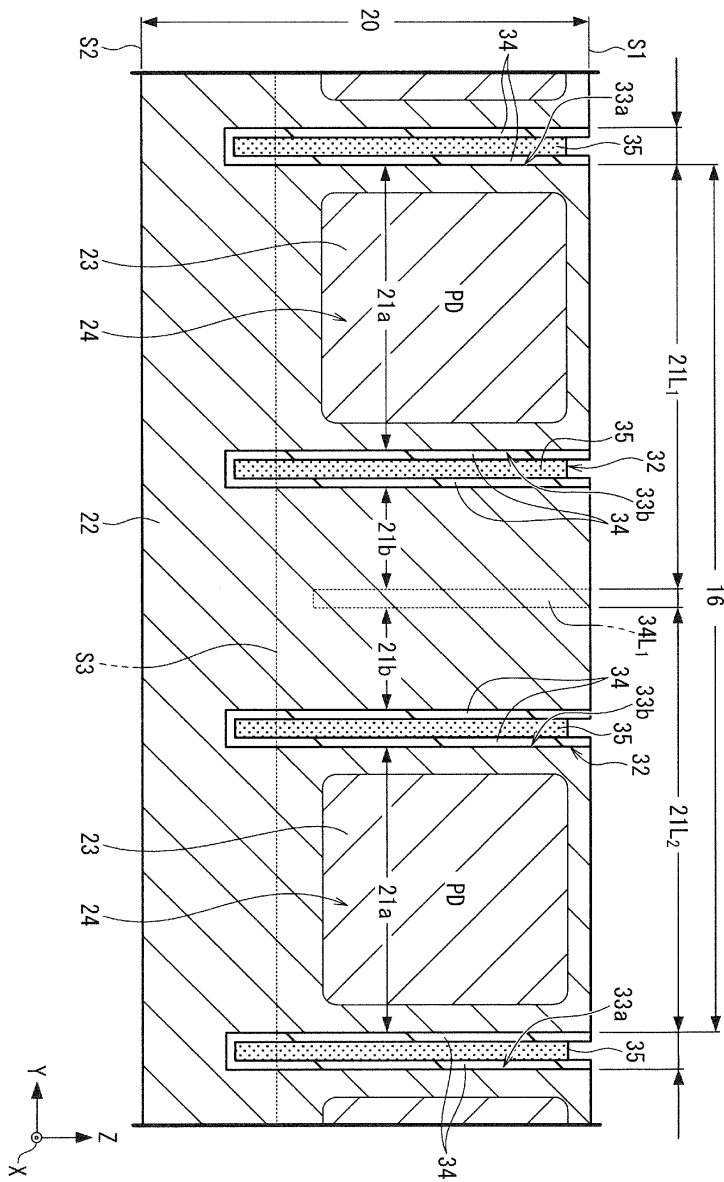
도면46b



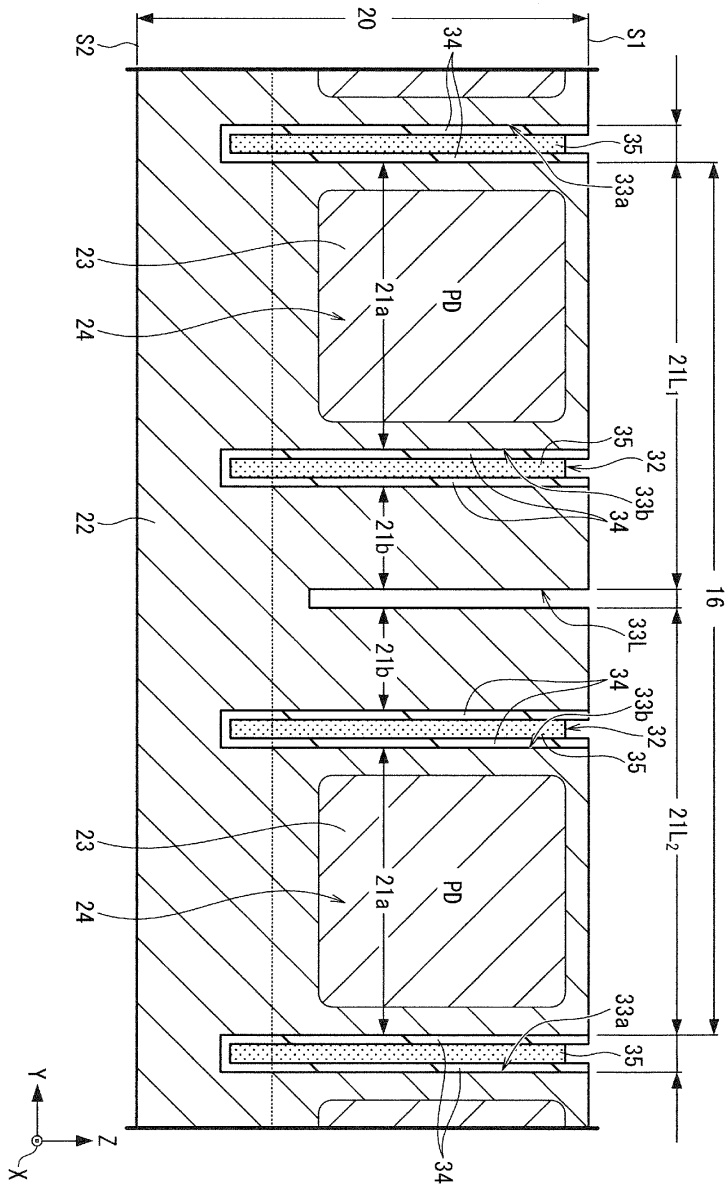
도면47a



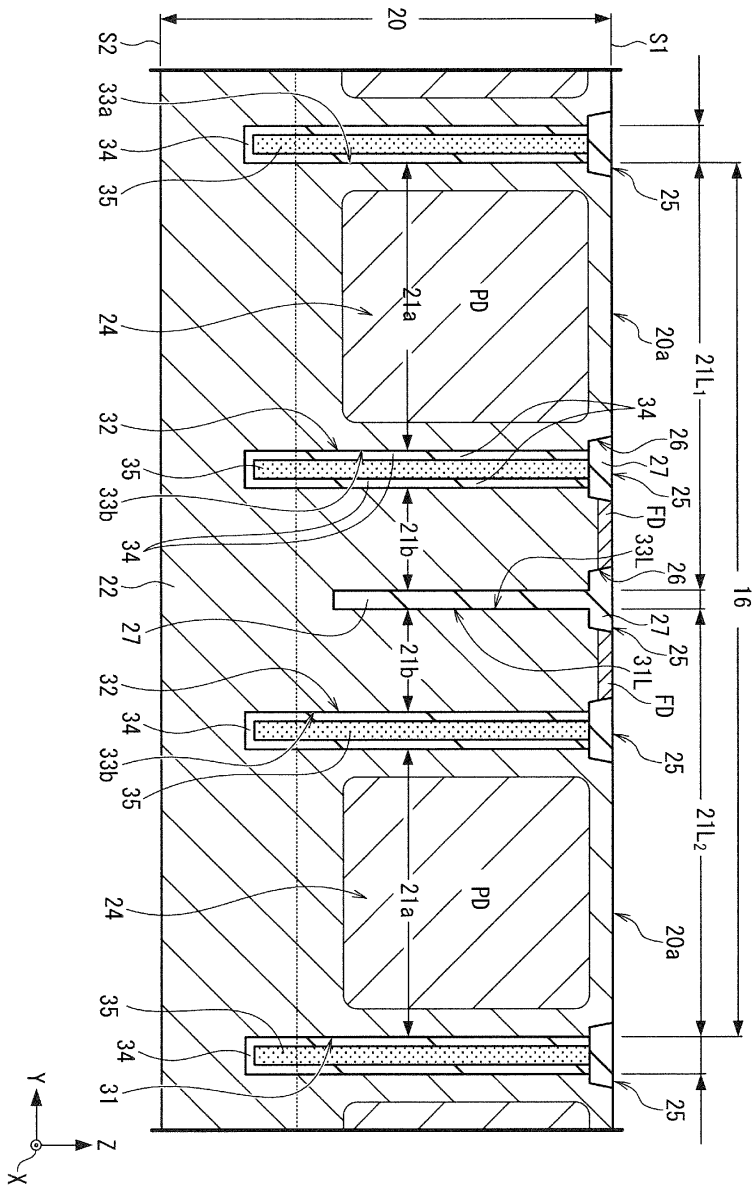
도면47b



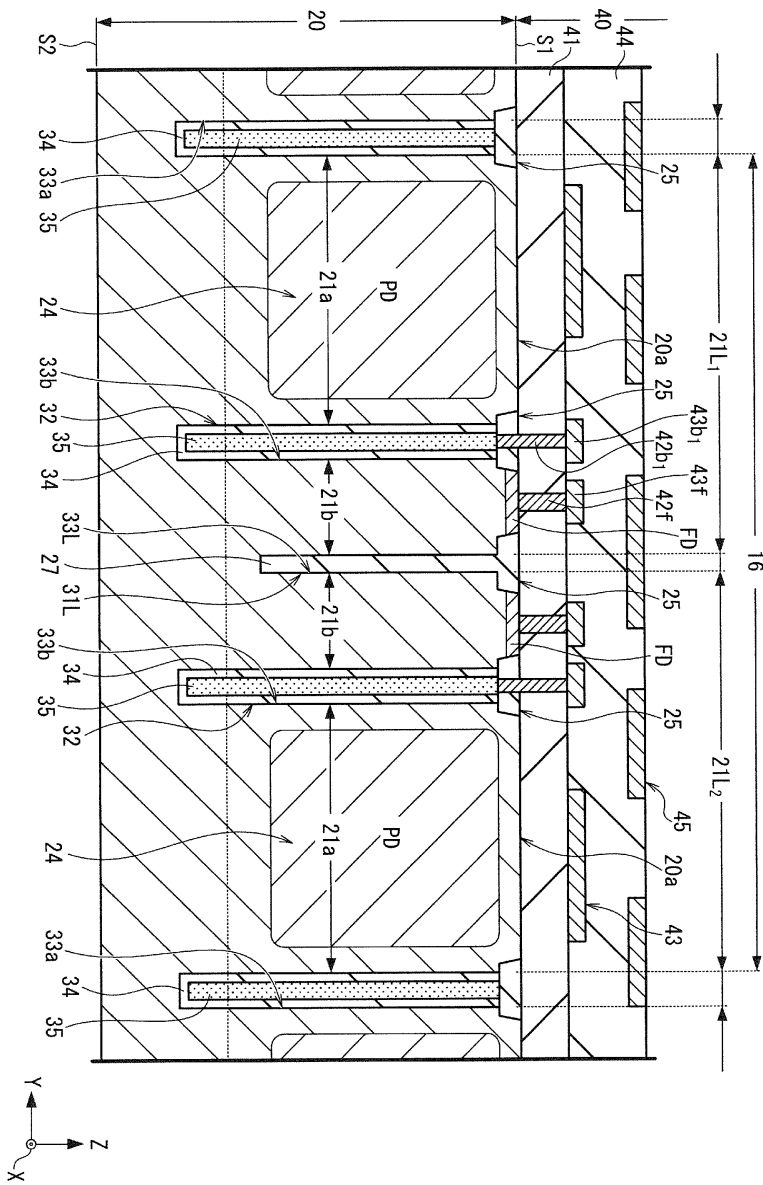
도면47c



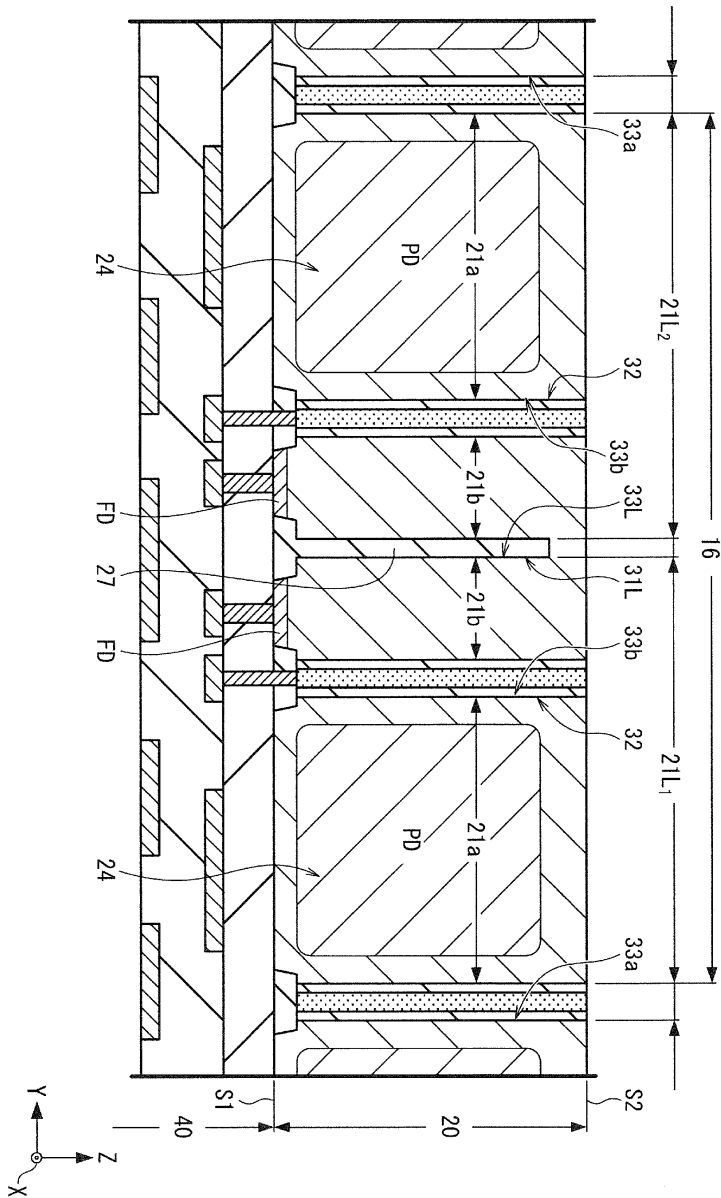
도면47d



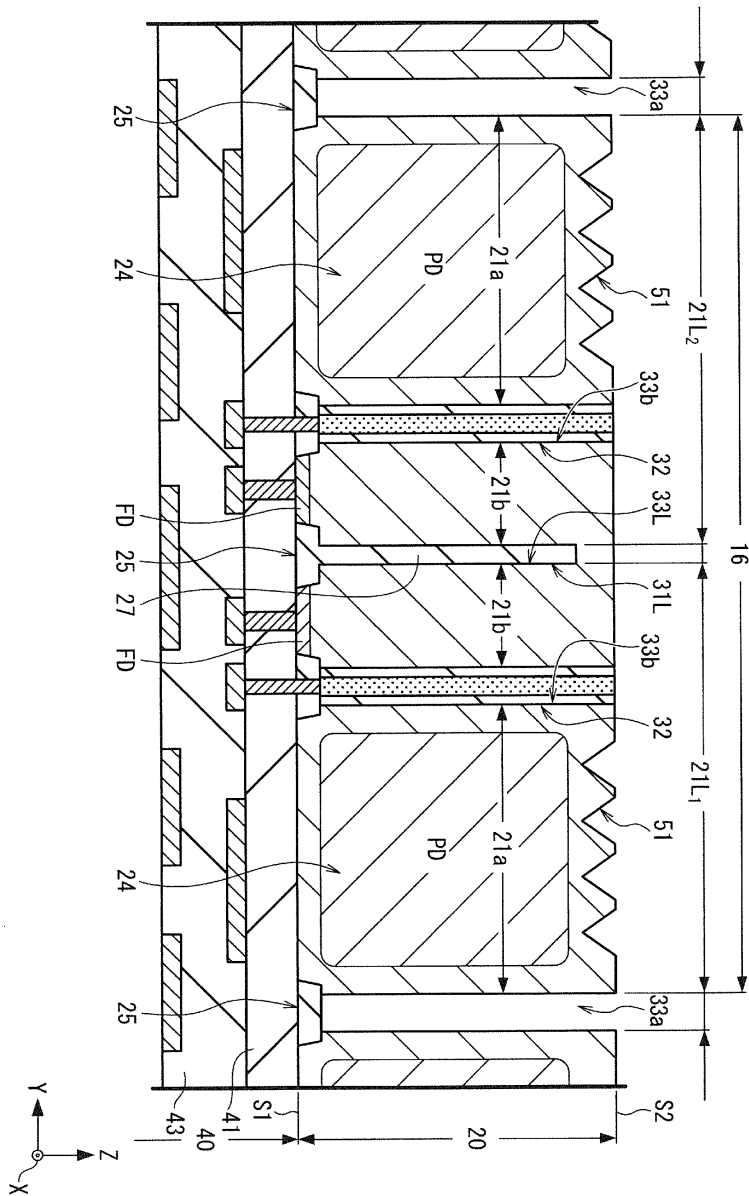
도면47e



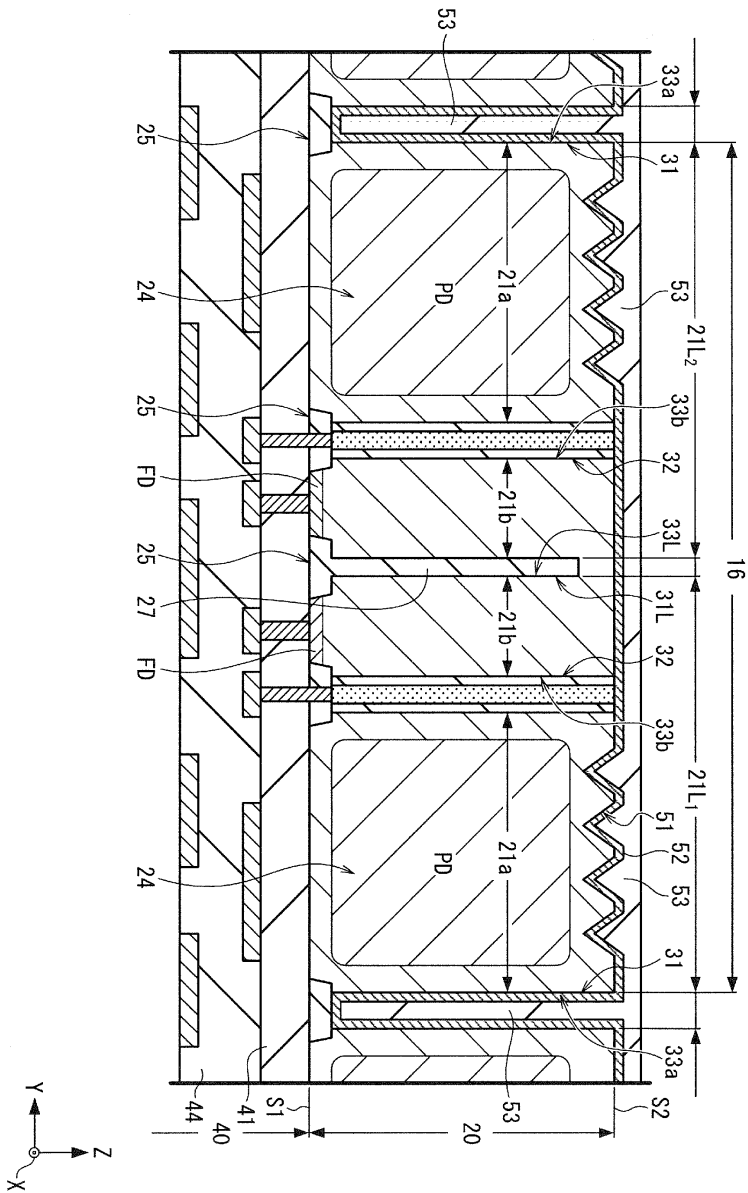
도면47f



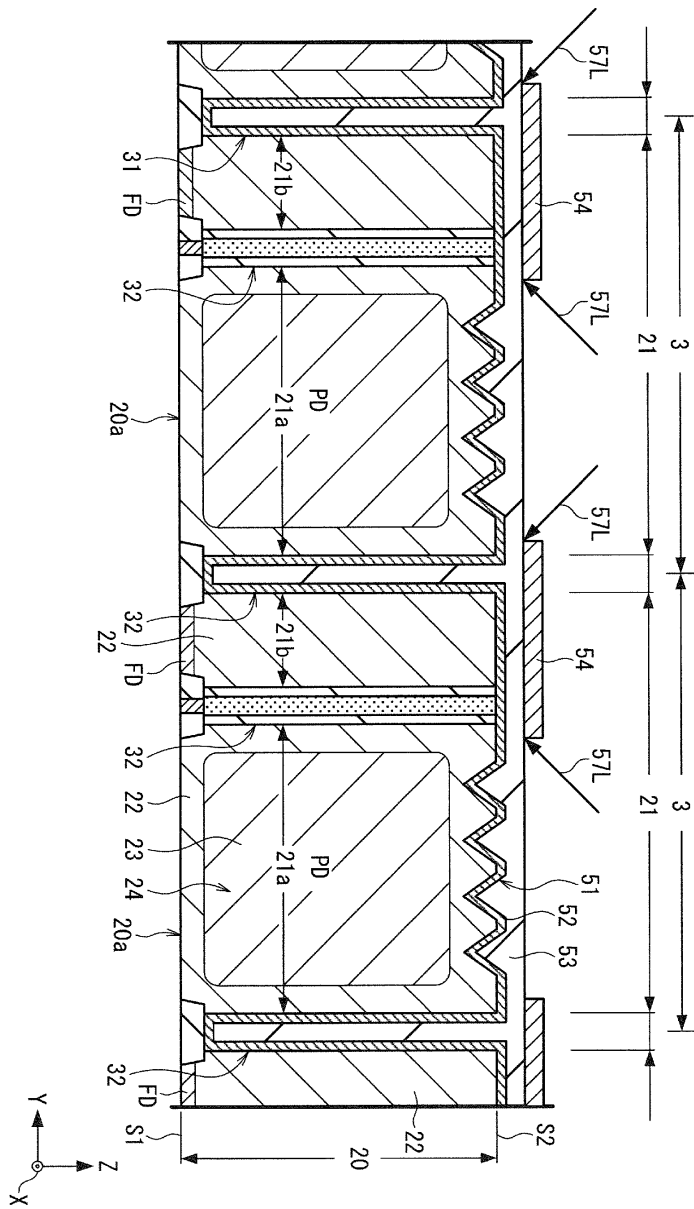
도면47g



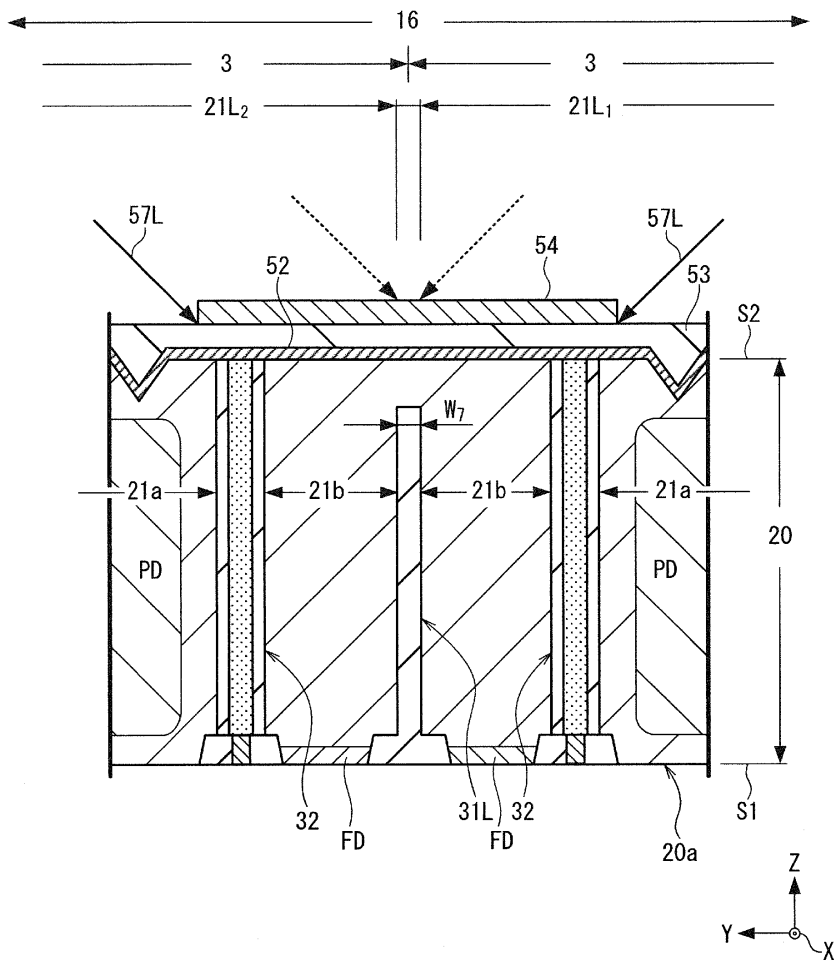
도면47h



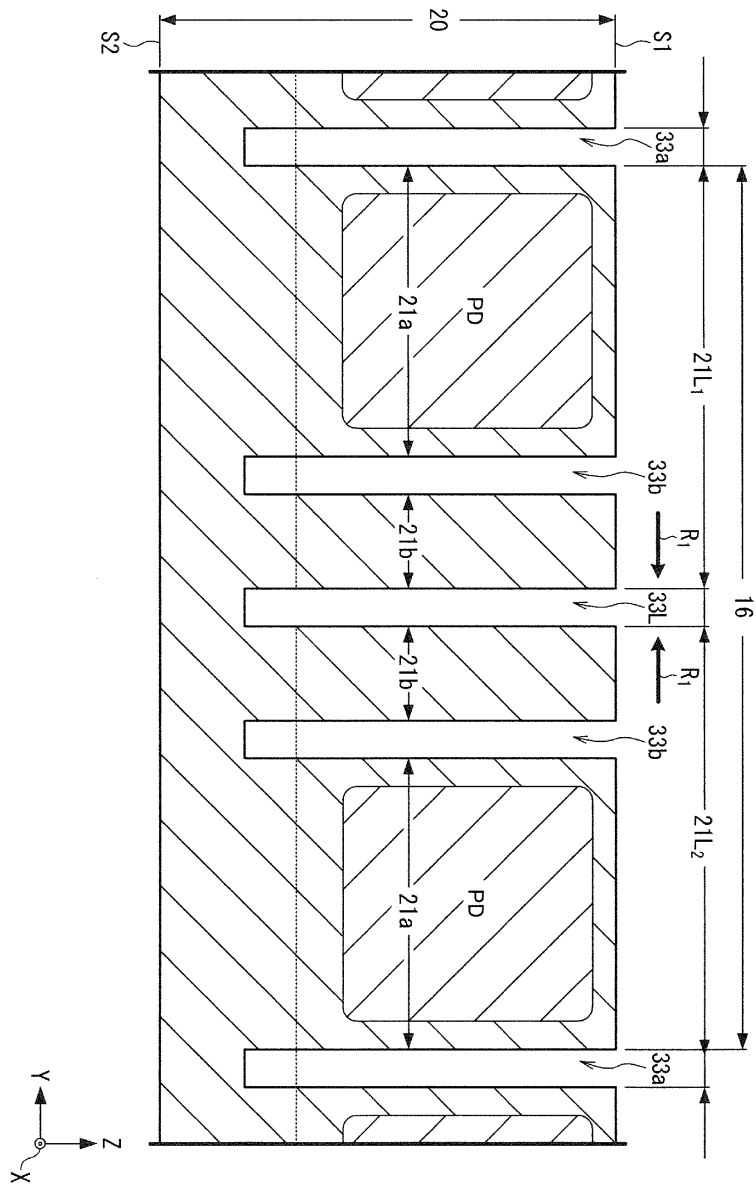
도면48



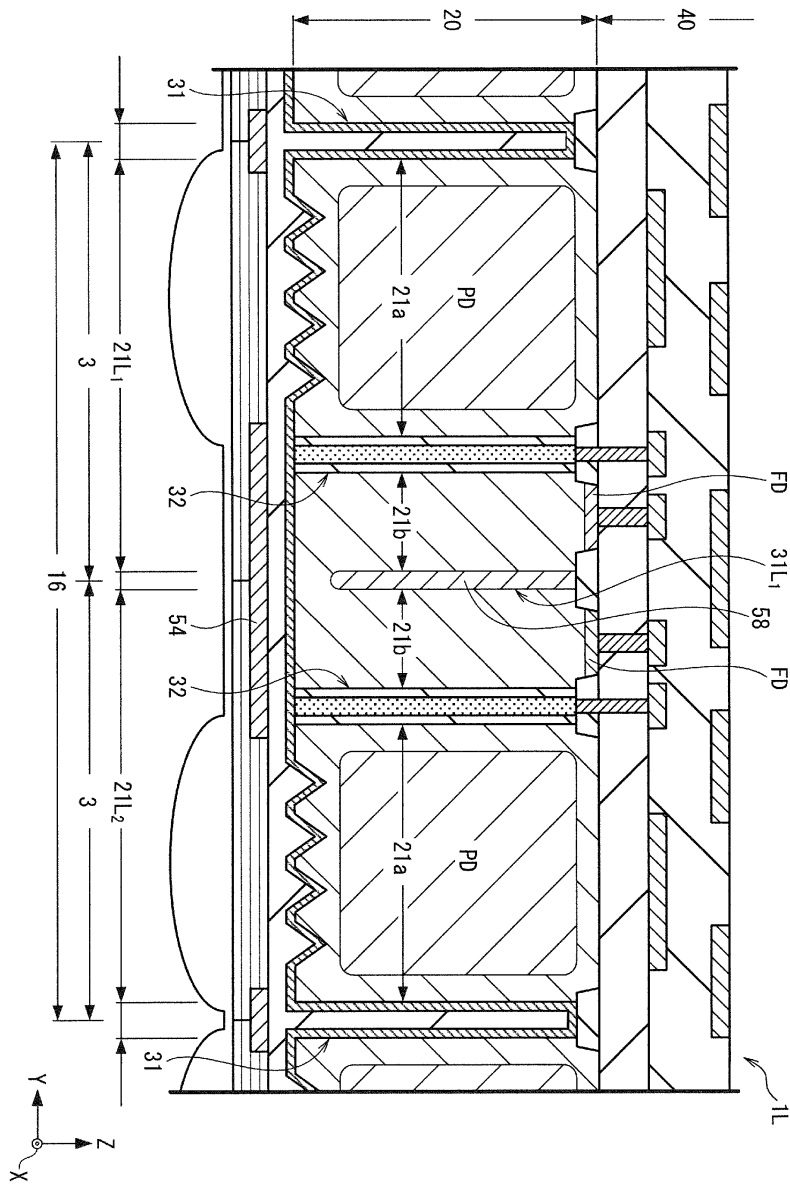
도면49



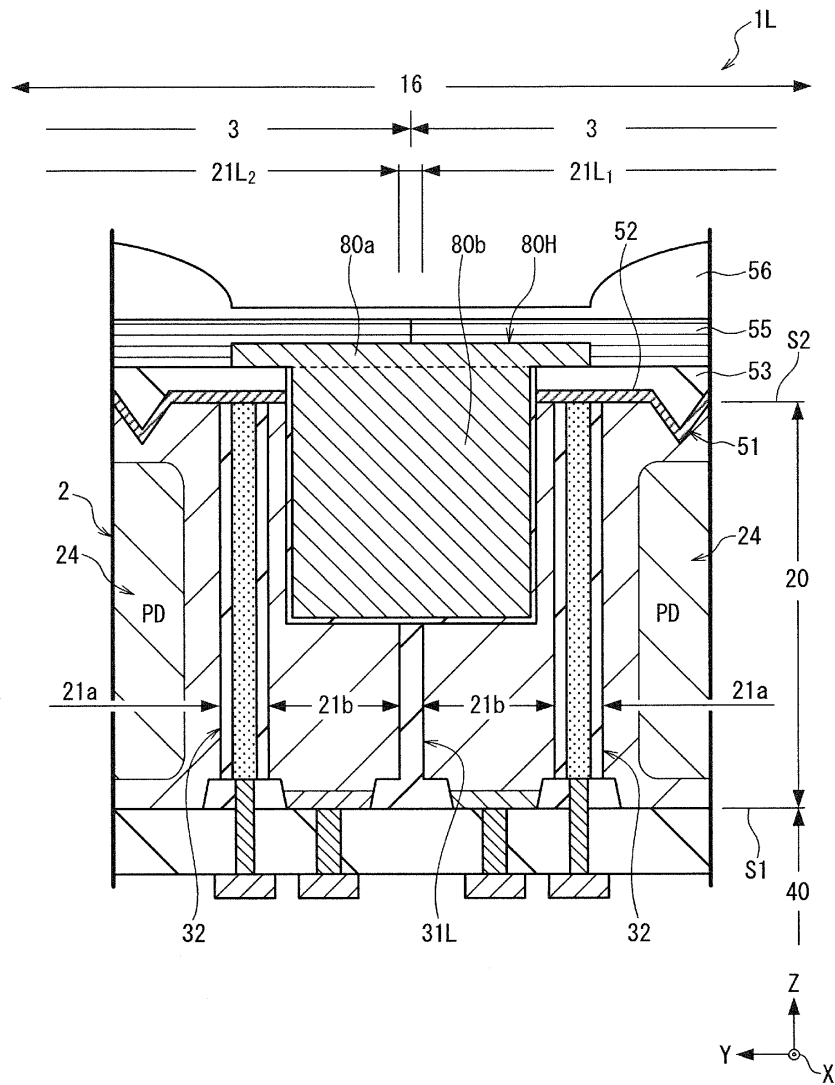
도면50



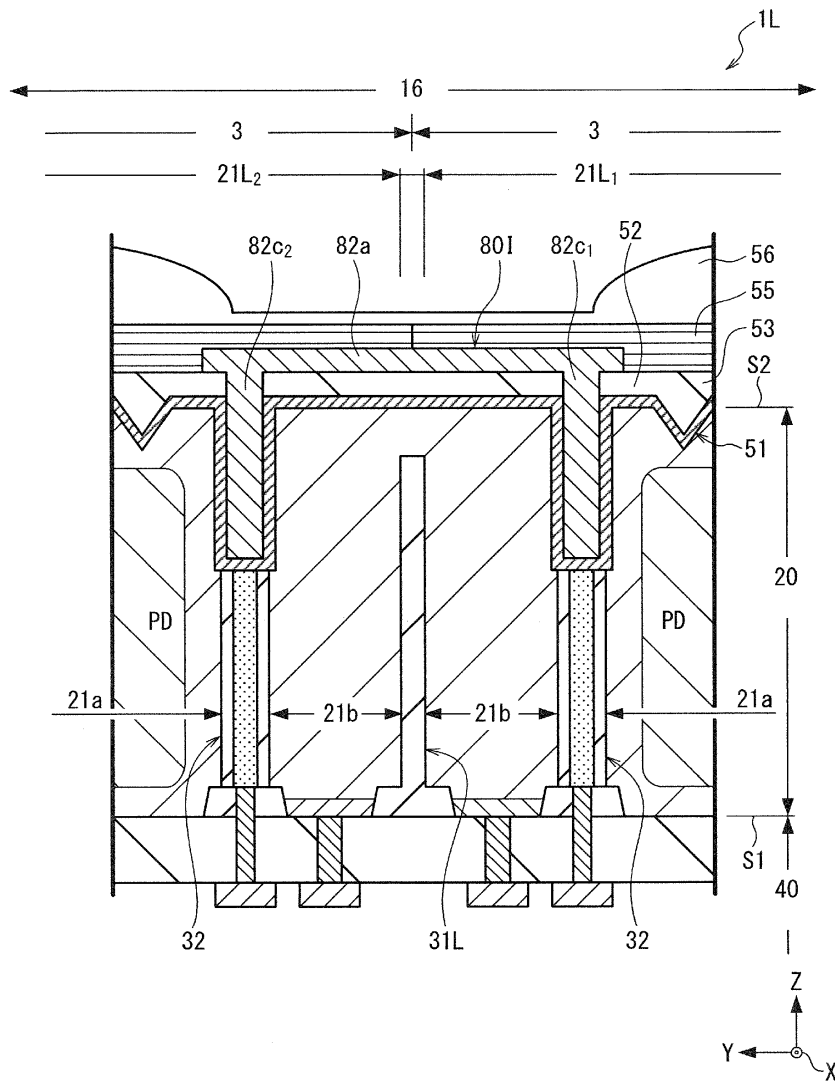
도면51



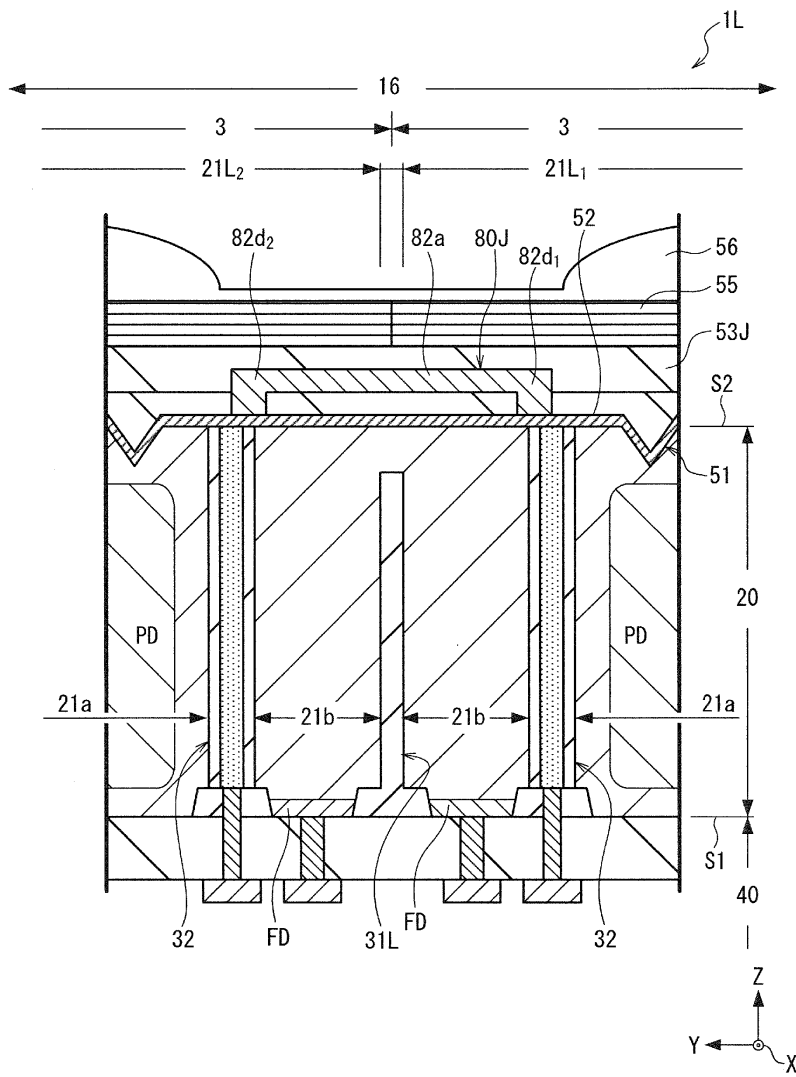
도면52



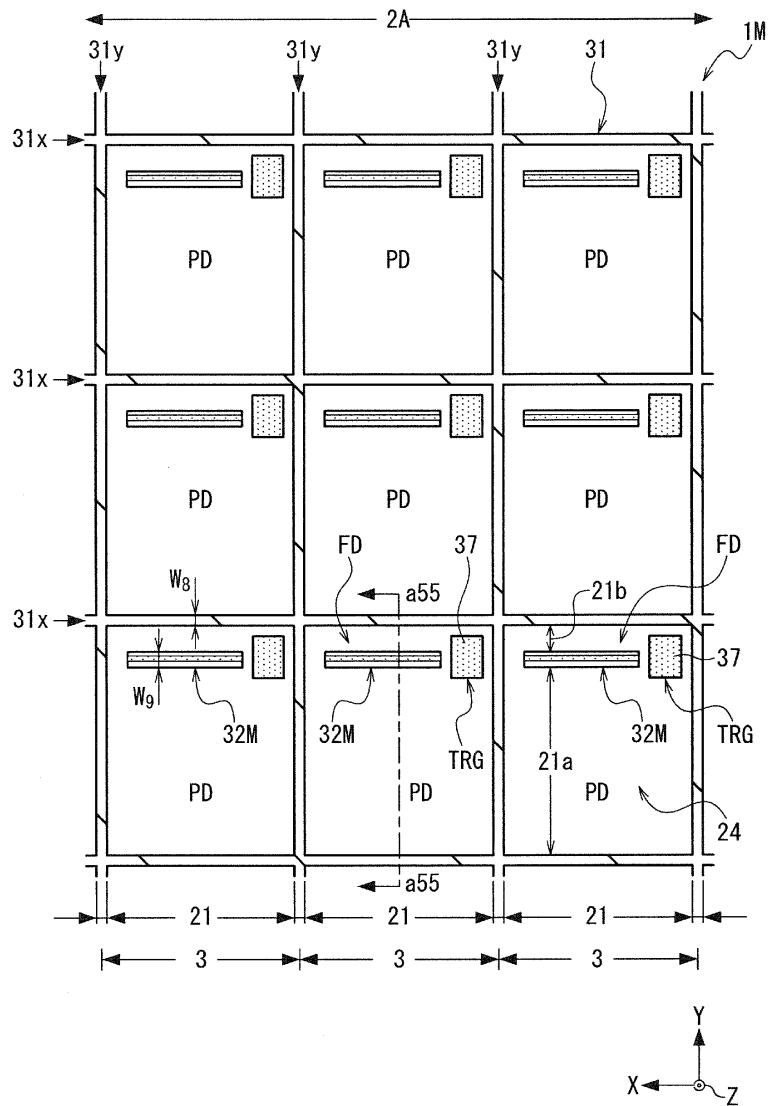
도면53



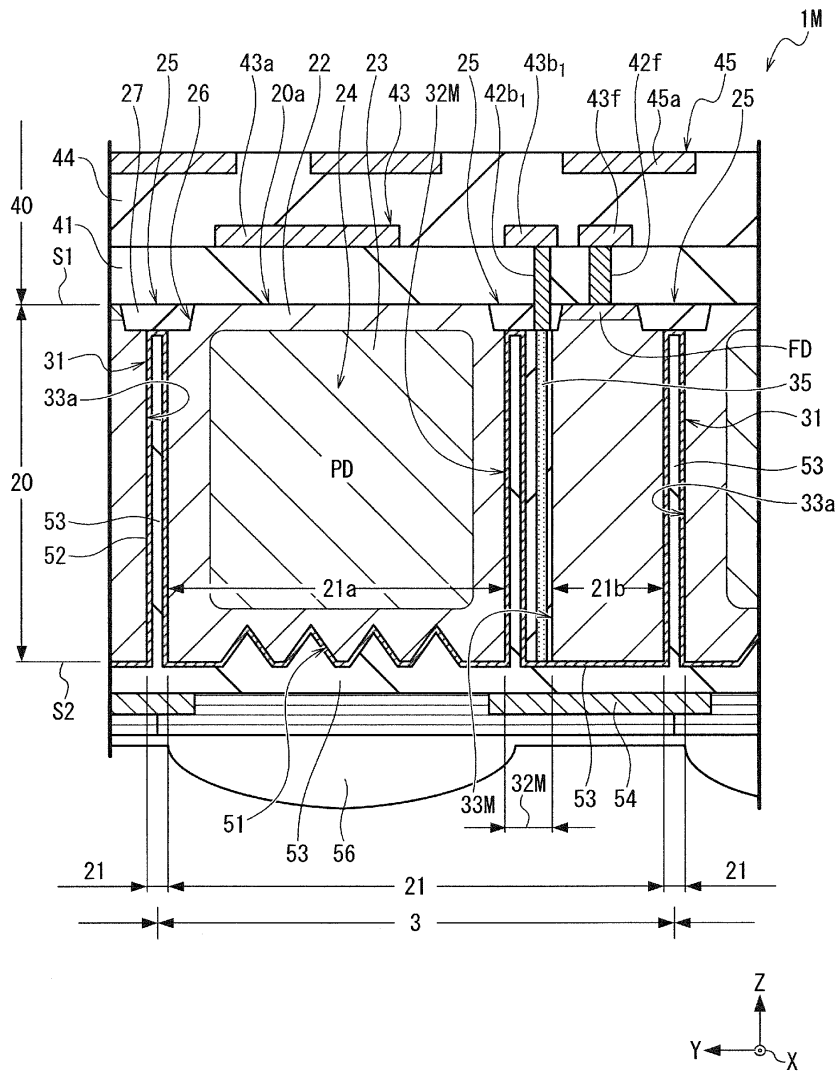
도면54



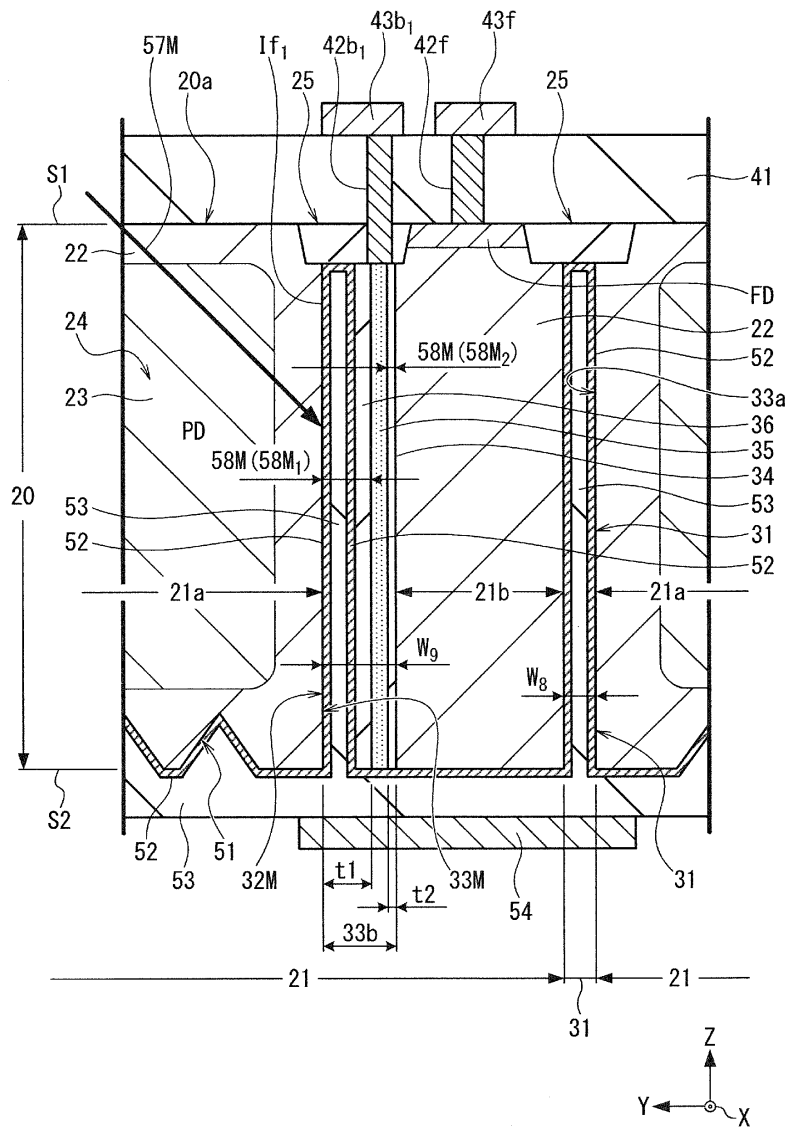
도면55



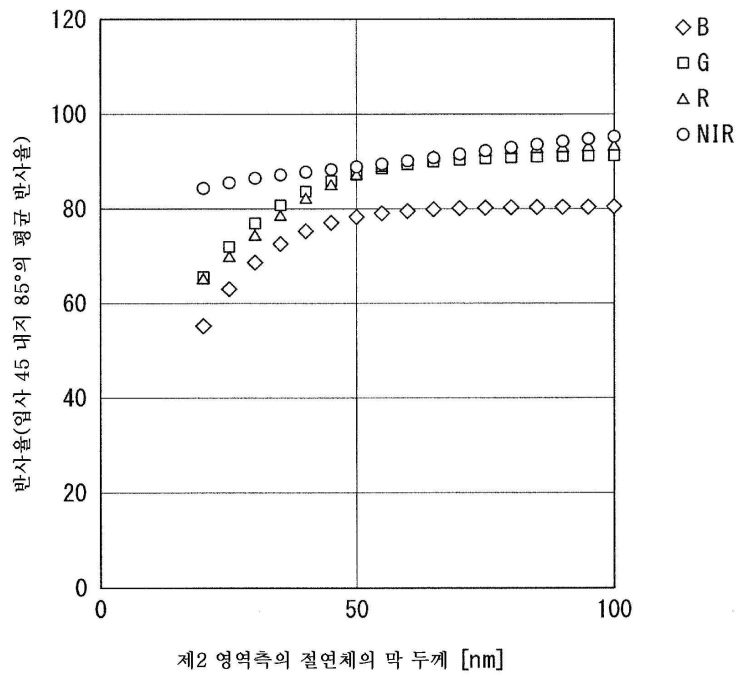
도면56



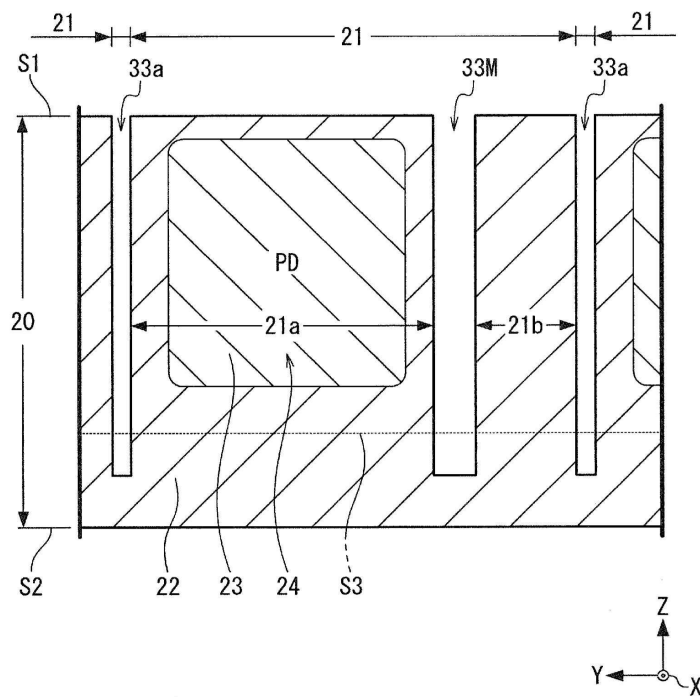
도면57



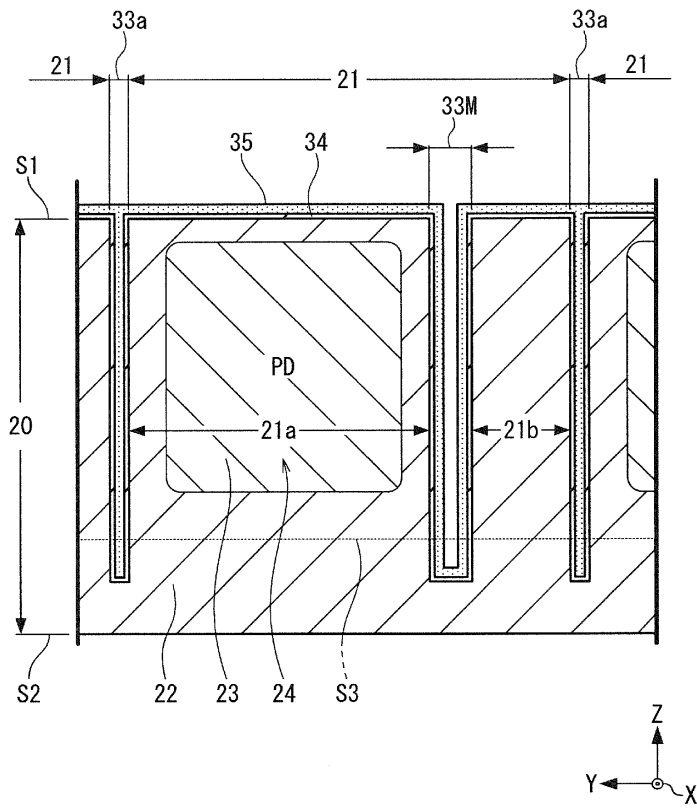
도면58



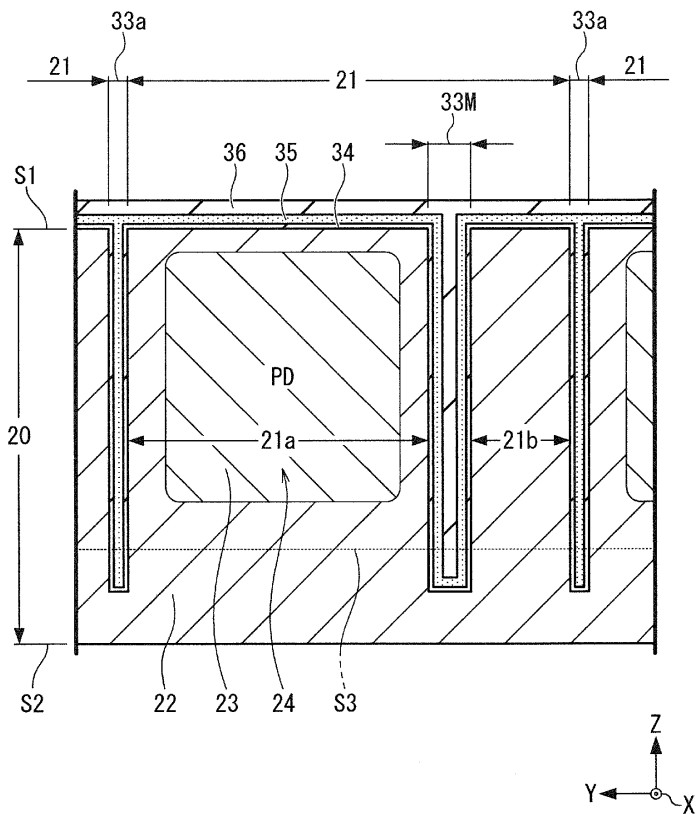
도면59a



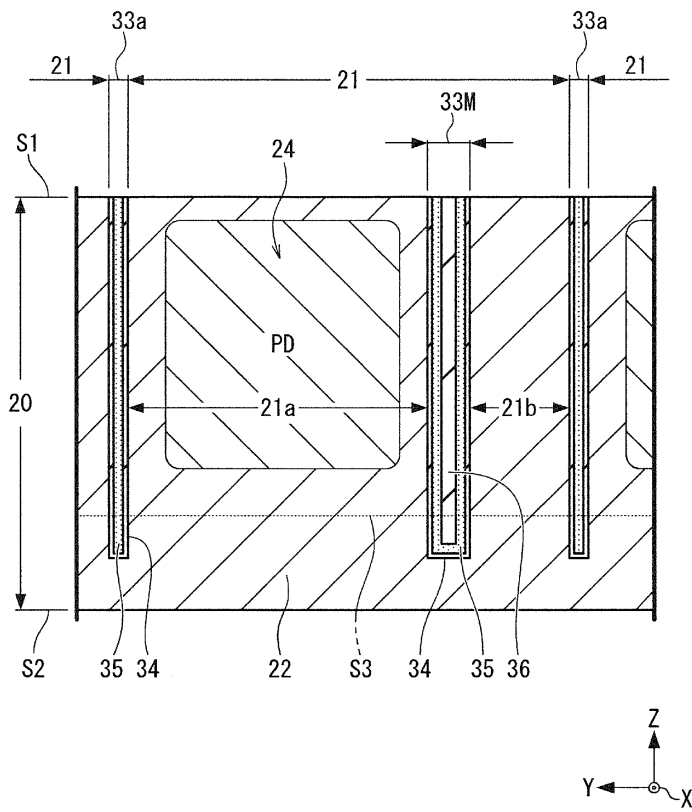
도면59b



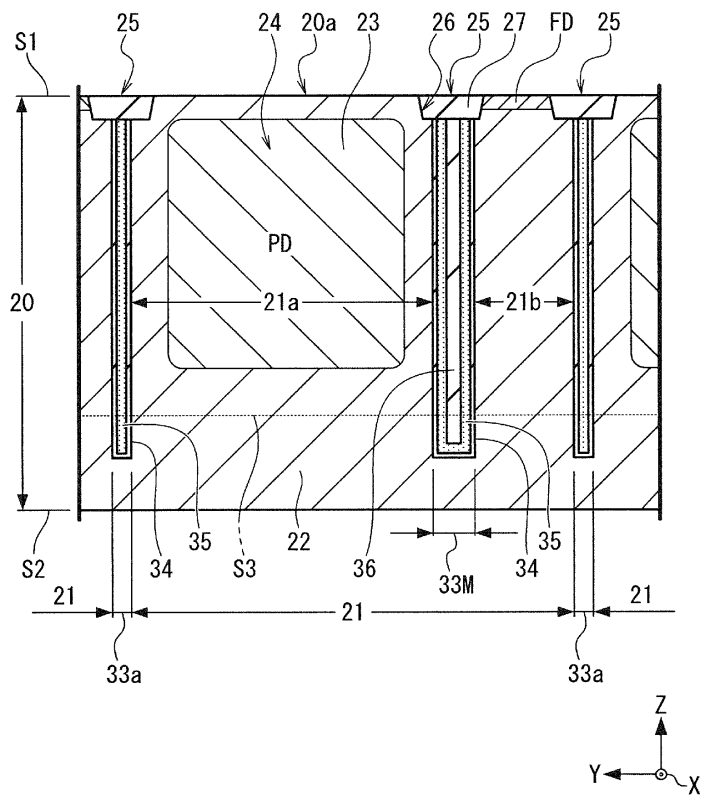
도면59c



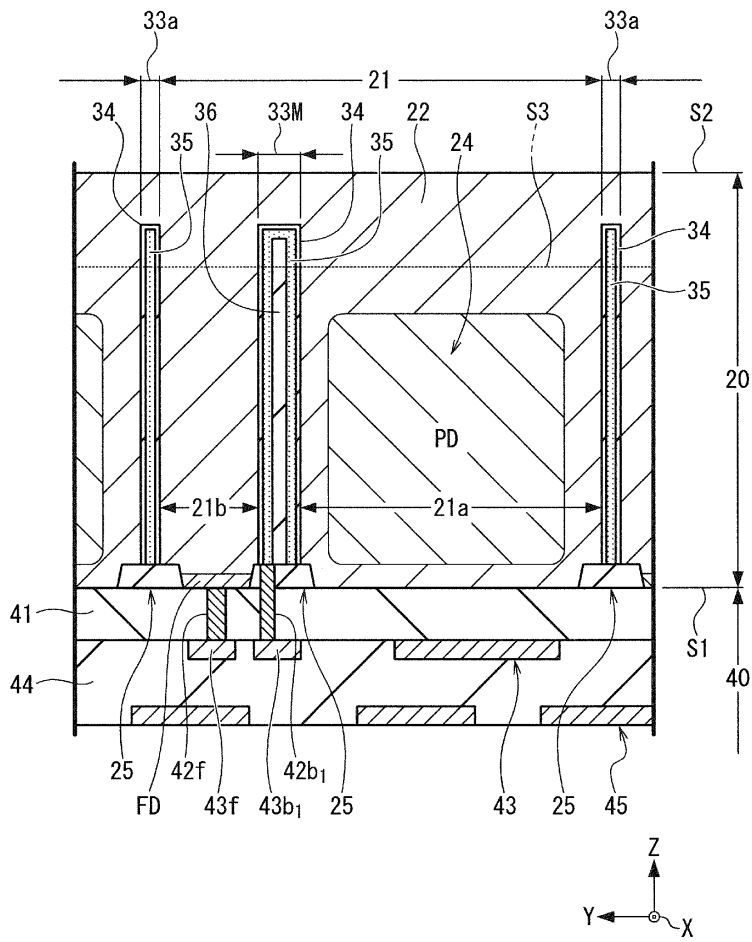
도면 59d



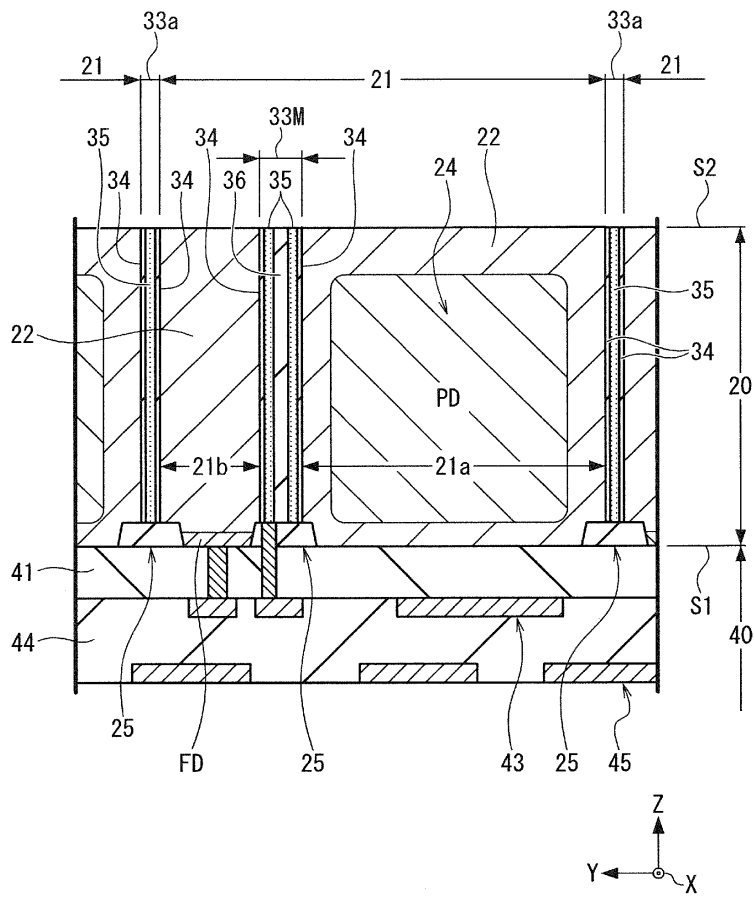
도면 59e



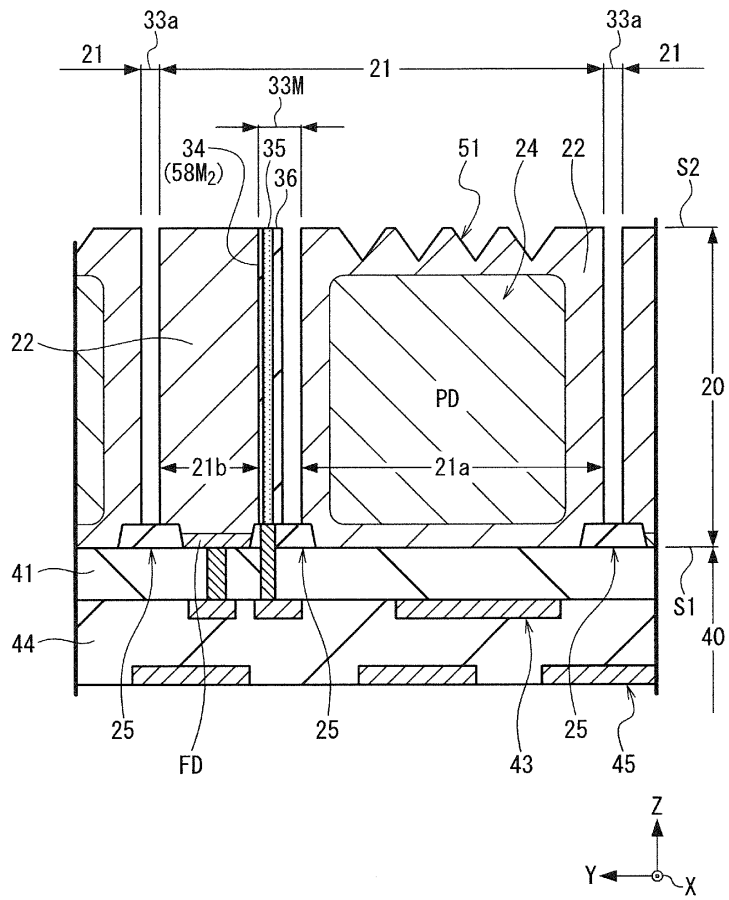
도면59f



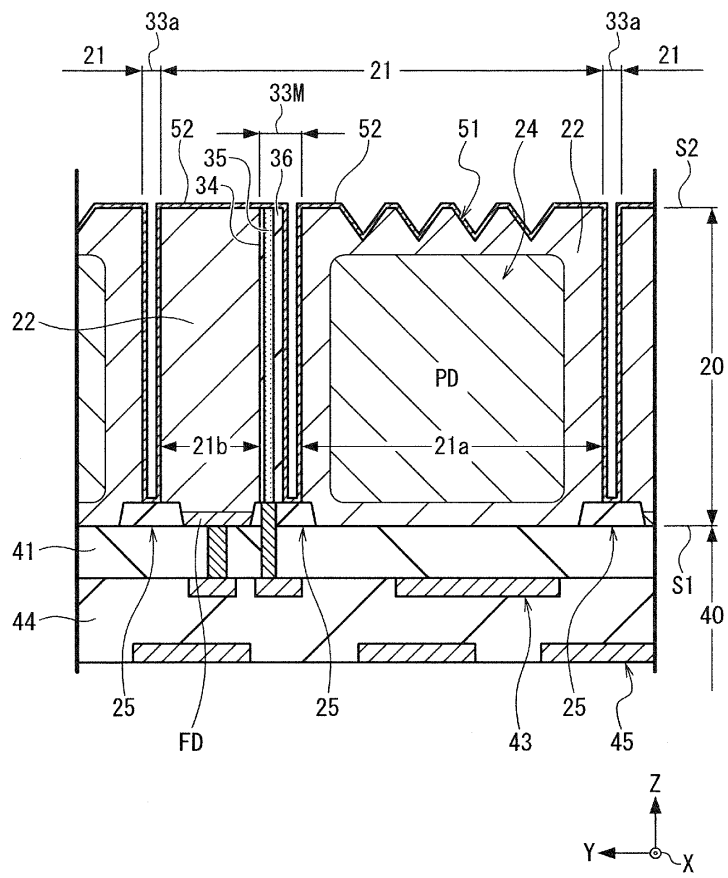
도면59g



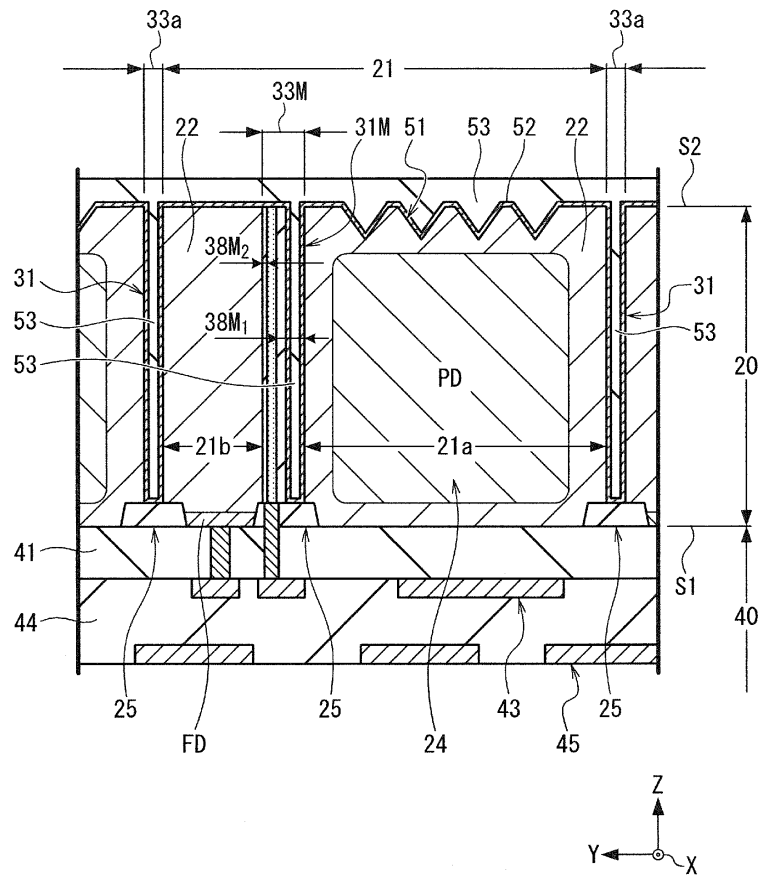
도면59h



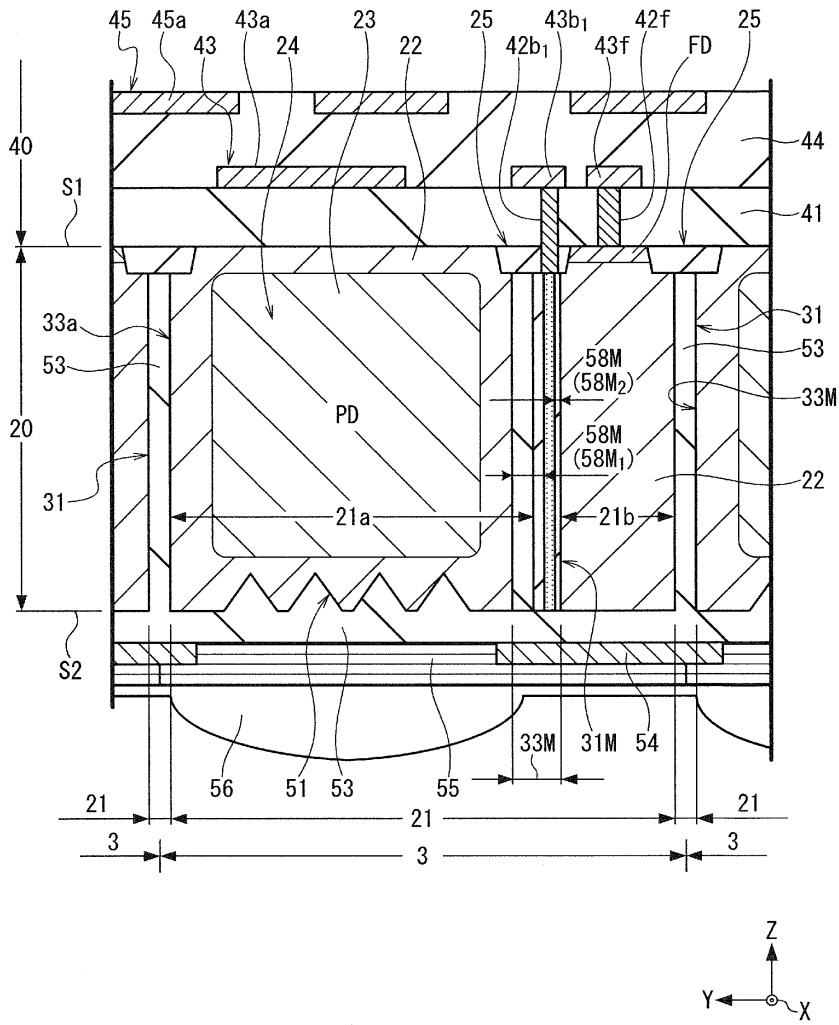
도면59i



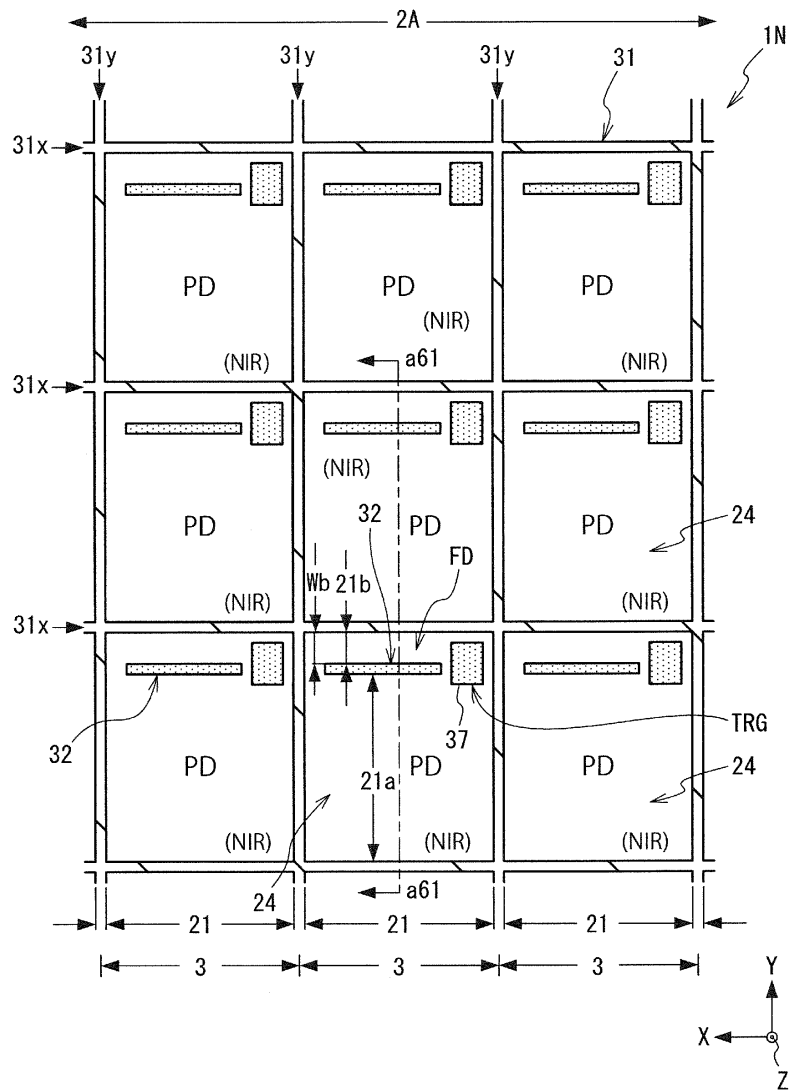
도면59j



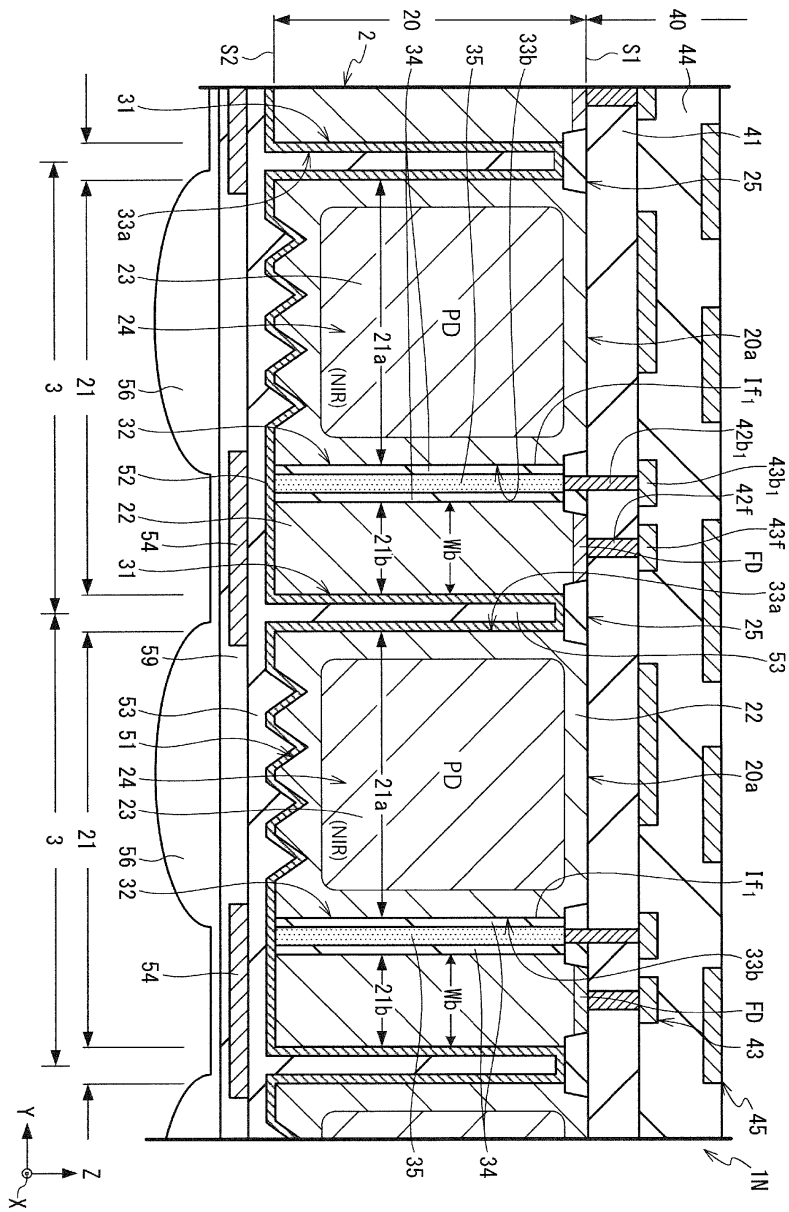
도면60



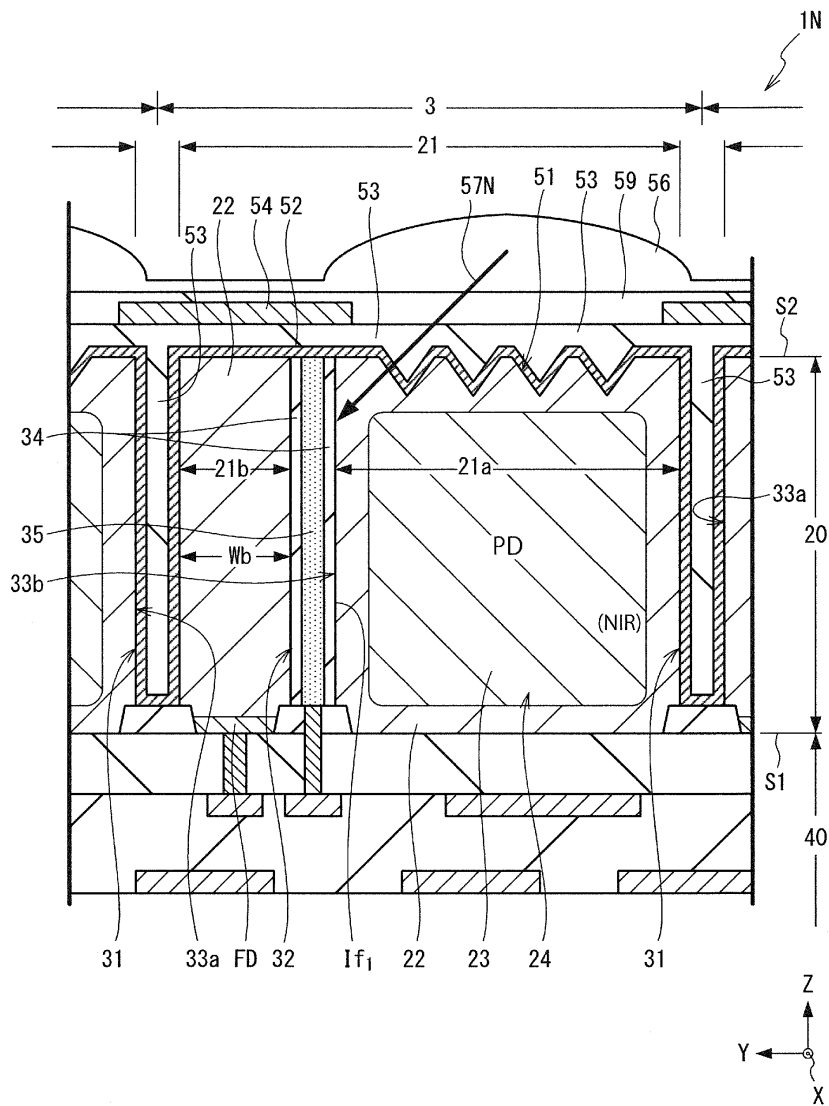
도면61



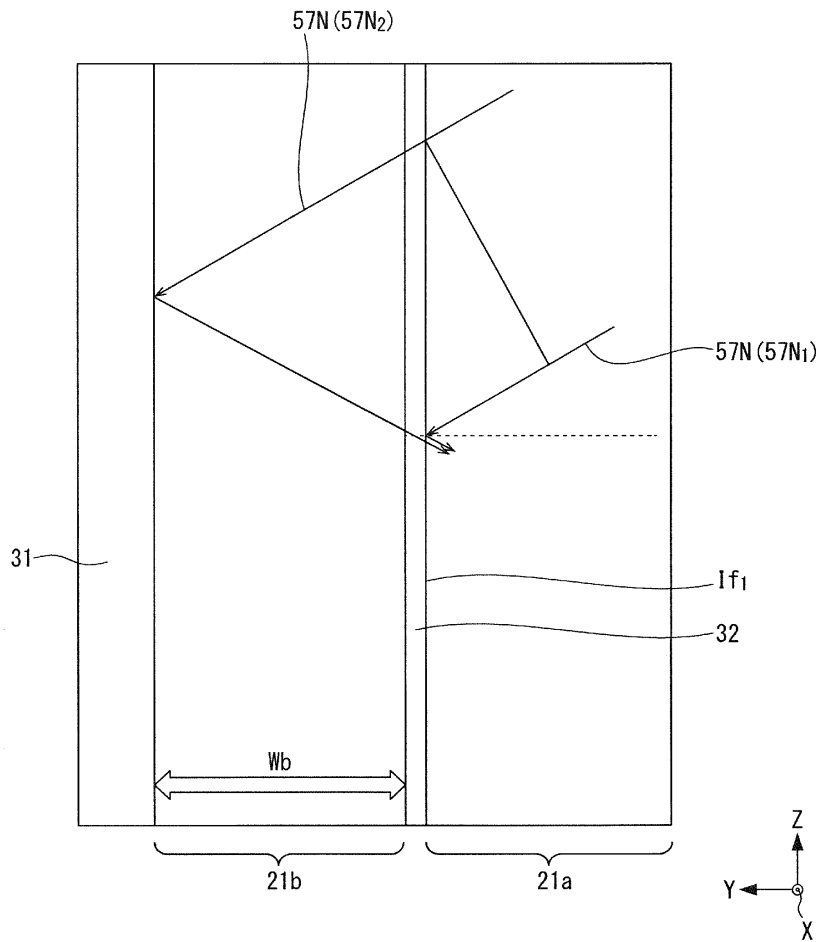
도면62



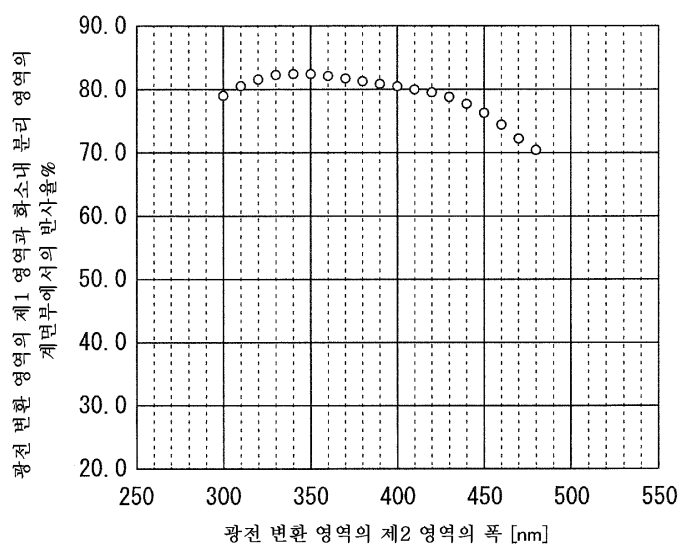
도면63



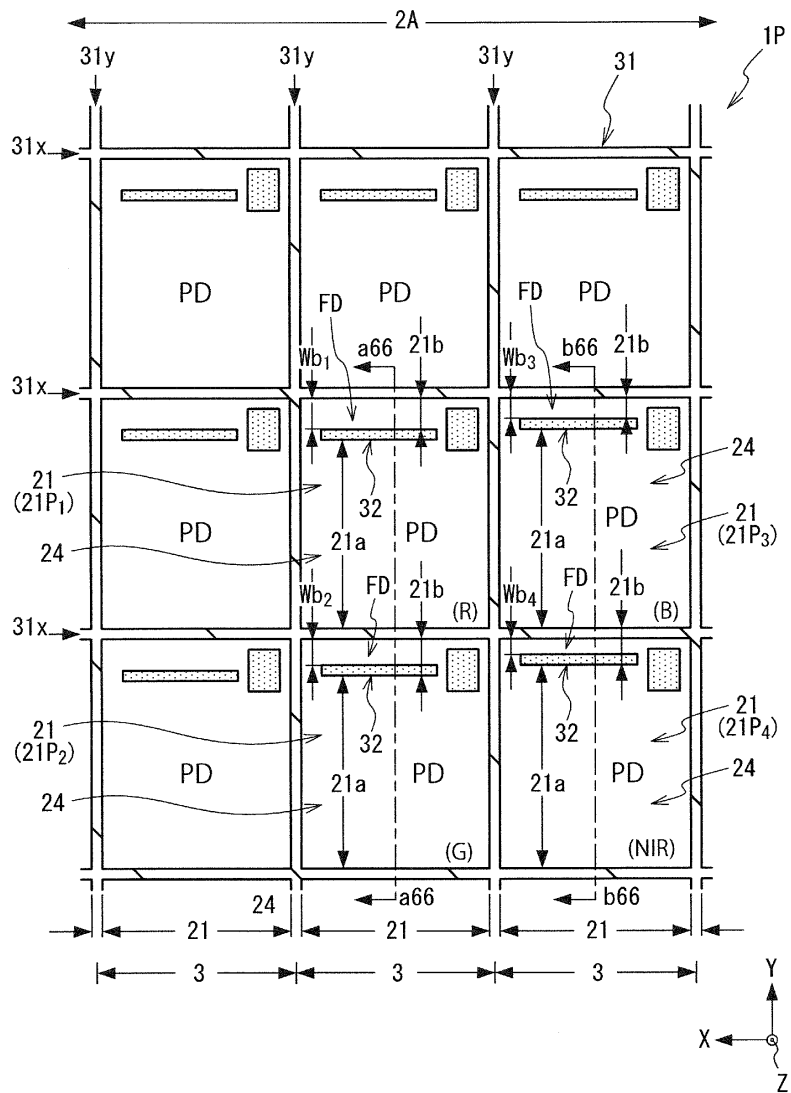
도면64



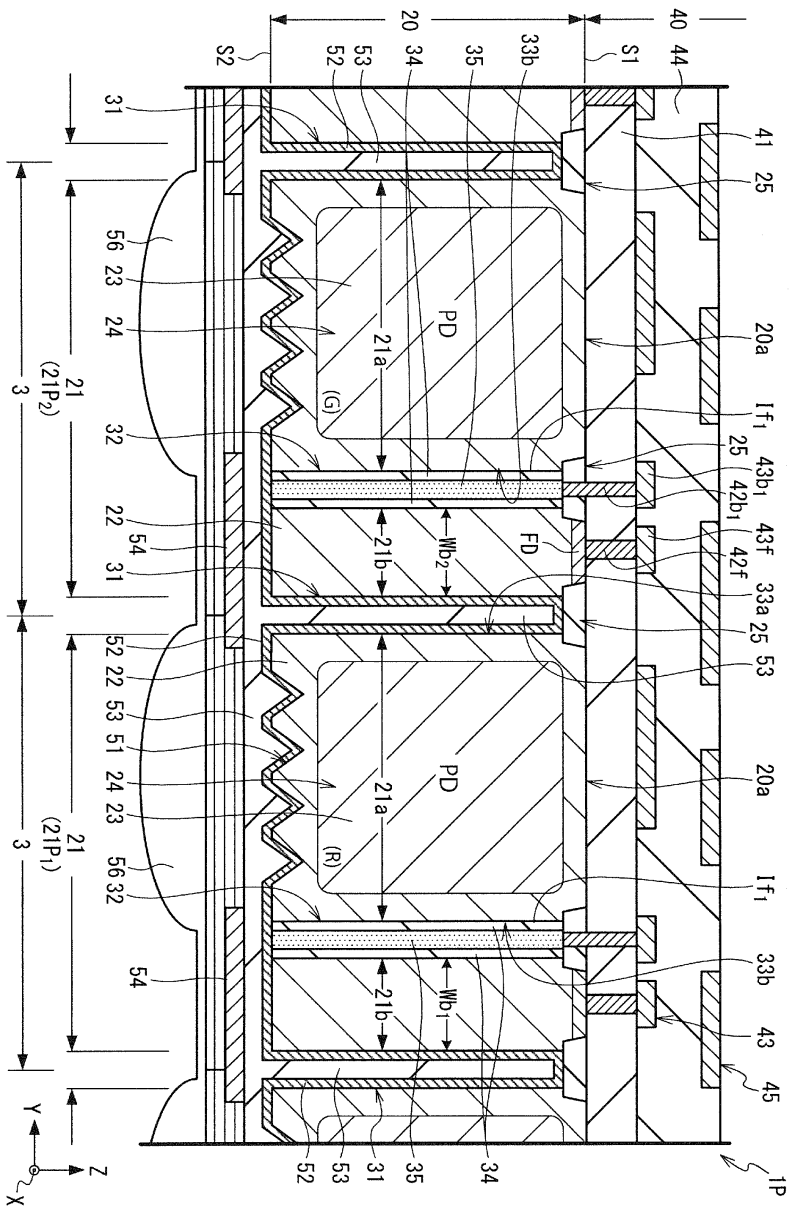
도면65



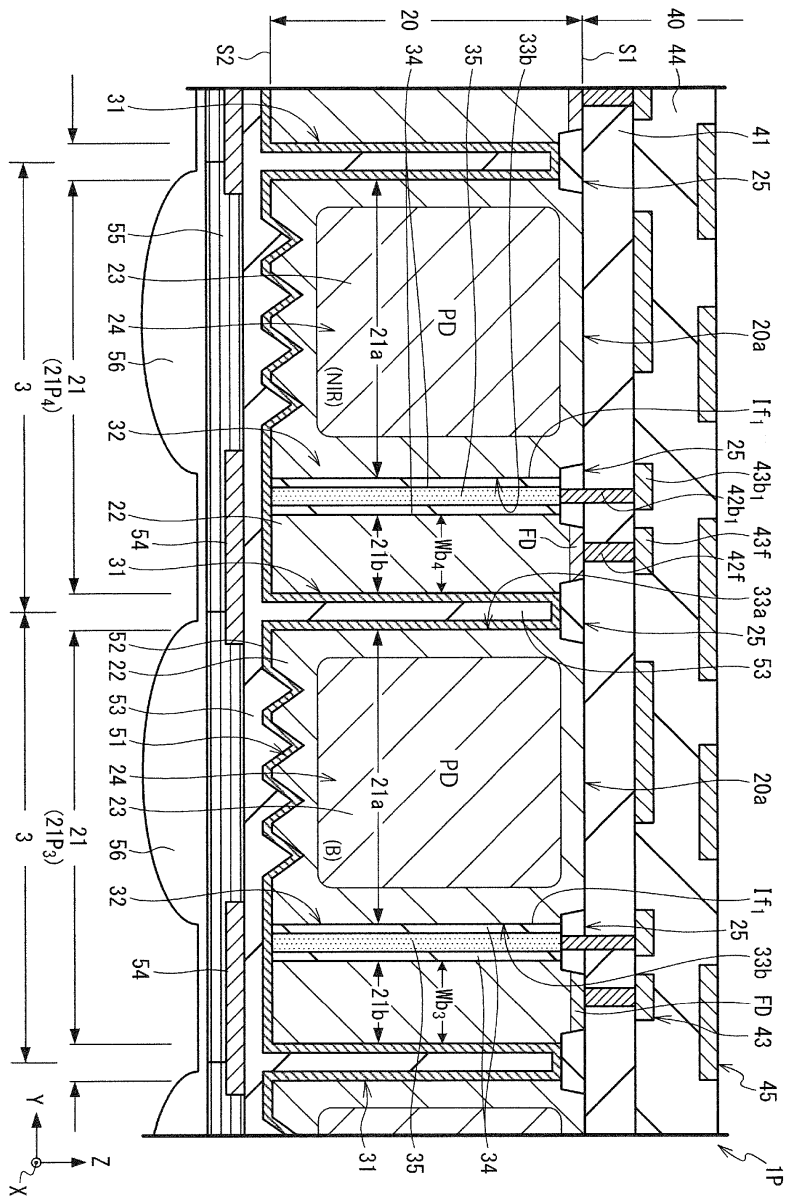
도면 66



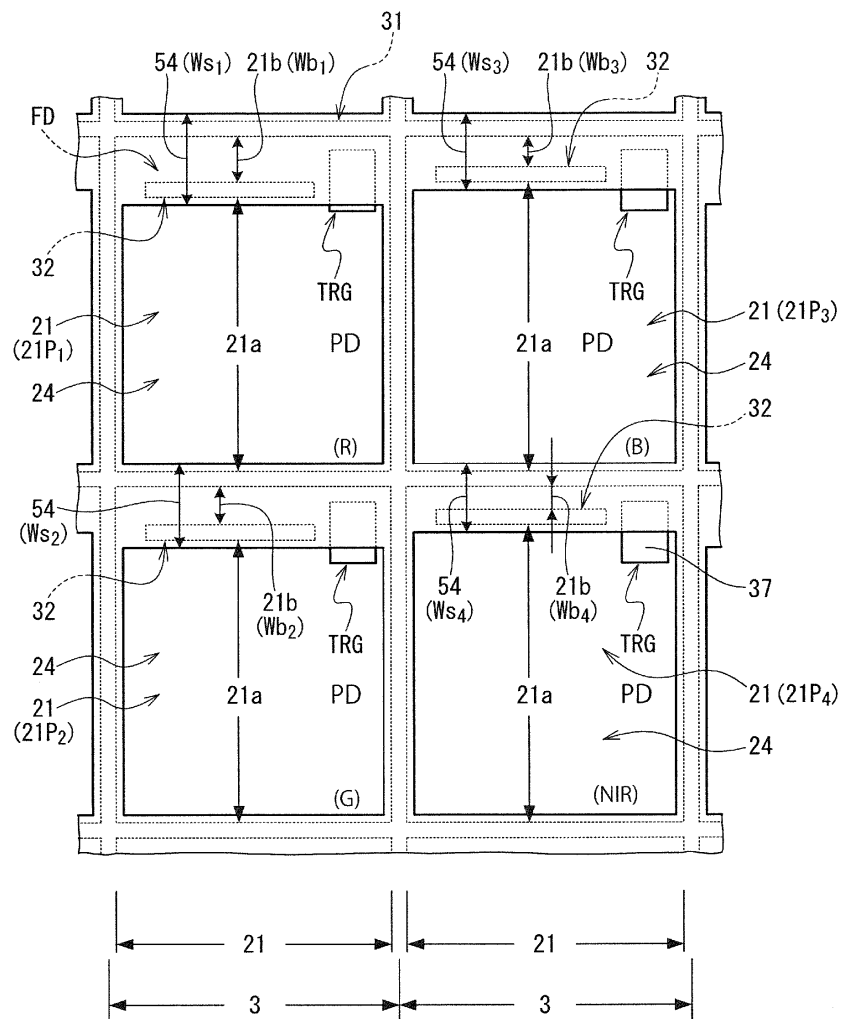
도면67



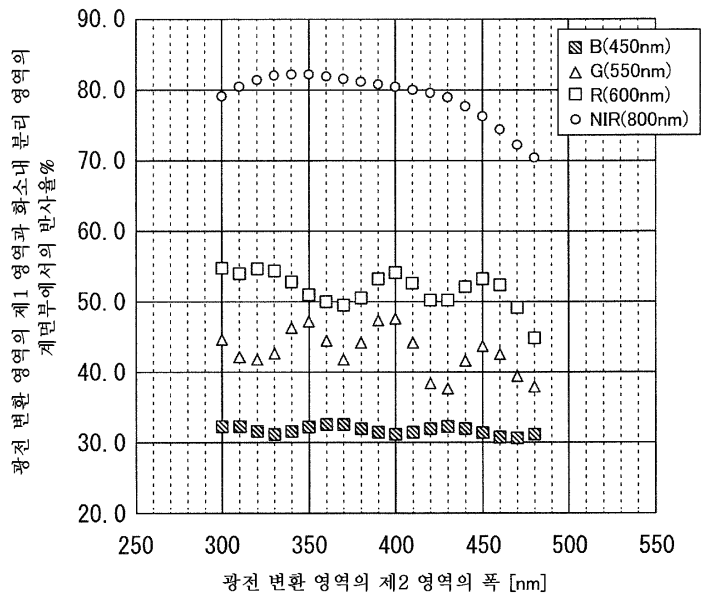
도면 68



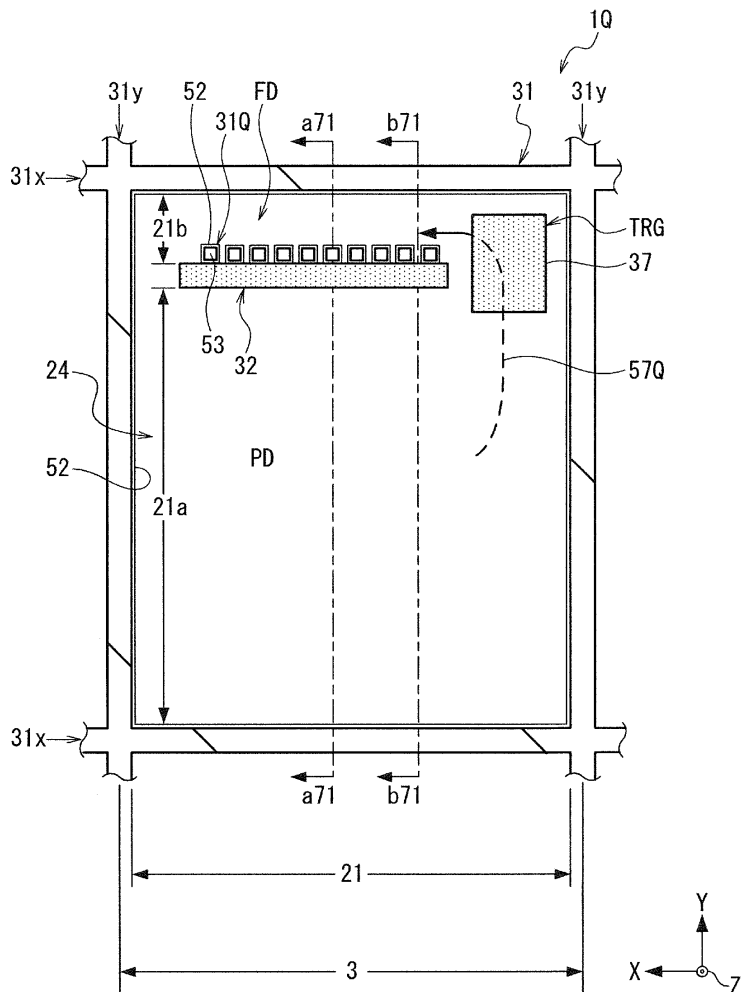
도면 69



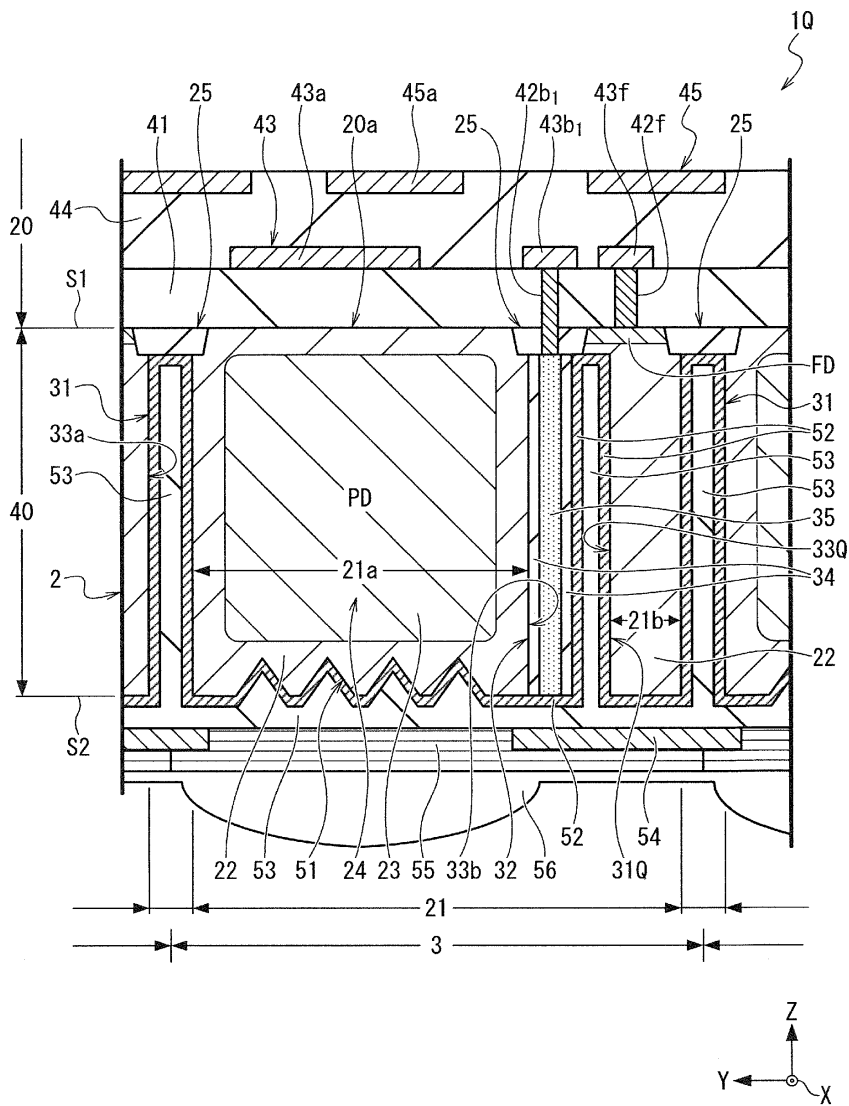
도면70



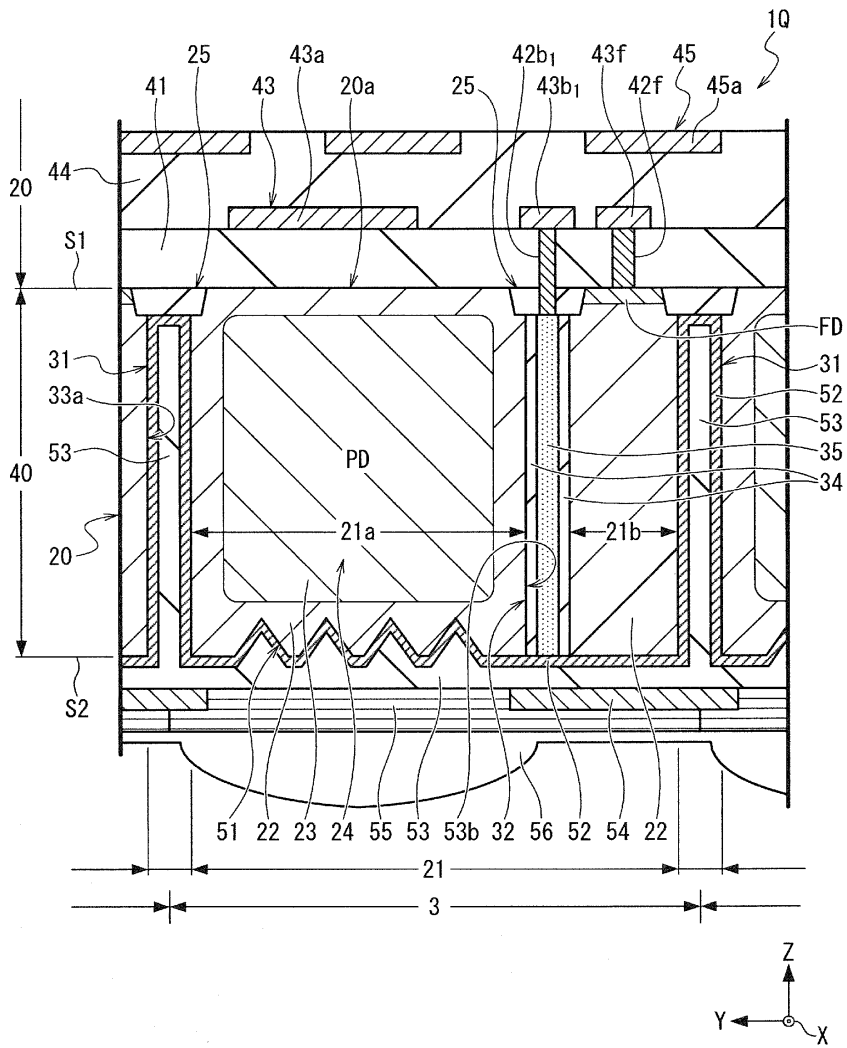
도면71



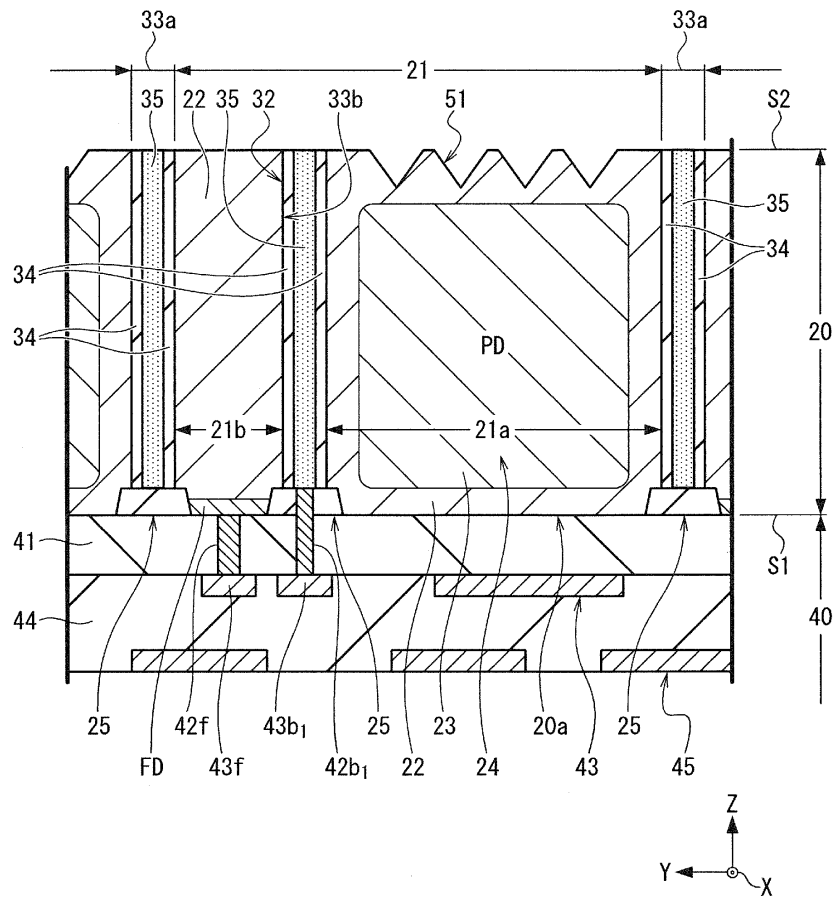
도면72



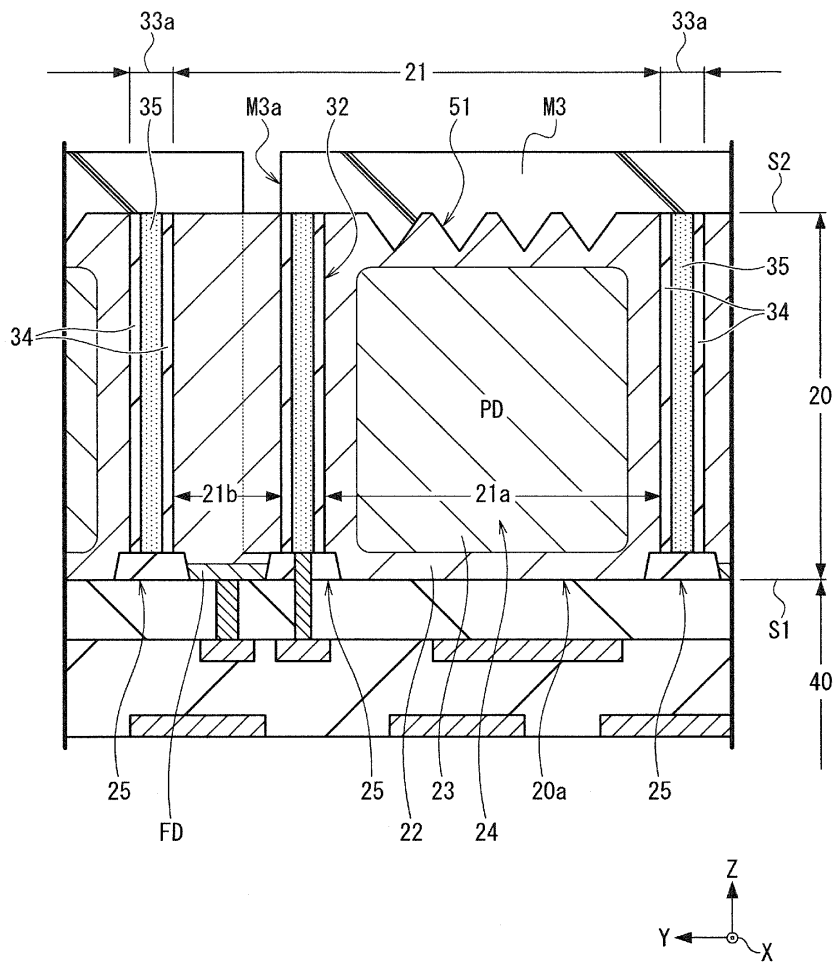
도면73



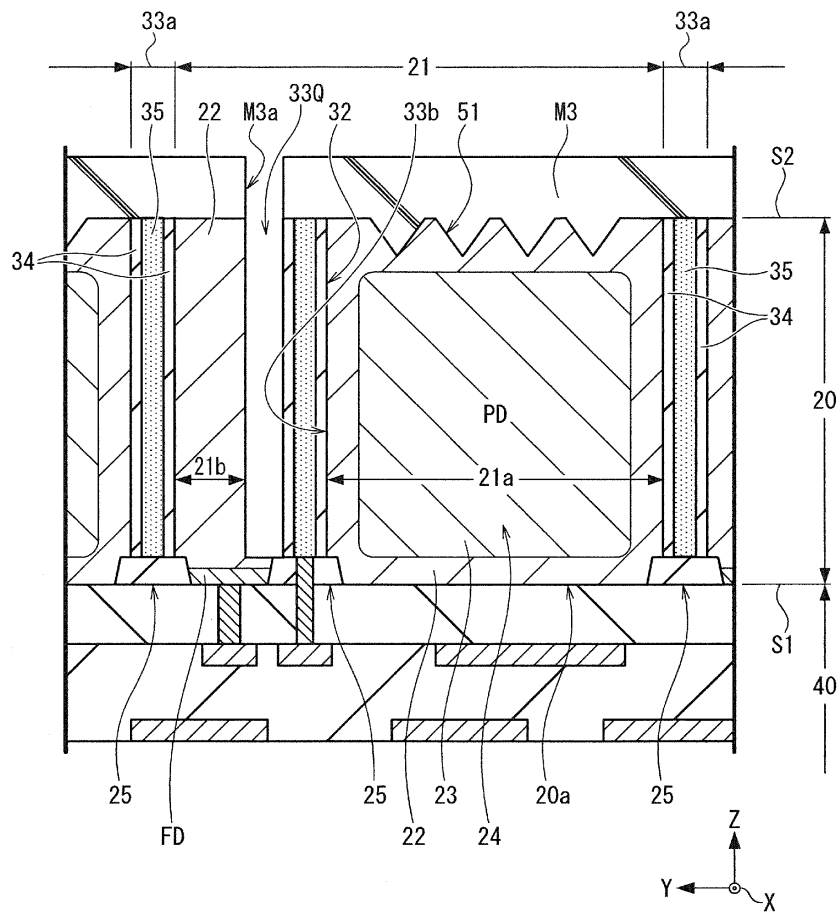
도면74a



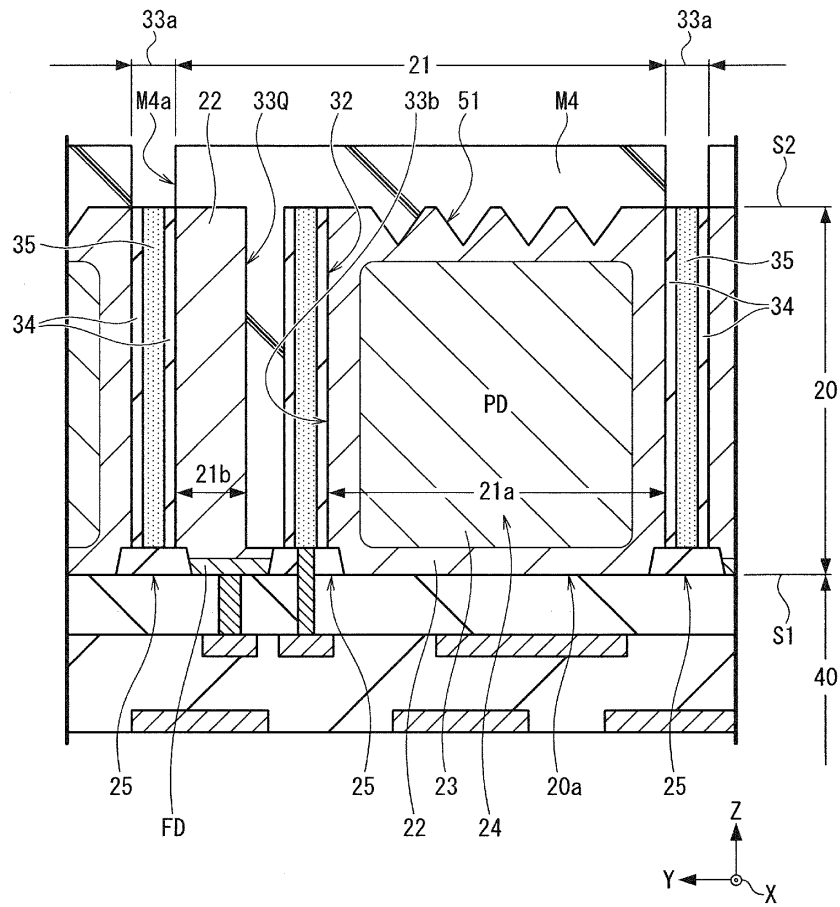
도면74b



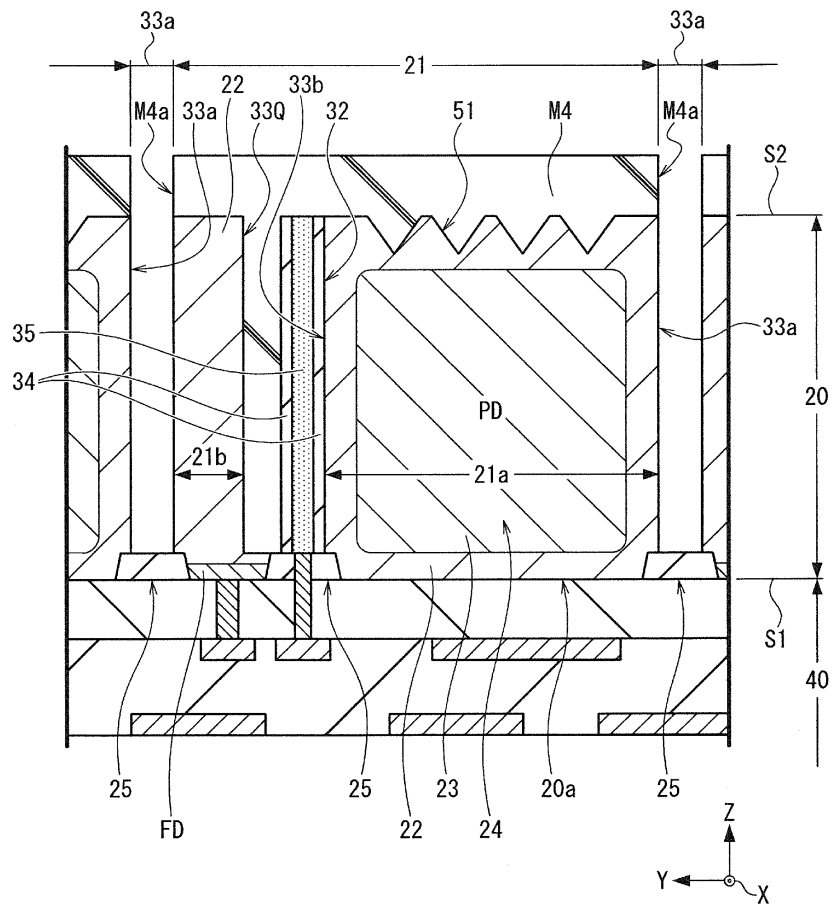
도면74c



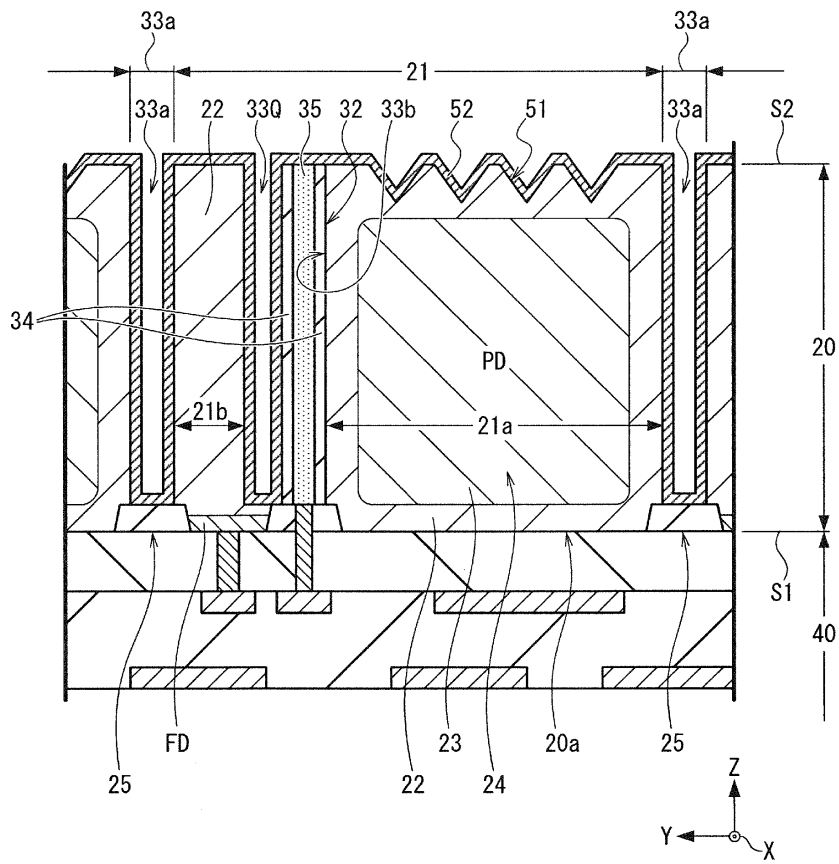
도면74d



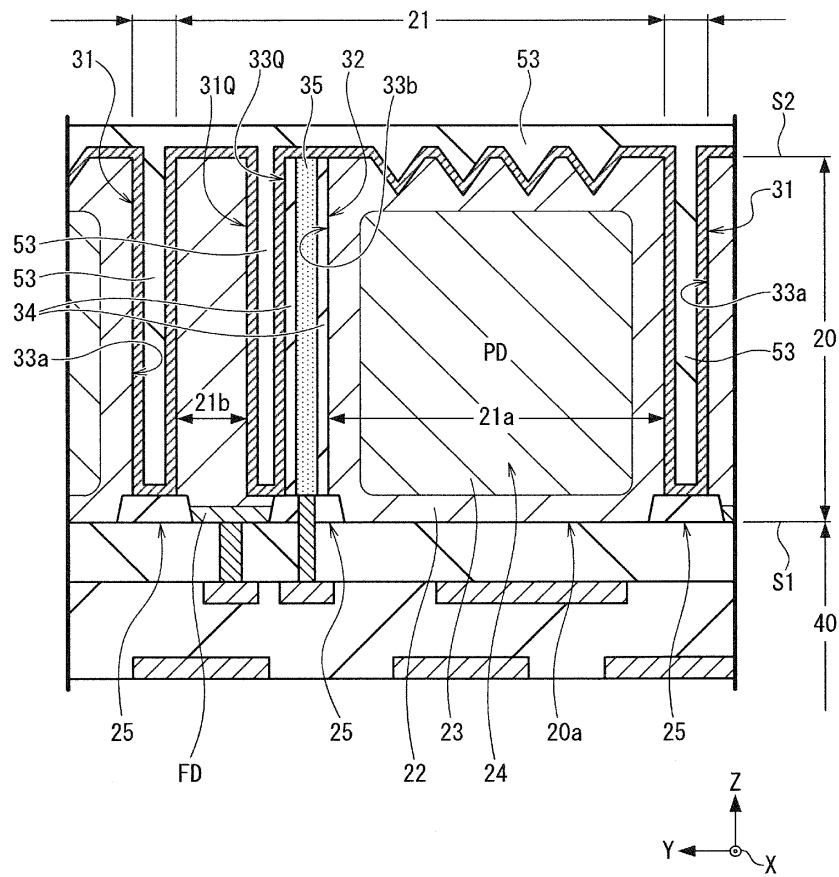
도면74e



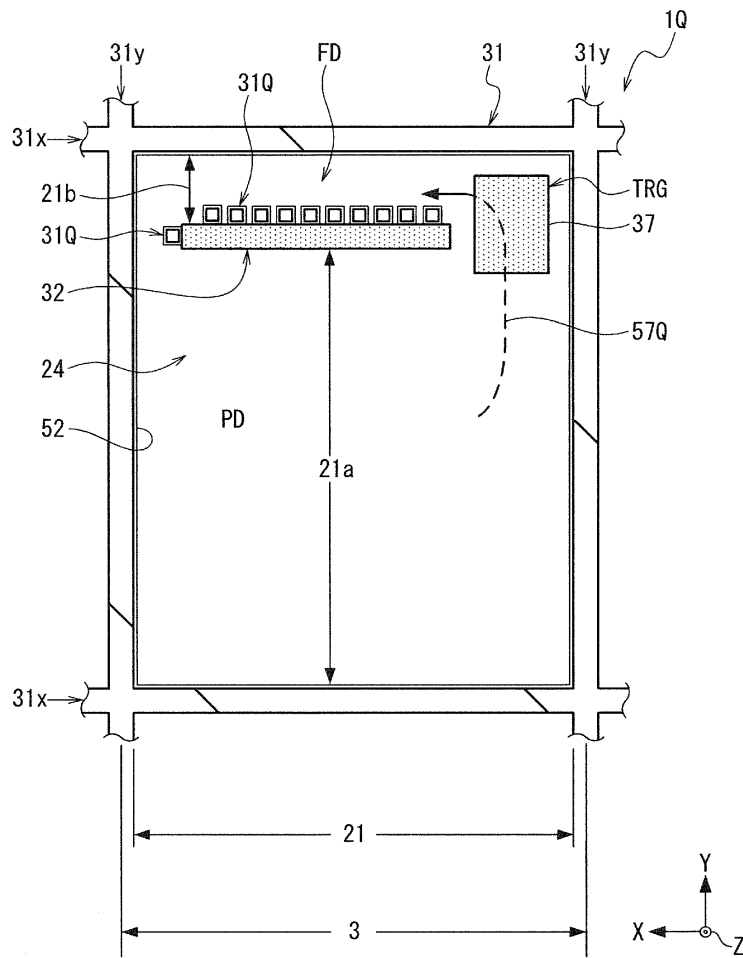
도면74f



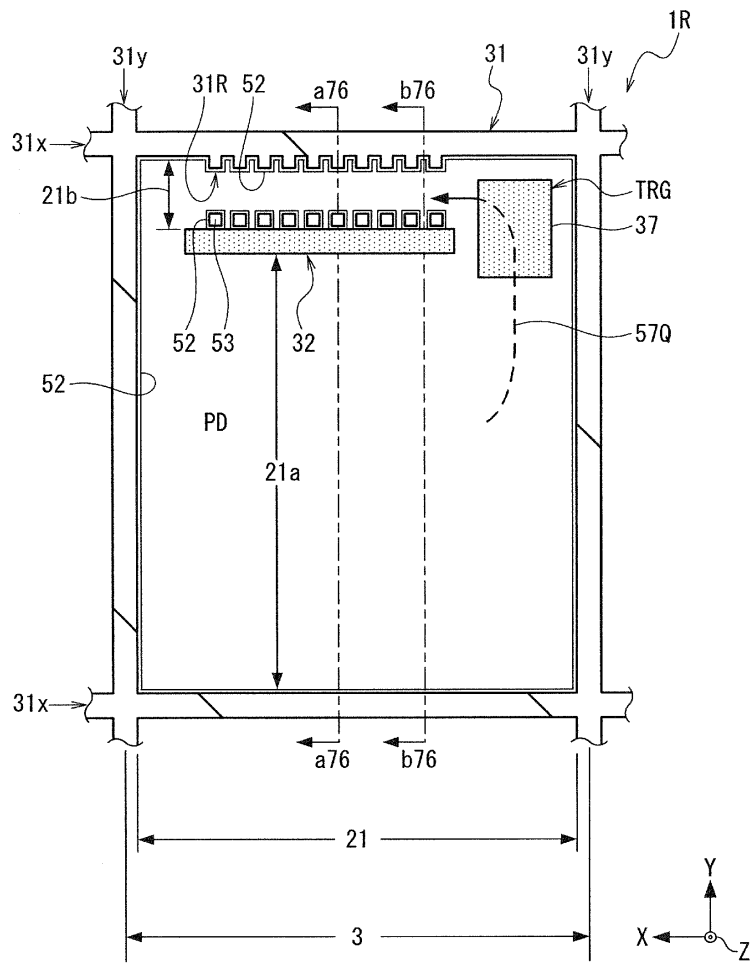
도면74g



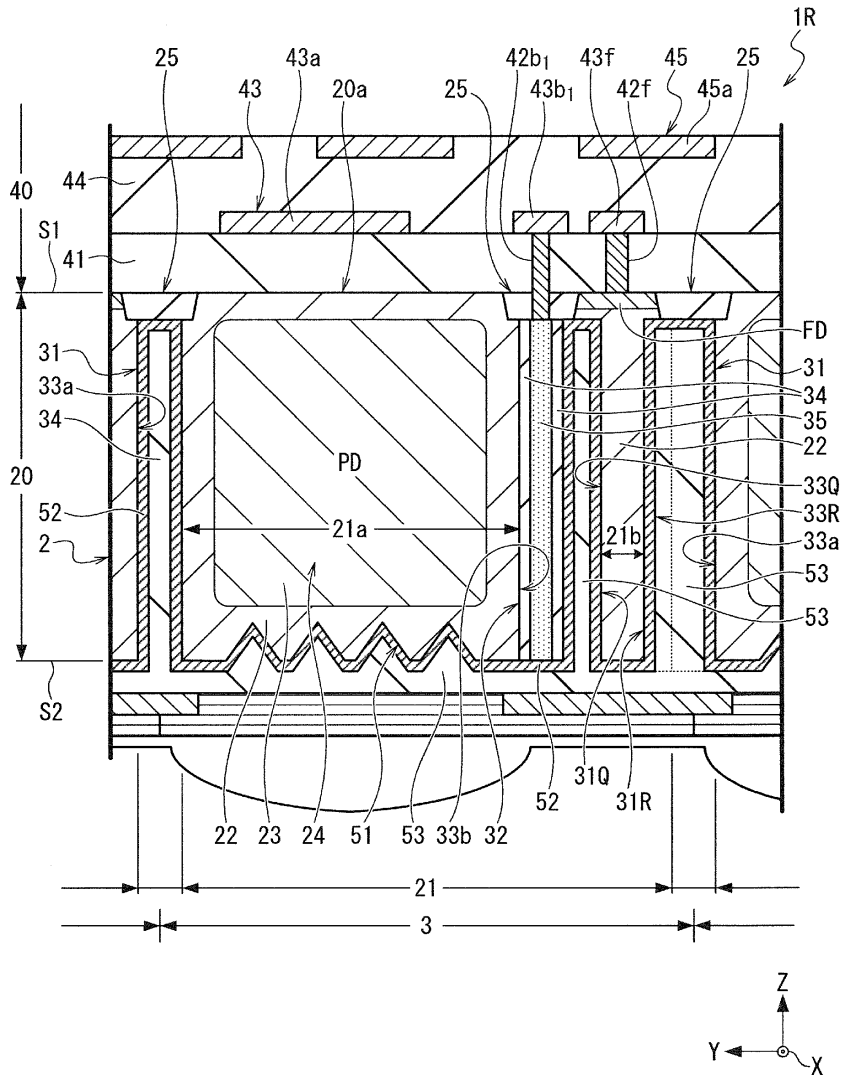
도면75



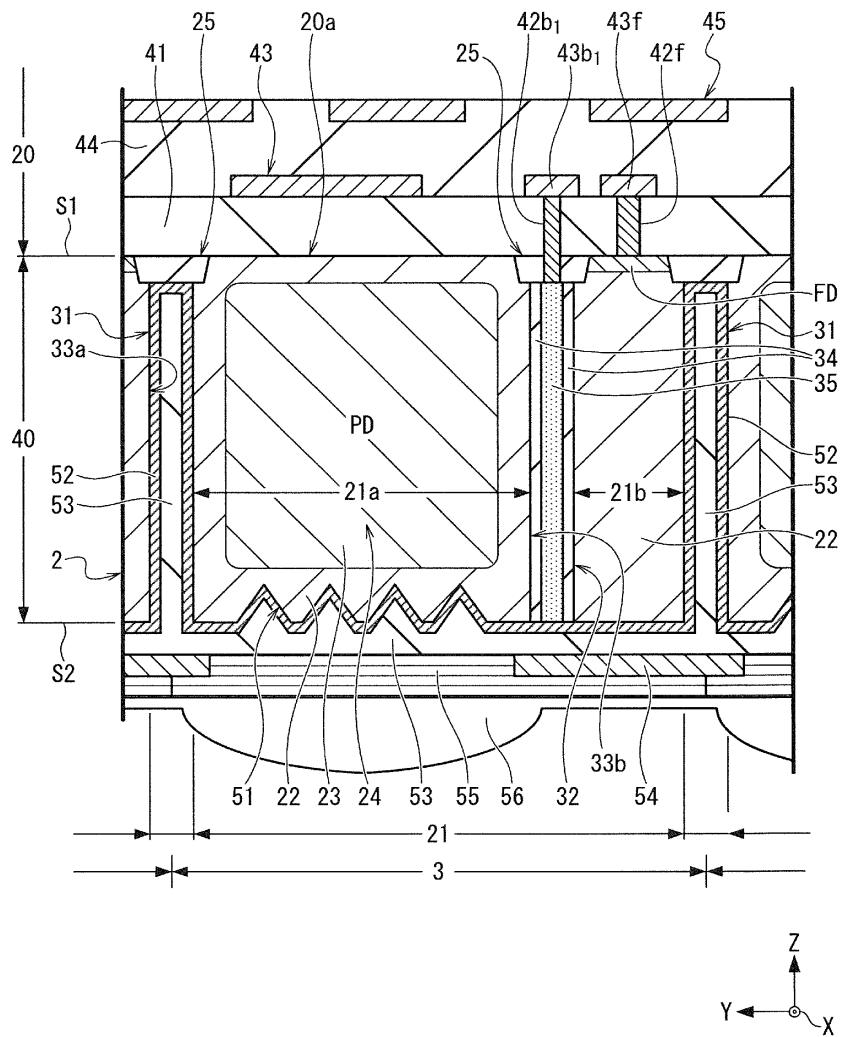
도면76



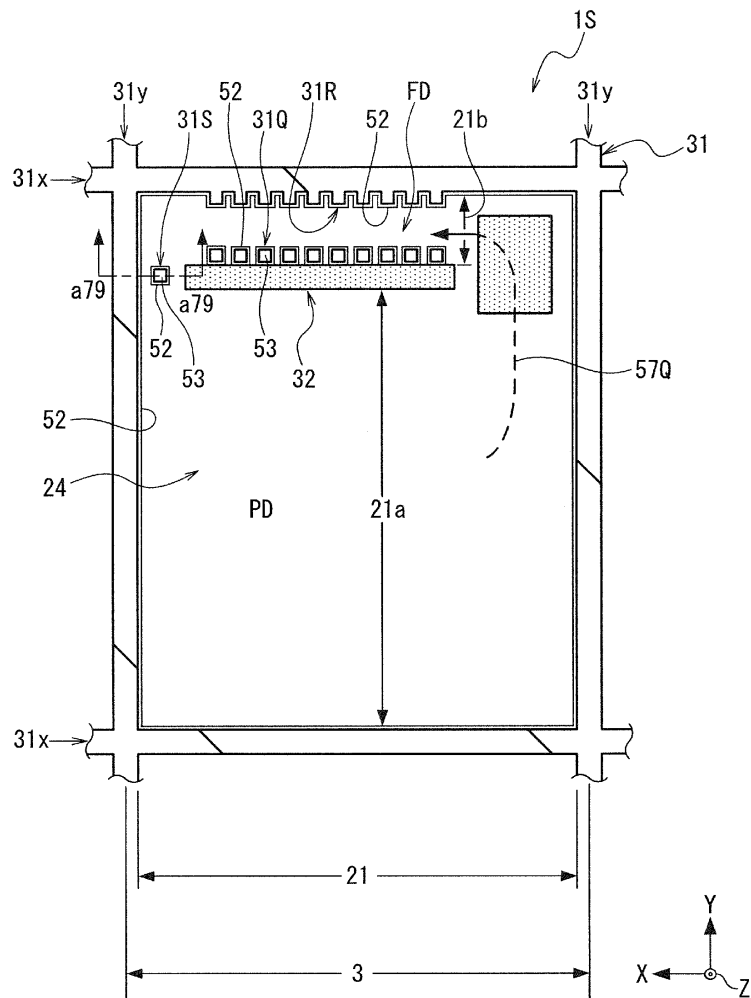
도면77



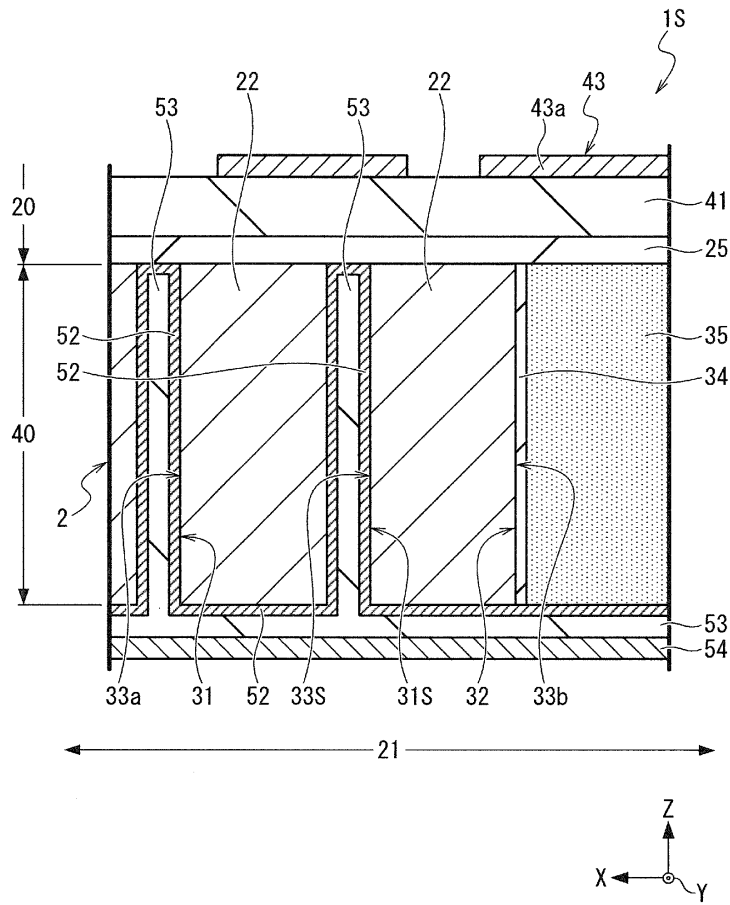
도면78



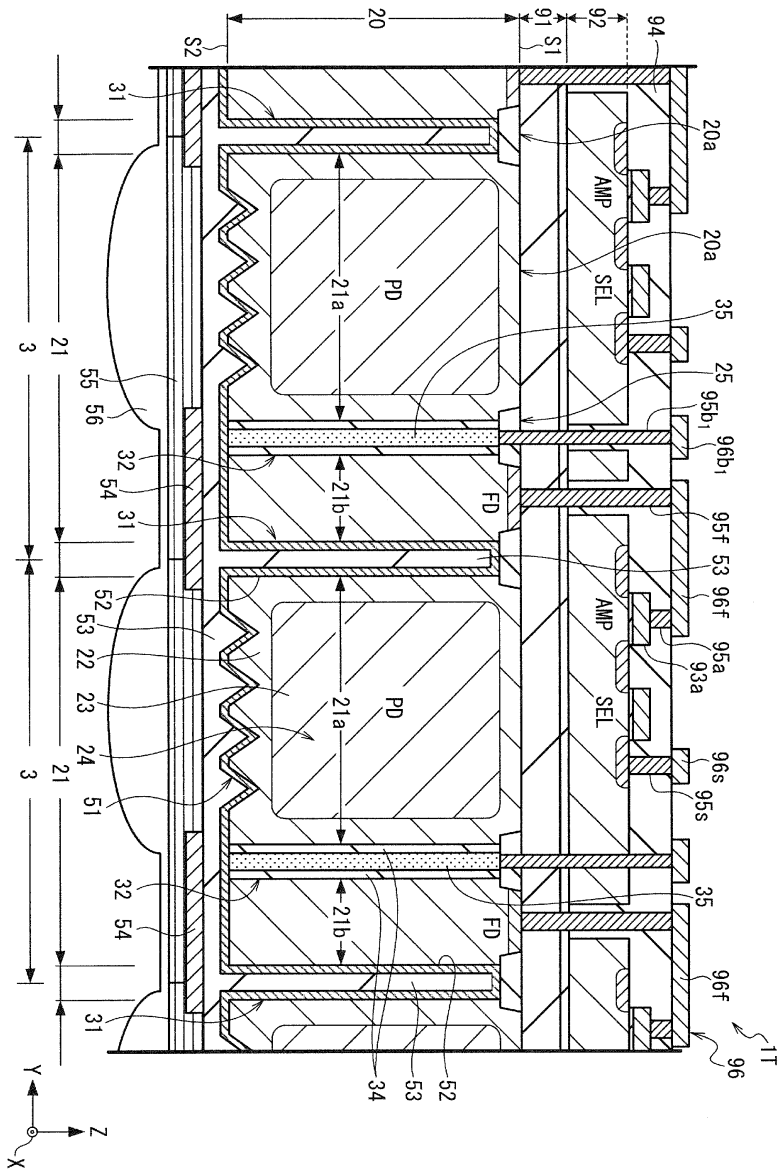
도면 79



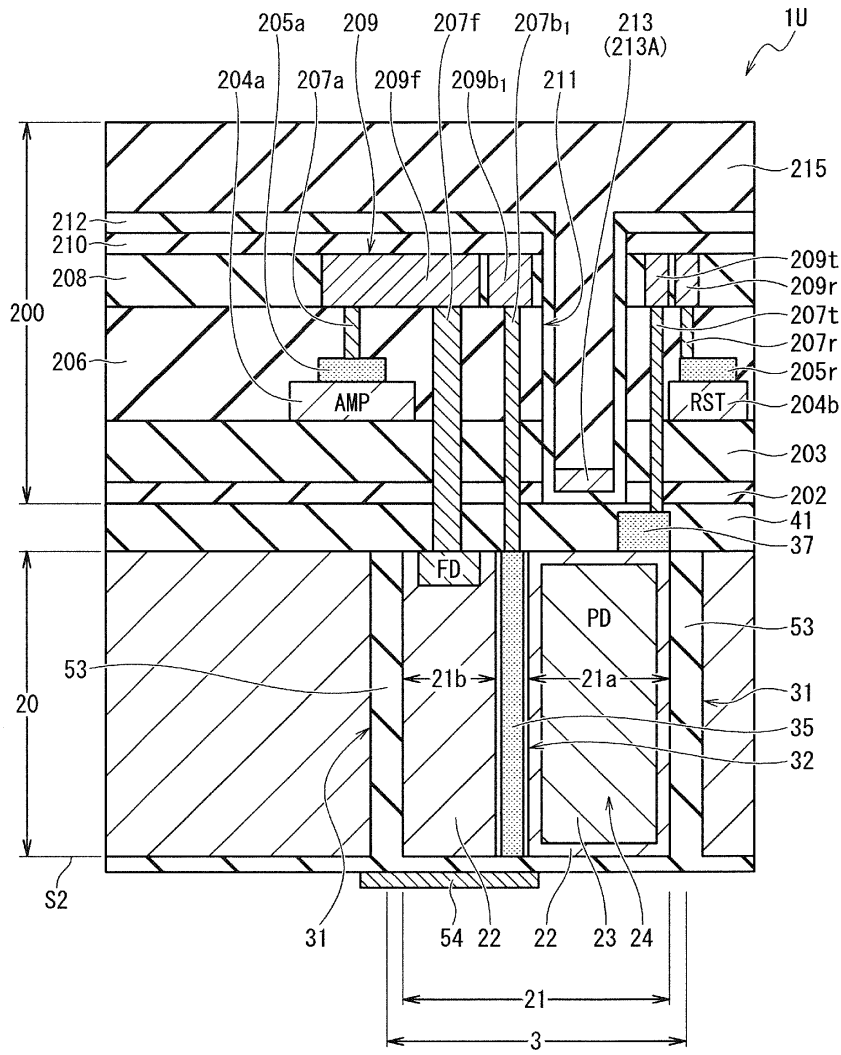
도면80



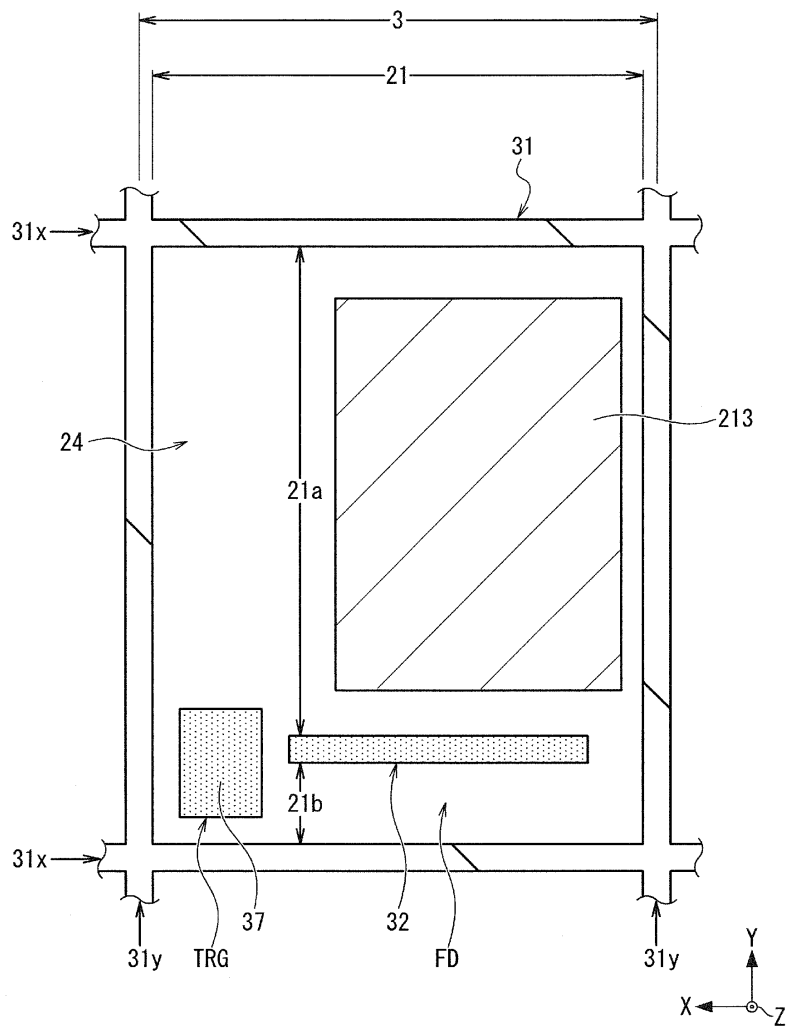
도면81



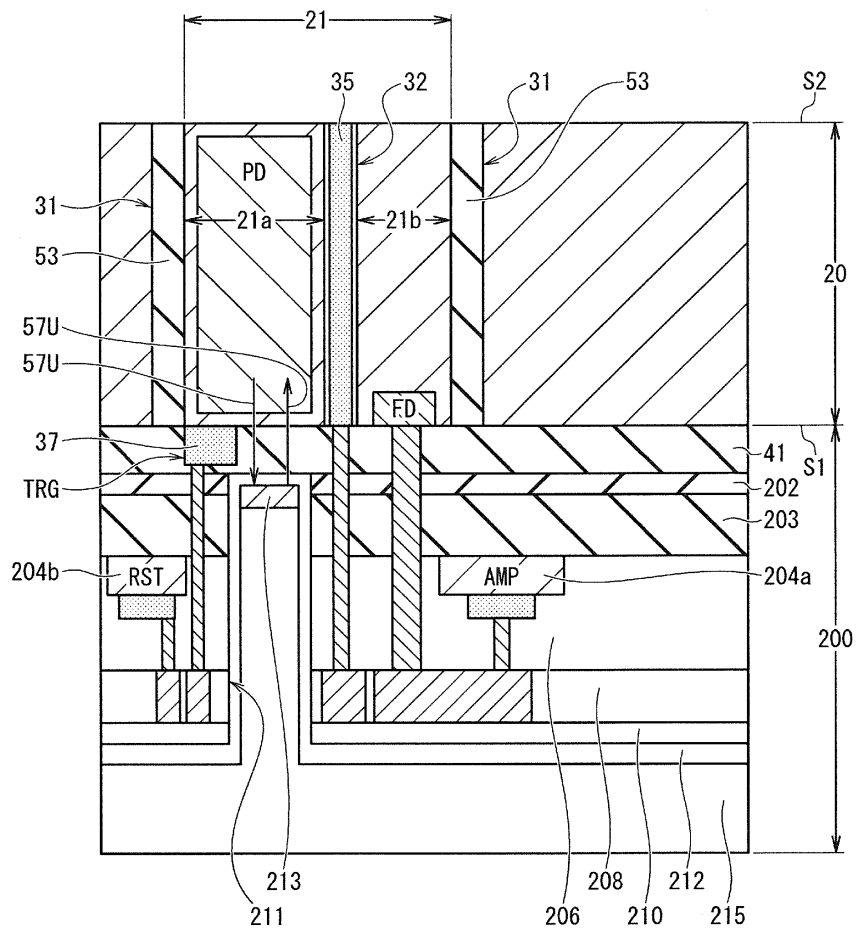
도면82



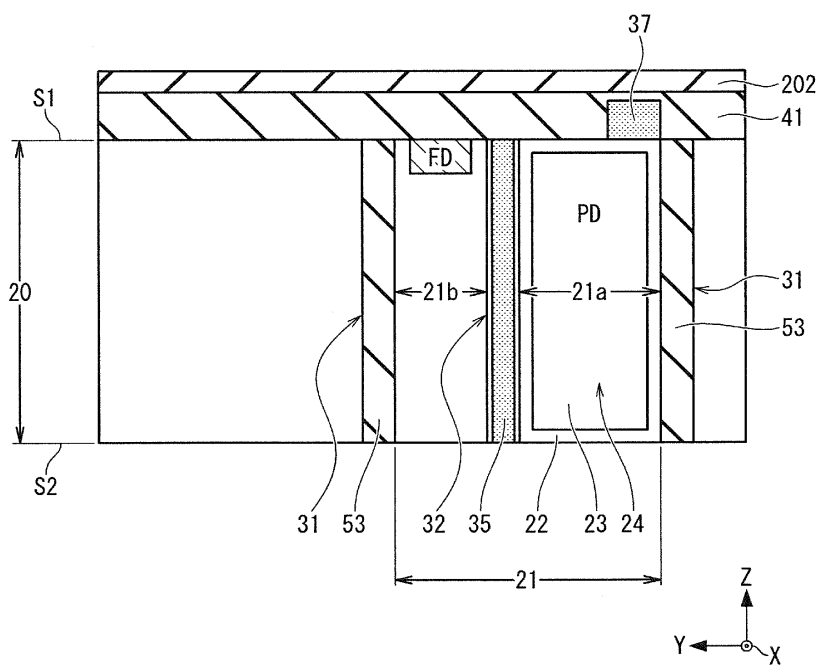
도면83a



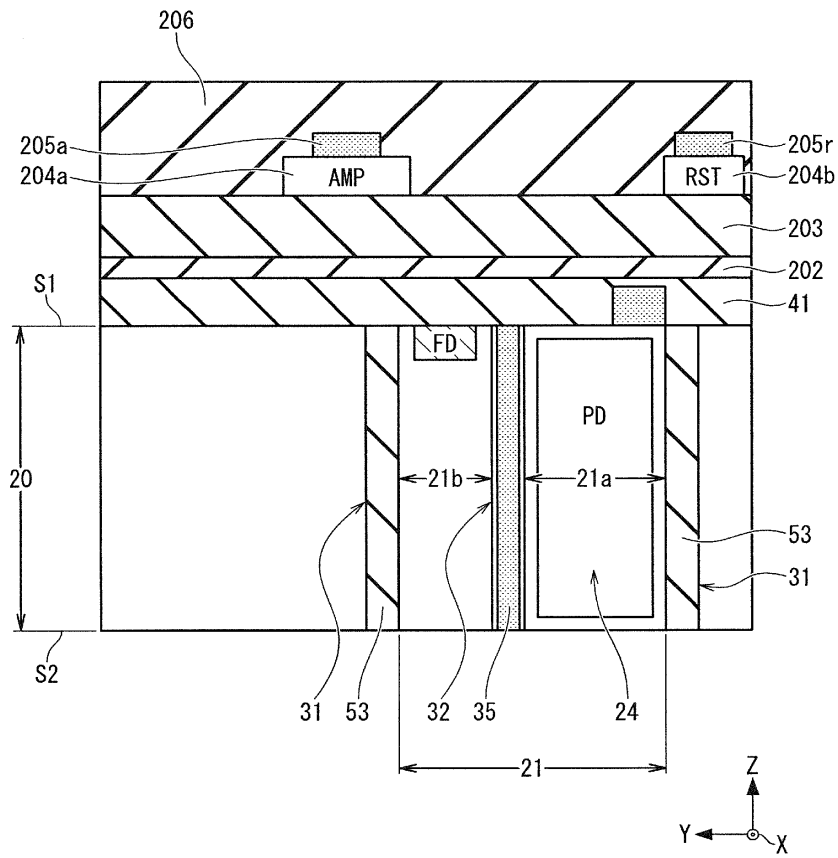
도면 83b



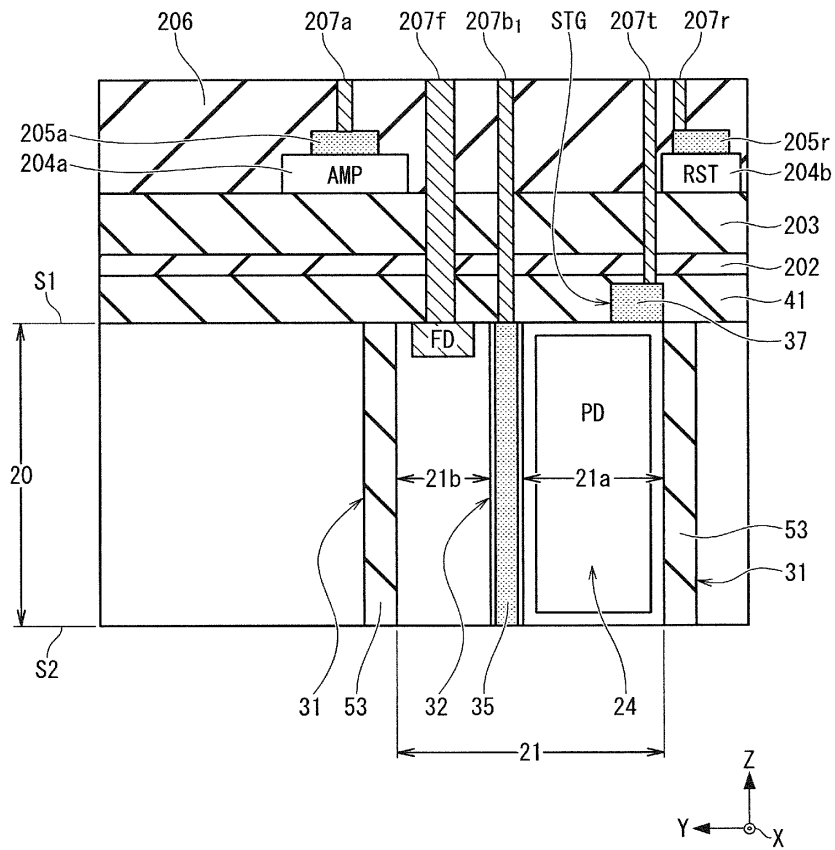
도면 84a



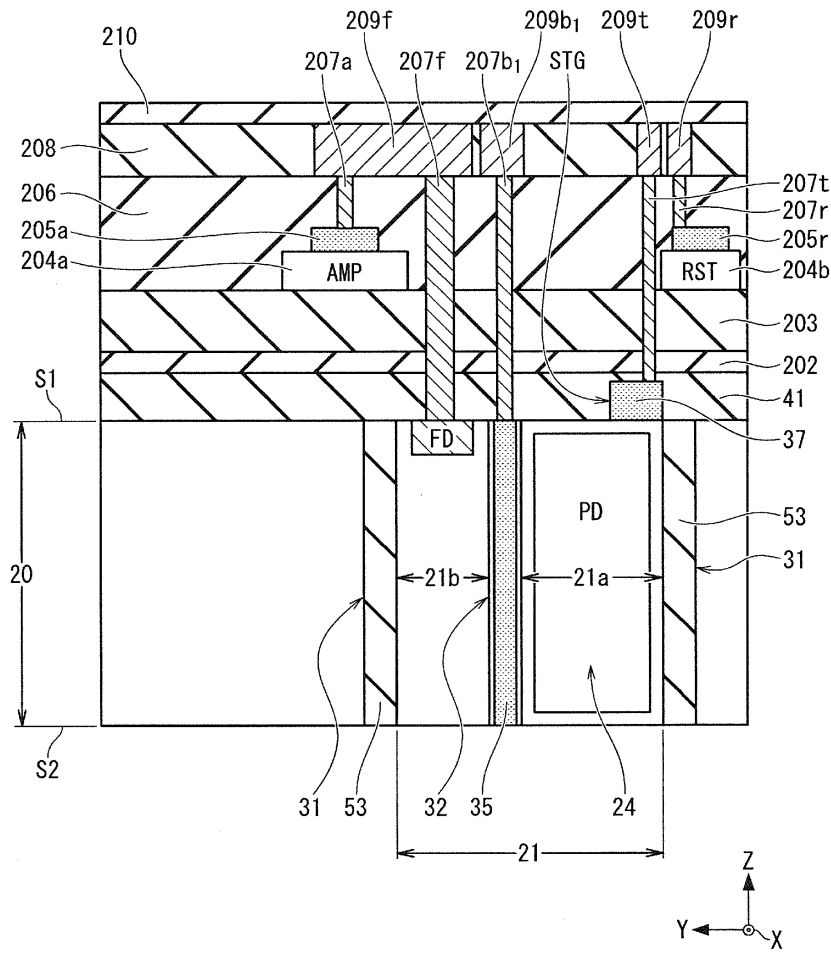
도면84b



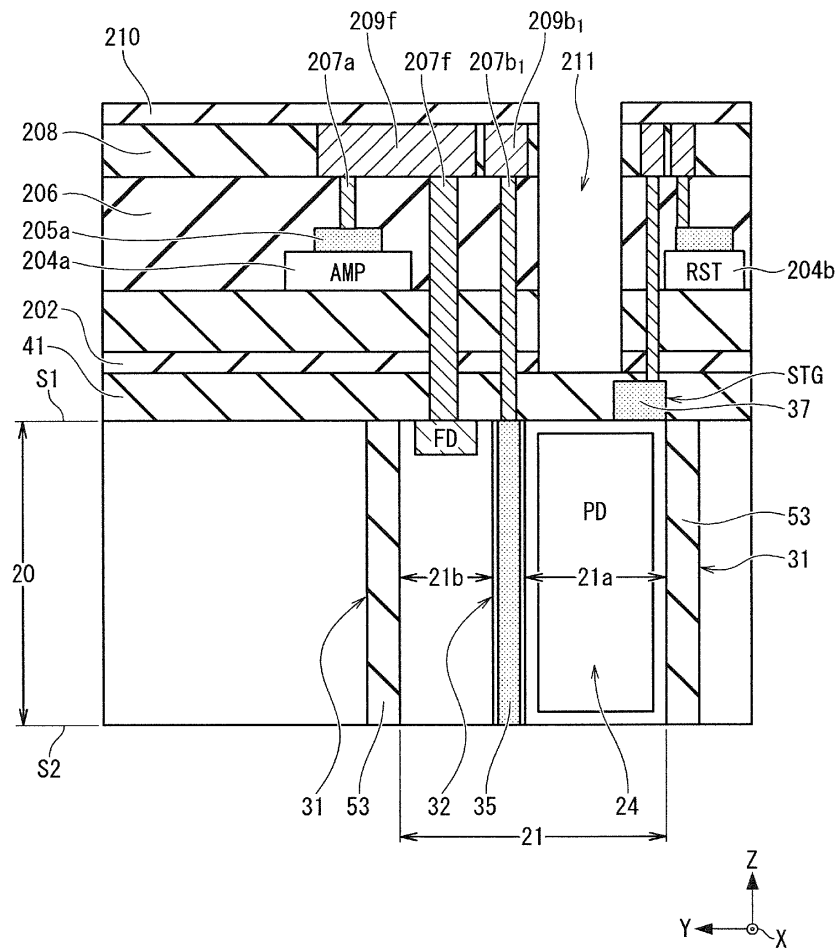
도면84c



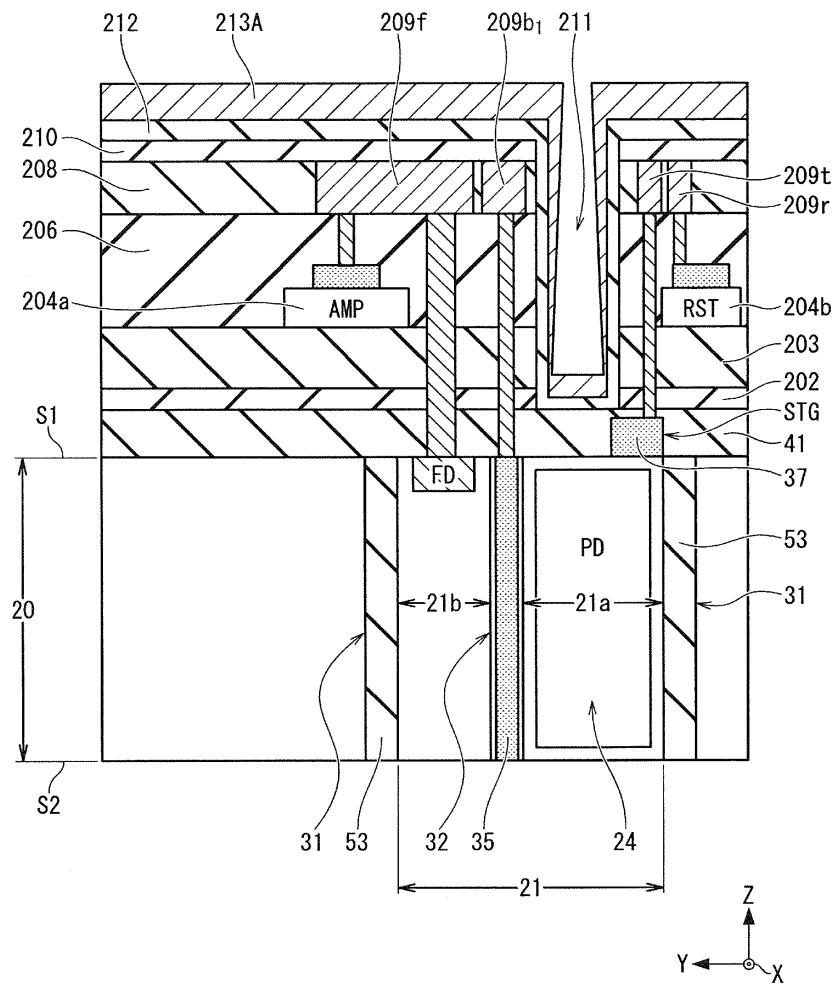
도면84d



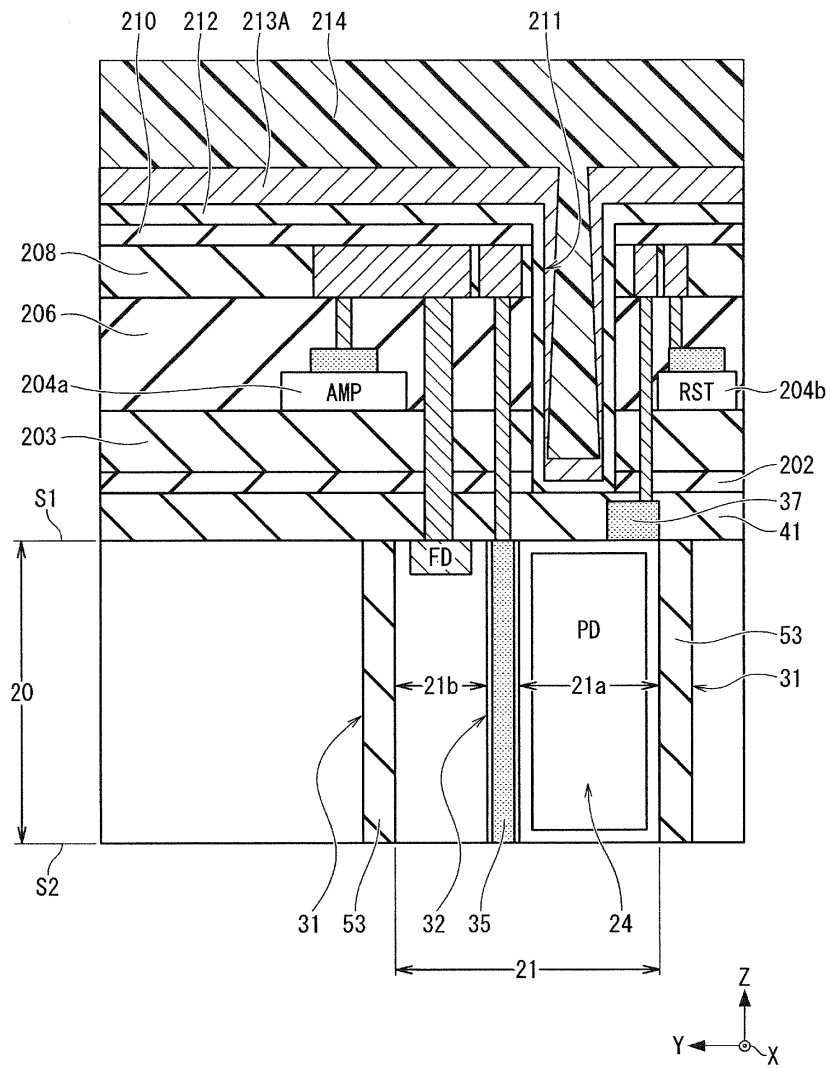
도면84e



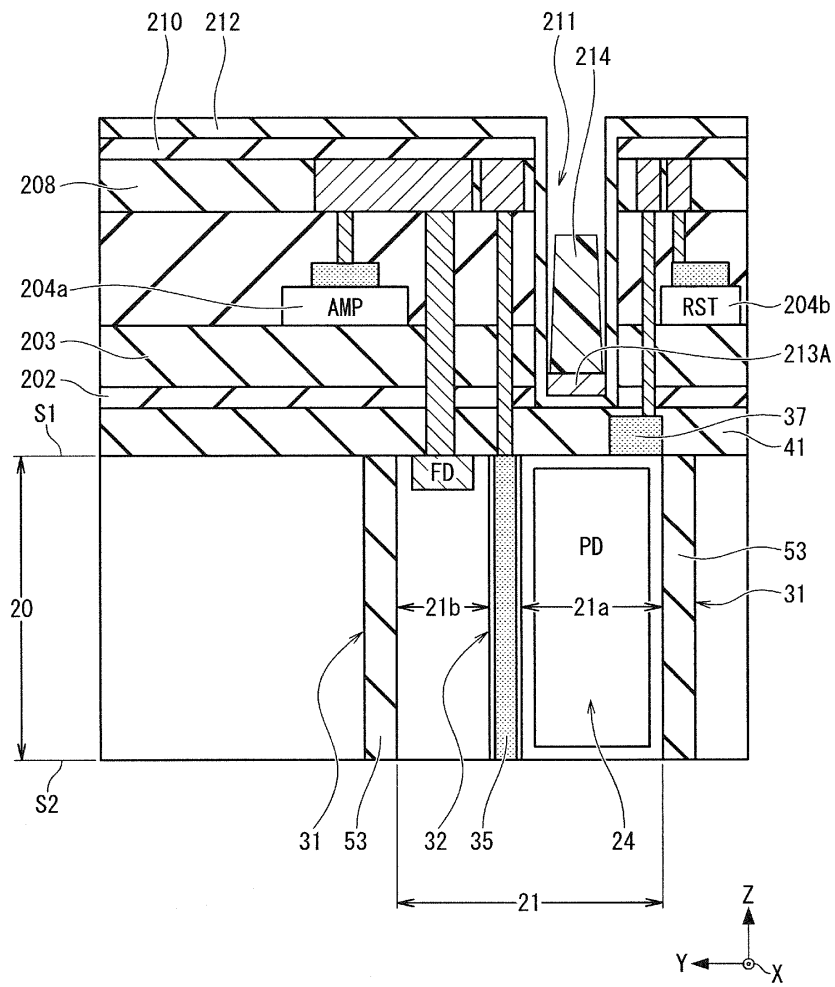
도면84f



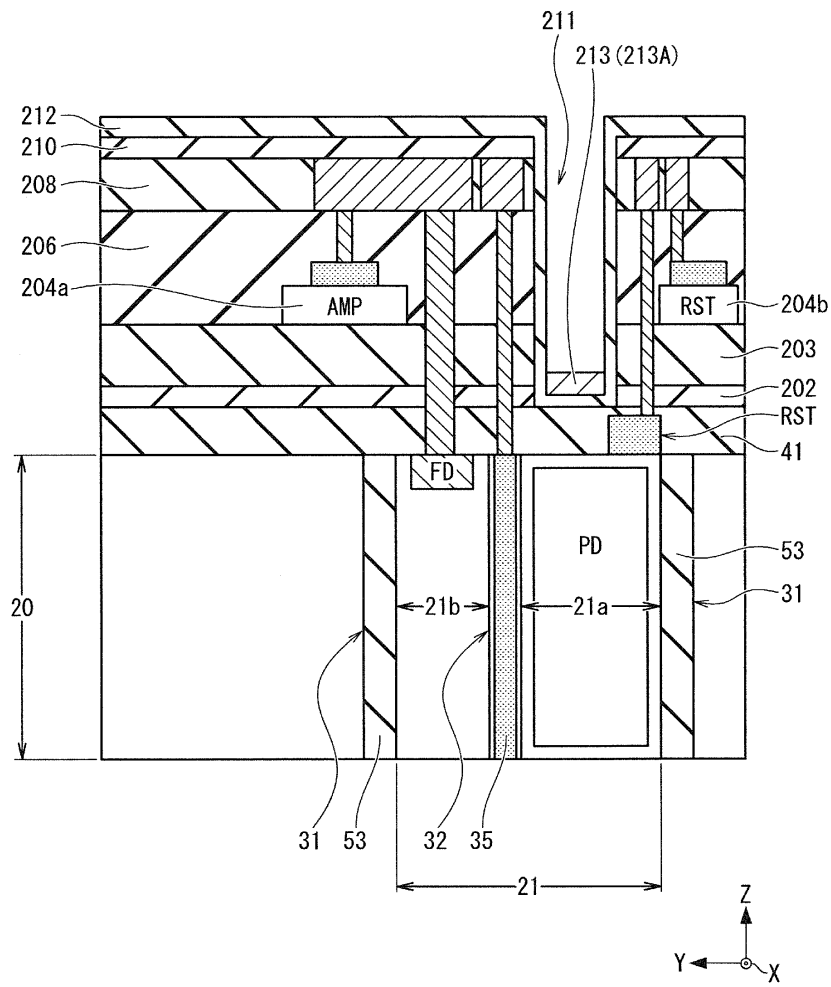
도면84g



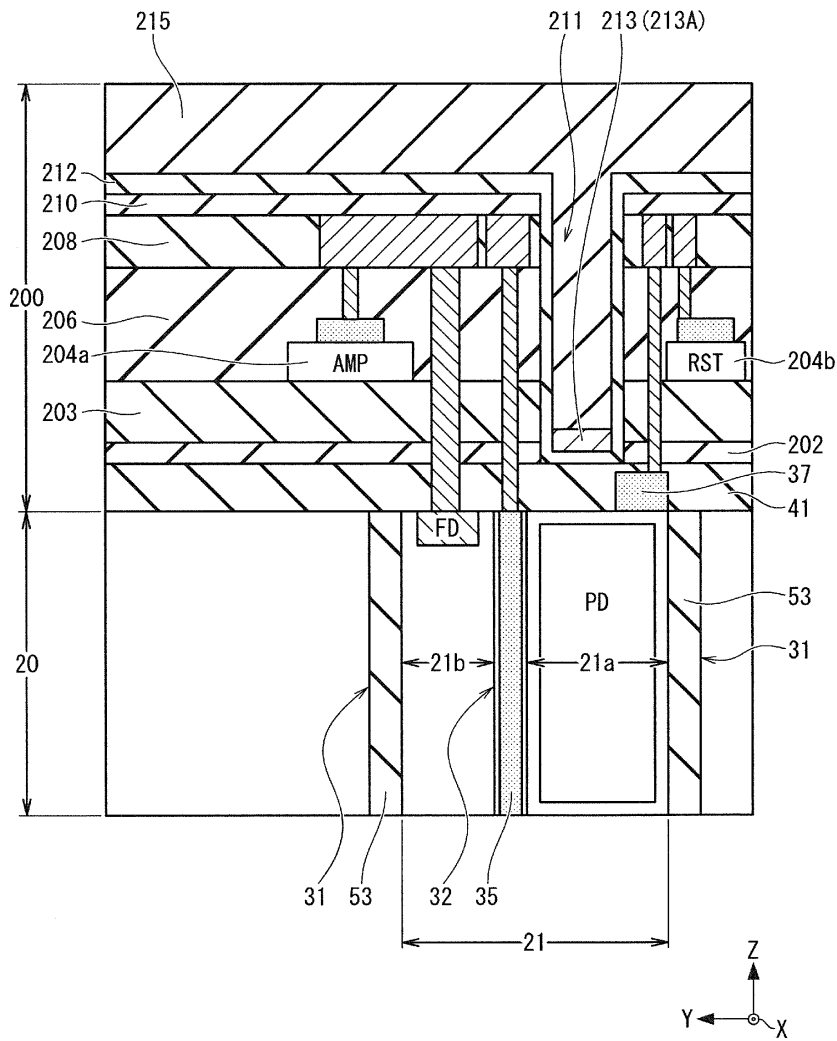
도면84h



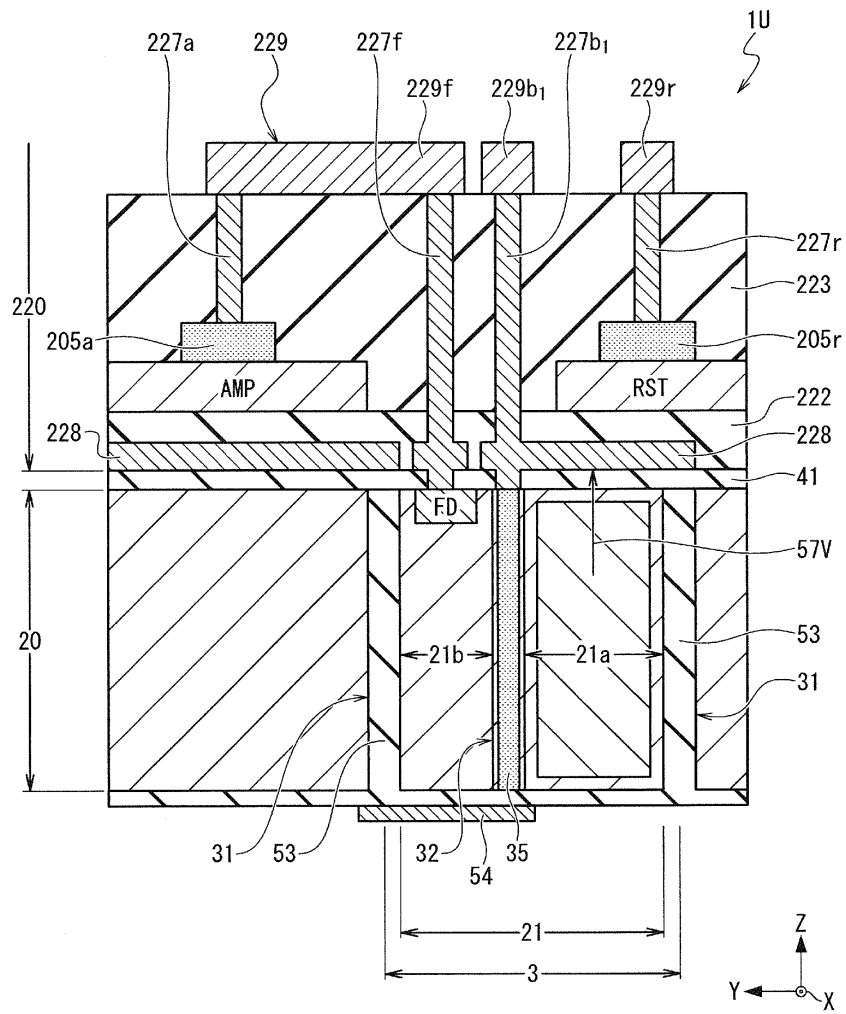
도면84i



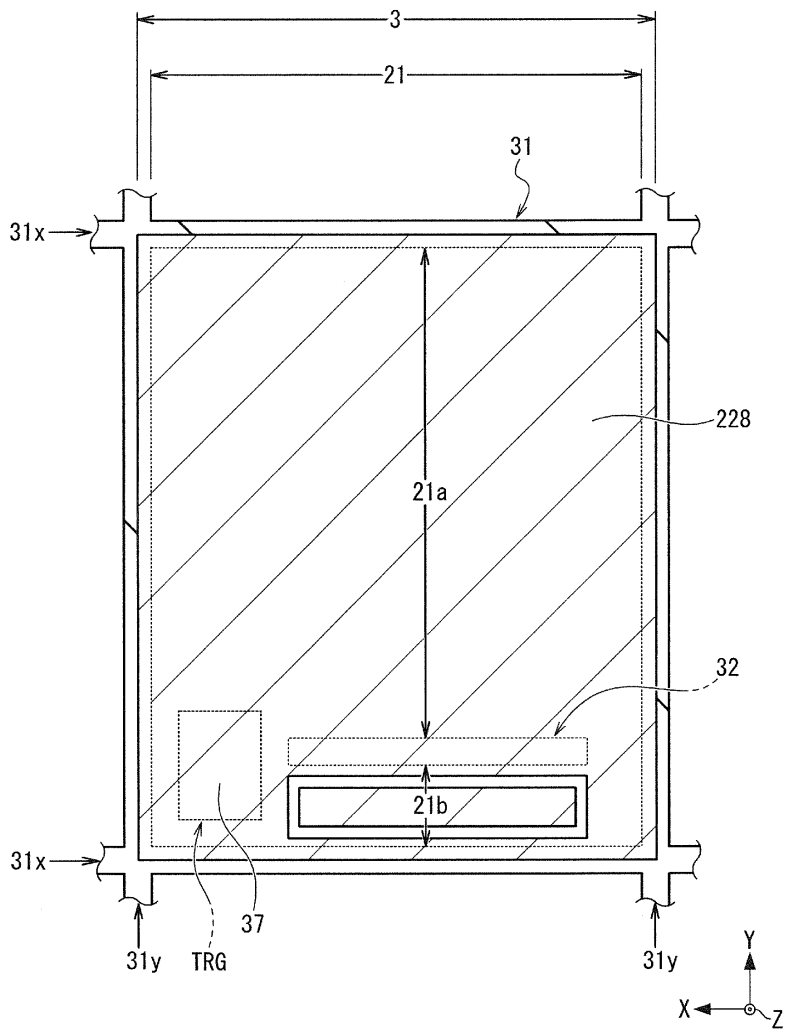
도면84j



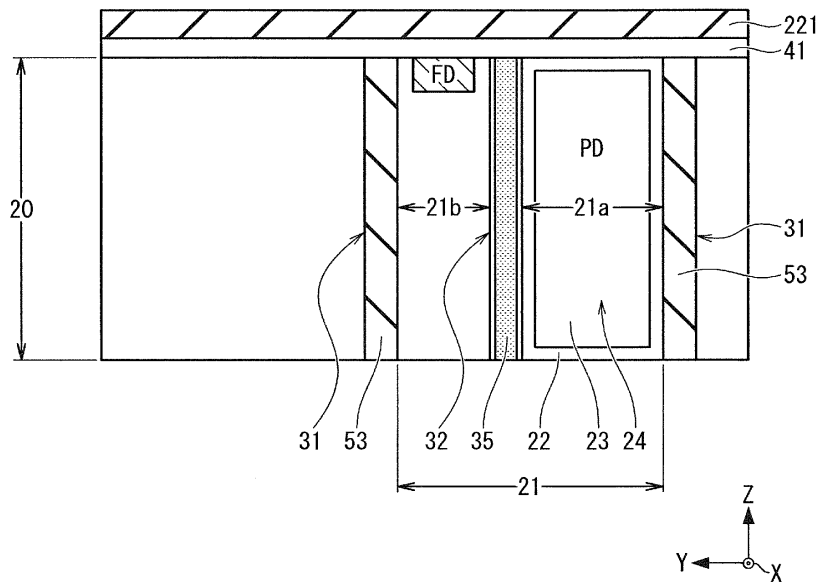
도면 85



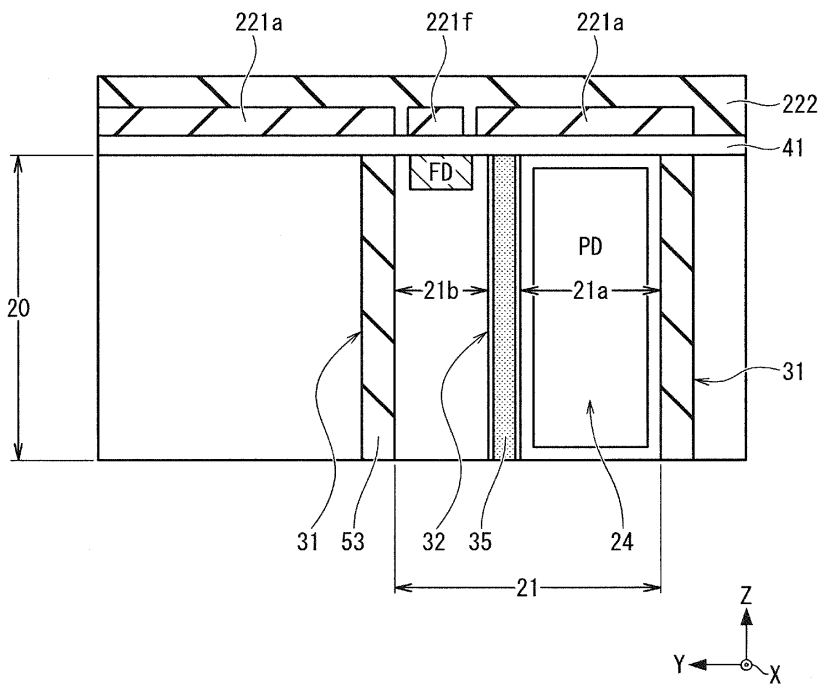
도면86



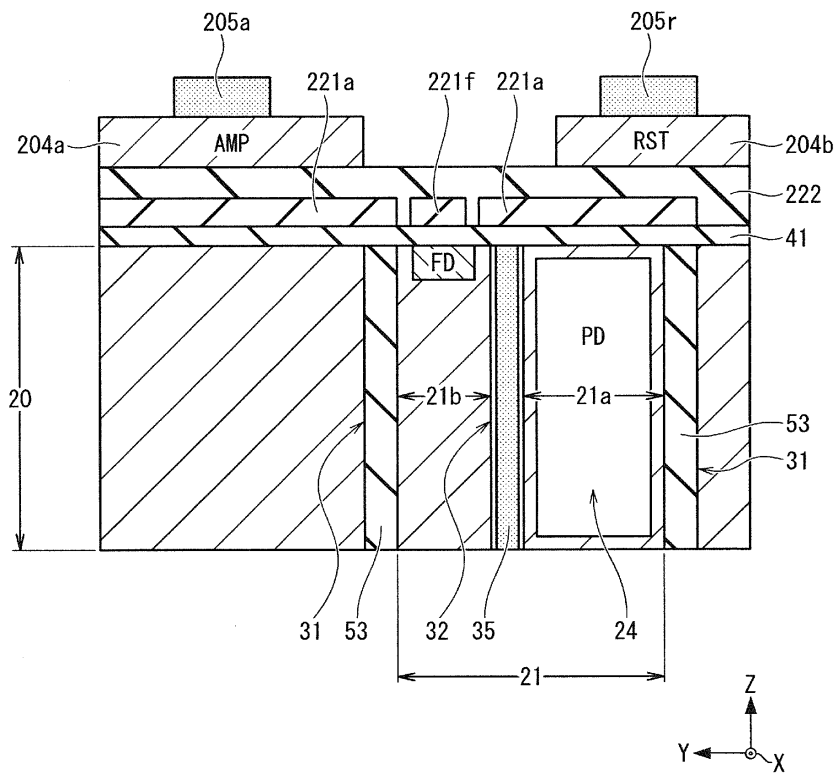
도면87a



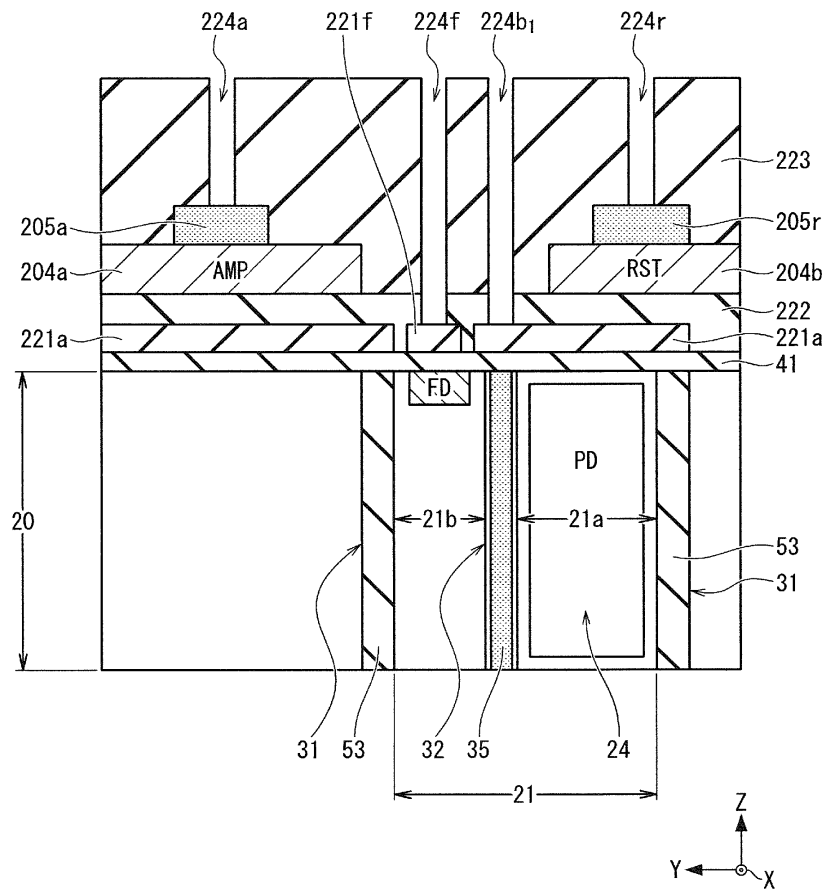
도면87b



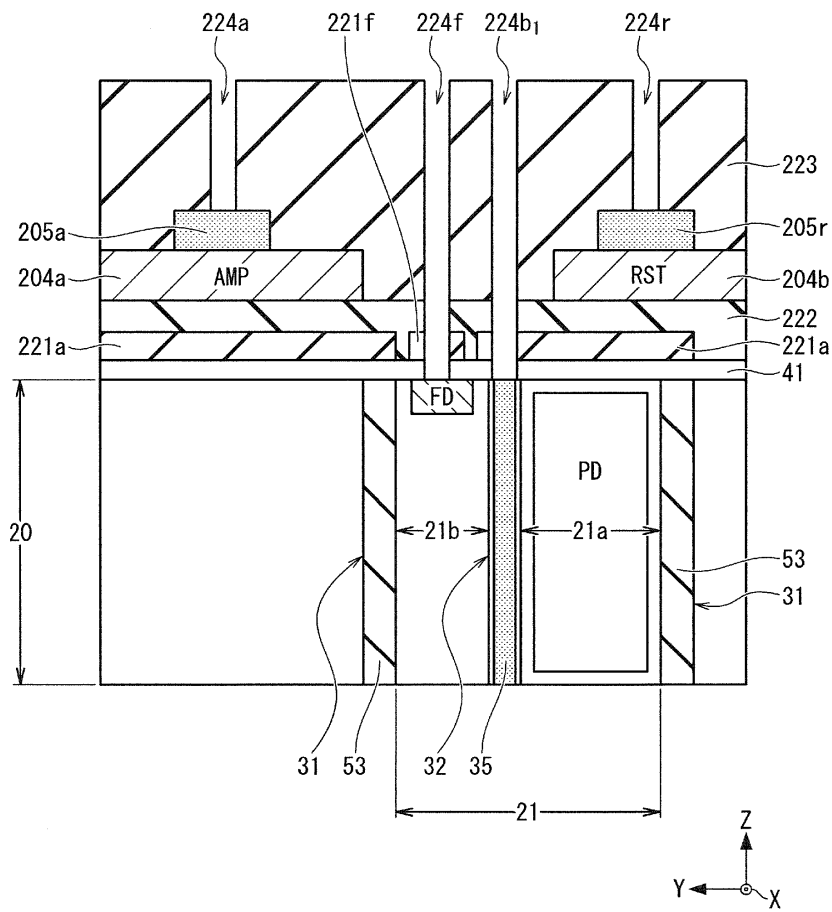
도면87c



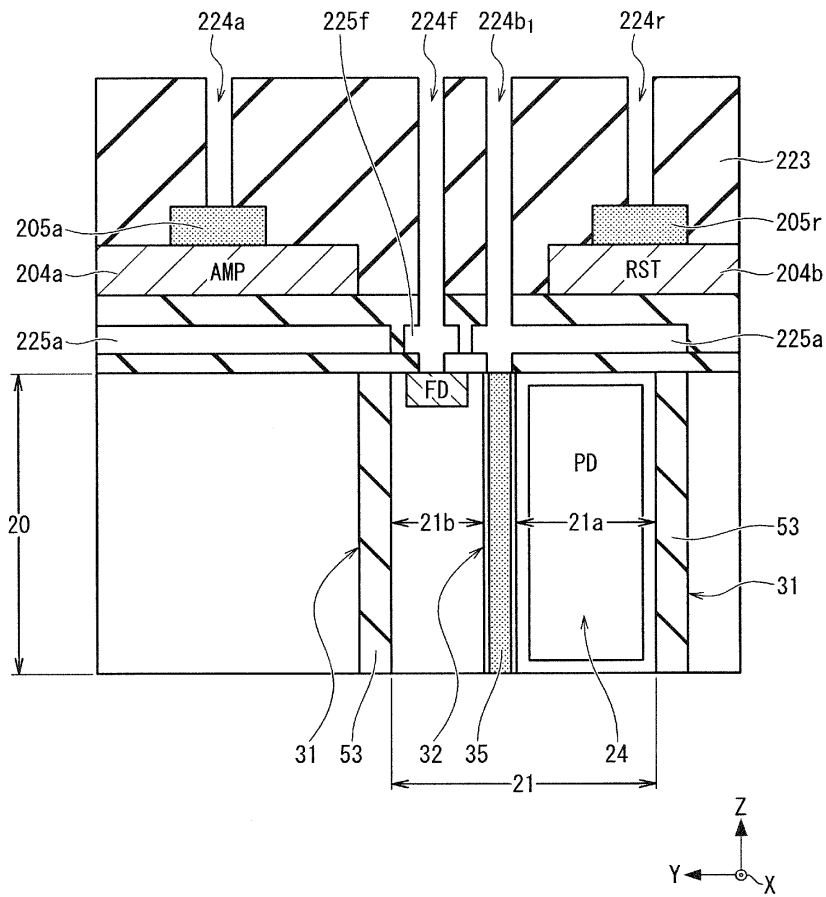
도면87d



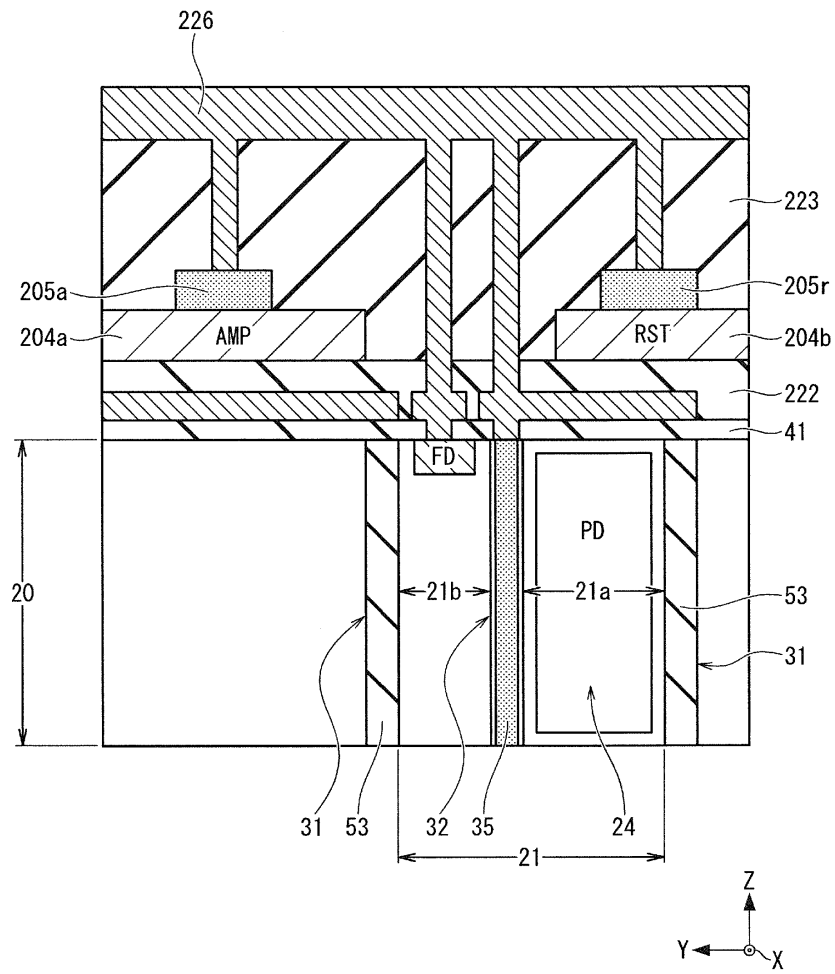
도면87e



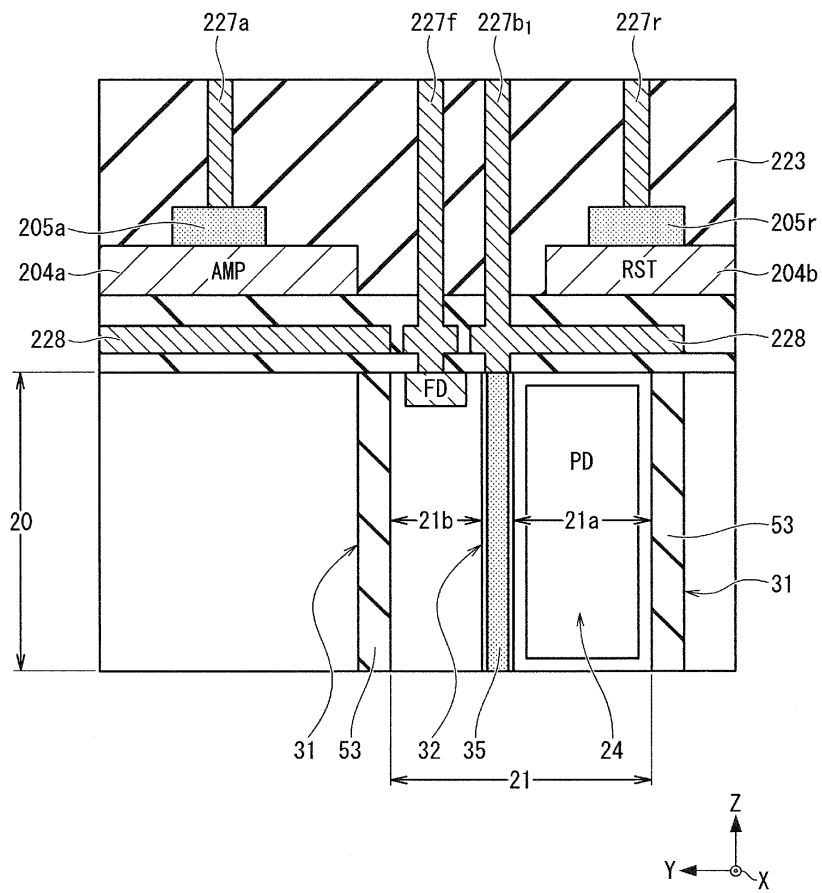
도면87f



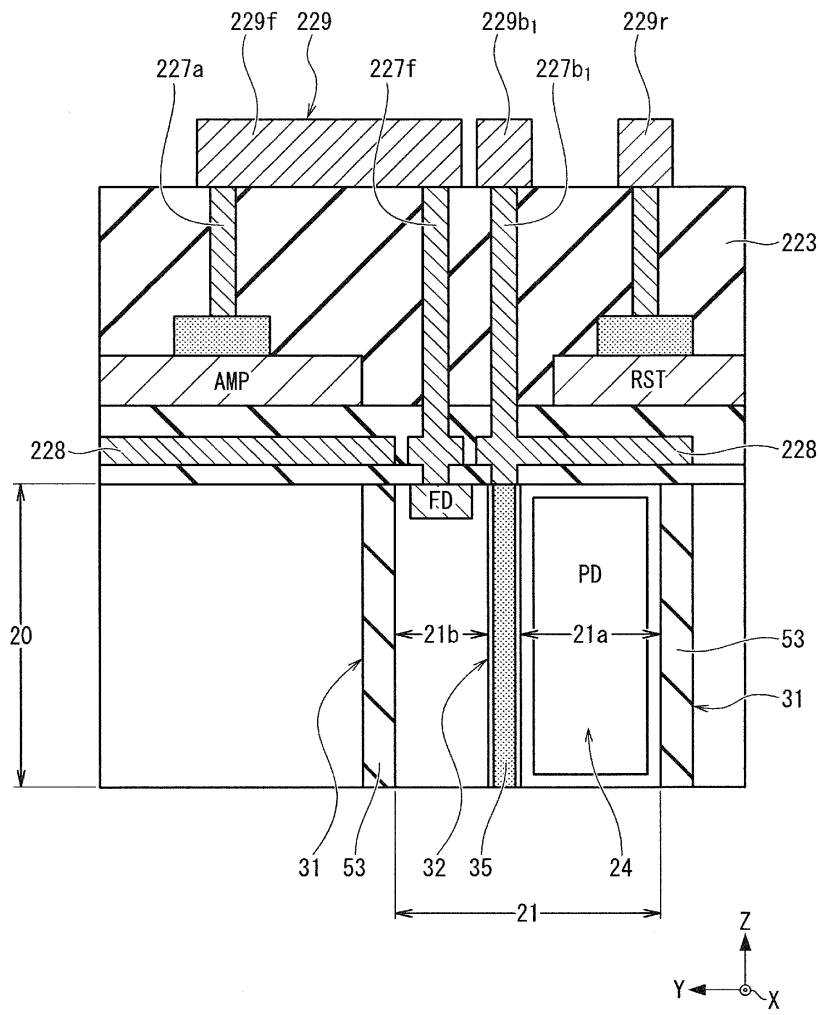
도면87g



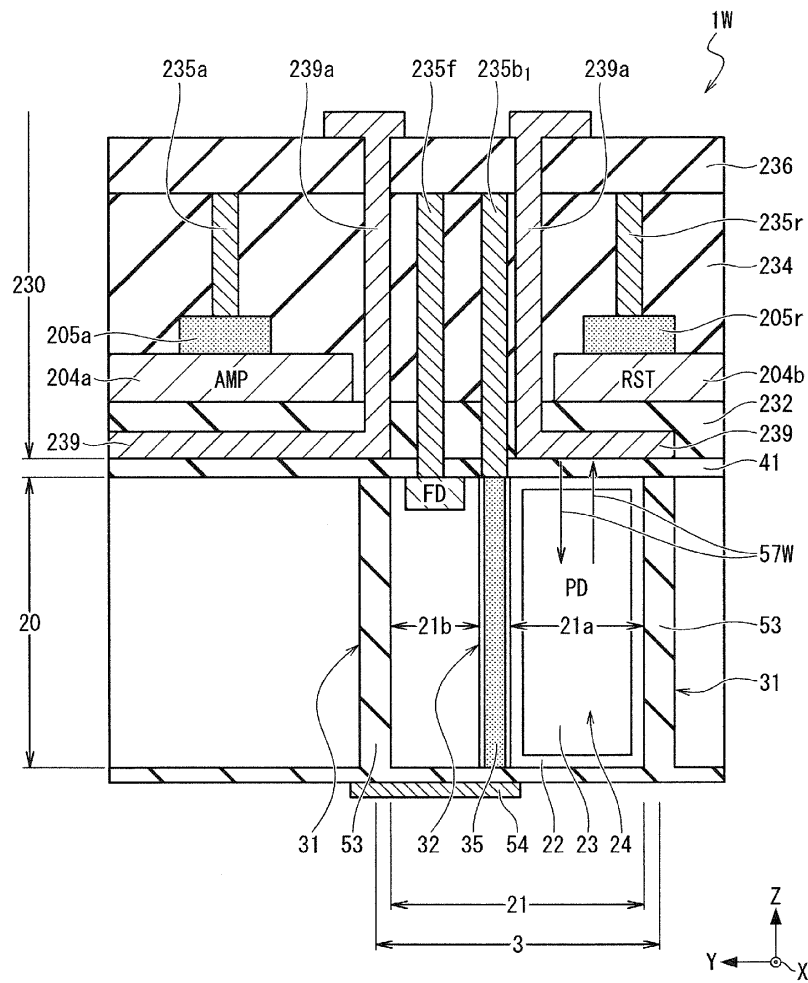
도면 87h



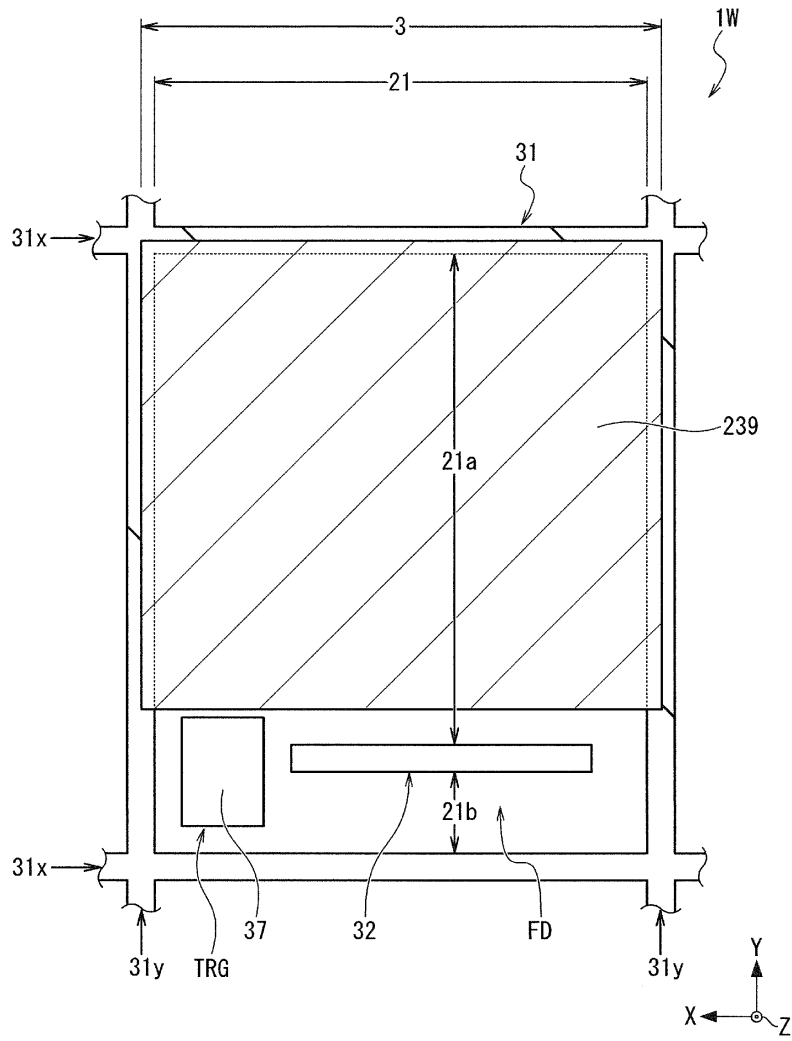
도면87i



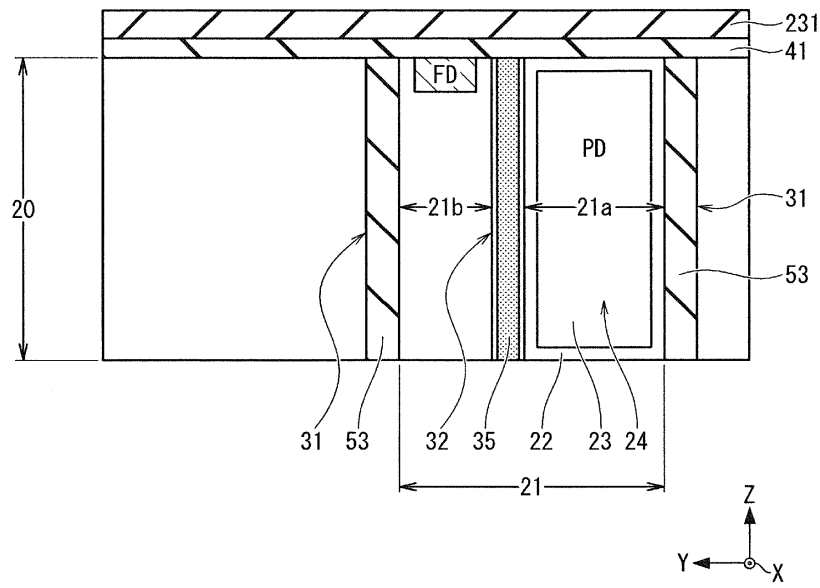
도면88



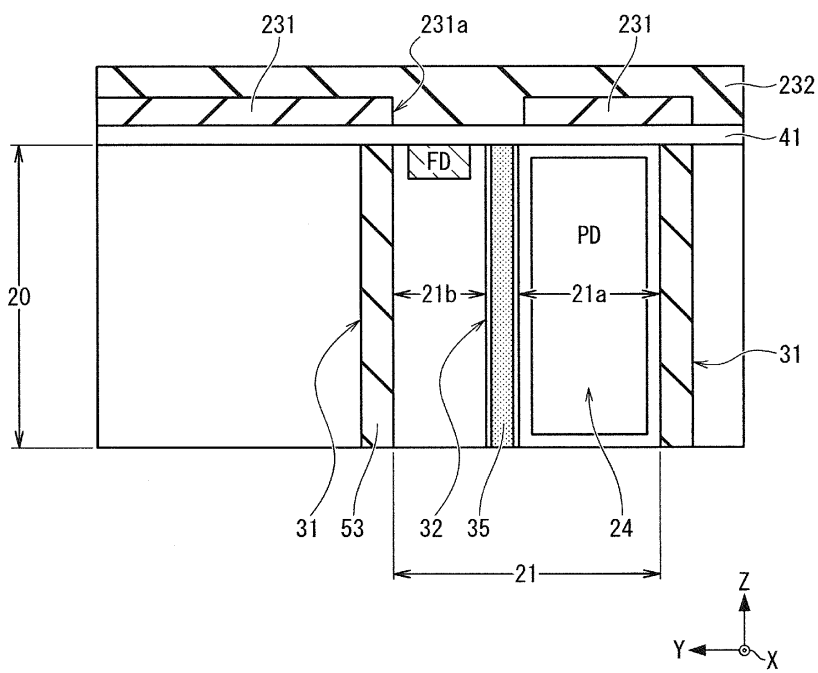
도면89



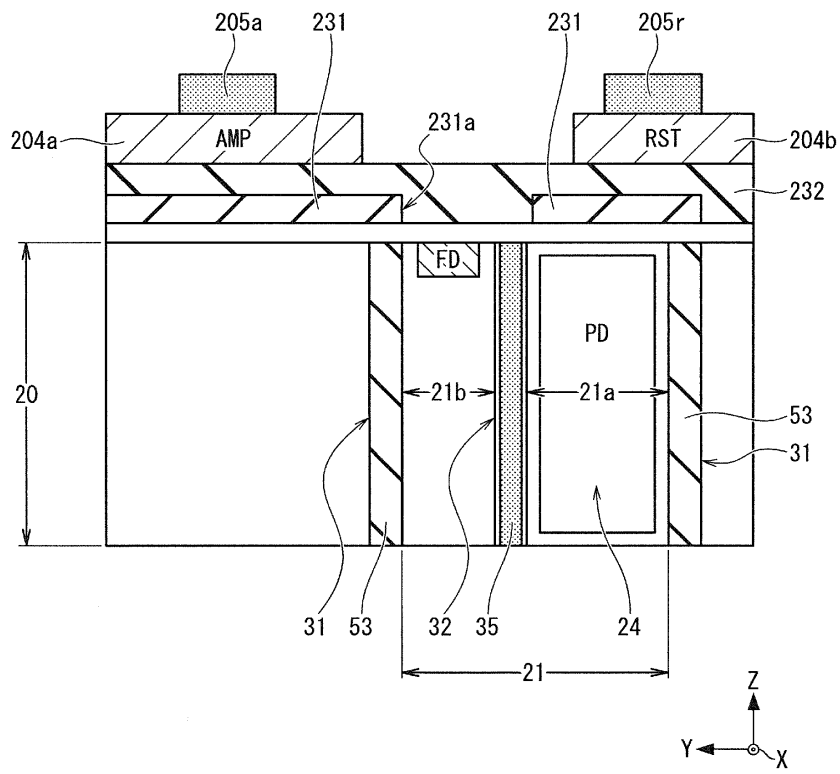
도면90a



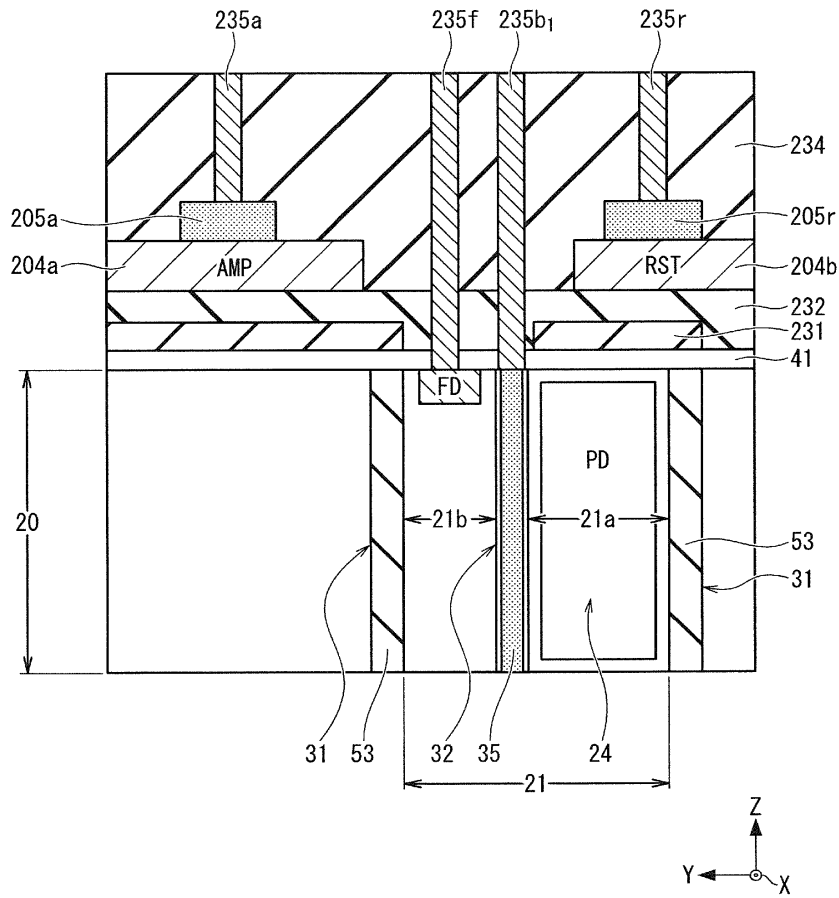
도면90b



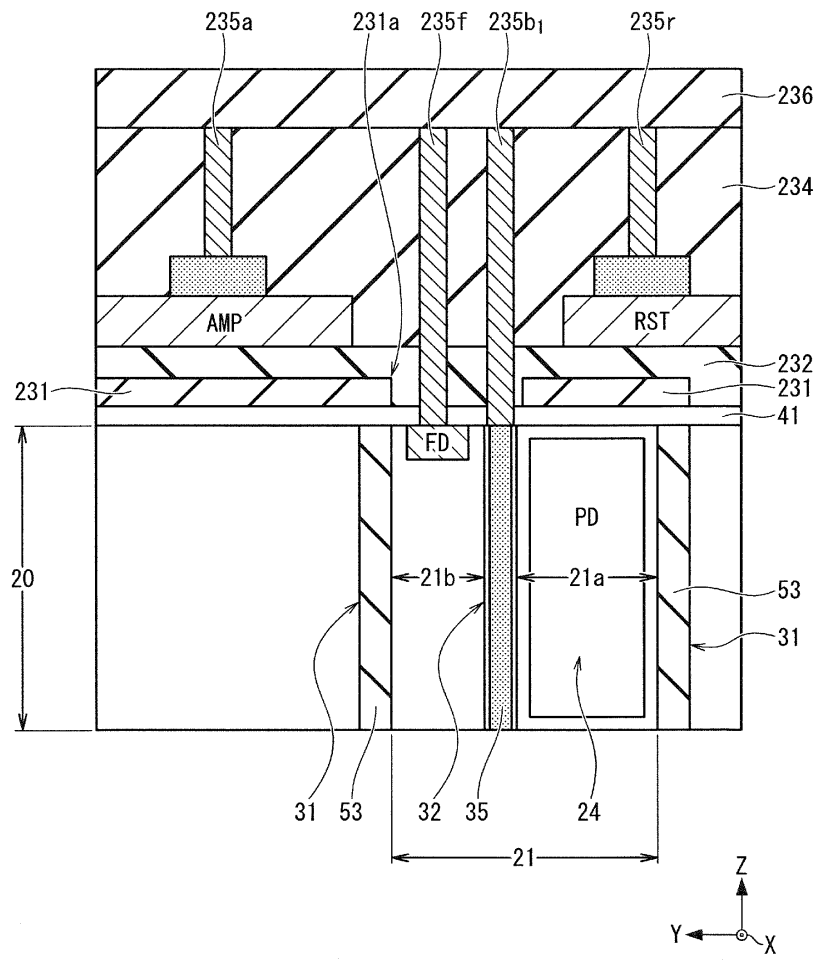
도면90c



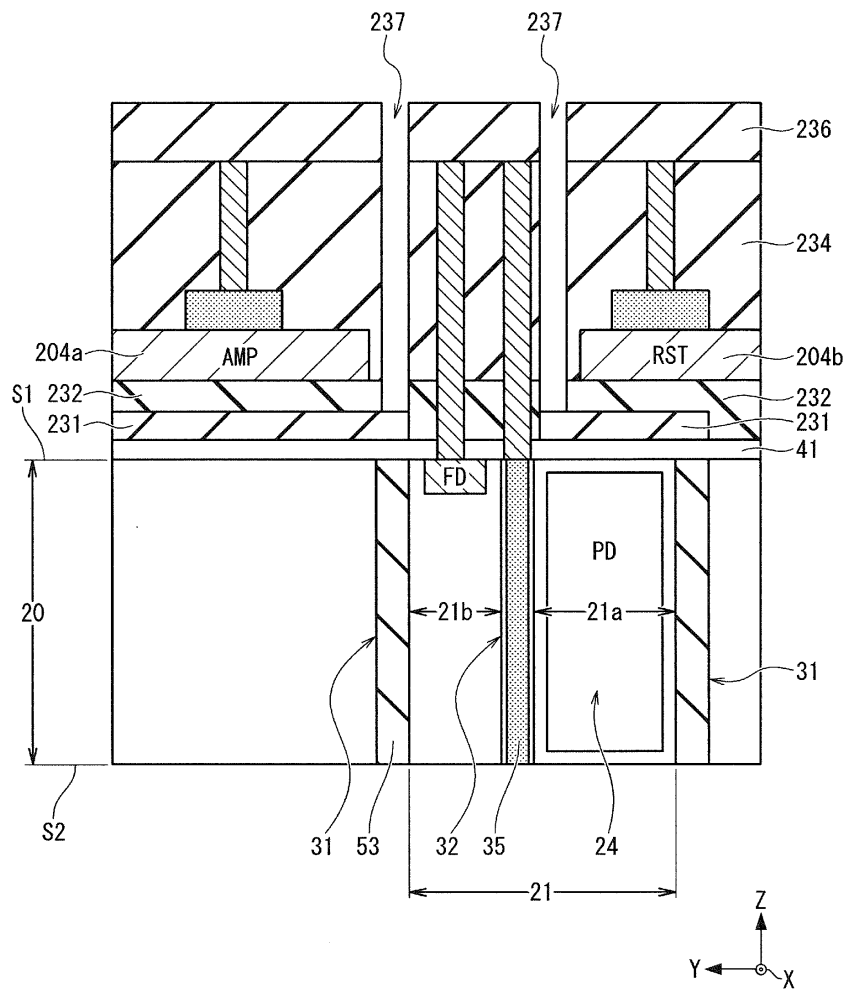
도면90d



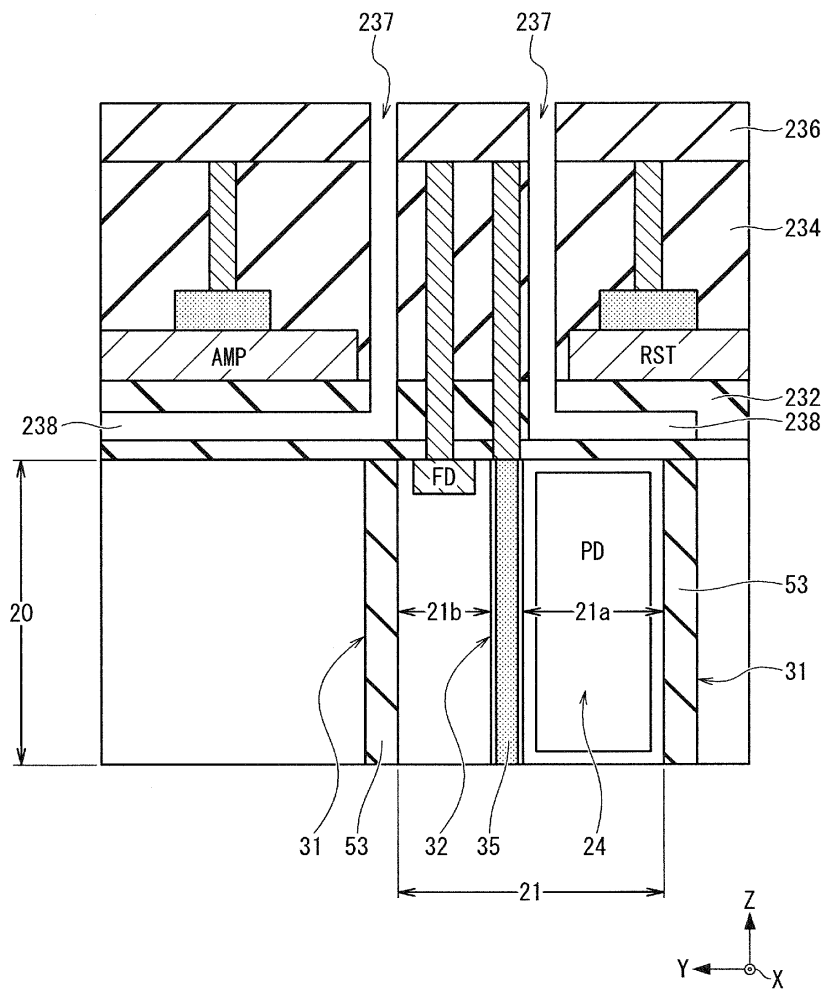
도면90e



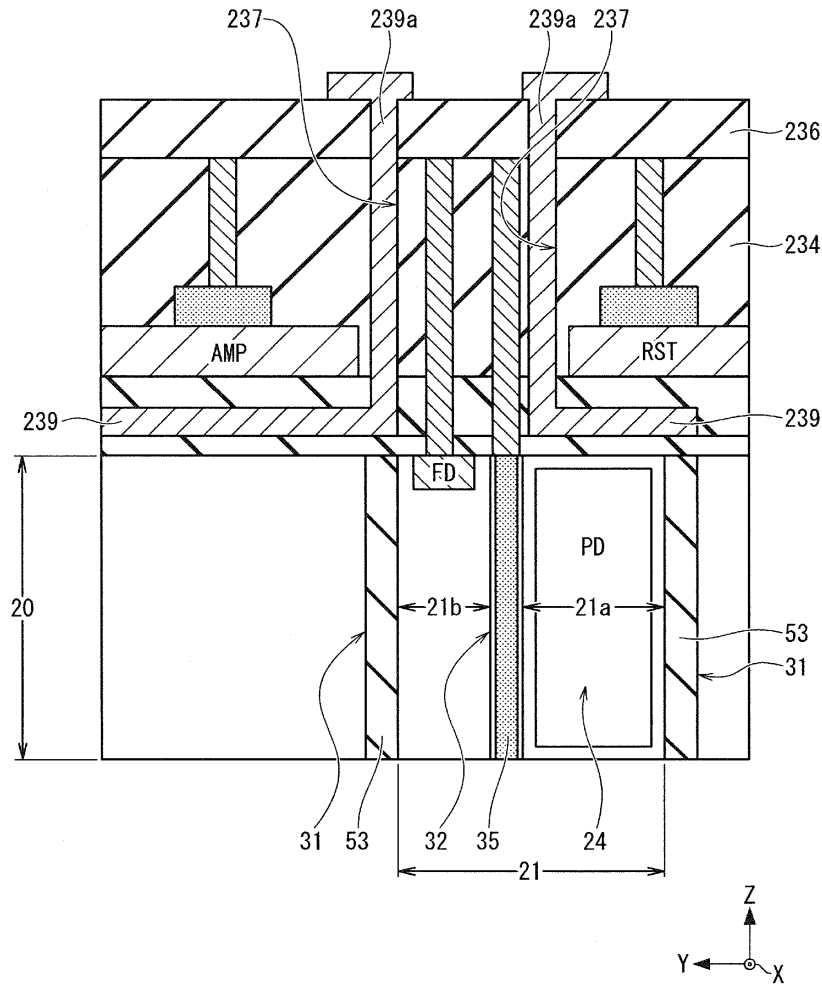
도면90f



도면90g



도면90h



도면91

