



(12)发明专利申请

(10)申请公布号 CN 112433556 A

(43)申请公布日 2021.03.02

(21)申请号 201910791124.9

(22)申请日 2019.08.26

(71)申请人 圣邦微电子(北京)股份有限公司
地址 100089 北京市海淀区西三环北路87号13层3-1301

(72)发明人 谢程益 王野 于翔

(74)专利代理机构 北京海虹嘉诚知识产权代理有限公司 11129

代理人 吴小灿

(51) Int. Cl.

G05F 1/625(2006.01)

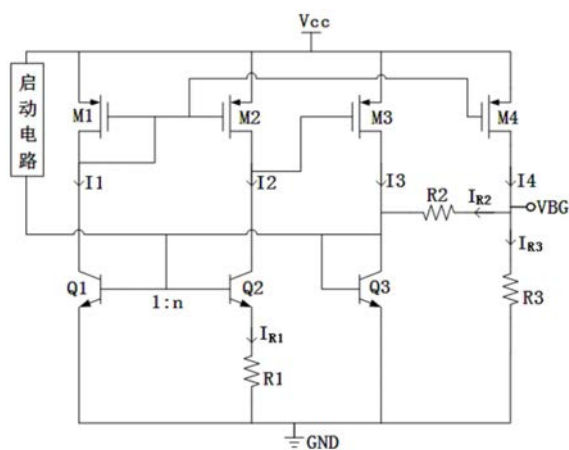
权利要求书1页 说明书3页 附图1页

(54)发明名称

一种改进的带隙基准电压电路

(57)摘要

一种改进的带隙基准电压电路,能够不再需要额外的运算放大器就能产生PTAT电流,从而有利于降低成本、降低功耗和提高精度,其特征在于,包括带隙基准电压输出端,所述带隙基准电压输出端分别连接第四PMOS管的漏极,第二电阻的一端,和第三电阻的一端,所述第三电阻的另一端连接接地端,所述第二电阻的另一端分别连接第三NPN三极管的集电极和第三PMOS管的漏极,所述第三NPN三极管的发射极连接接地端,所述第三NPN三极管的基极与集电极互连后分别连接第一NPN三极管的基极,第二NPN三极管的基极,和启动电路的输出端,所述启动电路的输入端和所述第三PMOS管的源极和所述第四PMOS管的源极均连接电源电压端。



1. 一种改进的带隙基准电压电路,其特征在于,包括带隙基准电压输出端,所述带隙基准电压输出端分别连接第四PMOS管的漏极,第二电阻的一端,和第三电阻的一端,所述第三电阻的另一端连接接地端,所述第二电阻的另一端分别连接第三NPN三极管的集电极和第三PMOS管的漏极,所述第三NPN三极管的发射极连接接地端,所述第三NPN三极管的基极与集电极互连后分别连接第一NPN三极管的基极,第二NPN三极管的基极,和启动电路的输出端,所述启动电路的输入端和所述第三PMOS管的源极和所述第四PMOS管的源极均连接电源电压端。

2. 根据权利要求1所述的改进的带隙基准电压电路,其特征在于,所述第二NPN三极管的源极通过第一电阻连接接地端。

3. 根据权利要求2所述的改进的带隙基准电压电路,其特征在于,所述第一NPN三极管的源极连接接地端。

4. 根据权利要求3所述的改进的带隙基准电压电路,其特征在于,所述第一NPN三极管的面积比所述第二NPN三极管的面积为 $1:n$, n 为大于1的整数。

5. 根据权利要求4所述的改进的带隙基准电压电路,其特征在于,所述第一NPN三极管的集电极连接第一PMOS管的漏极,所述第一PMOS管的源极连接所述电源电压端。

6. 根据权利要求5所述的改进的带隙基准电压电路,其特征在于,所述第二NPN三极管的集电极连接第二PMOS管的漏极,所述第二PMOS管的源极连接所述电源电压端。

7. 根据权利要求6所述的改进的带隙基准电压电路,其特征在于,所述第四PMOS管的栅极和所述第二PMOS管的栅极和所述第一PMOS管的栅极互连,所述第一PMOS管的漏极与栅极互连。

8. 根据权利要求7所述的改进的带隙基准电压电路,其特征在于,所述第三PMOS管的栅极与所述第二PMOS管的漏极互连。

9. 根据权利要求8所述的改进的带隙基准电压电路,其特征在于,所述第一PMOS管和所述第二PMOS管为相同的对管,所述第一NPN三极管和所述第二NPN三极管具有不同的发射区-基区面积,流入所述第一NPN三极管的集电极电流 I_1 与流入第二NPN三极管的集电极电流 I_2 相等,在所述第一NPN三极管和所述第二NPN三极管工作在不相等的电流密度下能够使得基极-发射极电压的压差与绝对温度成正比,从而使得所述第二NPN三极管的集电极电流 I_2 为第二PTAT电流。

10. 根据权利要求9所述的改进的带隙基准电压电路,其特征在于,所述第四PMOS管的漏极流出的电流为第四电流 I_4 ,所述 I_4 为第一PTAT电流。

一种改进的带隙基准电压电路

技术领域

[0001] 本发明涉及带隙基准电压源技术,特别是一种改进的带隙基准电压电路,通过3个PMOS管与3个NPN三极管形成的闭环系统,和其中第三NPN三极管以二极管形式连接给其余NPN三极管提供基极电压,能够不再需要额外的运算放大器就能产生PTAT电流(PTAT, proportional to absolute temperature,与绝对温度成正比),从而有利于降低成本、降低功耗和提高精度。

背景技术

[0002] 带隙基准电压源因不受电源、温度和工艺参数影响等优点被广泛使用,然而在低电源电压应用中,传统的带隙基准源(一般为1.2V)将会受到限制,因此需要应用低压带隙基准源(低压带隙基准源,所述低压是指低于传统带隙基准源1.2V)。但目前普遍使用的低压带隙基准电压源结构大多功耗较大,电路结构复杂。一般低压带隙基准电压源通过组合正/负温度系数的电压或正/负温度系数的电流来产生带隙基准电压,其均需要额外的运放来产生正温度系数电压(即具有正温度系数的 ΔV_{BE})。运放通过强制两个PNP晶体管的发射极电位相同,从而产生正温度系数的 ΔV_{BE} 。这样的运放会增加系统功耗和增加电路面积,并且运放自身的失调会影响输出带隙基准电压的精度。例如,运算放大器的等效输入失调电压(V_{os})会被数倍放大后体现在输出端(VBG,带隙基准电压),影响电路性能。本发明人认为,如果将3个PMOS管与3个NPN三极管形成的闭环系统,和其中第三NPN三极管以二极管形式连接给其余NPN三极管提供基极电压,就能够不再需要额外的运算放大器就能产生PTAT电流(PTAT,proportional to absolute temperature,与绝对温度成正比),从而有利于降低成本、降低功耗和提高精度。有鉴于此,本发明人完成了本发明。

发明内容

[0003] 本发明针对现有技术中存在的缺陷或不足,提供一种改进的带隙基准电压电路,通过3个PMOS管与3个NPN三极管形成的闭环系统,和其中第三NPN三极管以二极管形式连接给其余NPN三极管提供基极电压,能够不再需要额外的运算放大器就能产生PTAT电流(PTAT,proportional to absolute temperature,与绝对温度成正比),从而有利于降低成本、降低功耗和提高精度。

[0004] 本发明技术方案如下:

[0005] 一种改进的带隙基准电压电路,其特征在于,包括带隙基准电压输出端,所述带隙基准电压输出端分别连接第四PMOS管的漏极,第二电阻的一端,和第三电阻的一端,所述第三电阻的另一端连接接地端,所述第二电阻的另一端分别连接第三NPN三极管的集电极和第三PMOS管的漏极,所述第三NPN三极管的发射极连接接地端,所述第三NPN三极管的基极与集电极互连后分别连接第一NPN三极管的基极,第二NPN三极管的基极,和启动电路的输出端,所述启动电路的输入端和所述第三PMOS管的源极和所述第四PMOS管的源极均连接电源电压端。

- [0006] 所述第二NPN三极管的源极通过第一电阻连接接地端。
- [0007] 所述第一NPN三极管的源极连接接地端。
- [0008] 所述第一NPN三极管的面积比所述第二NPN三极管的面积为1:n,n为大于1的整数。
- [0009] 所述第一NPN三极管的集电极连接第一PMOS管的漏极,所述第一PMOS管的源极连接所述电源电压端。
- [0010] 所述第二NPN三极管的集电极连接第二PMOS管的漏极,所述第二PMOS管的源极连接所述电源电压端。
- [0011] 所述第四PMOS管的栅极和所述第二PMOS管的栅极和所述第一PMOS管的栅极互连,所述第一PMOS管的漏极与栅极互连。
- [0012] 所述第三PMOS管的栅极与所述第二PMOS管的漏极互连。
- [0013] 所述第一PMOS管和所述第二PMOS管为相同的对管,所述第一NPN三极管和所述第二NPN三极管具有不同的发射区-基区面积,流入所述第一NPN三极管的集电极电流I1与流入第二NPN三极管的集电极电流I2相等,在所述第一NPN三极管和所述第二NPN三极管工作在不相等的电流密度下能够使得基极-发射极电压的压差与绝对温度成正比,从而使得所述第二NPN三极管的集电极电流I2为第二PTAT电流。
- [0014] 所述第四PMOS管的漏极流出的电流为第四电流I4,所述I4为第一PTAT电流。
- [0015] 本发明技术效果如下:本发明一种改进的带隙基准电压电路,使用NPN晶体管,不需使用额外运放钳位就能产生正温度系数电压,同时电路结构的失调特性更好,具有低电压、低功耗、低成本、高精度等特点。在失调方面,改进的结构中主要影响失调指标的为PMOS晶体管的匹配程度,通过合理的版图布局,能够实现很精确的电流复制,从而得到高精度输出。与现有技术相比,本发明通过改进电路结构,组合正/负温度系数的电压,将PNP晶体管替换为NPN晶体管,精简掉原有结构中的运放,减小功耗,节省电路面积,同时提高输出带隙基准电压精度,实现了低成本、低功耗、高精度的CMOS低压带隙基准电压电路或带隙基准电压源。

附图说明

- [0016] 图1是实施本发明一种改进的带隙基准电压电路结构示意图。
- [0017] 附图标记列示如下:Vcc-电源电压;GND-接地端;VBG-带隙基准电压输出端或带隙基准电压;Q1-第一NPN三极管;Q2-第二NPN三极管;Q3-第三NPN三极管;M1-第一PMOS管;M2-第二PMOS管;M3-第三PMOS管;M4-第四PMOS管;R1-第一电阻;R2-第二电阻;R3-第三电阻;I1-第一电流或第一NPN三极管的集电极电流;I2-第二电流或第二NPN三极管的集电极电流;I3-第三电流;I4-第四电流或PTAT电流(PTAT,proportional to absolute temperature,与绝对温度成正比);I_{R1}-第一电阻流过电流;I_{R2}-第二电阻流过电流;I_{R3}-第三电阻流过电流;1:n-表示Q1比Q2的面积比(或两者三极管的个数比)。

具体实施方式

- [0018] 下面结合附图(图1)对本发明进行说明。
- [0019] 图1是实施本发明一种改进的带隙基准电压电路结构示意图。如图1所示,一种改进的带隙基准电压电路,包括带隙基准电压输出端VBG,所述带隙基准电压输出端VBG分别

连接第四PMOS管M4的漏极,第二电阻R2的一端,和第三电阻R3的一端,所述第三电阻R3的另一端连接接地端GND,所述第二电阻R2的另一端分别连接第三NPN三极管Q3的集电极和第三PMOS管M3的漏极,所述第三NPN三极管Q3的发射极连接接地端GND,所述第三NPN三极管Q3的基极与集电极互连后分别连接第一NPN三极管Q1的基极,第二NPN三极管Q2的基极,和启动电路的输出端,所述启动电路的输入端和所述第三PMOS管M3的源极和所述第四PMOS管M4的源极均连接电源电压端Vcc。所述第二NPN三极管Q2的源极通过第一电阻R1连接接地端GND。所述第一NPN三极管Q1的源极连接接地端GND。所述第一NPN三极管Q1的面积比所述第二NPN三极管Q2的面积为1:n,n为大于1的整数。所述第一NPN三极管Q1的集电极连接第一PMOS管M1的漏极,所述第一PMOS管M1的源极连接所述电源电压端Vcc。所述第二NPN三极管Q2的集电极连接第二PMOS管M2的漏极,所述第二PMOS管M2的源极连接所述电源电压端Vcc。所述第四PMOS管M4的栅极和所述第二PMOS管M2的栅极和所述第一PMOS管M1的栅极互连,所述第一PMOS管M1的漏极与栅极互连。所述第三PMOS管M3的栅极与所述第二PMOS管M2的漏极互连。所述第一PMOS管M1和所述第二PMOS管M2为相同的对管,所述第一NPN三极管Q1和所述第二NPN三极管Q2具有不同的发射区-基区面积,流入所述第一NPN三极管Q1的集电极电流I1与流入第二NPN三极管Q2的集电极电流I2相等,在所述第一NPN三极管Q1和所述第二NPN三极管Q2工作在不相等的电流密度下能够使得基极-发射极电压的压差与绝对温度成正比, $\Delta V_{BE} = V_T \ln n$,式中n为第二NPN三极管Q2与第一NPN三极管Q1的面积比倍数,VT为热电势, ΔV_{BE} 为Q1与Q2之间基极-发射极电压的压差,从而使得所述第二NPN三极管的集电极电流I2为第二PTAT电流。所述第四PMOS管的漏极流出的电流为第四电流I4,所述I4为第一PTAT电流。

[0020] 参考图1,NPN晶体管Q1和Q2具有不同的发射区基区面积,第一PMOS管M1和第二PMOS管M2为相同的对管,则 $I_1 = I_2$,晶体管Q1和Q2工作在不相等的电流密度下,于是基极发射极电压的压差与绝对温度成正比。 $V_{BE1} = R_1 * I_{R1} + V_{BE2}$,忽略晶体管的基极电流,即 $I_2 = I_{R1} = \frac{V_T \ln n}{R_1}$,I2为PTAT电流。I4通过电流镜复制得到,也为PTAT电流。R2两端的电压为带隙基准电压V_{BG}与第三NPN三极管Q3的基极发射极电压V_{BE},则I_{R2}中含有V_{BE}项。I_{R3}作为I4和I_{R2}的组合,电流成分中同时存在正温度系数项和负温度系数项,合理设置电阻值可以得到理想的温度系数。

$$[0021] \quad I_{R3} = I_4 - I_{R2} \quad (10)$$

$$[0022] \quad \frac{V_{BG}}{R_3} = \frac{V_T \ln n}{R_1} - \frac{V_{BG} - V_{BE}}{R_2} \quad (11)$$

$$[0023] \quad V_{BG} = \frac{R_3}{R_2 + R_3} \left(\frac{R_2}{R_1} V_T \ln n + V_{BE} \right) \quad (12)$$

[0024] 在此指明,以上叙述有助于本领域技术人员理解本发明创造,但并非限制本发明创造的保护范围。任何没有脱离本发明创造实质内容的对以上叙述的等同替换、修饰改进和/或删繁从简而进行的实施,例如,采用其他振荡器调节电路实现方式等,均落入本发明创造的保护范围。

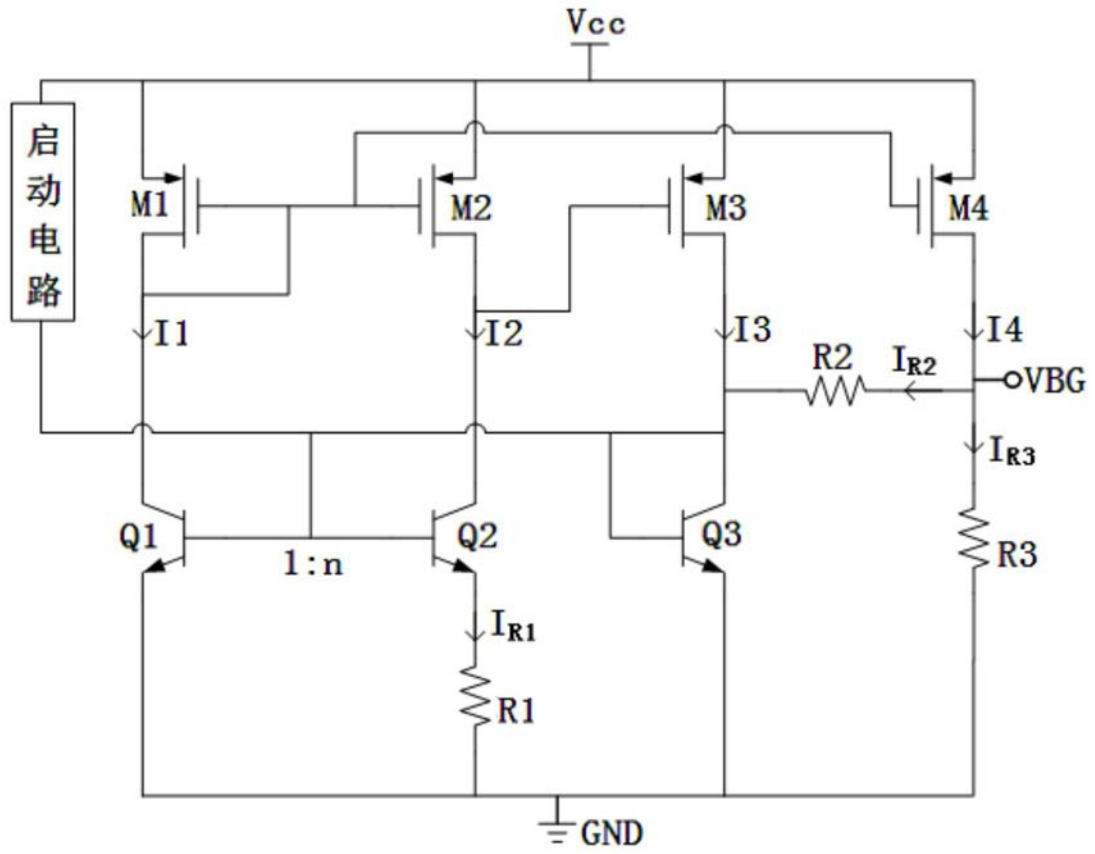


图1