

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 11/409

(45) 공고일자 2005년09월26일
(11) 등록번호 10-0499623
(24) 등록일자 2005년06월27일

(21) 출원번호 10-1998-0058633
(22) 출원일자 1998년12월24일

(65) 공개번호 10-2000-0042466
(43) 공개일자 2000년07월15일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 윤미경
대전광역시 중구 대흥3동 현대1차 아파트 1-1004

한중희
경기도 성남시 분당구 야탑동 장미마을 807-1304

(74) 대리인 이후동
이정훈

심사관 : 황은택

(54) 내부 명령신호 발생장치 및 그 방법

요약

본 발명은 동기식 메모리소자에서 외부 제어신호를 입력받아 내부 회로동작을 위한 내부 명령신호를 발생시키는 내부 명령신호 발생장치 및 그 방법에 관한 것으로, 특히 외부 클럭신호를 버퍼링하여 내부 클럭신호를 발생하기까지 요구되는 시간동안 외부로부터 내부 명령신호 발생을 위해 입력받은 제어신호들을 미리 디코딩시켜 내부 명령신호를 만든 다음 이를 상기 내부 클럭신호에 동기하여 발생시키므로써, 디코딩에 요구되는 모든 시간을 감축시켜 결과적으로 데이터 액세스시간을 대폭 감소시킨 고속 동작용 내부 명령신호 발생장치 및 그 방법에 관한 것이다.

대표도

도 3

명세서

도면의 간단한 설명

도 1 은 종래에 사용된 내부 명령신호 발생장치의 일예를 나타낸 블럭 구성도

도 2 는 도 1 의 동작 타이밍도

도 3 은 본 발명에 따른 내부 명령신호 발생장치의 일예를 나타낸 블럭 구성도

도 4 는 도 3 의 동작 타이밍도

<도면의 주요부분에 대한 부호의 설명>

10, 20: 버퍼링수단 30: 지연수단

40, 42: 래치수단 50, 52: 디코딩수단

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 동기식 메모리소자에서 외부 제어신호를 입력받아 내부 회로동작을 위한 내부 명령신호를 발생시키는 내부 명령신호 발생장치 및 그 방법에 관한 것으로, 보다 상세하게는 데이터 액세스시간을 대폭 감소시켜 고속화를 실현한 내부 명령신호 발생장치 및 그 방법에 관한 것이다.

일반적으로, 컴퓨터 시스템은 크게 중앙 처리장치인 CPU와 주변 입·출력장치 그리고 기억장치로 구성되는데, 현재 사용되고 있는 컴퓨터 주 기억장치의 주요 공급원은 여러가지 요구조건 - 예를들어, 비트당 가격이 저렴하고, 빠른 씨피유(CPU)의 고속동작에 적절하게 대응하며, 또한 높은 집적도를 갖추어 전체 시스템의 용적부담을 줄여야 하는 등의 요구조건- 에 부응하기 위해 동기식 디램(싱크 디램 : Synchronous Dynamic Access Memory)으로 전향되고 있는 실정이다.

동기식 디램(Synchronous DRAM)은 컴퓨터의 CPU 및 주변 칩-셋에서 이용하는 주 클럭신호의 엣지에 동기하여 입·출력 동작을 수행하게 되는 메모리로, 통상적인 디램 메모리장치와 마찬가지로 메모리 셀(Memory Cell)의 구성이 2^N 로오(Row) \times 2^M 컬럼(Column)의 매트릭스(Matrix) 구조로 이루어진다.

그래서, 동기식 디램소자에서 저장된 데이터를 리드(resd)해 내기 위해서는 먼저 로오 명령신호에 의해 로오 어드레스(Row Address)를 N개 입력시켜서 이를 디코딩(Decoding)하게 되는데, 이에 의해 2^N 개 중 1개의 원하는 로오(Row)(워드라인:Word Line)가 선택되어 인에이블되게 된다.

이 후, 컬럼 명령신호에 의해 M개의 외부 입력된 컬럼 어드레스(Column Address)를 디코딩하여 2^M 개 중 한 개의 비트라인(Bit Line)을 선택하여 리드(read)인지 라이트(write)인지의 여부에 따라 선택된 비트라인(Line)의 데이터를 리드동작 및 라이트동작을 거쳐 입·출력하게 된다.

이때, 상기 컬럼 명령신호를 발생을 위해 외부 제어신호(/RAS, /CAS, /WE ...)가 입력되는 외부 클럭신호(ext_clk)로부터 데이터가 발생되기까지의 시간을 데이터 액세스시간(tAA)이라고 하는데, 고주파수 동작으로 갈수록 상기 데이터 액세스시간(tAA)의 값을 줄이는 것이 매우 중요해진다.

도 1 은 종래에 사용된 내부 명령신호 발생장치의 일예를 나타낸 블럭 구성도로, 발생하는 내부 명령신호가 컬럼 명령신호인 경우에 대해 도시하고 있다. 이하, 동작설명도 내부 컬럼 명령신호의 발생에 초점을 맞추어 진행하기로 한다.

우선, 동 도면에 도시된 바와 같이 종래에 사용된 내부 컬럼 명령신호 발생장치는 메모리소자 내부의 동작제어용 명령신호의 발생을 위해 외부에서 인가되는 TTL레벨의 여러 외부 제어신호(/RAS, /CAS, /WE ...)를 내부 회로동작에 적합한 CMOS레벨의 신호로 각각 버퍼링하는 다수개의 입력버퍼들(10)과; 외부 클럭신호(ext_clk)를 버퍼링하여 내부 클럭신호(int_clk)를 발생시키는 클럭버퍼(20)와; 상기 다수개의 입력버퍼(10)로부터 출력된 각각의 제어신호들을 상기 내부 클럭신호(int_clk)와의 셋-업 및 보유시간 마진확보를 위해 일정시간 딜레이시켜 전달하는 다수개의 딜레이 소자(30)와; 상기 다수개의 딜레이 소자(30)를 거쳐 소정의 시간 딜레이된 각각의 제어신호들을 상기 클럭버퍼(20)에서 발생시킨 내부 클럭신호(int_clk)에 동기시켜 내부에서 사용하는 펄스신호(in_pulse_1 ~ in_pulse_n)로 발생시키게 되는 다수개의 래치소자들(40)과; 상기 래치소자(40)로부터 출력된 각각의 내부 펄스신호(in_pulse_1 ~ in_pulse_n)들을 입력받아 이들의 조합에 의해 내부 컬럼 명령신호(casatv, icasatv)를 발생시키는 명령 디코더(50)로 구성된다.

상기 구성을 갖는 내부 컬럼 명령신호 발생장치의 동작 타이밍도를 도 2 에 도시하였으며, 이를 참조하며 자세한 동작을 살펴보기로 한다.

우선, (c)에 도시된 바와 같이 외부에서 인가되는 TTL레벨의 명령 제어신호(/RAS, /CAS, /WE 등)를 입력버퍼(10)를 통과시켜 (d)에 도시된 바와 같이 CMOS 레벨의 버퍼링신호로 전환한 후, 이들 신호를 클럭버퍼(20)에서 발생된 내부 클럭신호(int_clk)에 동기시켜 (e)에 도시된 것처럼 내부에서 사용하는 내부 펄스신호(in_pulse)를 발생시키게 된다.

그런데, 이때 (d)의 버퍼링신호가 (b)에 도시된 내부 클럭신호(int_clk)와의 동기실현에 앞서 상기 내부 클럭신호(int_clk)와 셋-업 및 보유시간 마진확보를 위해 소정의 딜레이 시간(Dt1)을 갖게 된다.

이로 인해, (e)에 도시된 내부 펄스신호(in_pulse)가 상기 딜레이 시간(Dt1)이 경과된 이후 발생되어지며, 그 다음 이들 내부 펄스신호를 명령 디코더(50)에서 조합하여 내부 컬럼 명령신호가 되는 카스 활성화제어 명령신호(casatv)를 발생시키게 된다.

또한, 상기 내부 컬럼 명령신호(casatv)가 버스트 제어기(도시되지 않음)에 의해 래치되어 발생된 신호(yburst_flag)가 인에이블된 상태에서 상기 내부 클럭신호(int_clk)를 입력받아 또 하나의 내부 컬럼 명령신호(icasatv)를 발생시키게 되며, 이와 같이 발생된 상기 두 내부 컬럼 명령신호(casatv, icasatv)를 입력받아 컬럼동작을 시작하게 된다.

그런데, 상기한 바와 같이 내부 클럭신호(int_clk)에 동기시켜 발생한 내부 펄스신호들(in_pulse_1 ~ in_pulse_n)의 조합으로 내부 명령신호를 발생시키는 종래의 기술에서는 두가지 시간적인 손해를 보게 되는 문제점이 있다.

첫째로, 입력버퍼를 거쳐 버퍼링된 제어신호가 내부 클럭신호(int_clk)에 동기 되기 전에 상기 내부 클럭신호(int_clk)와의 셋-업 및 보유시간 마진확보를 위한 일정 딜레이를 거쳐야 되는 문제가 있다.

그리고, 리드(read)동작 중, 상기 내부 컬럼 명령신호(casatv, icasatv)를 입력받아 내부 컬럼동작을 수행할 때, 리드 인터럽트 명령이 들어오는 경우가 있는데 이 경우 상기 내부 컬럼 명령신호(icasatv)를 디스에이블시켜 내부 동작을 막아야 되기 때문에, 디스에이블 경로를 상기 내부 컬럼 명령신호(icasatv) 발생부분에 추가시키게 된다.

이는 상기 내부 컬럼 명령신호(icasatv)가 상기한 카스 활성화제어 명령신호(casatv)에 비해 더 밀리어 발생하는 문제를 일으키기 때문에, 이러한 문제를 막기위해 인터럽트 신호를 따로 만들어 컬럼 어드레스 프리 디코딩 제어신호(ypc)의 인에이블을 막는 방법을 사용하고 있는데, 이 경우에도 상기 인터럽트 신호와의 시간적 마진을 고려해야 된다.

종래기술에 따른 내부 명령신호 발생장치 및 그 방법은 상기한 시간적 마진의 확보를 위해 별도의 딜레이가 추가되면서 데이터 액세스시간을 증가시키게 되며, 결과적으로 고속동작에 제한을 가하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 데이터 액세스 시간을 줄여 내부 명령신호의 발생시간을 대폭 감소시키므로써, 고속동작을 가능케 한 내부 명령신호 발생장치 및 그 방법을 제공하는데 있다.

상기 목적을 달성하기 위하여, 본 발명에 의한 내부 명령신호 발생장치는 외부에서 입력되는 명령 제어신호를 내부 회로 동작에 적합한 신호레벨로 버퍼링하는 제1 버퍼링수단과;

외부 클럭신호를 버퍼링하여 내부 클럭신호를 발생시키는 제2 버퍼링수단과;

상기 제1 버퍼링수단으로부터 출력된 신호를 일정시간 딜레이시켜 전달하는 지연수단과;

상기 지연수단으로부터 출력된 제어신호들을 조합하여 디코딩하는 디코딩수단과;

상기 디코딩수단에 의해 디코딩된 내부 명령신호를 래치시킨 후 상기 내부 클럭신호에 동기시켜 발생시키는 래치수단을 구비하되, 지연수단에서 딜레이되는 일정시간은 디코딩수단에서 출력된 신호가 내부 클럭신호와의 셋-업 및 보유시간 마진을 확보할 수 있도록 설정되는 것을 특징으로 한다.

또한, 상기 목적을 달성하기 위한 본 발명에 따른 내부 명령신호 발생방법은 외부에서 입력되는 명령 제어신호를 내부 회로 동작에 적합한 신호레벨로 버퍼링하는 제1 과정과;

상기 제1 과정을 거쳐 버퍼링된 명령 제어신호를 입력받아 이를 디코딩하되, 상기 내부 클럭신호와의 셋-업 및 보유시간 마진확보를 위해 요구되는 소정의 시간 내에 디코딩을 수행하는 제2 과정과;

상기 제2 과정을 거쳐 만들어진 내부 명령신호를 래치시킨 후, 상기 내부 클럭신호에 동기시켜 발생하는 제3 과정을 구비하여 수행되는 것을 특징으로 한다.

발명의 구성 및 작용

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

도 3 은 본 발명에 따른 내부 명령신호 발생장치의 일예를 나타낸 블록 구성도로, 동 도면에서도 발생하는 내부 명령신호를 킬럼 명령신호로 도시하며, 이에 맞추어 본 발명의 요지를 설명해 나가기로 한다.

동 도면에 도시된 내부 킬럼 명령신호 발생장치는 내부 동작제어 명령신호의 발생을 위해 인가되는 TTL레벨의 여러 외부 제어신호(/RAS, /CAS, /WE ...)를 내부 회로 동작에 적합한 CMOS레벨의 신호로 각각 버퍼링하는 다수개의 입력버퍼들(10)과; 외부 클럭신호(ext_clk)를 버퍼링하여 내부 클럭신호(int_clk)를 발생시키는 클럭버퍼(20)와; 상기 다수개의 입력버퍼(10)로부터 출력된 각각의 제어신호들을 일정시간 딜레이시켜 전달하는 다수개의 딜레이소자(30)와; 상기 딜레이소자(30)으로부터 출력된 제어신호를 입력받아 디코딩동작을 수행하는 명령 디코더(52)와; 상기 명령 디코더(30)에 의해 디코딩된 내부 명령신호를 래치시킨 후 상기 내부 클럭신호(int_clk)에 동기시켜 발생하는 래치소자(42)로 구성된다. 이때 딜레이소자(30)는 명령 디코더(52)에서 출력된 신호가 내부 클럭신호(int_clk)와의 셋-업 및 보유시간 마진을 확보할 수 있도록 일정시간 동안 제어신호들을 지연한다.

상기 구성에 의해, 본 발명에 따른 내부 명령신호 발생장치는 외부 클럭신호(ext_clk)가 클럭버퍼(20)를 거쳐 내부 클럭신호(int_clk)를 만들기까지 요구되는 시간동안에 외부에서 내부 명령발생을 위해 입력받은 제어신호들을 미리 디코딩해 두고, 이와 같이 미리 디코딩해 둔 내부 명령신호를 상기 내부 클럭신호(int_clk)의 발생시점에 동기하여 곧바로 발생시킬 수 있게 된다.

그래서, 제어신호의 디코딩에 요구되었던 모든 시간을 감축시킬 수 있게 되는 것이다.

도 4 는 상기 구성을 갖는 내부 명령신호 발생장치의 동작 타이밍도를 나타낸 것으로, 동 도면을 참조하며 본 발명의 동작을 자세히 살펴보기로 한다.

우선, 본 발명의 주요원리는 외부 명령 제어신호를 버퍼링한 후, 이 신호들을 내부 클럭신호에 동기시키기 전에 상기 내부 클럭신호와의 셋-업 및 보유시간 마진 확보를 위해 요구되는 시간동안 상기 내부 명령신호의 디코딩을 수행하는 것에 있음을 강조한다.

일단, 클럭버퍼(20)는 (a)에 도시된 바와 같이 외부 클럭신호(ext_clk)를 입력받아, 일정시간동안에 버퍼링을 수행하여 (b)에 도시된 바와 같은 파형의 내부 클럭신호(int_clk)를 발생시키게 된다.

한편, (c)에 도시된 바와 같이 소자내부의 동작제어용 내부 명령신호의 발생을 위해 외부에서 인가되는 제어신호는 입력버퍼(10)를 거쳐 (d)에 도시된 바와 같이 버퍼링됨과 동시에 상기 버퍼링된 신호는 즉시 명령 디코더(52)로 입력되어 상기 클럭버퍼(20)에서 내부 클럭신호(int_clk)가 발생되기 전에 미리 디코딩동작을 수행하여, (e)에 도시된 바와 같은 디코딩신호를 발생시키게 된다.

상기한 바와 같이, 내부 클럭신호(int_clk)의 발생전에 외부 제어신호를 미리 디코딩해둔 후, 상기 클럭버퍼(20)로부터 내부 클럭신호(int_clk)가 발생되면 이에 동기시켜 바로 카스 활성화제어 명령신호인 내부 킬럼 명령신호(casatv)를 발생시키게 된다. 이에 따라, 제어신호의 디코딩을 위한 별도의 시간이 필요 없어지게 되는 것이다.

또한, 소자 내부동작을 수행하는 명령에 대한 인터럽트가 걸리 때, 상기 인터럽트명령생성을 위한 제어신호의 디코딩동작도 상기 명령 디코더(52)에서 수행가능케 할 수 있겠다.

그래서, 상기 카스 활성화제어 명령신호(casatv)를 버스트 제어기(도시되지 않음)를 거쳐 래치시켜 발생한 신호(yburst_flag)가 인에이블된 상태에서 상기 내부 클럭신호(int_clk)를 받아 발생하는 또 하나의 내부 컬럼 명령신호(icasatv)를 종래와는 달리 제어신호들을 디코딩한 후 인터럽트를 고려하여 내부 클럭신호에 동기하여 출력시킬수 있게 되기 때문에, 리드 인터럽트 조건에서의 디코딩시 따로 인터럽트 명령을 발생시키지 않아도 될뿐만 아니라, 또한 후단에 연결된 컬럼 프리 디코더에서의 시간적 마진의 고려도 불필요해지게 된다.

발명의 효과

이상에서 설명한 바와같이 본 발명에 따른 내부 명령신호 발생장치 및 그 방법에 의하면, 기존의 내부 명령신호 발생장치 및 방법에 비해 내부 명령발생을 위해 인가된 제어신호의 디코딩에 요구되었던 모든시간을 감축시킬 수 있게 되어 결과적으로 데이터 액세스시간을 대폭 감소시켜 회로동작의 고속화를 실현할 수 있게 되는 매우 뛰어난 효과가 있다.

또한, 리드동작 중 인터럽트가 발생되어 내부 컬럼 명령신호의 디스에이블이 요구될 때에도 인터럽트 명령과의 별도의 시간적 마진을 고려한 딜레이를 추가시킬 필요가 없어지는 장점이 있다.

아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

외부에서 입력되는 명령 제어신호를 내부 회로동작에 적합한 신호레벨로 버퍼링하는 제1 버퍼링수단과;

외부 클럭신호를 버퍼링하여 내부 클럭신호를 발생시키는 제2 버퍼링수단과;

상기 제1 버퍼링수단으로부터 출력된 신호를 일정시간 딜레이시켜 전달하는 지연수단과;

상기 지연수단으로부터 출력된 제어신호들을 조합하여 디코딩하는 디코딩수단과;

상기 디코딩수단에 의해 디코딩된 내부 명령신호를 래치시킨 후 상기 내부 클럭신호에 동기시켜 발생시키는 래치수단

을 구비하되, 상기 일정시간은 상기 디코딩된 내부 명령신호가 상기 내부 클럭신호와의 셋-업 및 보유시간 마진을 확보하도록 설정되는 것을 특징으로 하는 내부 명령신호 발생장치.

청구항 2.

외부에서 입력되는 명령 제어신호를 내부 회로동작에 적합한 신호레벨로 버퍼링하는 제1 과정과;

상기 제1 과정을 거쳐 버퍼링된 명령 제어신호를 입력받아 이를 디코딩하되, 상기 내부 클럭신호와의 셋-업 및 보유시간 마진확보를 위해 요구되는 소정의 시간 내에 디코딩을 수행하는 제2 과정과;

상기 제2 과정을 거쳐 만들어진 내부 명령신호를 래치시킨 후, 상기 내부 클럭신호에 동기시켜 발생하는 제3 과정을 구비하여 수행되는 것을 특징으로 하는 내부 명령신호 발생방법.

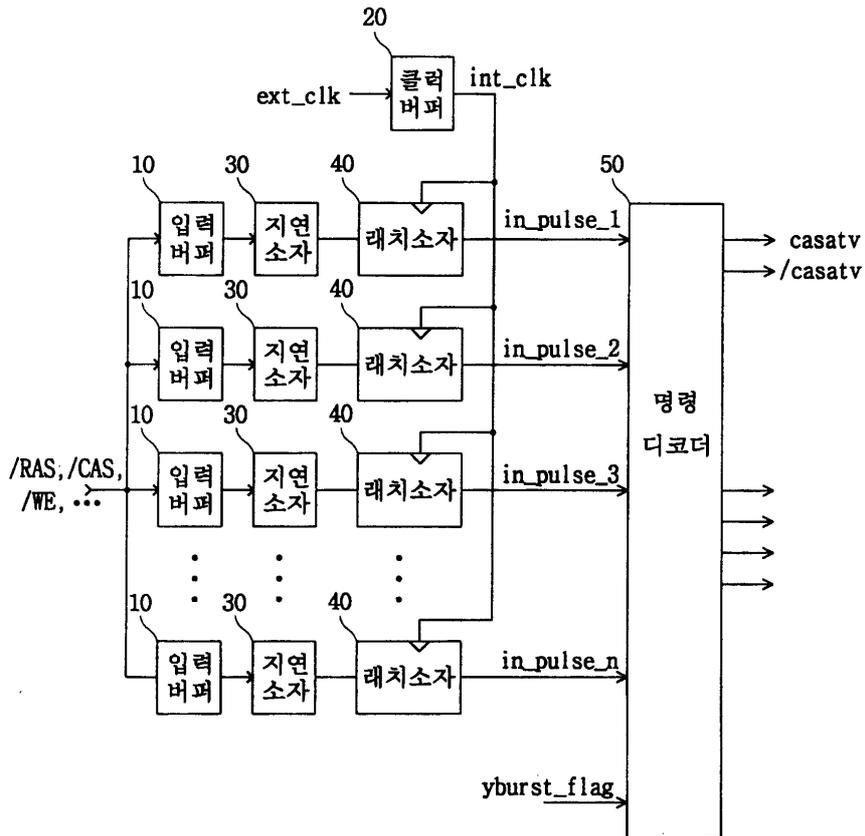
청구항 3.

제 2 항에 있어서,

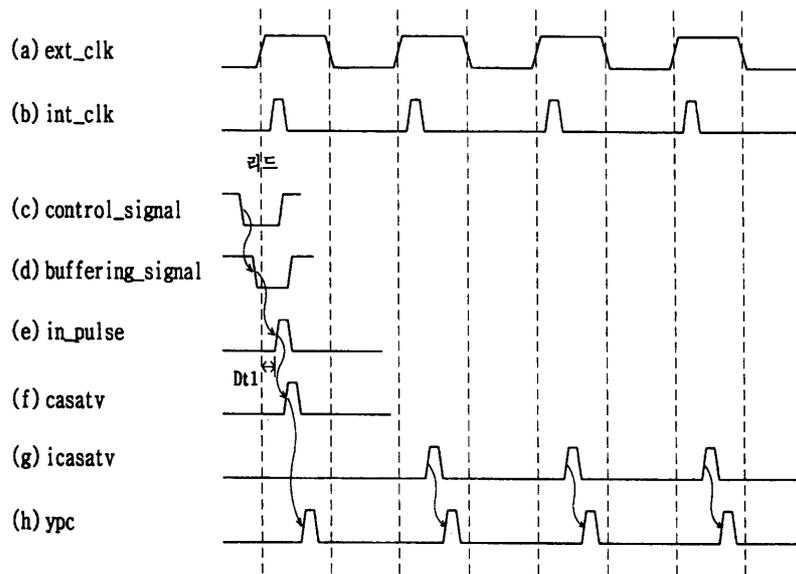
상기 제2 과정에서 인터럽트 명령발생을 위한 제어신호의 디코딩동작을 추가로 수행하는 것을 특징으로 하는 내부 명령 신호 발생방법

도면

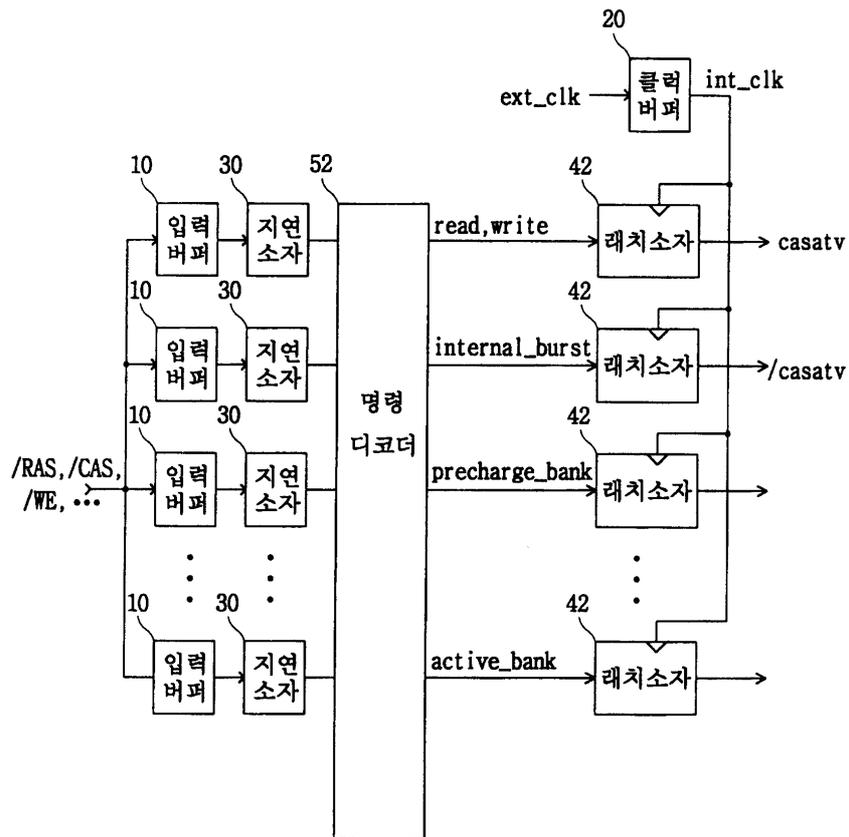
도면1



도면2



도면3



도면4

