



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0029236
(43) 공개일자 2010년03월16일

(51) Int. Cl.

G11C 11/4093 (2006.01) G11C 11/4096 (2006.01)
G11C 7/10 (2006.01)

(21) 출원번호 10-2010-7000345

(22) 출원일자 2008년06월06일
심사청구일자 없음

(85) 번역문제출일자 2010년01월07일

(86) 국제출원번호 PCT/CA2008/001069

(87) 국제공개번호 WO 2008/148197
국제공개일자 2008년12월11일

(30) 우선권주장

60/942,798 2007년06월08일 미국(US)

(71) 출원인

모사이드 테크놀로지스 인코퍼레이티드
캐나다 케이2케이 2엑스1 온타리오 오타와 스위트
203 하인스 로드 11

(72) 별명자

밀라 브루스
캐나다 케이2에스 1비6 온타리오 스티츠빌 편뱅크
로드 6066

(74) 대리인

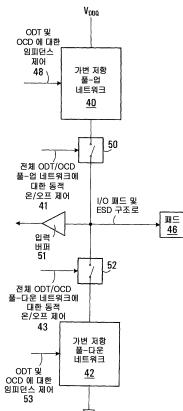
특허법인코리아나

전체 청구항 수 : 총 26 항

(54) 입력/출력 베폐에 대한 동적 임피던스 제어

(57) 요 약

오프 칩 구동 (OCD) 및 온-다이 종단을 수행하는 시스템 및 방법이 제공된다. 이 기능들 모두를 구현하기 위해, 트랜지스터로 구성된 공통 폴-업 네트워크 및 트랜지스터로 구성된 공통 폴-다운 네트워크가 이용된다. 구동 모드에서, "온" 출력이 발생될 경우 폴-업 네트워크는 교정된 구동 임피던스를 생성하도록 구성되고, "오프" 출력이 발생될 경우 폴-다운 네트워크는 교정된 구동 종단을 생성하도록 구성된다. 종단 모드에서, 폴-업 네트워크 및 폴-다운 네트워크는 교정된 폴-업 저항 및 폴-다운 저항을 각각 생성하도록 구성되며, 이들은 함께 스플리스 종단을 형성한다.

대 표 도 - 도2a

특허청구의 범위

청구항 1

결합된 구동 및 종단 회로로서,

가변 임피던스 풀-업 네트워크;

가변 임피던스 풀-다운 네트워크;

상기 가변 임피던스 풀-업 네트워크의 구성을 설정하기 위한 적어도 하나의 제어 입력부; 및

상기 가변 임피던스 풀-다운 네트워크의 구성을 설정하기 위한 적어도 하나의 제어 입력부를 포함하며,

상기 장치는, 상기 가변 임피던스 풀-업 네트워크가 풀-업 네트워크 종단 임피던스를 갖도록 구성되고 상기 가변 임피던스 풀-다운 네트워크가 풀-다운 네트워크 종단 임피던스를 갖도록 구성되는 종단 동작 모드를 갖고, 상기 가변 임피던스 풀-업 네트워크 및 상기 가변 임피던스 풀-다운 네트워크는 결합하여 스플리트 종단으로서 기능하며,

상기 장치는,

하이 출력을 구동하기 위해, 상기 가변 임피던스 풀-업 네트워크가 스위치 온되는 경우 특정 임피던스를 발생시키도록 구성되고, 로우 출력을 구동하기 위해, 상기 가변 임피던스 풀-다운 네트워크가 스위치 온되는 경우 특정 임피던스를 발생시키도록 구성되는 구동 동작 모드를 갖는, 결합된 구동 및 종단 회로.

청구항 2

코어 로직;

각각의 I/O (입력/출력) 패드를 각각 갖는 복수의 I/O; 및

각각의 I/O에 대해, 제 1 항에 기재된 각각의 결합된 구동 및 종단 회로를 포함하며,

상기 결합된 구동 및 종단 회로는, 상기 코어 로직으로부터의 출력을 발생시키고 상기 코어 로직에 대한 외부 입력을 종단하도록 기능하는, 장치.

청구항 3

제 2 항에 있어서,

상기 가변 임피던스 풀-업 네트워크 및 상기 가변 임피던스 풀-다운 네트워크는, 구동 모드와 종단 모드 사이에서 정류하는 경우 2 개의 임피던스 설정 사이에서 동적으로 스위칭되는, 장치.

청구항 4

제 2 항 또는 제 3 항에 있어서,

각각의 I/O에 대해, 구동 하이를 나타내는 제 1 입력, 구동 로우를 나타내는 제 2 입력 및 종단을 나타내는 제 3 입력을 수신하고, 그에 따라 2 개의 임피던스 설정 사이에서 스위칭하는 AND-OR-AND 로직을 포함하는 프리-드라이버 로직을 더 포함하는, 장치.

청구항 5

제 1 항에 있어서,

임피던스를 임피던스 기준에 대해 교정하는 교정 로직과 결합되는, 결합된 구동 및 종단 회로.

청구항 6

코어 로직;

각각의 입력 패드를 각각 갖는 복수의 입력부, 및 각각의 출력 패드를 각각 갖는 복수의 출력부;

각각의 입력 패드에 대해, 영속적으로 종단 모드로 구성되는, 제 1 항 또는 제 5 항에 기재된 각각의 결합된 구동 및 종단 회로; 및

각각의 출력 패드에 대해, 영속적으로 구동 모드로 구성되는, 제 1 항에 기재된 각각의 결합된 구동 및 종단 회로를 포함하는, 장치.

청구항 7

제 1 항 또는 제 5 항에 기재된 결합된 구동 및 종단 회로; 및

상기 결합된 구동 및 종단 회로가 구동 모드인지 또는 종단 모드인지 여부의 함수로서 제어 입력을 발생시키는 제어기를 포함하는, 장치.

청구항 8

제 1 항 또는 제 5 항에 있어서,

상기 가변 임피던스 풀-업 네트워크는 병렬로 함께 접속된 복수의 트랜지스터를 포함하며, 상기 풀-업 네트워크의 가변 임피던스는 상기 복수의 트랜지스터 중 몇몇 개의 트랜지스터를 선택적으로 턴온함으로써 제어되고,

상기 가변 임피던스 풀-다운 네트워크는 병렬로 함께 접속된 복수의 트랜지스터를 포함하며, 상기 가변 임피던스 풀-다운 네트워크의 가변 임피던스는 상기 복수의 트랜지스터 중 몇몇 트랜지스터를 선택적으로 턴온함으로써 제어되는, 결합된 구동 및 종단 회로.

청구항 9

제 1 항, 제 5 항 또는 제 8 항 중 어느 한 항에 기재된 결합된 구동 및 종단 회로; 및

교정을 수행하는데 이용하기 위한, 상기 결합된 구동 및 종단 회로의 적어도 일부의 복제본을 포함하는, 장치.

청구항 10

제 9 항에 있어서,

하기의 4 개의 단계;

- 1) 데이터 출력이 로직 하이인 경우 구동 모드에 대한 풀-업 네트워크 교정;
- 2) 데이터 출력이 로직 로우인 경우 구동 모드에 대한 풀-다운 네트워크 교정;
- 3) 종단 모드에 대한 풀-업 네트워크 교정; 및
- 4) 종단 모드에 대한 풀-다운 네트워크 교정

에서 수행되는 교정을 제어하는 제어기를 더 포함하는, 장치.

청구항 11

제 9 항에 있어서,

상기 가변 임피던스 풀-업 네트워크는 복수의 P-타입 MOSFET 트랜지스터를 포함하고, 상기 가변 임피던스 풀-다운 네트워크는 복수의 N-타입 MOSFET 트랜지스터를 포함하며,

상기 장치는, 하기의 4 개의 단계;

- 1) 데이터 출력이 로직 로우인 경우 얼마나 많은 N-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 결정하기 위한 N 디바이스 출력 임피던스 교정;
- 2) 데이터 출력이 로직 하이인 경우 얼마나 많은 P-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 결정하기 위한 P 디바이스 출력 임피던스 교정;
- 3) 얼마나 많은 N-타입 트랜지스터가 종단 모드에 대해 인에이블되는지를 결정하기 위한 N 디바이스 종단 교정; 및
- 4) 얼마나 많은 P-타입 트랜지스터가 종단 모드에 대해 인에이블되는지를 결정하기 위한 P 디바이스 종단 교정

에서 수행되는 교정을 제어하는 제어기를 더 포함하는, 장치.

청구항 12

제 9 항에 있어서,

상기 가변 임피던스 풀-업 네트워크 및 상기 가변 임피던스 풀-다운 네트워크는 각각 P-타입 트랜지스터만으로 또는 N-타입 트랜지스터만으로 형성되고,

상기 장치는, 하기의 2 개의 단계;

- 1) 데이터 출력이 로직 하이인 경우 구동 모드에 대한 풀-업 네트워크 교정; 및
- 2) 종단 모드에 대한 풀-업 네트워크 교정

에서 수행되는 교정을 제어하는 제어기를 더 포함하는, 장치.

청구항 13

제 9 항에 있어서,

상기 가변 임피던스 풀-업 네트워크는 복수의 N-타입 MOSFET 트랜지스터를 포함하고, 상기 가변 임피던스 풀-다운 네트워크는 복수의 N-타입 MOSFET 트랜지스터를 포함하며,

상기 장치는, 하기의 2 개의 단계;

- 1) 데이터 출력이 로우인 경우 얼마나 많은 N-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 결정하기 위한 N 디바이스 출력 임피던스 교정; 및
- 2) 얼마나 많은 N-타입 트랜지스터가 종단에 대해 인에이블되는지를 결정하기 위한 N 디바이스 종단 교정

에서 수행되는 교정을 제어하는 제어기를 더 포함하는, 장치.

청구항 14

제 9 항에 있어서,

각각의 결합된 구동 및 종단 회로에 공통 교정 값을 전달하는 상호접속부를 더 포함하는, 장치.

청구항 15

제 14 항에 있어서,

상기 상호접속부는 하나 이상의 온도계 코드를 이용하여 상기 교정 값을 전달하는, 장치.

청구항 16

제 15 항에 있어서,

상기 가변 임피던스 풀-업 네트워크는 P-타입 트랜지스터를 포함하고, 상기 가변 임피던스 풀-다운 네트워크는 N-타입 트랜지스터를 포함하며,

상기 상호접속부는,

데이터 출력이 로직 로우인 경우 얼마나 많은 N-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 설정하는 제 1 교정값;

데이터 출력이 로직 하이인 경우 얼마나 많은 P-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 설정하는 제 2 교정값;

얼마나 많은 N-타입 트랜지스터가 종단 모드에 대해 인에이블되는지를 설정하는 제 3 교정값; 및

얼마나 많은 P-타입 트랜지스터가 종단 모드에 대해 인에이블되는지를 설정하는 제 4 교정값을 전달하는, 장치.

청구항 17

제 1 항, 제 5 항 또는 제 8 항 중 어느 한 항에 기재된 복수의 결합된 구동 및 종단 회로;

각각의 결합된 구동 및 종단 회로에 공통 교정 값을 전달하는 상호접속부; 및

각각의 결합된 구동 및 종단 회로에 대해, 특정한 결합된 구동 및 종단 회로가 로직 로우를 출력하거나 로직 하이를 출력하는 구동 모드인지 또는 종단 모드인지 여부의 함수로서 상기 교정 값을 중 하나를 선택적으로 적용하는 프리-드라이버 회로를 포함하는, 장치.

청구항 18

종단 트랜지스터의 2 배인 구동 트랜지스터를 포함하는, 결합된 ODT (온-다이 종단) 및 OCD (오프 칩 구동) 회로.

청구항 19

적어도 하나의 풀-다운 트랜지스터에 접속된 적어도 하나의 풀-업 트랜지스터; 및

상기 풀-업 트랜지스터와 상기 풀-다운 트랜지스터 사이에 접속되는 입력부로서, 상기 적어도 하나의 풀-업 트랜지스터 및 상기 적어도 하나의 풀-다운 트랜지스터는 상기 입력부를 종단시키도록 기능하는, 상기 입력부를 포함하는, 온-칩 종단 회로.

청구항 20

제 19 항에 있어서,

상기 적어도 하나의 풀-업 트랜지스터는 선택가능하게 인에이블될 수 있는 복수의 제 1 트랜지스터를 포함하고, 상기 적어도 하나의 풀-다운 트랜지스터는 선택가능하게 인에이블될 수 있는 복수의 제 2 트랜지스터를 포함하며, 상기 복수의 제 1 트랜지스터 및 제 2 트랜지스터 중 인에이블된 트랜지스터의 수는 상기 온-칩 종단 회로의 종단 임피던스를 설정하는, 온-칩 종단 회로.

청구항 21

종단 동작 모드에서, 가변 임피던스 풀-업 네트워크가 풀-업 네트워크 종단 임피던스를 갖도록 구성하고, 가변 임피던스 풀-다운 네트워크가 풀-다운 네트워크 종단 임피던스를 갖도록 구성하는 단계로서, 상기 가변 임피던스 풀-업 네트워크 및 상기 가변 임피던스 풀-다운 네트워크는 결합하여 스플리트 종단으로서 기능하는, 상기 구성하는 단계;

구동 동작 모드에서, 하이 출력을 구동하기 위해, 상기 가변 임피던스 풀-업 네트워크가 제 1 구동 임피던스를 발생시키도록 구성하는 단계; 및

상기 구동 동작 모드에서, 로우 출력을 구동하기 위해, 상기 가변 임피던스 풀-다운 네트워크가 제 2 구동 임피던스를 발생시키도록 구성하는 단계를 포함하는, 결합된 구동 및 종단을 제공하는 방법.

청구항 22

제 21 항에 있어서,

상기 종단 동작 모드와 상기 구동 동작 모드 사이에서 동작 모드를 선택하는 단계를 더 포함하는, 결합된 구동 및 종단을 제공하는 방법.

청구항 23

제 21 항 또는 제 22 항에 있어서,

상기 가변 임피던스 풀-업 네트워크가 풀-업 네트워크 종단 임피던스를 갖도록 구성하는 단계는 상기 가변 임피던스 풀-업 네트워크를 형성하는 복수의 트랜지스터 중 몇몇 개의 트랜지스터를 선택적으로 턴온하는 단계를 포함하고;

상기 가변 임피던스 풀-다운 네트워크가 풀-다운 네트워크 종단 임피던스를 갖도록 구성하는 단계는 상기 가변 임피던스 풀-다운 네트워크를 형성하는 복수의 트랜지스터 중 몇몇 개의 트랜지스터를 선택적으로 턴온하는 단계를 포함하는, 결합된 구동 및 종단을 제공하는 방법.

청구항 24

제 21 항 내지 제 23 항 중 어느 한 항에 있어서,

상기 풀-업 네트워크 종단 임피던스, 상기 풀-다운 네트워크 종단 임피던스, 제 1 구동 임피던스 및 제 2 구동 임피던스를 교정하기 위한 교정을 수행하는 단계를 더 포함하는, 결합된 구동 및 종단을 제공하는 방법.

청구항 25

제 24 항에 있어서,

상기 교정을 수행하는 단계는,

데이터 출력이 로직 하이인 경우 구동 모드에 대해 상기 가변 임피던스 풀-업 네트워크를 교정하는 단계;

데이터 출력이 로직 로우인 경우 구동 모드에 대해 상기 가변 임피던스 풀-다운 네트워크를 교정하는 단계;

종단 모드에 대해 상기 가변 임피던스 풀-업 네트워크를 교정하는 단계; 및

종단 모드에 대해 상기 가변 임피던스 풀-다운 네트워크의 교정을 교정하는 단계를 포함하는, 결합된 구동 및 종단을 제공하는 방법.

청구항 26

제 24 항에 있어서,

상기 교정을 수행하는 단계는,

데이터 출력이 로직 하이인 경우 구동 모드에 대해 상기 가변 임피던스 풀-업 네트워크를 교정하여 제 1 교정 결과를 생성하는 단계;

데이터 출력이 로직 로우인 경우 상기 제 1 교정 결과를 이용하여 상기 가변 임피던스 풀-다운 네트워크를 교정하는 단계;

종단 모드에 대해 상기 가변 임피던스 풀-업 네트워크를 교정하여 제 2 교정 결과를 생성하는 단계; 및

상기 제 2 교정 결과를 이용하여 종단 모드에 대해 상기 가변 임피던스 풀-다운 네트워크를 교정하는 단계를 포함하는, 결합된 구동 및 종단을 제공하는 방법.

명세서

기술 분야

[0001] 본 출원은 2007년 6월 8일 출원되고 그 전체가 본 명세서에 참조로 통합된 미국 가출원 제 60/942,798 호에 대해 우선권의 이익을 주장한다.

[0002] 본 발명은 입/출력 베퍼에 대한 임피던스 제어에 관련된다.

배경 기술

[0003] SDRAM (Synchronous Dynamic Random Access Memory) 의 메모리 제어기는 일반적으로 개인용 컴퓨터 및 광범위한 전자 제품에서 이용되고 있으며, 마이크로프로세서 및 SDRAM 은 그 제품 내에 임베디드되어 그 제품의 제어 특성 및 사용자 인터페이스를 정의한다. SDRAM 메모리 제어기는 마이크로프로세서로 하여금 프로그램을 실행할 때 고속의 SDRAM 에 효율적으로 액세스할 수 있게 한다.

[0004] 칩 제조자들이 끊임없이 실리콘 프로세스 피쳐 사이즈를 축소시켜, 실리콘 기술을 더욱 더 양호한 전기적 및 경제적 성능쪽으로 발전시킴에 따라, 클럭 및 데이터 레이트가 각각의 새로운 세대에서는 종종 2 배가 되기 때문에, 시스템 애플리케이션의 칩들 사이의 물리적 인터페이스에서 중대한 신호 무결성 문제가 발생된다. 더 높은 클럭 레이트에서는, 메모리 제어기 칩과 SDRAM 칩 사이의 상호접속에서의 송신 라인 효과에 주로 기인하여 신호 무결성이 파괴된다.

[0005] 반사, 감쇠, 크로스토크 및 그라운드 바운스를 포함하는 송신 라인 효과 모두는 칩들 사이의 상호접속에서 신호 품질을 열화시키는 역할을 한다. 칩들간의 상호접속에서의 반사는 적절히 관리되지 않으면 임의의 고속 시

스텝에서 신호 무결성을 완전히 파괴할 수 있다.

[0006] 모든 송신 라인들은, 도전체의 기하학적 구조 및 그 도전체를 둘러싼 절연 매체의 유전율에 의해 정의되는 특성 신호 속도 및 특성 임피던스를 갖는다. 송신 라인을 통해 왕복 전파되는 신호 반사는 제어되지 않으면 신호 품질을 실행불가능한 (non-viability) 지점까지 열화시킬 수 있다. 그러나, 송신 라인의 일단을 구동시키는 회로의 소스 임피던스와 그 송신 라인의 타단에 있는 회로의 종단 임피던스가 송신 라인의 특성 임피던스와 매칭한다면, 그 송신 라인에서 신호 반사는 발생하지 않는다. 신호를 인쇄 회로 기판 (PCB) 의 트레이스 상으로 오프-칩으로 구동시켜 그 인쇄 회로 기판의 다른 칩 상의 반도체 회로에 의해 수신되게 하는 반도체 회로, 통상적으로는 CMOS (complementary metal oxide semiconductor) 를 이용하는 경우, 트레이스의 수신 단이 그 송신 라인 임피던스와 근접하게 매칭하는 어떠한 임피던스로 종단되지 않으면 심각한 신호 반사가 종종 발생한다.

[0007] 종래에는, PCB 트레이스의 특성 임피던스보다 매우 낮은 출력 임피던스를 갖는 I/O (입력/출력) 버퍼로 고속 신호가 구동되었다. PCB 트레이스는, 그 트레이스의 특성 임피던스와 매칭하는 저항값을 갖는 고정 저항기를 이용하여 종단되었다. 몇몇 애플리케이션에서, 고정 저항기는 또한 구동 버퍼와 직렬로 배치되어 신호 무결성을 개선하였다. DDR (double data rate) SDRAM 의 도래는 반도체 산업에서, 소스 및 종단 임피던스를 내부화하여, 이들 새로운 메모리 시스템의 PCB 트레이스 임피던스들을 매칭하는데 요구되는 고정 외부 저항기를 제거할 수 있는 방법을 찾게 하였다. 그 장점은 항상 비용을 낮추고 전력 소모를 감소시키는 것이다. 매칭된 종단 임피던스가 존재하는 경우, DDR 메모리 시스템에서 양호한 신호 무결성이 획득될 수 있음이 명확하게 입증되었다. 라인의 말단에 전파되는 신호를 종단이 흡수하는 한, 반사는 발생하지 않는다. 이들 시스템에서, PCB 트레이스의 특성 임피던스보다 라인을 구동시키는 회로의 소스 임피던스를 의도적으로 낮추어 더 양호한 잡음 내성을 위한 더 큰 신호 스윙을 제공한다.

[0008] CMOS I/O 회로는 특정한 조건 하에서 송신 라인 임피던스에 매우 양호하게 매칭하도록 설계될 수 있지만, 그 회로에 대해 기대되는 전체 프로세스, 전압 및 온도 (PVT) 에 대해 종종 2:1 을 초과하는 큰 임피던스 변량을 나타낸다. PVT 변량을 상쇄하기 위해, 회로 설계자들은 오프-칩 구동 (OCD) 의 조정가능성 및 온-다이 종단 (ODT) 에서 설비하고 있다.

[0009] 최근에는 특히 고속 트랜시버 로직 (HSTL) 및 DDR 애플리케이션에서 프로그래머블 출력 임피던스에 대한 다수의 솔루션이 이용되고 있다. 많은 경우, 출력 임피던스 제어에 대해 겨우 2 개분의 구동 설정이 존재한다. 많은 경우, 출력 임피던스는 임피던스 기준에 대해 동적으로 설정되지 않는다.

발명의 내용

과제의 해결 수단

[0010] 광범위한 양태에 따르면, 본 발명은, 가변 임피던스 풀-업 네트워크; 가변 임피던스 풀-다운 네트워크; 풀-업 네트워크의 구성을 설정하는 적어도 하나의 제어 입력부; 풀-다운 네트워크의 구성을 설정하는 적어도 하나의 제어 입력부를 제공하며; 이 장치는, 가변 임피던스 풀-업 네트워크가 풀-업 네트워크 종단 임피던스를 갖도록 구성되고 가변 임피던스 풀-다운 네트워크가 풀-다운 네트워크 종단 임피던스를 갖도록 구성되는 종단 동작 모드를 갖고, 풀-업 네트워크 및 풀-다운 네트워크는 결합하여 스플리트 종단으로 기능하고, 이 장치는, 하이 출력을 구동하기 위해, 스위치 온되는 경우 풀-업 네트워크가 특정 임피던스를 발생시키도록 구성되고, 로우 출력을 구동하기 위해, 스위치 온되는 경우 풀-다운 네트워크가 특정 임피던스를 발생시키도록 구성되는 구동 동작 모드를 갖는다.

[0011] 몇몇 실시형태에서, 장치는, 코어 로직, 각각 I/O 패드를 갖는 복수의 I/O (입력/출력), 위에서 요약한 바와 같은 각각의 결합된 구동 및 종단 회로를 포함하며, 결합된 구동 및 종단 회로는 코어 로직으로부터의 출력을 발생시키고 그 코어 로직에 대한 외부 입력을 종단시킨다.

[0012] 몇몇 실시형태에서, 풀-업 및 풀-다운 네트워크는 구동 모드 및 종단 모드 사이에서 정류하는 경우, 2 개의 임피던스 설정 사이에서 동적으로 스위칭된다.

[0013] 몇몇 실시형태에서, 이 장치는, 각각의 I/O 에 대해, 하이 구동을 나타내는 제 1 입력, 로우 구동을 나타내는 제 2 입력 및 종단을 나타내는 제 3 입력을 수신하고 그에 따라 2 개의 임피던스 설정 사이에서 스위칭하는 AND-OR-AND 로직을 포함하는 프리-드라이버 로직을 더 포함한다.

- [0014] 몇몇 실시형태에서, 회로는, 임피던스를 임피던스 기준에 대해 교정하는 교정 회로와 결합된다.
- [0015] 몇몇 실시형태에서, 장치는, 코어 로직, 각각의 입력 패드를 각각 갖는 복수의 입력부 및 각각의 출력 패드를 각각 갖는 복수의 출력부를 포함하고, 각각의 입력 패드에 대해, 위에서 요약된 바와 같은 각각의 결합된 구동 및 종단 회로는 영속적으로 종단 모드로 구성되고, 각각의 출력 패드에 대해, 위에서 요약된 바와 같은 각각의 결합된 구동 및 종단 회로는 영속적으로 구동 모드로 구성된다.
- [0016] 몇몇 실시형태에서, 장치는, 위에서 요약된 바와 같은 결합된 구동 및 종단 회로, 그 결합된 구동 및 종단 회로가 구동 모드인지 종단 모드인지 여부의 함수로서 제어 입력을 발생시키는 제어기를 포함한다.
- [0017] 몇몇 실시형태에서, 풀-업 네트워크는 서로 병렬로 접속된 복수의 트랜지스터를 포함하며, 풀-업 네트워크의 가변 임피던스는 복수의 트랜지스터 중 몇몇 개의 트랜지스터를 선택적으로 턴온함으로써 제어되고, 풀-다운 네트워크는 서로 병렬로 접속된 복수의 트랜지스터를 포함하며, 풀-다운 네트워크의 가변 임피던스는 복수의 트랜지스터 중 몇몇 개의 트랜지스터를 선택적으로 턴온함으로써 제어된다.
- [0018] 몇몇 실시형태에서, 장치는, 위에서 요약한 바와 같은 결합된 구동 및 종단 회로를 포함하며, 그 결합된 구동 및 종단 회로의 적어도 일부의 복제본은 교정 수행에 이용된다.
- [0019] 몇몇 실시형태에서, 이 장치는, 4 개의 단계: 1) 데이터 출력이 로직 하이인 경우 구동 모드에 대한 풀-업 네트워크 교정, 2) 데이터 출력이 로직 로우인 경우 구동 모드에 대한 풀-다운 네트워크 교정, 3) 종단 모드에 대한 풀-업 네트워크 교정, 및 4) 종단 모드에 대한 풀-다운 네트워크 교정에서 수행되는 교정을 제어하는 제어기를 더 포함한다.
- [0020] 몇몇 실시형태에서, 풀-업 네트워크는 복수의 P-타입 MOSFET 트랜지스터를 포함하고, 풀-다운 네트워크는 복수의 N-타입 MOSFET 트랜지스터를 포함하고, 이 장치는, 4 개의 단계: 1) 데이터 출력이 로직 로우인 경우 얼마나 많은 N-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 결정하기 위한 N 디바이스 출력 임피던스 교정, 2) 데이터 출력이 로직 하이인 경우 얼마나 많은 P-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 결정하기 위한 P 디바이스 출력 임피던스 교정, 3) 얼마나 많은 N-타입 트랜지스터가 종단 모드에 대해 인에이블되는지를 결정하기 위한 N 디바이스 종단 교정, 및 4) 얼마나 많은 P-타입 트랜지스터가 종단 모드에 대해 인에이블되는지를 결정하기 위한 P 디바이스 종단 교정에서 수행되는 교정을 제어하는 제어기를 더 포함한다.
- [0021] 몇몇 실시형태에서, 풀-업 네트워크 및 풀-다운 네트워크는 P-타입 트랜지스터만으로 또는 N-타입 트랜지스터만으로 각각 형성되고, 이 장치는, 2 개의 단계: 1) 데이터 출력이 로직 하이인 경우 구동 모드에 대한 풀-업 네트워크 교정, 및 2) 종단 모드에 대한 풀-업 네트워크 교정에서 수행되는 교정을 제어하는 제어기를 더 포함한다.
- [0022] 몇몇 실시형태에서, 풀-업 네트워크는 복수의 N-타입 MOSFET 트랜지스터를 포함하고, 풀-다운 네트워크는 복수의 N-타입 MOSFET 트랜지스터를 포함하고, 이 장치는, 2 개의 단계: 1) 데이터 출력이 로직 로우인 경우 얼마나 많은 N-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 결정하는 N 디바이스 출력 임피던스 교정, 및 2) 얼마나 많은 N-타입 트랜지스터가 종단에 대해 인에이블되는지를 결정하기 위한 N 디바이스 종단 교정에서 수행되는 교정을 제어하는 제어기를 더 포함한다.
- [0023] 몇몇 실시형태에서, 이 장치는, 공통 교정값을 각각의 결합된 구동 및 종단 회로로 전달하는 상호접속부를 더 포함한다.
- [0024] 몇몇 실시형태에서, 이 상호접속부는 하나 이상의 온도계를 이용하여 교정값을 전달한다.
- [0025] 몇몇 실시형태에서, 풀-업 네트워크는 P-타입 트랜지스터를 포함하고, 풀-다운 네트워크는 N-타입 트랜지스터를 포함하고, 상호접속부는, 데이터 출력이 로직 로우인 경우 얼마나 많은 N-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 설정하는 제 1 교정값, 데이터 출력이 로직 하이인 경우 얼마나 많은 P-타입 트랜지스터가 구동 모드에 대해 인에이블되는지를 설정하는 제 2 교정값, 얼마나 많은 N-타입 트랜지스터가 종단 모드에 대해 인에이블되는지를 설정하는 제 3 교정값, 및 얼마나 많은 P-타입 트랜지스터가 종단 모드에 대해 인에이블되는지를 설정하는 제 4 교정값을 전달한다.
- [0026] 몇몇 실시형태에서, 이 장치는, 위에서 요약한 바와 같은 복수의 결합된 구동 및 종단 회로; 공통 교정값을 각각의 결합된 구동 및 종단 회로에 전달하는 상호접속부; 각각의 결합된 구동 및 종단 회로에 대해, 특정한 결합된 구동 및 종단 회로가 로직 로우를 출력하거나 로직 하이를 출력하는 구동 모드인지 또는 종단 모드인지 여부

의 함수로서 교정값들 중 하나를 선택적으로 적용하는 프리-드라이버 회로를 포함한다.

[0027] 또 다른 광범위한 양태에 따르면, 본 발명은, 종단 트랜지스터의 2 배인 구동 트랜지스터를 포함하는 결합된 ODT (on-die termination) 및 OCD (off chip drive) 회로를 제공한다.

[0028] 또 다른 광범위한 양태에 따르면, 본 발명은, 적어도 하나의 풀-다운 트랜지스터에 접속된 적어도 하나의 풀-업 트랜지스터, 풀-업 트랜지스터와 풀-다운 트랜지스터 사이에 접속된 입력부를 포함하는 온-칩 종단 회로를 제공하며, 적어도 하나의 풀-업 트랜지스터 및 적어도 하나의 풀-다운 트랜지스터는 입력부를 종단하도록 기능한다.

[0029] 몇몇 실시형태에서, 적어도 하나의 풀-업 트랜지스터는, 선택적으로 인에이블될 수 있는 복수의 제 1 트랜지스터를 포함하고, 적어도 하나의 풀-다운 트랜지스터는, 선택적으로 인에이블될 수 있는 복수의 제 2 트랜지스터를 포함하며, 인에이블되는 복수의 제 1 및 제 2 트랜지스터의 수는 회로의 종단 임피던스를 설정한다.

[0030] 또 다른 광범위한 양태에 따르면, 본 발명은 결합된 구동 및 종단을 제공하는 방법을 제공하며, 이 방법은, 종단 동작 모드에서, 가변 임피던스 풀-업 네트워크가 풀-업 네트워크 종단 임피던스를 갖도록 구성하고, 가변 임피던스 풀-다운 네트워크가 풀-다운 네트워크 종단 임피던스를 갖도록 구성하는 단계로서, 풀-업 네트워크 및 풀-다운 네트워크는 결합하여 스플리트 종단으로서 기능하는, 상기 구성하는 단계; 구동 동작 모드에서, 하이 출력을 구동하기 위해 풀-업 네트워크가 제 1 구동 임피던스를 발생시키도록 구성하는 단계; 구동 동작 모드에서, 로우 출력을 구동하기 위해 풀-다운 네트워크가 제 2 구동 임피던스를 발생시키도록 구성하는 단계를 포함한다.

[0031] 몇몇 실시형태에서, 이 방법은 종단 모드와 구동 모드 사이에서 동작 모드를 선택하는 단계를 더 포함한다.

[0032] 몇몇 실시형태에서, 풀-업 네트워크가 풀-업 종단 임피던스를 갖도록 구성하는 단계는, 풀-업 네트워크를 형성하는 복수의 트랜지스터 중 몇몇 개의 트랜지스터를 선택적으로 턴온하는 단계를 포함하고, 풀-다운 네트워크가 풀-다운 종단 임피던스를 갖도록 구성하는 단계는, 풀-다운 네트워크를 형성하는 복수의 트랜지스터 중 몇몇 개의 트랜지스터를 선택적으로 턴온하는 단계를 포함한다.

[0033] 몇몇 실시형태에서, 이 방법은, 풀-업 종단 임피던스, 풀-다운 종단 임피던스, 제 1 구동 임피던스 및 제 2 구동 임피던스를 교정하기 위한 교정을 수행하는 단계를 더 포함한다.

[0034] 몇몇 실시형태에서, 교정을 수행하는 단계는, 데이터 출력이 로직 하이인 경우 구동 모드에 대한 풀-업 네트워크를 교정하는 단계; 데이터 출력이 로우인 경우 구동 모드에 대한 풀-다운 네트워크를 교정하는 단계; 종단 모드에 대한 풀-업 네트워크를 교정하는 단계; 및 종단 모드에 대한 풀-다운 네트워크의 교정을 교정하는 단계를 포함한다.

[0035] 몇몇 실시형태에서, 교정을 수행하는 단계는, 데이터 출력이 로직 하이인 경우 구동 모드에 대한 풀-업 네트워크를 교정하여 제 1 교정 결과를 생성하는 단계, 데이터 출력이 로직 로우인 경우 제 1 교정 결과를 이용하여 구동 모드에 대한 풀-다운 네트워크를 교정하는 단계, 종단 모드에 대한 풀-업 네트워크를 교정하여 제 2 교정 결과를 생성하는 단계; 제 2 교정 결과를 이용하여 종단 모드에 대한 풀-다운 네트워크를 교정하는 단계를 포함한다.

도면의 간단한 설명

[0036] 이제, 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다.

도 1 은 본 발명의 일 실시형태에 의해 제공된 셀 아키텍처와 종래의 셀 아키텍처를 비교하는 플로어이다.

도 2a 는 본 발명의 일 실시형태에 의해 제공된 병합된 온 칩 구동/온 다이 종단의 블록도이다.

도 2b 는, 퀘드 데이터 레이트 애플리케이션에 적합한, 본 발명의 일 실시형태에 의해 제공된 병합된 온 칩 구동/온 다이 종단의 블록도이다.

도 2c 는 교정이 어떻게 수행될 수 있는지를 나타내는 회로도이다.

도 2d 는 DDR3 애플리케이션에 적합한, 본 발명의 일 실시형태에 의해 제공된 병합된 온 칩 구동/온 다이 종단의 블록도이다.

도 3 은 본 발명의 일 실시형태에 의해 제공된 I/O 셀 아키텍처의 상세 블록도이다.

도 4a 는 도 3 의 코어 로직 기능성의 논리도이다.

도 4b 는 도 4a 의 논리도에 대한 진리표이다.

도 5 는 결합된 구동 및 종단을 제공하는 방법의 흐름도이다.

도 6 은 도 5 의 방법을 교정하는 제 1 방법의 흐름도이다.

도 7 은 도 5 의 방법을 교정하는 제 2 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0037] 이제, 도 1 을 참조하면, 2 개의 상이한 DDR 입력/출력 (I/O) 셀 아키텍처의 플로어플랜이 도시된다. 코어 인터페이스 로직 (10), 레벨 변환기 및 입력 버퍼 (12), 프리-드라이버 (14), 온-다이 종단 (ODT; 16), 오프-칩 구동 (OCD; 18), 정전기적 방전 (ESD) 클램프 다이오드 (20) 및 본드/프로브 패드 (22) 를 포함하는 종래의 셀 아키텍처가 전체적으로 30 으로 표시되어 있다. 예를 들어, 2008 년 4 월, DDR2 SDRAM 규격, JESD79-2E (JESD79-2D 의 개정) 의 Jedec 표준을 참조한다.

[0038] 또한, 코어 (10), 레벨 변환기 및 입력 버퍼 (12), 프리-드라이버 (14), ESD (20) 및 패드 (22) 가 있는 본 발명의 일 실시형태에 의해 제공되는 셀 아키텍처가 전체적으로 32 로 표시되어 있다. 그러나, 이 실시형태에서는, 온-다이 종단 (16) 과 오프-칩 구동 (18) 가 분리된 컴포넌트가 아니며, 오히려 결합된 온-다이 종단/오프-칩 구동 (ODC/ODT; 34) 이 제공된다.

[0039] 도 1 의 셀 I/O 아키텍처는, SDRAM 메모리 디바이스와 같은 메모리 디바이스에 접속된 메모리 제어기의 I/O 로서 이용되는 것이 고려되는 한편, I/O 아키텍처는 실제 메모리 디바이스 자체와 같은 디바이스에서 다른 애플리케이션 및 예를 들어, CPU, FPGA, 제어기, 메모리 등을 포함하는 임의의 고속 CMOS 칩-투-칩 상호접속부를 발견할 수도 있다.

[0040] 종래의 아키텍처 (30) 에서는, 가능한 구현 특정 치수의 예시적 세트에서, 전체 높이 260 μm 및 폭 40 μm 인 분리된 ODT 및 OCD 가 존재한다. ODT (16) 는 통상적으로 저항기를 이용하여 구현되고, OCD (18) 는 통상적으로 트랜지스터를 이용하여 구현된다.

[0041] 새로운 셀 아키텍처 (32) 에 대해, 병합된 ODT/OCD 가 존재하며, 그 결과, 가능한 구현 특정 치수의 예시적 세트에서, 셀 아키텍처는 200 μm 의 전체 높이를 갖는다. ODT 및 OCD 는 공유된 트랜지스터를 이용하여 구현된다.

[0042] 도 1 은, OCD/ODT 평선이 셀 아키텍처 내에서 구현될 수도 있는 특정예이다. 더 상세하게는, 여기서 제공된 병합된 OCD/ODT 회로는, 종단 및 구동 모두를 요구하는 임의의 셀 아키텍처 내에서 이용될 수 있다. 또 다른 실시형태에서, 병합된 OCD/ODT 회로는, 전용 종단 및 구동 평선을 갖는 셀에서 구현되고, 동일한 회로의 별개의 예가 각각에 대해 이용되어 설계 및 테스트를 단순화시킨다.

[0043] 이제, 도 2a 를 참조하면, 병합된 ODT/OCD 의 단순한 블록도가 도시되어 있다. 각각의 스위치 (50, 52) 를 통해 가변 저항 풀-다운 네트워크 (42) 에 접속된 가변 저항 풀-업 네트워크 (40) 가 도시되어 있다. 폐쇄된 경우의 스위치 (50) 는 풀-업 네트워크 (40) 를 I/O 패드 (46) 및 ESD 구조 (미도시) 에 접속시킨다. 스위치 (50) 는, 전체 ODT/OCD 풀-업 네트워크에 대한 동적 온/오프 제어를 제공하는 입력 (41) 을 갖는다. 폐쇄된 경우의 스위치 (52) 는 풀-다운 네트워크 (42) 를 I/O 패드 (46) 및 ESD 구조에 접속시킨다. 유사하게, 스위치 (52) 는, 전체 ODT/OCD 풀-다운 네트워크에 대한 동적 온/오프 제어를 제공하는 입력 (43) 을 갖는다. 제어 (41) 는 ODT 및 OCD 기능성 각각에 대한 풀-업 네트워크를 고속으로 온 및 오프로 턴할 수 있게 한다. 유사하게, 제어 (43) 는 ODT 및 OCD 기능성 각각에 대한 풀-다운 네트워크를 고속으로 온 및 오프로 턴할 수 있게 한다. 제 1 및 제 2 온/오프 제어 (41, 43) 는, 출력을 생성하거나 입력을 수신하기 위해, 풀-업 및 풀-다운 저항 네트워크를 온 또는 오프로 동적으로 스위칭한다. 통상적으로, 패드 (46) 는 PCB 트레이스를 통해 SDRAM (미도시) 과 같은 메모리 디바이스에 접속된다. 풀-업 네트워크 (40) 는, ODT 및 OCD 각각에 대한 임피던스 제어 입력을 제공하는 제어 입력 (48) 을 갖는다. 풀-다운 네트워크 (42) 는, ODT 및 OCD 각각에 대한 임피던스 제어를 제공하는 제어 입력 (53) 을 갖는다. 또한, 입력 버퍼 (51) 가 도시되어 있다. 입력 버퍼는 패드 (46) 로부터 신호를 수신하여, 이를 수신기 회로 (미도시) 를 통해 코어 (미도시) 쪽으로 전달하도록 접속된다. 가변 저항 네트워크 (40, 42) 모두는 주로 가변 저항을 갖는 트랜지스터 네트워크이다. 몇몇 실시형태에서, 이 가변 저항 네트워크는, 회로의 인 및 아웃으로 스위칭되어 그에 따라 회로의 온 저항을 변경할 수 있는 일 세트의 트랜지스터로 구성된다. 네트워크의 오프 저항은 오직 누설 전류만을 나타내는 실질적인 개방 회로의 저항이다. 몇몇 실시형태에서, 제 1 및 제 2 저항 제어 (48, 53) 는,

일단 특정한 교정된 저항에 대해 상태가 설정되면, 그 저항 네트워크에 대한 동작 조건이 저항을 현저하게 변경 시키지 않는한 상태가 다시 변할 필요가 없는 준정적 (quasi-static) 제어이다. 재교정시에는, 저항 제어의 상태가 변경되어, 상이한 동작 조건에 대한 원하는 저항을 달성할 수 있다.

[0044] ODT 모드에서의 평선에 대해, 제 1 및 제 2 온/오프 제어 (41, 43) 는 풀-업 네트워크 (40) 및 풀-다운 네트워크 (42) 를 각각 턴온시킨다. 또한, 임피던스 제어 입력 (48, 53) 은, 풀-업 네트워크 (40) 및 풀-다운 네트워크 (42) 의 저항을 종단에 대해 교정된 값으로 설정하는데 이용된다. 수신된 신호는 패드 (46) 를 통해 입력되고, 입력 버퍼 (51) 를 통해 전달되고, 회로의 나머지 부분들 (미도시) 로 전달된다. 풀-업 네트워크 및 풀-다운 네트워크 모두에서의 트랜지스터들을 동시에 턴온함으로써, 출력 드라이버는 스플리트 종단 저항기 네트워크의 임피던스 거동을 생성하는데 이용될 수 있다. 즉, 제어기의 출력 트랜지스터가 입력 신호를 종단하는데 이용될 수 있다.

[0045] OCD 모드에서의 평선에 대해, 로직 하이가 출력될 경우, 제어 입력 (41, 43) 은 풀-업 네트워크 (40) 를 턴온시키고, 풀-다운 네트워크 (42) 를 턴오프시킨다. 또한, 임피던스 제어 (48) 는, 풀-업 네트워크 (40) 의 저항을 구동을 위한 풀-업 네트워크에 대한 교정된 값으로 설정하는데 이용된다. 로직 로우가 출력될 경우, 제어 입력 (41, 43) 은 풀-다운 네트워크 (42) 를 턴온하고, 풀-업 네트워크 (40) 를 턴오프한다. 또한, 임피던스 제어 입력 (53) 은, 풀-다운 네트워크의 저항을 구동을 위한 풀-다운 네트워크에 대한 교정된 값으로 설정하는데 이용된다. OCD 동작과 ODT 동작은 서로 배타적임을 유의해야 한다.

[0046] 쿼드 데이터 레이트 (QDR) SRAM (static random access memory) 은 독립된 입력 및 출력 패드를 갖는 SRAM 타입이다. 공통 I/O 셀 설계의 개별적 인스턴스가 입력 및 출력 모두에 이용되어 설계를 단순화할 수 있기 때문에, 병합된 ODT/OCD 는 이러한 디바이스로의 접속을 위해 애플리케이션을 여전히 발견할 수 있다. 이 경우, 소정의 병합된 ODT/OCD 인스턴스는 ODT 또는 OCD 가 되도록 영속적으로 구성될 것이다. 도 1 과 유사한 병합된 ODT/OCD 평선이 전기적 경로를 통해 QDR SRAM 과 통신하는 쿼드 데이터 레이트 (QDR) SRAM 제어기에 이용되는 특정예를 도시한다. 도시된 예에서, 전기적 경로는, 제어기로부터 SRAM 까지, 제어기의 칩 본드패드 (80), 제어기의 패키지 리드 (82), 볼 (84), 회로 보드 트레이스 (86), 또 다른 볼 (88), SRAM 의 패키지 리드 (90) 및 SRAM 의 칩 본드 패드 (92) 를 포함한다. 회로 보드 트레이스 (86) 가 전기적 경로의 다른 모든 엘리먼트들보다 현저하게 더 길다는 점에서, 이 도면은 정확한 축척으로 도시되지는 않았다. 전기적 경로는 완전한 상호접속 노드로서 동작하지는 않고, 그 결과 몇몇 기생 저항, 인덕턴스 및 커페시턴스가 그 전기적 경로와 연관되어, 고속 신호들이 심각한 송신 라인 효과에 종속될 수 있다. 도시되지는 않았지만, 적어도 ODT 에 이용되는 회로의 예에서 부가적인 수신 회로 (예를 들어, 수신기 버퍼 등) 가 존재할 것임을 유의해야 한다.

[0047] 출력 임피던스는, 턴온된 QDR 출력 드라이버에서의 트랜지스터의 수에 관련되어 역으로 변한다. 도 2b 를 참조하면, 통상적으로 적어도 몇몇 개 (예를 들어, 16 개) 의 NMOS 트랜지스터 (43) 가 풀-업 네트워크 (40) 에 존재할 것이고, 유사한 수의 NMOS 트랜지스터 (45) 가 풀-다운 네트워크 (42) 에 존재할 것이다. 몇몇 구현 예에서는, 네트워크 A 및 B 모두의 트랜지스터들이 동일한 타입 (이 경우에는 NMOS) 이고, 설계시에 교정 전압 ($V_o=V_{DDQ}/2$) 에서 동일한 풀-업 및 풀-다운 임피던스를 제공하도록 사이징되었기 때문에, 교정을 위해 오직 풀-업 네트워크 (40) 만 턴온될 필요가 있다.

[0048] 도 2c 를 참조하면, 동일한 타입의 트랜지스터로 형성된 풀-업 네트워크 및 풀-다운 네트워크를 갖는 회로에서 교정이 어떻게 수행될 수 있는지에 대한 예시적인 모델이 도시되어 있다. 교정을 위해 I/O 셀의 복제가 이용된다. 풀-업 네트워크는 R_{PU} (200) 로서 도시되어 있고, 풀-다운 네트워크는 R_{PD} (202) 로 도시되어 있다.

R_{PU} 가 항상 접속되고, R_{PD} 가 항상 접속해제되도록 스위칭이 구성된다. 이것은 단일 스위치 (203) 로서 도시되어 있지만, 도 2a 의 스위치 (50, 52) 와 등가인 한 쌍의 스위치를 이용하여/이용하거나 가변 저항 풀-업 및 풀-다운 네트워크를 구현하는 트랜지스터를 이용하여 또한 구현될 수 있고, R_{PU} 의 접속은 도 2a 의 스위치 (50) 가 개방되고 스위치 (52) 가 폐쇄된 것과 등가이다. 복제 회로는 패드 (204) 를 통해, 도시된 예에서 50 음인 기준 저항 R_{ZQ} 에 접속된다. 복제 회로의 출력 (201) 은 또한 아날로그 비교기 (206) 의 일 입력에 접속된다. 아날로그 비교기 (206) 는, 도시된 예에서는 $V_{DDQ}/2$ 로 설정된 기준 전압에 접속된 제 2 입력 (203) 을 갖는다. 아날로그 비교기 (206) 의 출력 Z_{COMP} (208) 는, 회로의 출력 (201) 이 기준 전압 (203) 보다 작은 경우 로우이고, 회로의 출력 (201) 이 기준 전압 (203) 보다 큰 경우 하이이다. 출력 Z_{COMP}

(208) 는, 출력 V_0 (201) 가 기준 전압 (202) 과 동등한 경우 미화정이다. 출력 임피던스를 교정하기 위해, R_{PU} (200) 는, Z_{COMP} (208) 이 "0" 으로부터 "1" 로 스위칭할 때까지 (회로 구성을 변경함으로써, 예를 들어, 저항에 기여하는 트랜지스터의 수를 변경함으로써) 변한다. 이 경우, 출력 전압은 기준 전압을 초과하게 되고, 회로 구성은 실제 I/O 셀의 출력 임피던스를 설정하는데 이용되는 것과 동일해진다. 출력 V_0 (201) 가 $V_{DDQ}/2$ 에 매우 근접한 경우, 풀-업 저항은, 동일한 전류를 갖는 각각의 저항을 통한 동일한 전압에 기인하여 교정 저항 R_{ZQ} 의 저항값에 매우 근접하게 된다.

[0049] 몇몇 실시형태에서, 아날로그 비교기 (206) 는 DDR 입력 버퍼를 이용하여 구현된다. 이러한 버퍼는, 정확도 또는 이득보다 속도를 위해 설계된 특수한 아날로그 비교기이다. 이러한 아날로그 비교기의 출력은 디지털이고, 아날로그 입력의 상대적 값에 따라 일로직 레벨로부터 다른 레벨로 급격히 스위칭하도록 설계된다.

[0050] 예를 들어, 출력 임피던스를 도 2c 에 도시된 50Ω 의 저항에 매칭하도록 교정하기 위해, 턴온된 트랜지스터의 수는, 출력 V_0 (201) 가 가능한 한 $V_{DDQ}/2$ 에 근접하면서 $V_{DDQ}/2$ 보다 커질 때까지 기준 드라이버 풀-업 네트워크의 풀-업 트랜지스터의 게이트에 인가된 선택/인에이블 신호를 변경함으로써 점진적으로 변할 수 있다. QDR 출력 드라이버에 대한 적합한 교정은 이러한 설정일 것이고, 기준 QDR 출력 드라이버가 설정되면, 그 교정 기준 드라이버 설정을 공유하는 모든 QDR 드라이버에서 정확한 수의 출력 드라이버 트랜지스터 (X) 가 정규 동작 동안 턴온될 것이다. 예를 들어, 라인이 하이로 구동되는 경우, 풀-업 네트워크에서 X 가 16 인 트랜지스터들이 턴온될 것이고, 라인이 로우로 구동되는 경우, 풀-다운 네트워크에서 X 가 16 인 트랜지스터들이 턴온될 것이다.

[0051] 도 2b 의 풀-업 네트워크 및 풀-다운 네트워크 모두는 n-타입 트랜지스터로 형성된다. 이것은 특히 QDR 애플리케이션에 적합하다. 전술한 바와 같이, 이것은, 단순화된 교정이 수행될 수 있게 한다. 더 상세하게는, 동일한 타입의 트랜지스터들로 형성된 풀-업 네트워크 및 풀-다운 네트워크를 특징으로 하는 임의의 구현에서, 풀-업 네트워크 및 풀-다운 네트워크에 대해 교정값이 동일한 것이기 때문에, ODT 및 OCD 각각에 대해 풀-업 및 풀-다운 네트워크 중 오직 어느 하나만 교정될 필요가 있다.

[0052] 도 2a 및 2b 의 예에서, 풀-업 네트워크는, 그 풀-업 네트워크를 인에이블시키는 스위칭 엘리먼트와 별개로 도시되어 있고, 풀-다운 네트워크는 그 풀-다운 네트워크를 인에이블시키는 스위칭 엘리먼트와 별개로 도시되어 있다. 그러나, 몇몇 실시형태에서, 스위칭 기능은, 풀-업 및 풀-다운 네트워크의 일부를 형성하는 트랜지스터들에 의해 구현된다.

[0053] DDR3 제어기에 대한 출력 드라이버의 일례가 도 2d 에 도시되어 있다. DDR3 출력 드라이버는 도 2b 에 도시된 QDR 제어기 출력 드라이버와 다소 유사하지만, 풀-업 네트워크 (40) 는 NMOS 트랜지스터보다는 PMOS 트랜지스터 (47) 로 구성된다. 때문에, PMOS 트랜지스터와 NMOS 트랜지스터는 상이한 저항 특성을 가질 수도 있기 때문에, 풀-업 네트워크 및 풀-다운 네트워크의 교정은 별개로 수행될 필요가 있다. 또한, ODT 모드 동작을 위한 수신 버퍼 (미도시) 가 존재한다. DDR3 에 의해, 상호 배타적 시간 동안 각각의 I/O 가 입력 및 출력 모드 모두로 기능한다.

[0054] 풀-업 네트워크 및 풀-다운 네트워크 모두에서의 트랜지스터들을 동시에 턴온함으로써, 스플리트 종단 저항 네트워크의 임피던스 거동을 생성하도록 DDR3 출력 드라이버가 이용될 수 있다. 즉, DDR3 제어기의 출력 트랜지스터들은 입력 신호를 종단하는데 이용될 수 있다.

[0055] 이제, 도 1 의 셀 아키텍처 (32) 에 따르는 I/O 셀 아키텍처의 상세한 구현을 도 3 을 참조하여 설명한다. 이하 설명하는 바와 같이, 도 3 의 회로는, 테스트 목적인 테스트 입력 및 정규의 입력을 포함하는 것으로 도시되어 있다. 테스트 입력 및 그에 대응하는 회로는 이 회로의 정규의 동작에 영향을 주지 않으면서 생략될 수 있음을 이해해야 한다. 도 1 의 엘리먼트와 공통되는 엘리먼트는 유사하게 넘버링하였다. 더 상세하게는, 이 회로는 코어 로직 (10), 레벨 변환기 (12), 프리-드라이버 (14), 풀-업 p-타입 트랜지스터 $P<15:0>$ (110) 및 풀-다운 n-타입 트랜지스터 $N<15:0>$ (112) 를 포함하는 결합된 OCD/ODT 트랜지스터 (34), ESD 클램프 다이오드 (116) 및 ESD 클램프 다이오드 (118) 로 구성된 ESD (20), 및 패드 (120) 를 포함하는 것으로 도시되어 있다. 이 예에서, 프리-드라이버 (14) 는, 16 개의 풀-업 트랜지스터 (110) 를 구동하는 16 개의 프리-드라이버 (88) 및 16 개의 풀-다운 트랜지스터 (112) 를 구동하는 16 개의 프리-드라이버 (90) 를 포함하지만, 이 숫자는 구현 특정적이다. 풀-업 트랜지스터 (110) 는 PAD 내부 네트로 라벨링된 포인트 (PADI: point labeled PAD Internal net) 에서 풀-다운 트랜지스터 (112) 에 접속된다. 또한, PADI 를 패드 (22) 에 접

속시키는 저항 R_p (117) 가 도시되어 있다. 저항 R_p 는, 출력 트랜지스터를 파괴적 ESD 효과로부터 보호하기 위해 이용되는 큰 레이아웃 영역의 확산 타입 저항이다. 이 저항은, 초과되면 트랜지스터 내의 스냅-백을 트리거링하여 트랜지스터를 손상시킬 수 있는 출력 트랜지스터로의 ESD 전류를 제한한다. 이 저항을 배치하는 것은 스냅-백이 발생하는 것을 방지한다. 저항 R_p 는 PAD ESD 구조 (20) 의 일부이다. 또한, PADI 는 (114) 에서 입력 버퍼 (미도시) 로 접속된다. 이 회로는 V_{DD} (60), V_{SS} (62), V_{DDQ} (61) 및 V_{SSQ} (63) 에 대한 접속부를 갖는다. 이 접속부들은 I/O 셀의 전력 레일 단자이다. 전력 레일은 실리콘 칩의 주변을 따라 배열된 I/O 셀에 전력을 분배하기 위해 이용되는 금속 버스이다. V_{DDQ} 는, 예를 들어, 공칭적으로, DDR1 에 대해서는 2.5V, DDR2 에 대해서는 1.8V 및 DDR3 에 대해서는 1.5V 로 설정되는 I/O 전원에 접속된다. V_{SSQ} 는 V_{DDQ} 전원에 대한 I/O 그라운드 리턴이다. V_{DD} 단자는 통상적으로, 현재의 딥-서브마이크론 기술을 위해 1.0 내지 1.2 볼트의 범위 내의 전압으로 설정된 코어 서플라이에 접속된다. V_{SS} 는 V_{DD} 전원에 대한 코어 그라운드 리턴이다. V_{SSQ} 및 V_{SS} 는 공칭적으로 모두 0.0 볼트지만, 별개의 온-다이 그라운드 네트에 있다. 2 개의 그라운드는 코어를 I/O 스위칭 잡음으로부터 분리하기 위해 별개로 존재한다.

- [0056] 코어 로직 (10) 은, SJ, DO, DJ, OE, OJ, TE 로 구성된 입력 (66) 을 수신하는 회로 (64) 를 포함한다. 이 입력들의 기능은 다음과 같다.
- [0057] SJ 는, 로우인 경우 정규의 입력 (DO 및 OE) 을 선택하고, 하이인 경우 테스트 입력 (DJ 및 OJ) 을 선택한다.
- [0058] DO 는, OE = 1 인 경우 패드에 출력되는 정규의 데이터 출력이다. 패드는, DO = 1 인 경우 하이이고, DO = 0 인 경우 로우이다.
- [0059] DJ 는, OJ = 1 인 경우 패드에 출력되는 테스트 데이터이다. 패드는, DJ = 1 인 경우 하이이고, DJ = 0 인 경우 로우이다.
- [0060] OE 는 정규의 출력 인에이블이다. OE = 1 인 경우 오프-칩 드라이버 (OCD) 는 인에이블되고, 온-다이 종단 (ODT) 은 디스에이블된다. OE = 0 인 경우, OCD 는 디스에이블되고 (삼상), ODT 는 TE = 1 이면 인에이블 된다.
- [0061] OJ 는 테스트 출력 인에이블이고, OE 와 동일한 기능을 갖는다.
- [0062] TE 는 종단 인에이블이다. 이것은, 패드 드라이버 트랜지스터가 스플리트 종단으로서 기능할 수 있게 한다. TE = 1 인 경우, 종단은, OCD 가 삼상일 때 (OE (또는 OJ) = 1) 턴온될 것이다. 이것은, 통상적으로 구동 전용 애플리케이션에 대해서는 로우일 것이고, 데이터 I/O 애플리케이션에 대해서는 하이일 것이다.
- [0063] 코어 로직 (64) 의 출력은 DPU (68), TON (70) 및 DPD (72) 를 포함하며, 그 기능은 다음과 같다.
- [0064] DPU 는 구동 풀-업 제어이다. 이것이 하이인 경우, 구동 풀-업 트랜지스터가 턴온되게 한다. 로우인 경우, 구동 풀-업 트랜지스터는 턴오프된다.
- [0065] DPD 는 구동 풀-다운 제어이다. 이것이 하이인 경우, 구동 풀-다운 트랜지스터가 턴온되게 한다. 로우인 경우, 구동 풀-다운 트랜지스터가 턴오프되게 한다.
- [0066] TON 은 종단 온 제어이다. 하이인 경우, 풀-업 및 풀-다운 트랜지스터는 함께 턴온될 수 있어서, OE 또는 OJ 가 로우가 되는 경우 스플리트 종단을 형성한다. 로우인 경우, 종단 기능은 완전하게 디스에이블되고 OE 또는 OJ 의 상태에 의해 영향받을 수 없다.
- [0067] 3 개의 출력 DPU (68), TON (70) 및 DPD (72) 는, DPU (68), TON (70) 및 DPD (72) 의 하이 전압 버전이며 I/O 프리-드라이버 (88, 90) 를 구동하는데 이용되는 DPUH (78), TONH (80), DPDH (82) 및 TONH (84) 를 생성하는 레벨 변환기 (12) 에 입력된다.
- [0068] ZIOH<63:0> 으로 지정되며 풀-업 트랜지스터 (110) 및 풀-다운 트랜지스터 (112) 를 제어하는데 이용되는 64 비트 임피던스 제어 버스가 존재한다. 임피던스 제어 버스 ZIOH 는, 도 2a 의 임피던스 제어 입력이 어떻게 구현될 수도 있는지에 대한 특정예이다. 각각의 프리-드라이버는, 임피던스 제어 버스의 특정 비트 및 이하 상세히 설명하는 바와 같은 레벨 변환된 출력 DPUH (78), TONH (80), DPDH (82) 및 TONH (84) 중 특정한 출력을 수신한다. ZIOH<63:0> 는 다음을 포함한다.
- [0069] 트랜지스터 당 1 비트를 갖는, OCD 모드에서 풀-업 트랜지스터 (110) 를 제어하는 16 비트 ZIOH<31:16>;

- [0070] 트랜지스터 당 1 비트를 갖는, ODT 모드에서 풀-업 트랜지스터 (110)를 제어하는 16 비트 ZIOH<63:48>;
- [0071] 트랜지스터 당 1 비트를 갖는, OCD 모드에서 풀-다운 트랜지스터 (112)를 제어하는 16 비트 ZIOH<15:10>; 및
- [0072] 트랜지스터 당 1 비트를 갖는, ODT 모드에서 풀-다운 트랜지스터 (112)를 제어하는 16 비트 ZIOH<47:32>.
- [0073] 각각의 프리-드라이버 (88)는, OR 게이트 (96)에 접속되는 각각의 출력을 갖는 AND 게이트 (92) 및 AND 게이트 (94)를 포함하고, OR 게이트 (96)는 각각의 반전 버퍼 (98)를 통해 피딩되는 출력을 갖고, 반전 버퍼 (98)의 출력은 풀-업 트랜지스터 (110) 중 하나의 게이트를 구동시킨다. AND 게이트 (92)는 DPUH (78)를 수신하고 (A1), ZIOH<31:16>의 비트 중 하나를 수신한다 (A2). AND 게이트 (94)는 TONH (80)를 수신하고 (B1), ZIOH<63:48>의 비트 중 하나를 수신한다 (B2).
- [0074] 유사하게, 각각의 프리-드라이버 (90)는, OR 게이트 (104)에 접속되는 각각의 출력을 갖는 AND 게이트 (100) 및 AND 게이트 (102)를 포함하고, OR 게이트 (104)는 각각의 비반전 버퍼 (106)를 통해 피딩되는 출력을 갖고, 비반전 버퍼 (106)의 출력은 풀-업 트랜지스터 (120) 중 하나의 게이트를 구동시킨다. AND 게이트 (100)는 DPDH (82)를 수신하고 (C1), ZIOH<15:0>의 비트 중 하나를 수신한다 (C2). AND 게이트 (102)는 TONH (84)를 수신하고 (D1), ZIOH<47:32>의 비트 중 하나를 수신한다 (D2).
- [0075] 프리-드라이버 (88, 90)에 구비되는 AND-OR-AND 로직은 드라이버 및 종단 임피던스의 독립적 제어를 위한 고속 멀티플렉서로서 기능한다. AND-OR-AND 로직은, 구동시에 임의의 수의 풀-업 및 풀-다운 트랜지스터가 교대로 턴온 및 턴오프될 수 있게 하고, 종단시에 임의의 수의 풀-업 및 풀-다운 트랜지스터가 함께 턴온 및 턴오프될 수 있게 한다. 프리-드라이버 로직은, ZIOH<63:0> 버스 (76)에 의해 선택되지 않은 모든 OCD/ODT 트랜지스터 (34)를 턴오프하고, 그 트랜지스터들이 스위칭되는 것을 방지한다. 오직 선택된 OCD/ODT 트랜지스터만 고속으로 스위칭한다.
- [0076] 도 3의 회로 (64)의 상세한 예시적 구현이 도 4a에 도시되어 있다. 도 3에서와 같이, (SJ, DO, DJ, OE, OJ, TE로 구성된) 입력 (66) 및 출력 DPU (68), DPD (70) 및 TON (72)이 존재한다. DO 및 DJ는, 출력 DD (204)를 생성하는 제 1 멀티플렉서 (200)로 입력된다. OE 및 OJ는, 출력 EE (206)를 생성하는 제 2 멀티플렉서로 입력된다. DD (204)는 AND 게이트 (208)의 제 1 입력에 접속되고, AND 게이트 (210)의 반전 입력에 접속되며, AND 게이트 (208)의 출력은 DPU (68)이다. EE (206)는 AND 게이트 (208)의 제 2 입력에 접속되고, AND 게이트 (210)의 제 2 입력에 접속되며, AND 게이트 (210)의 출력은 DPD (70)이다. 또한, EE (206)는 AND 게이트 (212)의 제 1 반전 입력에 접속된다. TE는 AND 게이트 (212)의 제 2 입력에 접속되며, AND 게이트 (212)의 출력은 TON (72)이다.
- [0077] 일반적으로, DPU, DPD 및 TON이 SJ, DO, DJ, OE, OJ 및 TE의 함수로서 어떻게 발생되는지를 나타내는, 회로 (64)에 대한 진리표가 도 4b에 도시되어 있다.
- [0078] 프리-드라이버 (88, 90)는 레벨 변환된 DPUH, TONH, TPDH의 함수로서 동작한다. 정규의 동작 (SJ = 0)은, 그와 유사한 테스트 동작에 반대되는 것으로 설명한다.
- [0079] OCD 모드
- [0080] OCD 모드 동작에서, OE는 하이가 되어 출력을 인에이블할 것이다. TE의 상태는 OE가 하이인 한 무관하다. DO는, 임의의 소정의 순간에 0 또는 1이 되어, 발생될 출력을 반영할 것이다. DO가 1이면 (행 216, 217), 풀-업 트랜지스터 (110)의 각각의 트랜지스터는 ZIOH<31:16>의 각각의 '1'에 대해 프리-드라이버 (88)에 의해 턴온된다. 유사하게, DO가 0이면 (행 218, 219), 풀-다운 트랜지스터 (112)의 각각의 트랜지스터는 ZIOH<15:0>의 각각의 '1'에 대해 턴온된다.
- [0081] ODT 모드
- [0082] ODT 모드를 활성화시키는 유일한 입력 세트는: OE가 로우가 되어 출력을 디스에이블시킬 것이고, TE = 1이 되어 ODT를 인에이블시킬 것이다 (TON = 1). 이것은 진리표 (214)의 행 (220)이다. TON이 1이면, 풀-업 트랜지스터 (110)의 각각의 트랜지스터는 ZIOH<63:48>의 각각의 '1'에 대해 프리-드라이버에 의해 턴온되고, 풀-다운 트랜지스터 (112)의 각각의 트랜지스터는 ZIOH<47:32>의 각각의 '1'에 대해 턴온된다.
- [0083] 교정
- [0084] 몇몇 실시형태에서, ODT 및 OCD 모드에 사용할 적절한 수의 트랜지스터를 식별하고, 더 상세하게는 각각의 모드에 대해 얼마나 많은 풀-업 및/또는 풀-다운 트랜지스터가 턴온되는지를 식별하기 위해 교정 메커니즘이 제공된다.

다. 몇몇 실시형태에서, 교정은 주기적으로 디바이스 동작 동안 동적으로 수행되어, 동작 조건의 변경 하에서의 조정을 허용한다.

[0085] 몇몇 실시형태에서, 다음과 같은 4 단계의 교정이 수행된다.

1) N 디바이스 출력 임피던스 교정 - 이것은, DO 가 0 인 경우, OCD 모드에 대해 얼마나 많은 n-타입 트랜지스터 (112) 가 인에이블되는지를 결정한다.

2) P 디바이스 출력 임피던스 교정 - 이것은, DO 가 1 인 경우, OCD 모드에 대해 얼마나 많은 p-타입 트랜지스터 (110) 가 인에이블되는지를 결정한다.

3) N 디바이스 종단 교정 - 이것은, ODT 에 대해 얼마나 많은 n-타입 트랜지스터 (112) 가 인에이블되는지를 결정한다.

4) P 디바이스 종단 교정 - 이것은, ODT 모드에 대해 얼마나 많은 p-타입 트랜지스터 (110) 가 인에이블되는지를 결정한다.

[0089] 더 일반적으로, 풀-업 네트워크 교정 및 풀-다운 네트워크 교정은 유사한 방식으로 수행될 수 있다. 설명된 회로들은 대부분 핀 단위로 복제된다. 그러나, 몇몇 실시형태에서는, 교정이 핀 단위로 수행되지 않는다.

오히려, 동일한 교정 결과가 모든 핀에 적용될 수 있을 것이라는 기대에 의해 교정은 한번 수행된다. 이 기대는, 다수의 핀에 대해 결합된 OCD/ODT 가 이용되는 트랜지스터가 동일한 집적 회로의 일부가 되어 유사한 특성을 가지는 경우 타당하다. 몇몇 실시형태에서, 모든 I/O 의 교정을 위해 결합된 OCD/ODT 의 복제본이 이용된다.

[0091] 결합된 OCD/ODT 에 포함된 트랜지스터의 수는, 원하는 범위의 프로그래밍 가능성의 함수 및 트랜지스터의 저항성/구동 특성의 함수로서 선택될 수 있다. 몇몇 실시형태에서는, 30 옴 내지 90 옴의 프로그래밍 가능성 범위를 제공하는 일 세트의 트랜지스터가 이용되지만, 물론 이것은 구현 특정적이다.

[0092] 몇몇 실시형태에서, 제어기는 그레이 코드를 이용하는 저항을 인코딩하고, 그 후, 그레이 코드는 온도계 코드 출력으로 변환된다. 온도계 코드의 각각의 코드워드는 단일 세트의 제로 또는 더 많은 0 에 후속하는 단일 세트의 제로 또는 더 많은 1 을 가져서 코드워드를 채운다. 이러한 온도계 코드를 이용하는 것은, 연속된 트랜지스터 (풀-업 또는 풀-다운) 의 세트가 인에이블되는 것을 보장한다. 특정한 예에서, 16 개의 가능한 치환 중 하나를 나타내기 위해 4-비트 그레이 코드가 이용되며, 이것은 트랜지스터 당 1 비트를 포함하는 16 비트 온도계 코드로 변환된다. 임피던스 코드 ($ZIOH<63:0>$) 가 변경되는 동안 드라이버 출력 상에 글리치가 발생하는 것을 방지하기 위해, 바이너리-투-온도계 방식보다 그레이-투-온도계 디코딩 방식이 이용될 수 있다.

[0093] 설명한 예시들 모두는 결합된 OCD/ODT 회로에 관련된다. 더 상세하게는, 결합된 구동 및 종단을 제공하는 회로가 제공된다.

[0094] 도 5 는 결합된 구동 및 종단을 제공하는 방법의 흐름도이다. 이 방법은, 종단 동작 모드에서, 가변 저항 풀-업 네트워크가 풀-업 네트워크 종단 저항을 갖도록 구성하고, 가변 저항 풀-다운 네트워크가 풀-다운 네트워크 종단 저항을 갖도록 구성하고, 풀-업 네트워크와 풀-다운 네트워크가 결합되어 스플리트 종단으로서 기능하는 단계 5-1 에서 시작한다. 단계 5-2 에서는, 구동 동작 모드에서, 하이 출력을 구동하기 위해, 풀-업 네트워크가 제 1 구동 임피던스를 발생시키도록 구성한다. 단계 5-3 에서는, 구동 동작 모드에서, 로우 출력을 구동하기 위해, 풀-다운 네트워크가 제 2 구동 임피던스를 발생시키도록 구성한다. 도 5 의 단계들의 실행 순서는 구동 및 종단의 순서 모두에 의존할 것이 명백하며, 구동 모드 동안 구동되는 데이터에 의존할 것이다.

[0095] 도 6 은 도 5 의 방법을 교정하는 제 1 방법의 흐름도이다. 이 방법은, 데이터 출력이 로직 하이인 경우 구동 모드에 대한 풀-업 네트워크를 교정하는 단계 6-1 에서 시작한다. 이 방법은, 데이터 출력이 로직 로우인 경우 구동 모드에 대한 풀-다운 네트워크를 교정하는 단계 6-2 에서 계속된다. 이 방법은, 종단 모드에 대해 풀-업 네트워크를 교정하는 단계 6-3 에서 계속된다. 이 방법은, 종단 모드에 대해 풀-다운 네트워크를 교정하는 단계 6-4 에서 계속된다.

[0096] 도 7 은 도 5 의 방법을 교정하는 제 2 방법의 흐름도이다. 이 방법은, 데이터 출력이 로직 하이인 경우 구동 모드에 대해 풀-업 네트워크를 교정하는 제 1 교정 결과를 생성하는 단계 7-1 에서 시작한다. 이 방법은, 데이터 출력이 로직 하이인 경우 제 1 교정 결과를 이용하여 구동 모드에 대한 풀-다운 네트워크를 교정하는 단계 7-2 에서 계속된다. 이것은, 풀-다운 네트워크 및 풀-업 네트워크에 이용된 트랜지스터가 동일

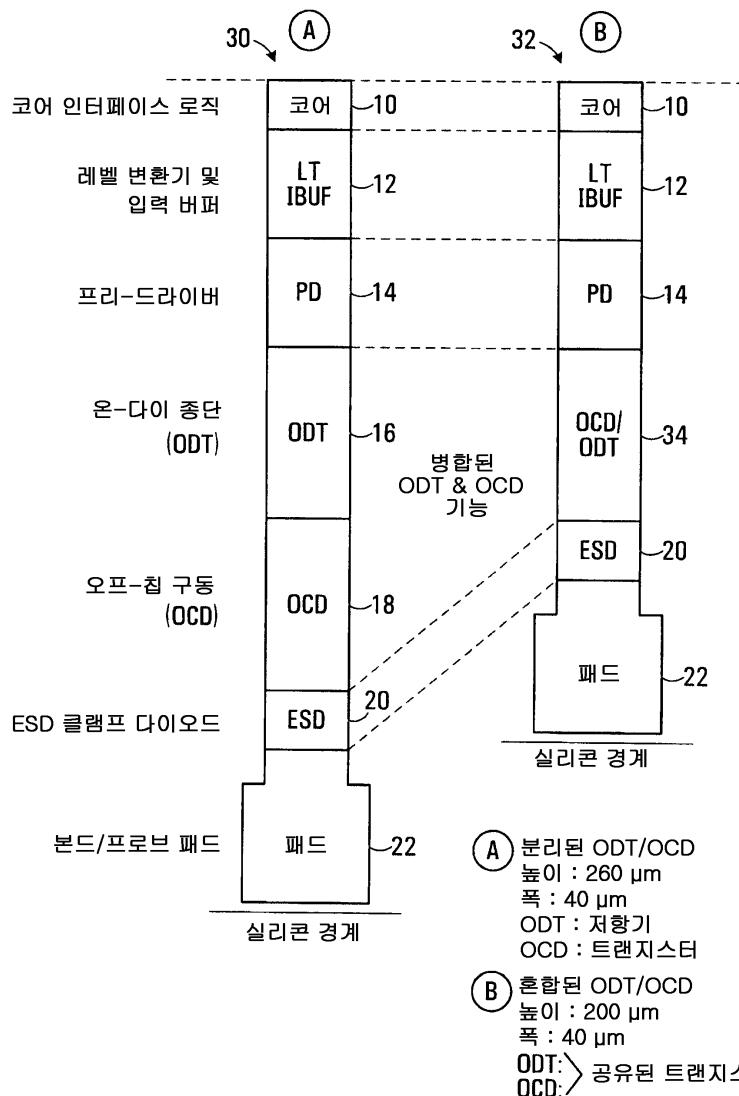
한 프로세스를 이용하여 형성되어, 그 모두에 대해 이러한 동일한 교정이 이용될 수 있음을 가정한다. 이 방법은, 종단 모드에 대해 풀-업 네트워크를 교정하여 제 2 교정 결과를 생성하는 단계 7-3에서 계속된다. 이 방법은, 제 2 교정 결과를 이용하여 종단 모드에 대해 풀-다운 네트워크를 교정하는 단계 7-4에서 계속된다.

[0097] 설명한 실시형태들은 가변 저항 풀-업 네트워크, 가변 저항 풀-다운 네트워크, 종단 저항 및 저항 기준을 참조 한다. 더 상세하게는, 실시형태들은 가변 임피던스 풀-업 네트워크, 가변 임피던스 풀-다운 네트워크, 종단 임피던스 및 종단 레퍼런스를 이용할 수도 있다.

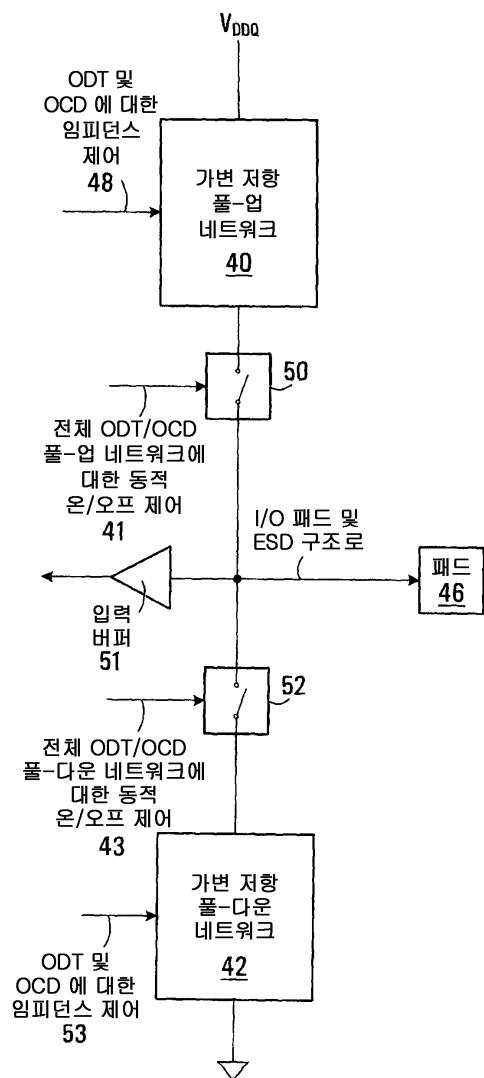
[0098] 본 발명의 다수의 변형에 및 변경예들이 전술한 교시의 관점에서 가능하다. 따라서, 첨부한 청구항의 범주 내에서, 본 발명은 여기서 상세히 설명한 것과 다르게 실시될 수도 있음을 이해해야 한다.

도면

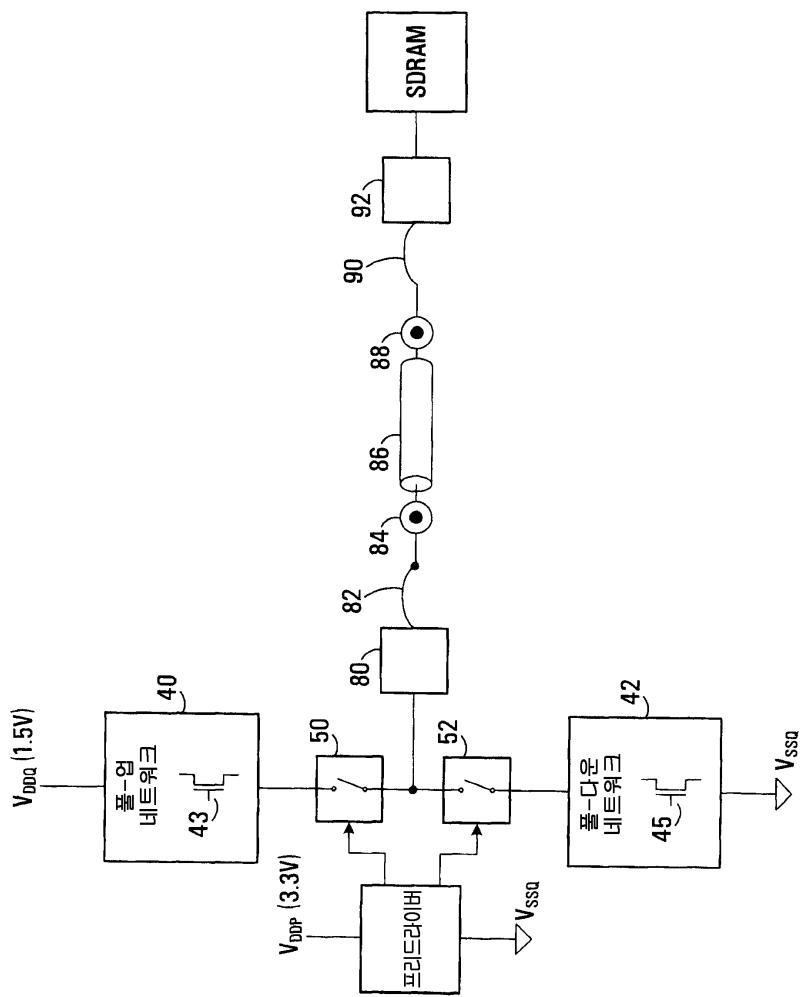
도면1



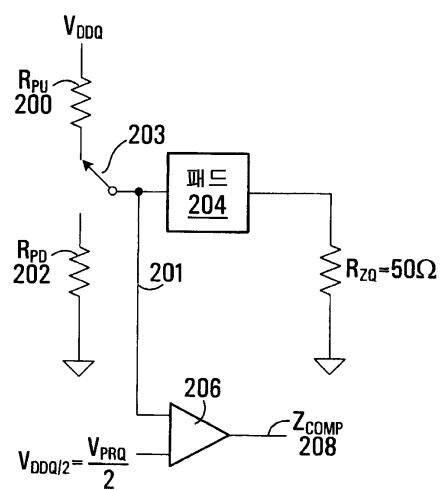
도면2a



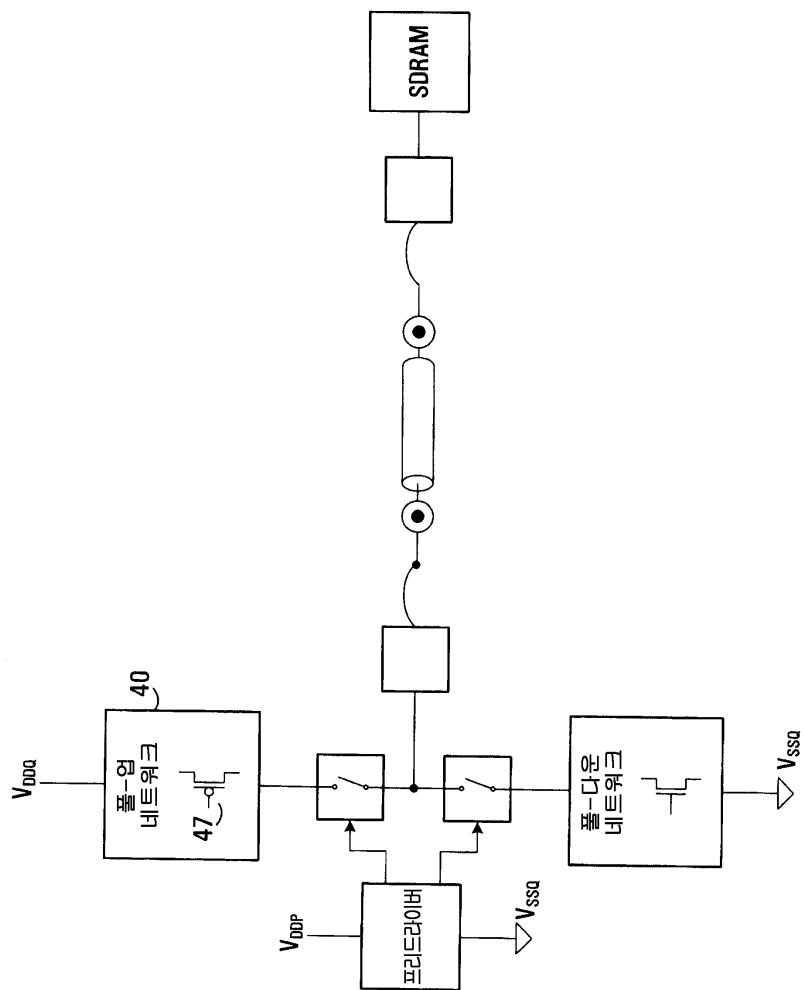
도면2b



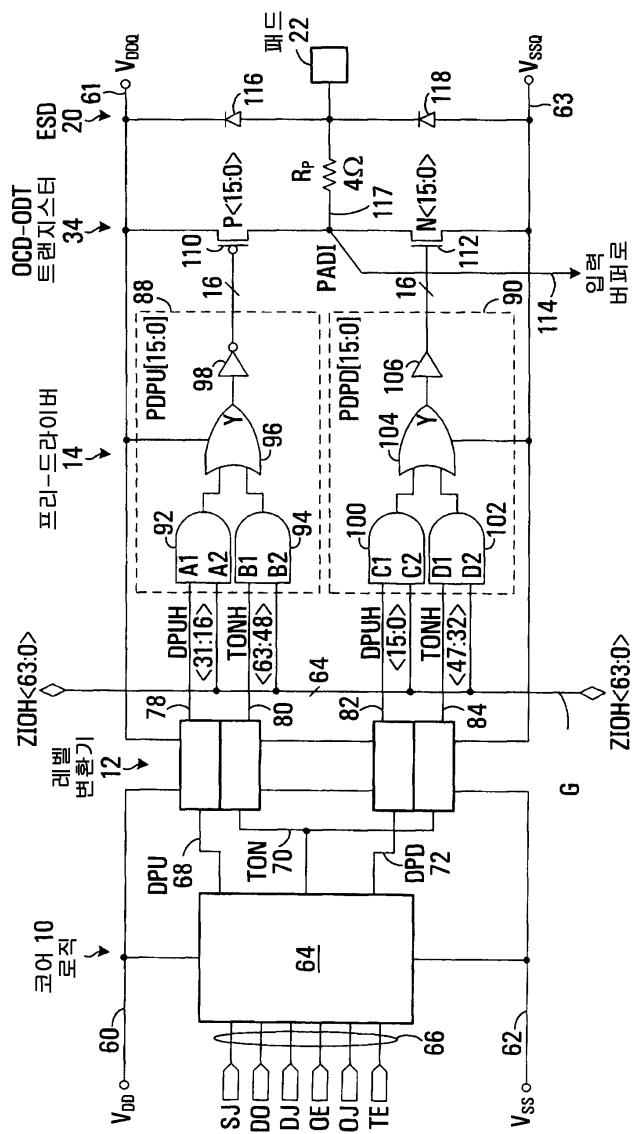
도면2c



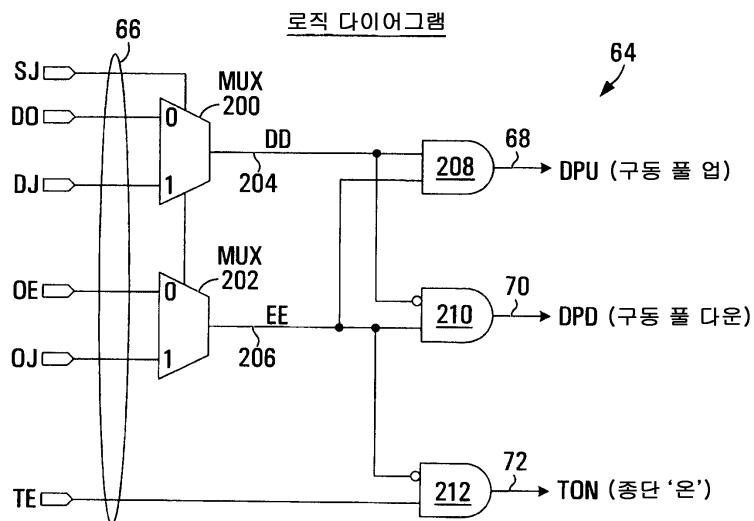
도면2d



도면3



도면4a

코어 로직 기능성드라이버/종단 제어

도면4b

진리표

214

SJ	입력					출력			패드에서의 효과	모드
	DO	DJ	OE	OJ	TE	DPU	DPD	TON		
0	X	X	0	X	0	0	0	0	플로팅	정규의 고속
	0	X	1	X	0	0	1	0	드라이버 로우	
	1	X	1	X	0	1	0	0	드라이버 하이	
	X	X	0	X	1	0	0	1	종단 '온'	테스트
	0	X	1	X	1	0	1	0	드라이버 로우	
	1	X	1	X	1	1	0	0	드라이버 하이	
1	X	X	X	0	0	0	0	0	플로팅	테스트
	X	0	X	1	0	0	1	0	드라이버 로우	
	X	1	X	1	0	1	0	0	드라이버 하이	
	X	X	X	0	1	0	0	1	종단 '온'	
	X	0	X	1	1	0	1	0	드라이버 로우	
	X	1	X	1	1	1	0	0	드라이버 하이	

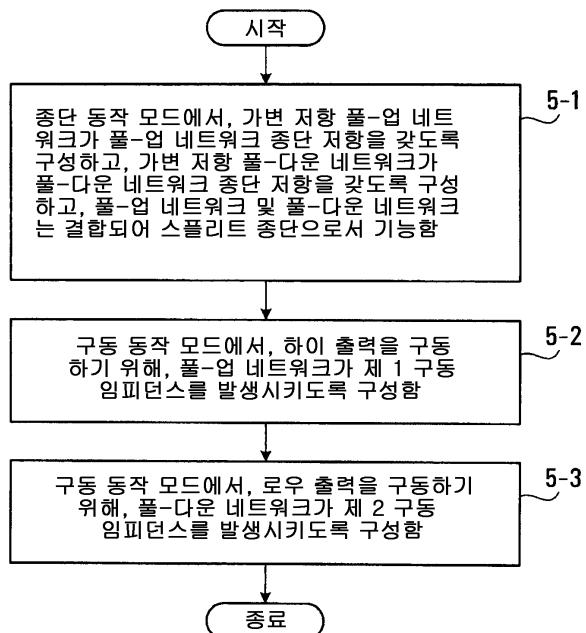
로직 상태 X, 0, 1:

X - “무관함” 입력; 출력을 결정하지 않음

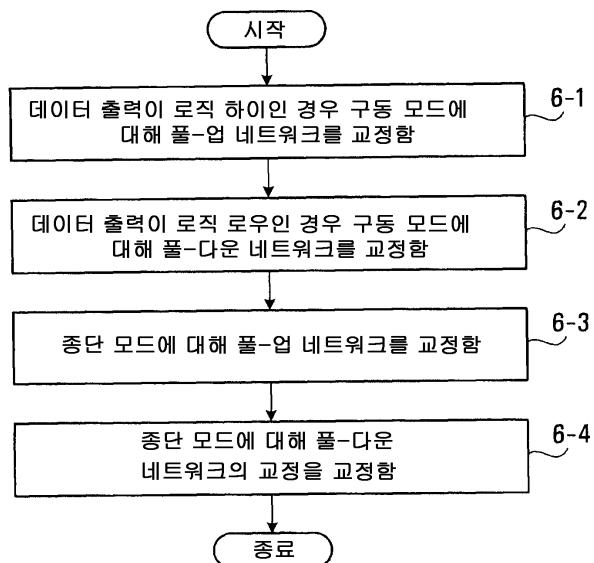
0 - 거짓; 0; 로우; 함수 디-어서트

1 - 참; 1; 하이; 함수 어서트

도면5



도면6



도면7