

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月2日(02.02.2012)

PCT

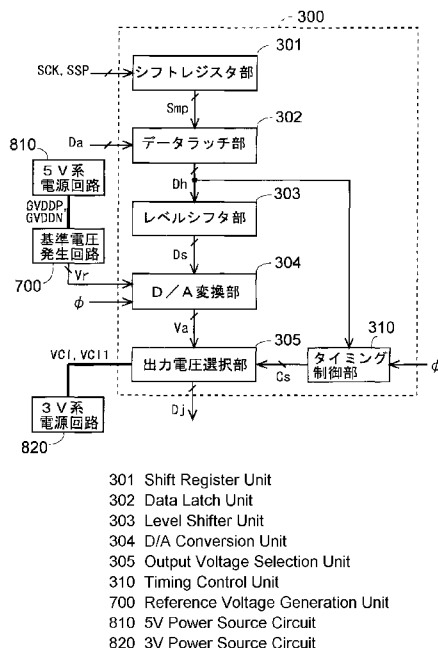
(10) 国際公開番号
WO 2012/014564 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2011/062582
- (22) 国際出願日: 2011年6月1日(01.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-171712 2010年7月30日(30.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 西尾 真明
(NISHIO, Masaaki).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: VIDEO SIGNAL LINE DRIVING CIRCUIT AND DISPLAY DEVICE PROVIDED WITH SAME

(54) 発明の名称: 映像信号線駆動回路およびそれを備える表示装置

[図5]



(57) Abstract: In the disclosed liquid crystal display device, typically when a +3V power source voltage (VCI) or a -3V power source voltage (VCI1) is present between a ground potential (GND) and an output signal voltage (Dh), first (after applying the ground potential), an output voltage selection unit (305) is controlled in a manner so that the +3 power source voltage (VCI) or the -3V power source voltage (VCI1) is applied to a video signal line, and the potential thereof is raised (or lowered). Afterwards, said video signal line is further driven at a voltage resulting from a grayscale voltage generating circuit using a 5V power source until reaching the output signal voltage (Dh). As a result, power consumption is reduced using as little of the 5V power source as possible.

(57) 要約: 本液晶表示装置は、典型的にはグラウンド電位 GND と出力信号電圧 Dh との間に +3V 電源電圧 VCI または -3V 電源電圧 VCI1 が存在する場合、まず (グラウンド電位を与えた後に) +3V 電源電圧 VCI または -3V 電源電圧 VCI1 を映像信号線に与えるよう出力電圧選択部 (305) が制御されてその電位を上昇 (または下降) させる。その後出力信号電圧 Dh に到達するまで 5V 系電源を使用した階調電圧生成回路による電圧で当該映像信号線をさらに駆動させる。このことにより、5V 系電源ができるだけ使用されず消費電力が低減される。

WO 2012/014564 A1

明 細 書

発明の名称：映像信号線駆動回路およびそれを備える表示装置 技術分野

[0001] 本発明は、アクティブマトリクス型の表示装置に関するものであり、更に詳しくは、アクティブマトリクス型の液晶表示装置における映像信号線駆動回路に関する。

背景技術

[0002] 一般に液晶表示装置では、液晶の劣化を抑えるために交流化駆動が行われている。この交流化駆動方式としては、1フレーム毎に液晶への印加電圧の極性を反転させる駆動方式（フレーム反転駆動方式）が知られている。しかし、この駆動方式によれば表示の際にフリッカ等の表示不具合が発生し易いため、近年では、1水平走査線毎に印加電圧の正負極性を反転させつつ1フレーム毎にも正負極性を反転させる駆動方式（「ライン反転駆動方式」と呼ばれる）や、垂直・水平方向に隣り合う画素毎に印加電圧の正負極性を反転させつつ1フレーム毎にも正負極性を反転させる駆動方式（「ドット反転駆動方式」と呼ばれる）が採用されている。

[0003] このドット反転駆動方式では、フリッカに対するキラーパターンが比較的複雑である為、フリッカが発生しにくく高品位の表示が可能である。また、この方式では、液晶パネルの共通電極には直流電圧が印加されるため、共通電極が交流駆動される方式よりも発生するノイズが小さくなる。このことは、液晶パネル内にセンサが組み込まれたタッチパネルの動作を安定化することができる。

[0004] しかし、このように共通電極に直流電圧が与えられるドット反転駆動方式では、液晶パネルに印加すべき映像信号の方の極性を共通電極の電位を中心としてその上下の所定電圧に切り替えるため、液晶パネル駆動用ドライバから出力される映像信号の電圧振幅が大きくなり、特別な電源構成が必要になるとともに、電力消費が大きくなりやすい。

- [0005] このようなドット反転駆動方式において電力消費を抑えるために、日本特開 2006-154772 号公報には、ソースドライバから出力される信号の極性を反転させるときに、一旦グランド電位を与えた後に、極性を反転させた信号を出力する構成が開示されている。このようにグランド電位を与えることにより、電力消費を抑制することができる。

先行技術文献

特許文献

- [0006] 特許文献1：日本特開 2006-154772 号公報

発明の概要

発明が解決しようとする課題

- [0007] ここで上記従来の構成のように、単純にグランド電位を与える構成では、ソースドライバから出力される信号の電位がグランド電位へ変化するときの電力消費を抑制することはできる。しかし、例えば当該信号電位が正極性から負極性へ変化する場合、グランド電位から負極性の信号電位までの差が大きい場合には、当該変化のための電力消費を抑制することはできず、消費電力を大きく低減することはできない。
- [0008] そこで本発明では、消費電力を大きく低減することができる映像信号線駆動回路およびそれを備える液晶表示装置を提供することを目的とする。

課題を解決するための手段

- [0009] 本発明の第1の局面は、画像を表示するための表示部において複数の映像信号線と複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部に設けられた画素電極と、前記画素電極との間に電圧を印加するために前記画素電極に対向して設けられた共通電極とを備え、とともに、第1の電圧を与える第1の電源と、当該第1の電圧の絶対値より絶対値が大きい第2の電圧を与える第2の電源とを備える表示装置において、前記画像を表す映像信号を受け取り前記映像信号に応じて前記複数の映像信号線に電圧を印加する映像信号線駆動回路であって、

前記第２の電源に基づき、前記複数の映像信号線に印加されるべき複数の階調電圧を生成する階調電圧生成回路と、

生成された前記複数の階調電圧から、前記画像信号に含まれる前記画素形成部に与えられるべき画素値を示す信号に変換し出力する変換回路と、

前記変換回路から出力されるべき信号電圧と、当該信号電圧を前記画素形成部に与えるべき対象となる映像信号線の直前の電圧との間に、前記第１の電圧に応じて定められる閾電圧がない場合には、前記変換回路から出力される信号電圧を、前記対象となる映像信号線に与え、前記閾電圧がある場合には、所定の第１の期間、前記第１の電圧を、前記対象となる映像信号線に与えると同時に、当該第１の期間経過後に前記変換回路から出力される信号電圧を前記対象となる映像信号線に与える出力回路とを備えることを特徴とする。

[0010] 本発明の第２の局面は、本発明の第１の局面において、

前記階調電圧生成回路は、前記共通電極の固定電位を基準とした正極性および負極性の電圧をともに含む複数の階調電圧を生成し、

前記変換回路は、前記共通電極の電位または近傍の電位である固定電位を基準とした前記画素電極に印加される電圧の極性が所定の極性反転期間毎に反転されるよう、生成された前記複数の階調電圧から前記画像信号に対応する正極性または負極性の階調電圧を前記極性反転期間毎に交互に選択して出力し、

前記出力回路は、前記変換回路から出力される信号電圧と、前記対象となる映像信号線の直前の電圧との間に、前記固定電位がある場合には、所定の第２の期間、前記固定電位を前記対象となる映像信号線に与えると同時に、当該第２の期間経過後に前記変換回路から出力される信号電圧を前記対象となる映像信号線に与えることを特徴とする。

[0011] 本発明の第３の局面は、本発明の第２の局面において、

前記出力回路は、前記変換回路から出力される信号電圧と、前記対象となる映像信号線の直前の電圧との間に前記固定電位がある場合であって、かつ

前記固定電位と前記変換回路から出力される信号電圧との間に前記閾電圧がある場合には、前記第 2 の期間、前記固定電位を前記対象となる映像信号線に与え、当該第 2 の期間経過直後から前記第 1 の期間、前記第 1 の電圧を前記対象となる映像信号線に与え、当該第 1 の期間経過後に前記変換回路から出力される信号電圧を前記対象となる映像信号線に与えることを特徴とする。

- [0012] 本発明の第 4 の局面は、本発明の第 3 の局面において、
前記変換回路は、前記固定電位を基準とした極性であって、隣接する 2 つの前記画素形成部にそれぞれ設けられる画素電極の極性が反転されるよう、正極性または負極性の階調電圧を交互に選択して出力し、
前記出力回路は、前記第 2 の期間、前記固定電位を前記対象となる映像信号線に与えるとともに、前記固定電位と前記変換回路から出力される信号電圧との間に前記閾電圧がある場合には、前記第 2 の期間経過直後から前記第 1 の期間、前記第 1 の電圧を前記対象となる映像信号線に与え、当該第 1 の期間経過後に前記変換回路から出力される信号電圧を前記対象となる映像信号線に与えることを特徴とする。
- [0013] 本発明の第 5 の局面は、本発明の第 1 の局面において、
前記閾電圧の絶対値は、前記第 1 の電圧の絶対値よりも大きい近傍値であることを特徴とする。
- [0014] 本発明の第 6 の局面は、アクティブマトリクス型の表示装置であって、
本発明の第 1 の局面の映像信号線駆動回路と、
前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、
装置外部から与えられる前記画像を表す画像信号に対応する階調を示す階調信号を生成する表示制御回路と、
前記共通電極に所定電位を与える共通電極駆動回路と
を備えることを特徴とする。
- [0015] 本発明の第 7 の局面は、画像を表示するための表示部において複数の映像信号線と複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配

置された複数の画素形成部に設けられた画素電極と、前記画素電極との間に電圧を印加するために前記画素電極に対向して設けられた共通電極とを備えるとともに、第１の電圧を与える第１の電源と、当該第１の電圧の絶対値より絶対値が大きい第２の電圧を与える第２の電源とを備える表示装置において、前記画像を表す画像信号を受け取り前記画像信号に応じて前記複数の映像信号線に電圧を印加する映像信号線駆動方法であって、

前記第２の電源に基づき、前記複数の映像信号線に印加されるべき複数の階調電圧を生成する階調電圧生成ステップと、

生成された前記複数の階調電圧から、前記画像信号に含まれる前記画素形成部に与えられるべき画素値を示す信号に変換し出力する変換ステップと、

前記変換ステップにおいて出力されるべき信号電圧と、当該信号電圧を前記画素形成部に与えるべき対象となる映像信号線の直前の電圧との間に、前記第１の電圧に応じて定められる閾電圧がない場合には、前記変換ステップにおいて出力される信号電圧を、前記対象となる映像信号線に与え、前記閾電圧がある場合には、所定の第１の期間、前記第１の電圧を、前記対象となる映像信号線に与えるとともに、当該第１の期間経過後に前記変換ステップにおいて出力される信号電圧を前記対象となる映像信号線に与える出力ステップと

を備えることを特徴とする。

発明の効果

- [0016] 上記本発明の第１の局面によれば、変換回路から出力されるべき信号電圧と、対象となる映像信号線の直前の電圧との間に閾電圧がある場合には、所定の第１の期間、第１の電圧を対象となる映像信号線に与えるとともに、当該第１の期間経過後に変換回路から出力される信号電圧を対象となる映像信号線に与えるので、まず第１の電圧を映像信号線に与えて電位を上昇（または下降）させた後に、出力される信号電圧に到達するまで、第２の電源に基づく階調電圧生成回路により映像信号線を駆動させることにより、消費電力を低減することができる。

- [0017] 上記本発明の第2の局面によれば、変換回路から出力される信号電圧と、対象となる映像信号線の直前の電圧との間に固定電位がある場合には、所定の第2の期間、固定電位を対象となる映像信号線に与えるとともに、当該第2の期間経過後に変換回路から出力される信号電圧を対象となる映像信号線に与えるので、第1の電圧および固定電位を映像信号線に与えて電位を上昇（または下降）させた後に、出力される信号電圧に到達するまで、第2の電源に基づく階調電圧生成回路により映像信号線を駆動させることにより、消費電力を低減することができる。
- [0018] 上記本発明の第3の局面によれば、変換回路から出力される信号電圧と、対象となる映像信号線の直前の電圧との間に固定電位がある場合であって、かつ固定電位と変換回路から出力される信号電圧との間に閾電圧がある場合には、第2の期間、固定電位を対象となる映像信号線に与え、当該第2の期間経過直後から第1の期間、第1の電圧を対象となる映像信号線に与え、当該第1の期間経過後に変換回路から出力される信号電圧を対象となる映像信号線に与えるので、固定電位を映像信号線に与えて電位を上昇（または下降）させた後に、さらに第1の電位を与えて同様に電位を上昇（または下降）させ、さらにまたその後に、出力される信号電圧に到達するまで、第2の電源に基づく階調電圧生成回路により映像信号線を駆動させることにより、消費電力をより低減することができる。
- [0019] 上記本発明の第4の局面によれば、いわゆる1ドット反転駆動方式が採用され、固定電位を映像信号線に必ず与えて電位を上昇（または下降）させた後に、さらに場合により第1の電位を与えて同様に電位を上昇（または下降）させ、さらにまたその後に、出力される信号電圧に到達するまで、第2の電源に基づく階調電圧生成回路により映像信号線を駆動させることにより、消費電力をより低減することができる。
- [0020] 上記本発明の第5の局面によれば、閾電圧の絶対値が第1の電圧の絶対値よりも大きい近傍値であるので、映像信号線の電位が第1の電圧を超えて上昇（または下降）することになるが、第2の電源に基づく階調電圧生成回路

により映像信号線を駆動させる期間を結果的に短くすることができるため、消費電力をより低減することができる。

[0021] 上記本発明の第 6 の局面によれば、上記本発明の第 1 の局面と同様の効果を表示装置において奏することができる。

[0022] 上記本発明の第 7 の局面によれば、上記本発明の第 1 の局面と同様の効果を映像信号線駆動方法において奏することができる。

図面の簡単な説明

[0023] [図1]本発明の一実施形態に係る液晶表示装置の構成を示すブロック図である。

[図2]上記一実施形態における表示制御回路の構成を示すブロック図である。

[図3]上記一実施形態における液晶パネルの構成を示す模式図である。

[図4]上記一実施形態における液晶パネルの一部の等価回路図である。

[図5]上記一実施形態における映像信号線駆動回路の構成を示すブロック図である。

[図6]上記一実施形態における D/A 変換部に含まれる或る D/A 変換回路の詳細な構成を説明するための図である。

[図7]上記一実施形態におけるタイミング制御部の詳細な構成を示すブロック図である。

[図8]上記一実施形態における 3 V 系電源回路を使用する場合における走査信号、駆動用映像信号、および各電圧選択信号の波形を簡略に示す図である。

[図9]上記一実施形態における 3 V 系電源回路を使用しない場合における走査信号、駆動用映像信号、および各電圧選択信号の波形を簡略に示す図である。

。

[図10]本発明の第 2 の実施形態における液晶パネルの構成を示す模式図である。

[図11]上記一実施形態における表示制御回路の構成を示すブロック図である。

[図12]上記一実施形態におけるタイミング制御回路における電圧選択指示信

号Csを決定する手順の流れを示すフローチャートである。

[図13]上記一実施形態におけるVCI 要否判定処理における詳しい処理手順の流れを示すフローチャートである。

[図14]上記一実施形態におけるVCI 介挿判定処理のうち+3V電源電圧VCIを介挿するか否かを判定するための条件を示す図である。

[図15]上記一実施形態において、3V系電源回路を使用する場合における走査信号、駆動用映像信号、および各電圧選択信号の波形を簡略に示す図である。

[図16]上記一実施形態の変形例において、3V系電源回路を使用する場合における共通電位および駆動用映像信号の波形を簡略に示す図である。

発明を実施するための形態

[0024] 以下、本発明の各実施形態について添付図面を参照して説明する。

[0025] < 1. 第1の実施形態 >

< 1. 1 全体の構成および動作 >

図1は、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置は、例えばノート型パーソナルコンピュータなどの携帯端末装置の表示装置であって、表示制御回路200と、映像信号線駆動回路300と、走査信号線駆動回路400と、共通電極駆動回路500と、アクティブマトリクス型の液晶パネル600と、映像信号線駆動回路300に所定の基準となる電圧を与える基準電圧発生回路700とを備えている。

[0026] なお、この液晶表示装置は、映像信号線駆動回路300の出力電圧が固定的なグラウンド電位や所定の電源電圧になるよう制御されることがある点で従来の構成とは異なる。これらの点については詳しく後述する。

[0027] また図1では、上記各回路はそれぞれ個別の回路のように記載されているが、これらのうち2つ以上の回路を含む集積回路チップを1つ以上液晶パネル上に取り付ける構成であってもよい。例えば、表示制御回路200と映像信号線駆動回路300とは異なる集積回路チップに形成されてもよいし、同

一のチップ（典型的にはソースドライバＩＣ）内に形成されてもよい。さらに上記各回路の一部または全部は、液晶パネルのガラス基板上に一体的に（モノリシックに）形成される構成であってもよい。

[0028] ここで一般に液晶表示装置では、液晶の劣化を抑えると共に表示品位を維持するために交流化駆動が行われている。この交流化駆動方式としては、１フレーム毎に液晶への印加電圧の極性を反転させる駆動方式（フレーム反転駆動方式）が知られている。しかし、この駆動方式によれば表示の際にフリッカ等の表示不具合が発生し易いため、近年では１水平走査線毎に印加電圧の正負極性を反転させつつ１フレーム毎にも正負極性を反転させる駆動方式（「ライン反転駆動方式」と呼ばれる）が採用されることがある。またさらに表示品質を向上させるため、垂直・水平方向に隣り合う画素毎に印加電圧の正負極性を反転させつつ１フレーム毎にも正負極性を反転させる駆動方式（「ドット反転駆動方式」と呼ばれる）が採用されていることがある。本液晶表示装置では、このドット反転駆動方式が採用されている。

[0029] この液晶表示装置における表示部としての液晶パネル６００は、外部の所定の映像ソース（ＣＰＵなど）から受け取る画像データＤｖの表す画像における水平走査線にそれぞれが対応する複数本の走査信号線（行電極）と、それら複数本の走査信号線のそれぞれと交差する複数本の映像信号線（列電極）と、それら複数本の走査信号線と複数本の映像信号線との交差点にそれぞれ対応して設けられた複数の画素形成部とを含む。各画素形成部の構成は、基本的には従来のアクティブマトリクス型液晶パネルにおける構成と同様である（詳細は後述）。

[0030] また、この液晶パネル６００は、各画素形成部に含まれる画素電極に共通的に設けられかつ液晶層を挟んで各画素電極と対向するように配置された共通電極を備えている。なお、このような液晶層に電圧を印加する画素電極と共通電極との配置関係は典型例であって、これらの電極により液晶層に電圧を印加できる構成であれば必ずしもこれらの電極面が対向している必要はなく、例えばいわゆるＩＰＳ（In Plane Switching）方式のように、これらの

電極の辺が対向するよう同一面に配置される構成であってもよい。

- [0031] 本実施形態では、液晶パネル600に表示すべき画像を表す画像データD_vと、表示動作のタイミング信号であるアドレス信号A_{Dw}（以下「表示制御信号A_{Dw}」という）とが、外部の映像ソースから表示制御回路200に送られる。
- [0032] 表示制御回路200は、表示制御信号A_{Dw}と画像データD_vに基づき、液晶パネル用の表示のため映像信号線駆動回路300に与えられるソース用クロック信号SCKおよびソース用スタートパルス信号SSPと、表示のため走査信号線駆動回路400に与えられるゲート用クロック信号GCKおよびゲート用スタートパルス信号GSPとを含む各種信号を生成する。これらの信号は公知であるため詳しい説明は省略する。また、表示制御回路200は、外部の映像ソースから受け取った映像データを表示メモリに書き込んだ後に読み出して、ソースドライバ用として出力する。さらに、表示制御回路200は、上記クロック信号等に基づき、液晶パネル600の交流化駆動のための極性切換制御信号φを生成する。このようにして、表示制御回路200によって生成される信号のうち、デジタル画像信号D_aおよび極性切換制御信号φは映像信号線駆動回路300に供給される。
- [0033] 映像信号線駆動回路300には、上記のように、液晶パネル600に表示すべき画像を表すデータが画素単位でデジタル画像信号D_aとして供給されると共に、タイミングを示す信号としてソース用クロック信号SCK、ソース用スタートパルス信号SSP、および極性切換制御信号φなどが供給される。映像信号線駆動回路300は、これらのデジタル画像信号D_a、ソース用クロック信号SCK、ソース用スタートパルス信号SSP、および極性切換制御信号φなどに基づき、液晶パネル600を駆動するためのアナログ電圧（以下「駆動用映像信号」ともいう）D（1）、D（2）、D（3）、…を生成し、これを液晶パネル600の各映像信号線に印加する。この駆動用映像信号D（1）、D（2）、D（3）、…は、液晶パネル600の交流化駆動のために、極性切換制御信号φに応じてその極性が反転する。また、後

述するように、この駆動用映像信号 $D(1)$ 、 $D(2)$ 、 $D(3)$ 、…は、グランド電位 GND （または対応する固定電位）を少なくとも含む所定電位を経て、デジタル画像信号 D_a に対応する電位へと（段階的に）変化する点に特徴を有している。

[0034] なお、本明細書におけるグランド電位 GND は典型的には $0V$ であるが、 $0V$ 近傍の固定電位や、グランド電位として実質的に取り扱いうる固定電位を広く指すものとする。例えば、ドット反転駆動方式において採用されることが多い周知のチャージシェア駆動方式が採用される場合、チャージシェア時における各映像信号線の電位（典型的には全映像信号線の平均電位）をグランド電位 GND としてもよい。

[0035] 走査信号線駆動回路 400 は、ゲート用クロック信号 GCK およびゲート用スタートパルス信号 GSP に基づき、液晶パネル 600 における走査信号線を 1 水平走査期間ずつ後述の所定順に選択するために各走査信号線に印加すべき走査信号 $G(1)$ 、 $G(2)$ 、 $G(3)$ 、…を生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を 1 垂直走査期間を周期として繰り返す。

[0036] 共通電極駆動回路 500 は、液晶パネル 600 の共通電極に与えるべき電圧である共通電圧 V_{com} を生成する。すなわち本実施形態では、共通電極駆動回路 500 は、グランド電圧からやや低い一定の基準電圧（ここでは $-0.5V$ ）を生成し、これを共通電圧 V_{com} として液晶パネル 600 の共通電極に供給する。なお、共通電極駆動回路 500 は、図 1 には示されない $3V$ 系電源回路から $+3V$ 電源電圧 V_{CI} および $-3V$ 電源電圧 V_{CI1} を受け取り、これらに基づいて上記共通電圧 V_{com} を生成する。

[0037] 液晶パネル 600 では、上記のようにして映像信号線に、映像信号線駆動回路 300 によってデジタル画像信号 D_a 等に基づく駆動用の映像信号 $D(1)$ 、 $D(2)$ 、 $D(3)$ 、…が印加され、走査信号線には、走査信号線駆動回路 400 によって走査信号 $G(1)$ 、 $G(2)$ 、 $G(3)$ 、…が印加され、共通電極には、共通電極駆動回路 500 によって共通電圧 V_{com} が印

加される。これにより液晶パネル600は、外部の映像ソースから受け取った画像データD_vの表す画像を表示する。

[0038] 基準電圧発生回路700は、映像信号線駆動回路300において表示画面に所定の階調を表示する駆動用映像信号が生成されるときに基準となる複数の基準電圧V_rを生成し、生成された複数の基準電圧V_rを映像信号線駆動回路300に与える。映像信号線駆動回路300はこれらの基準電圧V_rに基づき駆動用映像信号を生成するが、この動作については後述する。

[0039] <1. 2 表示制御回路>

図2は、上記の液晶表示装置における表示制御回路200の構成を示すブロック図である。この表示制御回路200は、入力制御回路20と表示メモリ21とレジスタ22とタイミング発生回路23とメモリ制御回路24と極性切換制御回路25とを備えている。

[0040] この表示制御回路200が外部の映像ソースから受け取る画像データD_vおよび表示制御信号A_{Dw}は、入力制御回路20により、画像データD_Aと表示制御データD_cとに振り分けられ、画像データD_Aは表示メモリ21に書き込まれ、表示制御データD_cはレジスタ22に書き込まれる。

[0041] タイミング発生回路（以下「TG」と略記する）23は、レジスタ22に保持される上記表示制御データに基づき、ソース用クロック信号SCK、ソース用スタートパルス信号SSP、ゲート用クロック信号GCK、ゲート用スタートパルス信号GSP、およびその他のタイミング信号を生成する。

[0042] メモリ制御回路24は、表示メモリ21の動作を制御する。この制御に応じて、液晶パネル600に表示すべき画像を表すデジタル画像信号D_aが表示メモリ21から読み出され、表示制御回路200から出力される。このデジタル画像信号D_aは、既述のように映像信号線駆動回路300に供給される。

[0043] 極性切換制御回路25は、TG23によって生成されたゲート用クロック信号GCKおよびゲート用スタートパルス信号GSPに基づき、上記の極性切換制御信号φを生成する。この極性切換制御信号φは、液晶パネル600

の交流化駆動のための極性反転のタイミングを決定する制御信号であって、
既述のように映像信号線駆動回路 300 に供給される。

[0044] < 1. 3 液晶パネル >

図 3 は、本実施形態における液晶パネル 600 の構成を示す模式図であり、
図 4 は、この液晶パネルの一部（4 つの画素に相当する部分） 610 の等
価回路図である。

[0045] この液晶パネル 600 は、映像信号線駆動回路 300 に接続される複数の
映像信号線 L_s と、走査信号線駆動回路 400 に接続される複数の走査信号
線 L_g とを備え、当該複数の映像信号線 L_s と当該複数の走査信号線 L_g と
は、各映像信号線 L_s と各走査信号線 L_g とが交差するように格子状に配設
されている。そして、当該複数の映像信号線 L_s と当該複数の走査信号線 L_g
との交差点に対応して複数の画素形成部 P_x がそれぞれ設けられている。
各画素形成部 P_x は、図 4 に示すように、対応する交差点を通過する映像信
号線 L_s にソース端子が接続されるとともに、対応する交差点を通過する走
査信号線 L_g にゲート端子が接続された TFT (Thin Film Tr
ansistor) 10 と、その TFT 10 のドレイン端子に接続された画
素電極 E_p と、上記複数の画素形成部 P_x に共通的に設けられた共通電極（
「対向電極」ともいう） E_c と、上記複数の画素形成部 P_x に共通的に設け
られ画素電極 E_p と共通電極 E_c との間に挟持された液晶層とからなる。そ
して、画素電極 E_p と共通電極 E_c とそれらの間に挟持された液晶層とによ
り画素容量 C_p が形成される。なお、上記構成からわかるように、いずれか
の走査信号線 L_g に印加される走査信号 $G(k)$ がアクティブになると、そ
の走査信号線が選択されて、その走査信号線に接続される（各画素形成部 P_x
の） TFT 10 が導通状態となり、その TFT 10 に接続される画素電極
 E_p には、駆動用映像信号 $D(j)$ が映像信号線 L_s を介して印加される。
これにより、その印加された駆動用映像信号 $D(j)$ の電圧（共通電極 E_c
の電位を基準とする電圧）が、その画素電極 E_p を含む画素形成部 P_x に画
素値として書き込まれる。ただし、後述するように、駆動用映像信号 $D(j)$

）の電圧は、グランド電位GNDを少なくとも含む所定電位を経て、デジタル画像信号D_aに対応する電位へと（段階的に）変化する点に特徴を有している。

[0046] 上記のような画素形成部P_xは、マトリクス状に配置されて画素形成マトリクスを構成し、これに伴い、画素形成部P_xに含まれる画素電極E_pも、マトリクス状に配置されて画素電極マトリクスを構成する。ところで、画素形成部P_xの主要部である画素電極E_pは、液晶パネルに表示される画像の画素と1対1に対応し同一視できる。そこで、以下では、説明の便宜上、画素形成部P_xまたは画素電極E_pと画素とを同一視するものとし、「画素形成マトリクス」または「画素電極マトリクス」を単に「画素マトリクス」ともいう。

[0047] 図3において、各画素形成部P_xに付されている“+”は、或るフレームにおいて当該画素形成部P_xを構成する画素液晶に（すなわち共通電極E_cを基準として画素電極E_pに）正極性の電圧が印加されることを意味し、“-”は、当該フレームにおいて当該画素形成部P_xを構成する画素液晶に（すなわち共通電極E_cを基準として画素電極E_pに）負極性の電圧が印加されることを意味し、これら各画素形成部P_xに付された“+”と“-”により、画素マトリクスにおける極性パターンが示される。図3に示すように本実施形態では、画素液晶への印加電圧の正負極性を垂直・水平方向に隣り合う画素マトリクス毎に反転させつつ1フレーム毎にも正負極性を反転させる駆動方式であるドット反転駆動方式が採用されている。

[0048] < 1. 4 映像信号線駆動回路 >

< 1. 4. 1 映像信号線駆動回路の構成 >

図5は、上記映像信号線駆動回路300の構成を示すブロック図である。以下、図5を参照し各構成要素について説明する。この映像信号線駆動回路300は、図1に示す表示制御回路200から出力されるソース用クロック信号SCKおよびソース用スタートパルス信号SSPを受け取ることにより所定のサンプリングパルスS_{mp}を出力するシフトレジスタ部301と、表

示制御回路200から出力されるデジタル画像信号Daと上記サンプリングパルスSmpを受け取ることによりデジタル画像信号Daに含まれる画素値を示すデータをラッチするデータラッチ部302と、このデータラッチ部302によりラッチされたデータの信号電圧をシフトさせるレベルシフタ部303と、このレベルシフタ部303により電圧をシフトされたデジタルデータ信号をアナログ電圧信号に変換するD/A変換部304と、このD/A変換部304からのアナログ電圧信号および後述する所定の複数の電圧のうちのいずれかを選択して対応する映像信号線Lsに印加するための出力電圧選択部305と、データラッチ部302から受け取ったデータに基づき、出力電圧選択部305に対して選択すべき電圧を指示する電圧選択指示信号Csを与えるタイミング制御部310とを備える。これらの構成要素は、出力電圧選択部305およびタイミング制御部310を除き、従来の映像信号線駆動回路の構成要素とほぼ同様である。以下、これら各構成要素の動作について図5を参照して説明する。

[0049] < 1. 4. 2 映像信号線駆動回路の動作 >

シフトレジスタ部301は、複数個のフリップフロップ回路を直列に接続した構成であり、上記ソース用クロック信号SCKに同期して上記ソース用スタートパルス信号SSPを各段において順次転送することにより、各段から所定のサンプリングパルスSmpを順次出力する。

[0050] データラッチ部302は、上記シフトレジスタ部301の各段に対応して1つずつ設けられた複数のラッチ回路を備えており、上記サンプリングパルスSmpによりデジタル画像信号Daに含まれるデータをサンプリングし、その後サンプリングされたデータを所定の期間出力し続ける。具体的には、画素マトリクスにおける或る行（例えば1行目）の画素形成部Pxに与えられるデジタルデータは、データラッチ部302に含まれるサンプリングメモリ回路（不図示）に一旦記憶され、記憶されたデータはデータラッチ部302に含まれるホールドメモリ回路（不図示）に与えられる。このホールドメモリ回路は、所定のラッチ信号の立ち上がりで対応するサンプリングメモリ

回路の各段からの出力信号を取り込み、その出力信号を出力信号D_hとしてレベルシフタ部303およびタイミング制御部310に与える。

[0051] レベルシフタ部303は、上記シフトレジスタ部301の各段に対応して1つずつ設けられた複数のレベルシフタ回路を備えており、上記データラッチ部302からの出力信号D_hを受け取り、D/A変換部304において適正な入力信号レベルになるよう当該信号の電圧レベルをシフトさせ（一般的には上昇させ）、レベルシフタ信号D_sとして出力する。

[0052] D/A変換部304は、上記シフトレジスタ部301の各段に対応して1つずつ設けられた複数のD/A変換回路を備えており、レベルシフタ部303から出力されるデジタル信号であるレベルシフタ信号D_sを受け取り、これを上記デジタルデータに対応するアナログ電圧信号V_aに変換する。具体的には、D/A変換部304は、基準電圧発生回路700からの複数の基準電圧V_rに基づき生成される階調表示のための複数種類のアナログ電圧（以下「階調電圧」という）から、受け取ったデジタル信号に相当する階調電圧を選択しアナログ電圧信号V_aとして出力する。

[0053] なお、上記基準電圧発生回路700は、5V系電源回路810から与えられる−5V電源電圧GVDDNおよび+5V電源電圧GVDDPに基づき、（例えばこれらの電圧を抵抗分圧することにより）複数の基準電圧V_rを生成する。このような基準電圧発生回路700の構成は周知である。また、D/A変換部304に対して、基準電圧発生回路700から複数の基準電圧V_rが与えられるのは、D/A変換部304において生成される階調電圧をより正確に設定するためであり、このようにD/A変換部304に複数の基準電圧が与えられる構成についても周知である。

[0054] ここで、上記基準電圧発生回路700に代えて、全ての階調電圧を生成する（正極性用および負極性用の）階調電圧生成回路を備え、D/A変換回路は、受け取ったレベルシフタ信号D_sに応じて、この階調電圧生成回路からの階調電圧の1つを選択するセクタ回路であってもよい。

[0055] 出力電圧選択部305は、上記シフトレジスタ部301の各段に対応して

1つずつ設けられた複数の出力バッファ回路（典型的にはボルテージフォロワ回路）を備えており、また、タイミング制御部310から受け取った電圧選択指示信号Csにより指示される期間中、上記アナログ電圧信号Vaと、グラウンド電圧GNDと、3V系電源回路820から与えられる+3V電源電圧VCIおよび-3V電源電圧VCI1とのうちのいずれかを選択し、選択された電圧信号を映像信号Djとして上記出力バッファ回路を介して映像信号線Lsに出力する。なお、+3V電源電圧VCIおよび-3V電源電圧VCI1のいずれが選択されるかは、極性切換制御信号φに応じて決定される。また、これらの3つの電圧はシフトレジスタ部301の各段に共通する3つの電圧供給線（すなわち図示されない+3V電圧供給線、-3V電圧供給線、およびグラウンド電圧供給線）を介して与えられる。次に、D/A変換部304の詳しい構成および出力電圧選択部305の詳しい動作について、図6を参照して説明する。

[0056] <1. 4. 3 D/A変換部の構成および動作>

図6は、D/A変換部304に含まれる或るD/A変換回路3040の詳細な構成および関連する構成要素を説明するための図である。図6に示されるD/A変換回路3040は、シフトレジスタ部301の第1段に対応して設けられたD/A変換回路である。出力電圧選択回路3050は、当該第1段に対応して設けられた電圧選択回路である。なお、全てのD/A変換回路および電圧選択回路は同様の構成であるため、便宜上、上記構成例で説明しその他の回路の説明は省略する。

[0057] このD/A変換回路3040は、レベルシフタ部303から出力されるレベルシフタ信号Dsのうち対応するレベルシフタ信号Ds1を受け取り、これをアナログ電圧信号Va1に変換する。具体的には、D/A変換回路3040は、基準電圧発生回路700からの複数の基準電圧Vrに基づき生成される階調表示のためのアナログ電圧信号から、受け取ったデジタル信号（上記レベルシフタ信号Ds1）に相当するアナログ電圧信号を極性切換制御信号φに応じて選択し、アナログ電圧信号Va1として出力する。

[0058] 図6に示されるように、D/A変換回路3040は、抵抗分圧回路3041と、選択回路3042とを備える。抵抗分圧回路3041は、それぞれ直列に接続された複数の抵抗素子からなる第1から第4までの抵抗群 $R_{P0} \sim R_{P3}$ を含んでおり、基準電圧発生回路700からの複数の基準電圧 V_r をさらに細かく分圧して選択回路3042に与える。具体的には、複数の基準電圧 V_r のうちの第1の正極性用基準電圧 V_{rH0} と第2の正極性用基準電圧 V_{rH1} との間の電圧は、第1の抵抗群 R_{P0} によりさらに細かく分圧され、例えば64個の抵抗素子により64の階調電圧に分圧され、選択回路3042に与えられる。また第1の負極性用基準電圧 V_{rL0} と第2の負極性用基準電圧 V_{rL1} との間の電圧も同様に、第4の抵抗群 R_{P3} によりさらに細かく分圧されて選択回路3042に与えられる。

[0059] ここで典型的には、第1の正極性用基準電圧 V_{rH0} は、5V系電源回路810から与えられる+5V電源電圧 $GVDDP$ に等しく、第1の負極性用基準電圧 V_{rL0} は、-5V電源電圧 $GVDDN$ に等しく、中点電圧 V_{rHL} はグラウンド電位 GND に等しい。したがって、階調電圧は5V系電源回路810によって生成されるが、5V系電源回路810は、3V系電源回路820よりも消費電力が大きくなる。すなわち典型的には5V系電源回路810は、3V系電源回路820からの出力電圧を2倍に昇圧する（チャージポンプ回路などの）昇圧回路（および分圧回路等）からなるため、5V系電源回路810での消費電流を低減させることがそのまま消費電力を低減させることになる。なお、チャージポンプ回路が使用される場合でも、3V系電源回路820からの出力電圧を2.5倍に昇圧する構成や、3倍に昇圧する構成などがあるが、例えば2倍に昇圧する場合には消費電流もほぼ2倍となる。また、スイッチングレギュレータが使用される場合には、チャージポンプ回路のように消費電流が例えば単純に2倍になるわけではないが、比較的消費電力が小さい3V系電源回路820が使用されることにより5V系電源回路810での負荷が軽減され消費電流が低減されるので、全体として消費電力を低減させることができる。

[0060] なお、ここでの正極性用基準電圧とは、図4に示す共通電極E_cを基準として画素電極E_pに正極性の電圧が印加される場合の基準となる電圧を意味し、負極性用基準電圧とは、共通電極E_cを基準として画素電極E_pに負極性の電圧が印加される場合の基準となる電圧を意味する。

[0061] 以上のようなD/A変換回路3040から出力されるアナログ電圧信号V_{a1}は、出力電圧選択部305のうちの対応する出力電圧選択回路3050に入力され、詳しくは後述するタイミング制御部310から出力される電圧選択指示信号C_sに応じて選択される期間中、映像信号D(1)として出力される。

[0062] この電圧選択指示信号C_sは、グランド電圧GNDを選択する期間を定めるグランド電圧選択指示信号C_{s1}と、+3V電源電圧V_{CI}または-3V電源電圧V_{CI1}を選択する期間を定める3V電源電圧選択指示信号C_{s2}と、上記アナログ電圧信号V_aを選択する期間を定めるアナログ電圧選択指示信号C_{s3}とを含む。これらの選択指示信号は、排他的に所定期間オンとなるようにタイミング制御部310によって制御されており、出力電圧選択回路3050は、対応する選択指示信号がオンとなっている期間中、受け取った対応する電圧信号を選択し、アナログ電圧信号V_{a1}として出力する。次に、このような電圧選択信号C_sを生成するタイミング制御部310の詳細な構成について図7を参照して説明する。

[0063] <1. 4. 4 タイミング制御部の構成および動作>

図7は、タイミング制御部310の詳細な構成を示すブロック図である。なお、タイミング制御部310はシフトレジスタ部301の各段に対応して設けられており、全て同様の構成である。この図7に示されるように、タイミング制御部310は、正極性用レジスタ312および負極性用レジスタ313と、レジスタ選択回路314と、比較器315と、制御信号生成回路316とを備えている。

[0064] この正極性用レジスタ312および負極性用レジスタ313には、所定の値が書き込まれている。例えば、正極性用レジスタ312には、+3V電源

電圧 V_{CI} を示す値が書き込まれ、負極性用レジスタ313には、 $-3V$ 電源電圧 V_{CI1} を示す値が書き込まれている。もっとも実際には、後述するように比較の対象とされる出力信号 D_h の電圧値 D_h が $+3V$ 電源電圧 V_{CI} を示す値または $-3V$ 電源電圧 V_{CI1} を示す値と正確に一致することは通常ないため、典型的にはこれらの値近傍の値であって或る階調値に対応する予め定められた出力信号 D_h の電圧値 D_h が正極性用レジスタ312および負極性用レジスタ313に書き込まれる。ただし、以下では説明の便宜のため、正極性用レジスタ312には、 $+3V$ 電源電圧 V_{CI} を示す値が書き込まれ、負極性用レジスタ313には、 $-3V$ 電源電圧 V_{CI1} を示す値が書き込まれるものとする。

[0065] レジスタ選択回路314は、表示制御回路200から与えられる極性切換制御信号 ϕ に応じて、正極性の信号を映像信号線 L_s に出力すべき場合には、正極性用レジスタ312に格納されている値を値 B として比較器315に与え、負極性の信号を出力すべき場合には、負極性用レジスタ313に格納されている値を値 B として比較器315に与える。またレジスタ選択回路314は、正極性用レジスタ312および負極性用レジスタ313のうちのいずれの値を値 B として比較器315に与えたかを示す信号を制御信号生成回路316に与える。

[0066] 比較器315には、上記のようにしてレジスタ選択回路314から与えられる値 B の信号と、データラッチ部302から出力される出力信号 D_h の電圧値 D_h （ここでは電圧値も同一の符号を使用する）を値 A として受け取り、値 A と値 B との大小関係を比較する。この比較器315は、値 A の方が値 B よりも大きい場合（ $A > B$ ）、出力値「1」を出力し、値 A が値 B 以下である場合（ $A \leq B$ ）、出力値「0」を出力する。

[0067] まず、制御信号生成回路316において、レジスタ選択回路314から正極性用レジスタ312の値（ここでは典型的な値である $+3V$ 電源電圧 V_{CI} を示す値）が選択されたことを示す信号を受け取った場合であって、かつ比較器315から出力値「1」を受け取る場合について検討する。この場合

、グラウンド電位GNDと出力信号電圧Dhとの間に+3V電源電圧VCIが存在することになるので、制御信号生成回路316は、例えば図8に示すタイミングで各電圧選択信号Cs1～Cs3を出力する。

[0068] 図8は、3V系電源回路を使用する場合における走査信号、駆動用映像信号、および各電圧選択信号の波形を簡略に示す図である。図8に示されるように、時刻t1において走査信号G(1)がオン電位に変化する（アクティブになる）と、前述したように走査信号線G1に接続される1行目の画素形成部の各TFT10が導通状態となる。ここで1行1列目の画素形成部に着目すると、当該画素形成部の画素電極Epには、対応する出力電圧選択部305により選択される電圧が印加される。すなわち、時刻t1から時刻t2までの間は、グラウンド電圧選択指示信号Cs1がオン電位となる（アクティブになる）ので、出力電圧選択部305によりグラウンド電圧GNDが選択される。したがって、出力される駆動用映像信号D(1)の電位は、（極性反転前の）負極性の所定電位からグラウンド電位まで上昇する。

[0069] なお、前述したように、いわゆるドット反転駆動方式を採用する構成において、消費電力低減のため極性反転時に常にグラウンド電位GNDを介挿する構成は従来より知られており、本実施形態でもこの構成を含んでいる。もっとも、本実施形態では、後述するように3V系電源回路820により生成される+3V電源電圧VCIまたは-3V電源電圧VCI1を介挿することによって消費電力を低減する点に特徴を有しているので、上記のようなグラウンド電位GNDを介挿しない構成も考えられる。ただ、グラウンド電位GNDを合わせて介挿する方が消費電力をより低減させることができるため好適である。

[0070] 続いて、時刻t2から時刻t3までの間は、3V電源電圧選択指示信号Cs2がオン電位となる（アクティブになる）ので、出力電圧選択部305により+3V電源電圧VCIが選択される。よって、出力される駆動用映像信号D(1)の電位は、グラウンド電位から+3V電源電圧VCIまで上昇する。図8に示す例は、前述したように、グラウンド電位GNDと出力信号電圧D

hとの間に+3V電源電圧V_{CI}が存在するので、この+3V電源電圧V_{CI}を経由して出力信号電圧D_hに到達するまで映像信号線を駆動させることにより、消費電力を低減することができる。

[0071] すなわち、出力信号電圧D_hを生成するために使用される5V系電源回路810は、3V系電源回路820よりも消費電力が大きい。したがって、映像信号線を駆動する場合、5V系電源回路810により駆動される映像信号線の（駆動による）電位変化量が小さいほど消費電力が低減される。言い換えれば、3V系電源回路820によって駆動される映像信号線の電位変化量と、5V系電源回路810によって駆動される映像信号線の電位変化量とが等しい場合には、3V系電源回路820により駆動する方が（5V系電源回路810の前述した2倍昇圧回路等が使用されない分）消費電力は小さくて済む。したがって、映像信号線をグランド電位GNDから+3V電源電圧V_{CI}まで変化させる際に3V系電源回路820により駆動する方が消費電力は小さくて済む。

[0072] 最後に、時刻t₃から時刻t₄までの間は、アナログ電圧選択指示信号C_{s3}がオン電位となる（アクティブになる）ので、所望の電位であるデジタル画像信号D_aに対応する出力信号電圧値D_hまで上昇する。このように、負極性の電位からグランド電位GNDと+3V電源電圧V_{CI}とを経由するよう映像信号線を駆動させることにより消費電力を低減することができる。

[0073] また、制御信号生成回路316において、レジスタ選択回路314から負極性用レジスタ313の値（ここでは典型的な値である-3V電源電圧V_{CI1}を示す値）が選択されたことを示す信号を受け取った場合であって、かつ比較器315から出力値「0」を受け取る場合には、グランド電位GNDと出力信号電圧D_hとの間に-3V電源電圧V_{CI1}が存在することになる。したがって、図8に示す電圧選択信号C_sにより同様のタイミングで制御すればよいが、時刻t₂から時刻t₃までの間、極性切換制御信号φが負極性であることから、出力電圧選択部305は-3V電源電圧V_{CI1}を選択し出力することになる。

- [0074] なお厳密には、上記場合には値Aが値Bである場合（ $A=B$ ）も含まれるため、グランド電位GNDと出力信号電圧Dhとの間に -3V 電源電圧VCI1が存在する場合となるよう、負極性用レジスタ313には、 -3V 電源電圧VCI1を示す値よりも少しだけ小さい値が書き込まれることも好適である。
- [0075] 以上のように、本実施形態では、正極性用レジスタ312の値を（典型的な値である） $+3\text{V}$ 電源電圧VCIを示す値とし、負極性用レジスタ313の値を（典型的な値である） -3V 電源電圧VCI1を示す値として説明したが、グランド電位GNDと出力信号電圧Dhとの間に $+3\text{V}$ 電源電圧VCIまたは -3V 電源電圧VCI1が存在しない場合であっても、この $+3\text{V}$ 電源電圧VCIまたは -3V 電源電圧VCI1を経由することにより消費電力が低減される場合がある。
- [0076] 例えば、グランド電位GNDと $+3\text{V}$ 電源電圧VCIとの間に出力信号電圧Dhがある場合であって、この出力信号電圧Dhが $+3\text{V}$ 電源電圧VCIに近い場合（例えば 2.7V である場合）には、対応する映像信号線の電位をグランド電位GNDから $+3\text{V}$ 電源電圧VCIまで一旦上昇させた後、直下の出力信号電圧Dhまで（ 0.3V だけ）下降させた方が、余分な電位変化が含まれるため電位変化量の総量はより大きくなる反面、 $+3\text{V}$ 電源電圧VCIを使用することができる。そのため、出力信号電圧Dhが $+3\text{V}$ 電源電圧VCIよりも小さくかつ近傍の値である場合には、全ての期間を消費電力の大きい 5V 系電源回路810を使用して駆動するよりも、或る程度の期間 3V 系電源回路820を使用する方が消費電力が低減される場合がある。
- [0077] したがって、図8に示すような $+3\text{V}$ 電源電圧VCIまたは -3V 電源電圧VCI1を経由する駆動態様は、グランド電位GNDと出力信号電圧Dhとの間に $+3\text{V}$ 電源電圧VCIまたは -3V 電源電圧VCI1が存在しない場合であっても、出力信号電圧Dhと $+3\text{V}$ 電源電圧VCIまたは -3V 電源電圧VCI1とのうちの対応する電圧との電位差が所定量未満である場合にも適用することができる。なお、この上記所定量または閾値は消費電力低

減の効果が得られる値を実測し、または数値シミュレーションを行うことにより適宜に算出することが可能である。

[0078] 次に、上記典型例を前提にし、上記図 8 の場合以外の場合、すなわち制御信号生成回路 316 において、レジスタ選択回路 314 から正極性用レジスタ 312 の値（ここでは典型的な値である +3 V 電源電圧 V_{CI} を示す値）が選択されたことを示す信号を受け取った場合であって、かつ比較器 315 から出力値「0」を受け取る場合について検討する。この場合、グランド電位 GND と出力信号電圧 D_h との間に +3 V 電源電圧 V_{CI} が存在しないので、制御信号生成回路 316 は、図 9 に示すタイミングで各電圧選択信号 $C_{s1} \sim C_{s3}$ を出力する。なお、出力信号電圧 D_h と +3 V 電源電圧 V_{CI} または -3 V 電源電圧 V_{CI1} とのうちの対応する電圧との電位差が上記所定量未満である場合にも上記図 8 に示す制御を行う場合には、上記電位差が上記所定量以上である場合に以下の図 9 に示す制御が行われる。

[0079] 図 9 は、3 V 系電源回路を使用しない場合における走査信号、駆動用映像信号、および各電圧選択信号の波形を簡略に示す図である。図 9 を図 8 と比較参照すればわかるように、図 9 に示される 3 V 電源電圧選択指示信号 C_{s2} がオン電位とならない（非アクティブである）ので、出力電圧選択部 305 により +3 V 電源電圧 V_{CI} が選択されることはない。よって、出力される駆動用映像信号 $D(1)$ の電位は、時刻 t_1 から時刻 t_2 までの間に負極性の電位からグランド電位 GND まで上昇し、時刻 t_2 から時刻 t_4 までの間にグランド電位 GND から出力信号電圧 D_h まで上昇するので、グランド電位 GND を介挿することにより、この点では従来と同様に消費電力を低減することができる。

[0080] また、制御信号生成回路 316 において、レジスタ選択回路 314 から負極性用レジスタ 313 の値（ここでは典型的な値である -3 V 電源電圧 V_{CI1} を示す値）が選択されたことを示す信号を受け取った場合であって、かつ比較器 315 から出力値「1」を受け取る場合にも、グランド電位 GND と出力信号電圧 D_h との間に -3 V 電源電圧 V_{CI1} が存在しない。したが

って、図9に示す電圧選択信号 C_s により同様のタイミングで制御すればよく、同様の消費電力低減の効果を得ることができる。

[0081] <1. 5 効果>

以上のように、本実施形態における液晶表示装置は、典型的には、グラウンド電位 GND と出力信号電圧 D_h との間に $+3V$ 電源電圧 V_{CI} または $-3V$ 電源電圧 V_{CI1} が存在する場合、まず $+3V$ 電源電圧 V_{CI} または $-3V$ 電源電圧 V_{CI1} を映像信号線に与えて電位を上昇（または下降）させた後に、出力信号電圧 D_h に到達するまで（ $5V$ 系電源を使用した階調電圧生成回路により）映像信号線を駆動させることにより、消費電力を低減することができる。

[0082] <2. 第2の実施形態>

<2. 1 全体の構成および動作>

本発明の第2の実施形態に係る液晶表示装置の構成は、図1に示す構成と同様であり、液晶パネル600の構成等も図3、図4等と同様であるので、同一の構成要素には同一の符号を付して詳しい説明を省略する。ただし本実施形態では、第1の実施形態とは異なって図3に示されるような垂直・水平方向に隣り合う画素毎に印加電圧の正負極性を反転させる上述した1ドット反転駆動方式ではなく、垂直・水平方向に隣接する2つの画素毎に印加電圧の正負極性を反転させつつ1フレーム毎にも正負極性を反転させる駆動方式であるいわゆる2ライン2ドット反転駆動方式を採用する。なおこの他、水平方向に隣り合う画素については、第1の実施形態と同様、互いに印加電圧の正負極性を反転させ、垂直方向には隣接する2つの画素毎に、すなわち2ライン毎に印加電圧の正負極性を反転させつつ1フレーム毎にも正負極性を反転させる駆動方式であるいわゆる2ライン1ドット反転駆動方式が採用されてもよい。

[0083] 図10は、本実施形態における液晶パネル600の構成を示す模式図である。図10に示される構成は、図3に示される構成と同様であるが、図10において、各画素形成部 P_x に付されている“+” “-”の符号を参照すれ

ば、いわゆる２ライン２ドット反転駆動方式が採用されていることがわかる。

[0084] 本実施形態では、第１の実施形態における図５に示される映像信号線駆動回路３００に備えられると同一の、シフトレジスタ部３０１、データラッチ部３０２、レベルシフタ部３０３、Ｄ／Ａ変換部３０４、および出力電圧選択部３０５が備えられるが、タイミング制御部３１０が省略されており、これと同様の機能を有する構成要素が表示制御回路２１０に備えられている。以下、このように第１の実施形態における表示制御回路２００とは異なる特徴的な表示制御回路２１０の構成および動作について、図１１を参照して詳しく説明する。

[0085] < ２． ２ 表示制御回路の構成および動作 >

図１１は、本実施形態における表示制御回路の構成を示すブロック図である。図１１に示される表示制御回路２１０は、図２に示される第１の実施形態における表示制御回路２００に備えられると同様の入力制御回路２０と表示メモリ２１とレジスタ２２とタイミング発生回路２３とメモリ制御回路２４と極性切換制御回路２５とを備えるほか、新たにタイミング制御回路２７を備える。したがって、第１の実施形態と同一の構成要素には同一の符号を付してその説明を省略し、図１１および図１２を参照してタイミング制御回路２７の動作を詳しく説明する。

[0086] 図１１に示されるタイミング制御回路２７は、第１の実施形態におけるタイミング制御部３１０と同様に、映像信号線駆動回路３００に備えられる出力電圧選択部３０５に対して電圧選択指示信号Ｃｓを与えるが、データラッチ部３０２から出力信号Ｄｈを受け取るのではなく、表示メモリ２１から出力されるソースドライバ用デジタル画像信号Ｄａおよびそれが何行目のデータであるかを示す信号を受け取る点が異なる。タイミング制御回路２７は、受け取ったこれらの信号に基づき、図１２に示すような手順にしたがってグラウンド電位ＧＮＤ、＋３Ｖ電源電圧ＶＣＩ、または－３Ｖ電源電圧ＶＣＩ１のいずれかを介挿するか否かを決定し、対応する電圧選択指示信号Ｃｓを出

力する。

[0087] 図12は、タイミング制御回路27における電圧選択指示信号Csを決定する手順の流れを示すフローチャートである。なおこの手順は、論理回路等のハードウェアにより定められるが、所定のプログラム言語等で記載されたソフトウェアにより定められていてもよい。

[0088] 図12に示すステップS10において、タイミング制御回路27は、表示メモリ21からデジタル画像信号Daに含まれる画素値を（1列目から一列ずつ）順番に取得する。次に、ステップS20において、タイミング制御回路27は、取得された画素値を与えられるべき画素形成部に繋がる対応する映像信号線が極性反転されるか否かを判定する。本実施形態では、前述したように2ドット反転駆動方式が採用されるため、各映像信号線は奇数行毎に極性反転駆動されることになる。したがって、具体的には、画素値が偶数行目の画素形成部に与えられる場合には極性反転されず、奇数行目の画素形成部に与えられる極性反転されると判定することができる。そして極性反転すると判定される場合（ステップS20においてYesの場合）、処理はステップS30へ進み、極性反転されないと判定される場合（ステップS20においてNoの場合）、処理はステップS50におけるVCI介挿判定処理へ進む。このVCI介挿判定処理（S50）では、対応する映像信号線に繋がる出力電圧選択部305に対して、+3V電源電圧VCIを選択させ出力させるか否かが判定される。その詳しい処理内容については後述する。その後、処理はステップS70へ進む。

[0089] 続いて、ステップS30において、タイミング制御回路27は、対応する映像信号線の極性が負極性から正極性に反転されるか否かを判定する。これは、極性切換制御回路25からの極性切換制御信号φを参照すれば容易に判定することができる。そして、負極性から正極性に反転される場合（ステップS30においてYesの場合）、処理はステップS40におけるVCI要否判定処理へ進み、正極性から負極性に反転されると判定される場合（ステップS30においてNoの場合）、処理はステップS60におけるVCI1

要否判定処理へ進む。なおこれらVCI要否判定処理（S40）およびVCI1要否判定処理（S60）の詳しい内容についても後述する。その後、処理はステップS70へ進む。

[0090] 次にステップS70において、タイミング制御回路27は、1行分の処理が終了したか否かを判定する。一行分の処理が終了した場合（ステップS70においてYesの場合）、処理はステップS80へ進み、終了していない場合（ステップS70においてNoの場合）、処理はステップS10に戻り一行分の処理が終了するまで繰り返される（S70→S10→…→S70）。

[0091] 続いてステップS80において、タイミング制御回路27は、出力電圧選択部305に対して、VCI介挿判定処理（S50）、VCI要否判定処理（S40）およびVCI1要否判定処理（S60）における判定結果に基づき、対応する映像信号線に繋がる出力電圧選択部305に対して、電圧選択指示信号Csを出力する。なお、ここでは典型的には前述のようにラッチ信号に応じて全ての映像信号線に対応する出力信号電圧Dhが決定されるので、一行ごとに全ての映像信号線に対応する電圧選択指示信号Csを出力する構成としたが、一列毎（映像信号線毎）に電圧選択指示信号Csを出力する構成であってもよい。その後上記一連の処理は終了し、次の行に対する処理が開始される。なお、最終行の処理が終了すると次のフレームにおける画像の1行目から処理が開始される。次に、VCI要否判定処理（S40）について詳しく説明する。

[0092] 図13は、VCI要否判定処理（S40）における詳しい処理手順の流れを示すフローチャートである。この図13に示すステップS41において、タイミング制御回路27は、（図12に示すステップS10において）取得された画素値が予め定められた閾値より大きいかな否かを判定する。この判定の結果、閾値より大きい場合（ステップS41においてYesの場合）、ステップS43において、タイミング制御回路27は、グランド電位GNDおよび+3V電源電圧VCIを介挿するよう決定し、閾値以下である場合（ス

テップS 4 1においてN oの場合)、ステップS 4 5においてグランド電位GNDのみを介挿するよう決定し、処理はステップS 4 7へ進む。ここで、上記閾値は、第1の実施形態において前述した正極性用レジスタ3 1 2に格納されるレジスタ値に相当する画素値であって、上記判定は比較器3 1 5(および制御信号生成回路3 1 6)においてなされる比較判定と同義である。なお、第1の実施形態と同様、上記レジスタ値は、+3V電源電圧VCIを示す値近傍の或る階調値となるが、ここでの判定をビット比較により簡単に行うことができるよう、例えば(全256階調中の)128としてもよい。そうすれば8ビット中の上位1ビットを比較することにより簡単に判定することができる。また上記レジスタ値は、64、128、または192としてもよい。そうすれば、8ビット中の上位2ビットを比較することにより簡単に判定可能となる。

[0093] ステップS 4 7において、タイミング制御回路27は、ステップS 4 3またはステップS 4 5において決定された結果を(取得された画素値に応じて)列ごとに、すなわち映像信号線毎に順に記憶する。その後処理は、図12に示す処理に復帰し、このステップS 4 7において記憶された決定結果は、図12において前述したようにステップS 7 0において、1行分の処理が終了したと判定された後、ステップS 8 0において参照されることにより、対応する映像信号線に繋がる出力電圧選択部305に対して、電圧選択指示信号Csが出力される。

[0094] このようにここで出力される電圧選択指示信号Csは、第1の実施形態の場合と同一となる。具体的には、ステップS 4 3において、グランド電位GNDおよび+3V電源電圧VCIを介挿するよう決定される場合には、図8に示すタイミングとなり、ステップS 4 5において、グランド電位GNDのみを介挿するよう決定される場合には、図9に示すタイミングとなる。

[0095] また、図12に示すステップS 6 0におけるVCI1要否判定処理は、上記ステップS 4 0におけるVCI要否判定処理と同様であるが、出力信号電圧Dhがグランド電位GNDより小さく、-3V電源電圧VCI1が使用さ

れる場合がある点、および符号が逆であることから生じる大小関係の判定が逆である点が異なる。このようにほぼ同様の手順であることから、ステップ S 6 0 における V C I 1 要否判定処理の詳細な内容は、上記図 1 3 に示す処理の流れの説明を参照すれば容易にわかるため、その説明を省略する。

[0096] 次に、図 1 2 に示すステップ S 5 0 における V C I 介挿判定処理は、（前行からの）極性反転がなされないため、極性反転がなされる場合であるステップ S 6 0 における V C I 1 要否判定処理、および上記ステップ S 4 0 における V C I 要否判定処理とは異なり、グランド電位 G N D を経ることがない。極性反転されない以上、グランド電位 G N D を経るとかえって電位変化の総量が大きくなるからである。したがって、ここでは + 3 V 電源電圧 V C I または - 3 V 電源電圧 V C I 1 のみが介挿されまたは全く所定の電位が介挿されない。この判定は、例えば図 1 4 に示すようになされる。

[0097] 図 1 4 は、V C I 介挿判定処理のうち + 3 V 電源電圧 V C I を介挿する可否かを判定するための条件を示す図である。ここで、上記閾値は、第 1 の実施形態において前述した正極性用レジスタ 3 1 2 に格納されるレジスタ値に相当する画素値であって、上記判定は比較器 3 1 5 （および制御信号生成回路 3 1 6 ）においてなされる比較判定と同様であると言える。すなわち、直前の画素値（前行において対象となる映像信号線に与えられた画素値）およびステップ S 1 0 において取得された画素値（今回対象となる映像信号線に与えられるべき画素値）がともに正極性用レジスタ値（典型的には 3 V に相当する画素値）以上であるか、またはともに正極性用レジスタ値（典型的には 3 V に相当する画素値）未満である場合には、対象となる映像信号線の電位は + 3 V 電源電圧 V C I を経ていない。よって、かえって電位変化の総量が大きくなることのないよう、ここでは + 3 V 電源電圧 V C I が介挿されない。

[0098] また、直前の画素値が正極性用レジスタ値以上であって、取得された画素値が正極性用レジスタ値未満である場合、または、直前の画素値が正極性用レジスタ値以上であって、取得された画素値が正極性用レジスタ値未満であ

る場合には、対象となる映像信号線の電位は+3V電源電圧V_{CI}を経ている。よって、ここでは+3V電源電圧V_{CI}が介挿さる。このように、+3V電源電圧V_{CI}が介挿される場合における電圧選択指示信号C_{s1}~C_{s3}は、例えば図15に示すタイミングとなる。

[0099] 図15は、本実施形態において、3V系電源回路を使用する場合における走査信号、駆動用映像信号、および各電圧選択信号の波形を簡略に示す図である。図15に示されるように、時刻t₁において走査信号G(2)がオン電位に変化する(アクティブになる)と、前述したように走査信号線G₂に接続される2行目の画素形成部の各TFT10が導通状態となる。ここで2行1列目の画素形成部に着目すると、偶数行であることから(1行目からの)極性反転が行われない。ここで時刻t₁において当該画素形成部の画素電極E_pには、対応する出力電圧選択部305により選択される電圧が印加されるが、図15に示されるように電圧選択指示信号C_{s1}~C_{s3}はいずれもオフ電位である(非アクティブである)。よって、結局選択され印加される電圧が存在しないため、時刻t₁から時刻t₂までの間は、時刻t₁直前の電位から変化しない。

[0100] 次に、時刻t₂において、3V電源電圧選択指示信号C_{s2}がオン電位となる(アクティブになる)ので、出力電圧選択部305により+3V電源電圧V_{CI}が選択される。よって、出力される駆動用映像信号D(1)の電位は、直前の対象となる映像信号線の電位から+3V電源電圧V_{CI}まで下降する。

[0101] その後、時刻t₃において、出力電圧選択部305により出力信号電圧D_hが選択されるので、出力される駆動用映像信号D(1)の電位は、+3V電源電圧V_{CI}から出力信号電圧D_hまで下降する。このように直前の対象となる映像信号線の電位と出力信号電圧D_hとの間に+3V電源電圧V_{CI}が存在するので、この+3V電源電圧V_{CI}を経由して出力信号電圧D_hに到達するまで映像信号線を駆動させることにより、消費電力を低減することができる。

[0102] < 2. 3 効果 >

以上のように、本実施形態における液晶表示装置は、典型的には、直前の映像信号線の電位と出力信号電圧 D_h との間に $+3V$ 電源電圧 V_{CI} または $-3V$ 電源電圧 V_{CI1} が存在する場合、まず $+3V$ 電源電圧 V_{CI} または $-3V$ 電源電圧 V_{CI1} を映像信号線に与えて電位を上昇（または下降）させた後に、出力信号電圧 D_h に到達するまで（ $5V$ 系電源を使用した階調電圧生成回路により）映像信号線を駆動させることにより、消費電力を低減することができる。

[0103] < 3. 変形例 >

上記第 1 の実施形態では、1 ドット反転駆動方式が採用され、上記第 2 の実施形態では、2 ライン 2 ドット反転駆動方式が採用されるが、水平方向に隣接する n 個（ n は 3 以上の自然数）の画素形成部毎に印加電圧の正負極性を反転させる n ドット反転駆動方式が採用されてもよい。また垂直方向に隣接する m 個（ m は 3 以上の自然数）の画素形成部毎に印加電圧の正負極性を反転させる m ライン 2 ドット反転駆動方式や m ライン n ドット反転駆動方式にも本発明を同様に適用することができる。

[0104] またこのような第 1 および第 2 の実施形態におけるドット反転駆動方式だけでなく、ライン反転駆動方式（またはフレーム反転駆動方式）のように共通電極が反転駆動される（すなわち 2 種類の異なる電位を交互に与えられる）構成であっても本発明を同様に適用することができる。以下、図 16 を参照して詳しく説明する。

[0105] 図 16 は、上記のような変形例において、 $3V$ 系電源回路を使用する場合における共通電位および駆動用映像信号の波形を簡略に示す図である。図 16 に示されるように、時刻 t_1 における駆動用映像信号 $D(1)$ の電圧は $4V$ であり、このときの共通電位 V_{com} は $-0.5V$ である。

[0106] 時刻 t_2 において、共通電極が反転駆動され、共通電位 V_{com} は $3.5V$ に向かって上昇する。このとき、同一の映像信号線に対応する次の行に配置される画素形成部に階調電圧を印加するため、対応する $0.5V$ の階調電

圧を有する駆動用映像信号 $D(1)$ が与えられるのではなく、グランド電位 GND が与えられ、当該映像信号線の電位は $0V$ に向かって下降する。すなわち、時刻 t_2 においてグランド電圧選択指示信号 Cs_1 がアクティブとされることにより、前述したように出力電圧選択回路 3050 は、 $0V$ の駆動用映像信号 $D(1)$ を出力する。このようにグランド電位 GND を使用することにより、前述と同様に消費電力を低減することができる。

[0107] 時刻 t_3 において、アナログ電圧選択指示信号 Cs_3 がアクティブとされることにより、前述したように出力電圧選択回路 3050 は、アナログ電圧信号 V_a （ここでは $0.5V$ ）の電位を有する駆動用映像信号 $D(1)$ を出力する。その後時刻 t_4 において対応する映像信号線の電位が $0.5V$ に達し、その後に対応する画素形成部の選択および階調電圧の印加が終了する。

[0108] 時刻 t_5 において、共通電極が反転駆動され、共通電位 V_{com} は $-0.5V$ に向かって下降する。このとき、同一の映像信号線に対応する次の行に配置される画素形成部に階調電圧を印加するため、対応する $3.5V$ の階調電圧を有する駆動用映像信号 $D(1)$ が与えられるのではなく、 $+3V$ 電源電圧 V_{CI} が与えられ、当該映像信号線の電位は $3V$ に向かって上昇する。すなわち、時刻 t_5 において $3V$ 電源電圧選択指示信号 Cs_2 がアクティブとされることにより、前述したように出力電圧選択回路 3050 は、 $3V$ の駆動用映像信号 $D(1)$ を出力する。このように $+3V$ 電源電圧 V_{CI} を使用することにより、消費電力を低減することができることは上記実施形態において前述したとおりである。

[0109] 時刻 t_6 において、アナログ電圧選択指示信号 Cs_3 がアクティブとされることにより、前述したように出力電圧選択回路 3050 は、アナログ電圧信号 V_a （ここでは $3.5V$ ）の電位を有する駆動用映像信号 $D(1)$ を出力する。その後時刻 t_7 において対応する映像信号線の電位が $3.5V$ に達し、その後に対応する画素形成部の選択および階調電圧の印加が終了する。

[0110] 時刻 t_8 において、共通電極が反転駆動され、共通電位 V_{com} は $+3.5V$ に向かって上昇する。このとき、同一の映像信号線に対応する次の行に

配置される画素形成部に階調電圧を印加するため、対応する2Vの階調電圧を有する駆動用映像信号D(1)が与えられるのではなく、+3V電源電圧VCIが与えられ、当該映像信号線の電位は3Vに向かって下降する。すなわち、時刻t8において3V電源電圧選択指示信号Cs2がアクティブとされることにより、前述したように出力電圧選択回路3050は、3Vの駆動用映像信号D(1)を出力する。このように+3V電源電圧VCIを使用することにより、消費電力を低減することができることは上記実施形態において前述したとおりである。

[0111] 時刻t9において、アナログ電圧選択指示信号Cs3がアクティブとされることにより、前述したように出力電圧選択回路3050は、アナログ電圧信号Va(ここでは2V)の電位を有する駆動用映像信号D(1)を出力する。その後時刻t10において対応する映像信号線の電位が2Vに達し、その後に対応する画素形成部の選択が終了する。以降、時刻t11において共通電極が反転駆動され、同様の動作が繰り返される。

[0112] このように、共通電極が駆動される場合であっても、上記のように例えば、直前の駆動用映像信号D(1)の電位が1.0V以上であり、次に出力されるべき階調電圧に相当する駆動用映像信号D(1)の電位が0.5V以下である場合には、グランド電圧選択指示信号Cs1をアクティブとして出力電圧選択回路3050から0Vの駆動用映像信号D(1)を出力し、例えば次に出力されるべき階調電圧に相当する駆動用映像信号D(1)の電位が2.5V以上3.5V以下である場合には、3V電源電圧選択指示信号Cs2をアクティブとして出力電圧選択回路3050から3Vの駆動用映像信号D(1)を出力する。そうすれば上記実施形態と同様に、5V系電源のみを使用した階調電圧生成回路により映像信号線を駆動させる場合よりも、消費電力を低減することができる。

[0113] 上記第2の実施形態では、各映像信号線ごとに設けられる映像信号線駆動回路内の出力電圧選択回路を制御する構成であるが、この構成では、電圧選択指示信号Cs1～Cs3を伝達するための信号線を映像信号線の数だけ配

線しなければならない。そこで、各信号のタイミングは全ての映像信号線で共通となるので、電圧選択指示信号 $C_s 1 \sim C_s 3$ を伝達するための 3 つの信号線を共通的に設けるとともに、どの電圧選択指示信号を受け取るかを指示する制御信号をタイミング制御部 310 において生成し、この制御信号を各出力電圧選択回路に伝達する構成であってもよい。さらにこの構成において周知のシリアルデータ通信の手法を用いれば、上記制御信号を伝達するための信号線の数をもさらに減少させることができる。

[0114] 上記第 1 の実施形態では、タイミング制御部 310 は映像信号生成回路内に設けられるが、上記第 2 の実施形態のようにラッチデータ値ではなく表示メモリからの画素値を受け取る構成として、表示制御回路内に設けられてもよい。また、上記第 2 の実施形態では、タイミング制御回路 27 は表示制御回路内に設けられるが、上記第 1 の実施形態のように表示メモリからの画素値ではなくデータラッチ部からのラッチデータ値を受け取る構成として、表示制御回路内に設けられてもよい。

[0115] 上記第 1 の実施形態では、シフトレジスタ部 301 の各段に対応して、データラッチ部 302、レベルシフタ部 303、D/A 変換部 304、および出力電圧選択部 305 が 1 つずつ設けられる構成であるが、正極性用と負極性用とでそれぞれ 1 つずつの合計 2 つずつが設けられる構成であってもよい。また、上記第 1 の実施形態では、これらの構成要素 1 つずつが 1 本の映像信号線に対応して設けられる構成であるが、1 本の映像信号線に対して 2 つずつまたはそれ以上が設けられる構成であってもよい。この構成では、1 本の映像信号線に対して上記構成要素 1 つずつによって時分割で駆動される、いわゆるソース時分割駆動方式が採用される。なお、以上のような構成は第 2 の実施形態においても同様に採用可能である。

[0116] 上記第 1 または第 2 の実施形態では、電圧選択指示信号 C_s により、グラウンド電圧 GND 、+3V 電源電圧 V_{CI} 、および -3V 電源電圧 V_{CI1} が選択可能であるが、さらにその他の予め定まったレギュレータ出力または電源回路出力が選択可能となってもよい。例えば、1.8V の電源回路出

力や、（１．８Ｖまたは３．０Ｖの電源回路出力に基づく）１．０Ｖまたは２．０Ｖのレギュレータ出力などが使用されてもよい。このように選択可能な固定電位の数が増加すれば、スイッチ回路や配線などの追加によりチップ面積が増大することになるが、上記実施形態の場合よりもさらに消費電力を低減することが可能となる。

産業上の利用可能性

[0117] 本発明は、アクティブマトリクス型の表示装置に関するものであり、アクティブマトリクス型の液晶表示装置などの表示装置に備えられる映像信号線駆動回路に適している。

符号の説明

[0118]	１０	…ＴＦＴ（薄膜トランジスタ）
	２１	…表示メモリ
	２７	…タイミング制御回路
	２００、２１０	…表示制御回路
	３００	…映像信号線駆動回路
	３０１	…シフトレジスタ部
	３０２	…データラッチ部
	３０３	…レベルシフタ部
	３０４	…Ｄ／Ａ変換部
	３０５	…出力電圧選択部
	３１０	…タイミング制御部
	４００	…走査信号線駆動回路
	５００	…共通電極駆動回路
	６００	…液晶パネル
	７００	…基準電圧発生部
	８１０	…５Ｖ系電源回路
	８２０	…３Ｖ系電源回路
	P _x	…画素形成部（画素）

E c	…共通電極（対向電極）
V c o m	…共通電圧
S C K	…ソース用クロック信号
S S P	…ソース用スタートパルス信号
G C K	…ゲート用クロック信号
G S P	…ゲート用スタートパルス信号
ϕ	…極性切換制御信号
D a	…デジタル画像信号
V a	…アナログ電圧信号
V r	…基準電圧
C s 1	…グラウンド電圧選択指示信号
C s 2	…3 V 電源電圧選択指示信号
C s 3	…アナログ電圧選択指示信号

請求の範囲

[請求項1]

画像を表示するための表示部において複数の映像信号線と複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部に設けられた画素電極と、前記画素電極との間に電圧を印加するために前記画素電極に対向して設けられた共通電極とを備え、とともに、第1の電圧を与える第1の電源と、当該第1の電圧の絶対値より絶対値が大きい第2の電圧を与える第2の電源とを備える表示装置において、前記画像を表す画像信号を受け取り前記画像信号に応じて前記複数の映像信号線に電圧を印加する映像信号線駆動回路であって、

前記第2の電源に基づき、前記複数の映像信号線に印加されるべき複数の階調電圧を生成する階調電圧生成回路と、

生成された前記複数の階調電圧から、前記画像信号に含まれる前記画素形成部に与えられるべき画素値を示す信号に変換し出力する変換回路と、

前記変換回路から出力されるべき信号電圧と、当該信号電圧を前記画素形成部に与えるべき対象となる映像信号線の直前の電圧との間に、前記第1の電圧に応じて定められる閾電圧がない場合には、前記変換回路から出力される信号電圧を、前記対象となる映像信号線に与え、前記閾電圧がある場合には、所定の第1の期間、前記第1の電圧を、前記対象となる映像信号線に与えるとともに、当該第1の期間経過後に前記変換回路から出力される信号電圧を前記対象となる映像信号線に与える出力回路と

を備えることを特徴とする、映像信号線駆動回路。

[請求項2]

前記階調電圧生成回路は、前記共通電極の固定電位を基準とした正極性および負極性の電圧をとともに含む複数の階調電圧を生成し、

前記変換回路は、前記共通電極の電位または近傍の電位である固定電位を基準とした前記画素電極に印加される電圧の極性が所定の極性

反転期間毎に反転されるよう、生成された前記複数の階調電圧から前記画像信号に対応する正極性または負極性の階調電圧を前記極性反転期間毎に交互に選択して出力し、

前記出力回路は、前記変換回路から出力される信号電圧と、前記対象となる映像信号線の直前の電圧との間に、前記固定電位がある場合には、所定の第2の期間、前記固定電位を前記対象となる映像信号線に与えるとともに、当該第2の期間経過後に前記変換回路から出力される信号電圧を前記対象となる映像信号線に与えることを特徴とする、請求項1に記載の映像信号線駆動回路。

[請求項3]

前記出力回路は、前記変換回路から出力される信号電圧と、前記対象となる映像信号線の直前の電圧との間に前記固定電位がある場合であって、かつ前記固定電位と前記変換回路から出力される信号電圧との間に前記閾電圧がある場合には、前記第2の期間、前記固定電位を前記対象となる映像信号線に与え、当該第2の期間経過直後から前記第1の期間、前記第1の電圧を前記対象となる映像信号線に与え、当該第1の期間経過後に前記変換回路から出力される信号電圧を前記対象となる映像信号線に与えることを特徴とする、請求項2に記載の映像信号線駆動回路。

[請求項4]

前記変換回路は、前記固定電位を基準とした極性であって、隣接する2つの前記画素形成部にそれぞれ設けられる画素電極の極性が反転されるよう、正極性または負極性の階調電圧を交互に選択して出力し、

前記出力回路は、前記第2の期間、前記固定電位を前記対象となる映像信号線に与えるとともに、前記固定電位と前記変換回路から出力される信号電圧との間に前記閾電圧がある場合には、前記第2の期間経過直後から前記第1の期間、前記第1の電圧を前記対象となる映像信号線に与え、当該第1の期間経過後に前記変換回路から出力される信号電圧を前記対象となる映像信号線に与えることを特徴とする、請

求項 3 に記載の映像信号線駆動回路。

[請求項5] 前記閾電圧の絶対値は、前記第 1 の電圧の絶対値よりも大きい近傍値であることを特徴とする、請求項 1 に記載の映像信号線駆動回路。

[請求項6] アクティブマトリクス型の表示装置であって、
請求項 1 に記載の映像信号線駆動回路と、
前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、
装置外部から与えられる前記画像を表す画像信号に対応する階調を示す階調信号を生成する表示制御回路と、
前記共通電極に所定電位を与える共通電極駆動回路と
を備えることを特徴とする、表示装置。

[請求項7] 画像を表示するための表示部において複数の映像信号線と複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部に設けられた画素電極と、前記画素電極との間に電圧を印加するために前記画素電極に対向して設けられた共通電極とを備えとともに、第 1 の電圧を与える第 1 の電源と、当該第 1 の電圧の絶対値より絶対値が大きい第 2 の電圧を与える第 2 の電源とを備える表示装置において、前記画像を表す画像信号を受け取り前記画像信号に応じて前記複数の映像信号線に電圧を印加する映像信号線駆動方法であって、

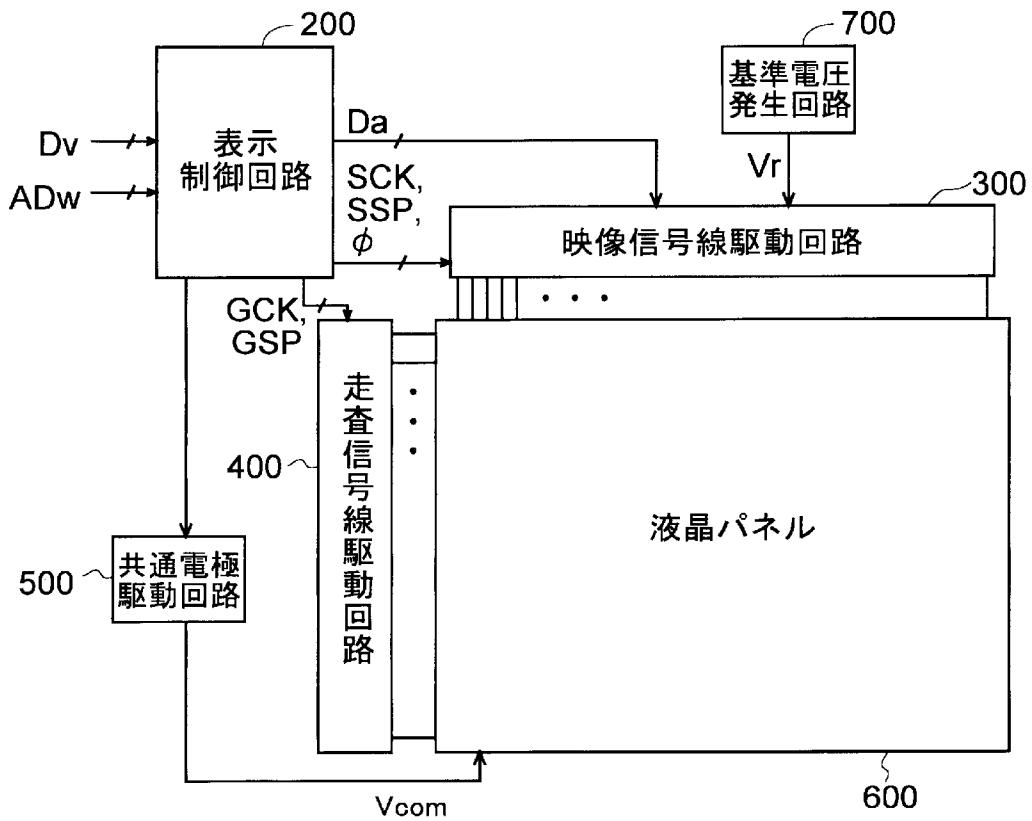
前記第 2 の電源に基づき、前記複数の映像信号線に印加されるべき複数の階調電圧を生成する階調電圧生成ステップと、

生成された前記複数の階調電圧から、前記画像信号に含まれる前記画素形成部に与えられるべき画素値を示す信号に変換し出力する変換ステップと、

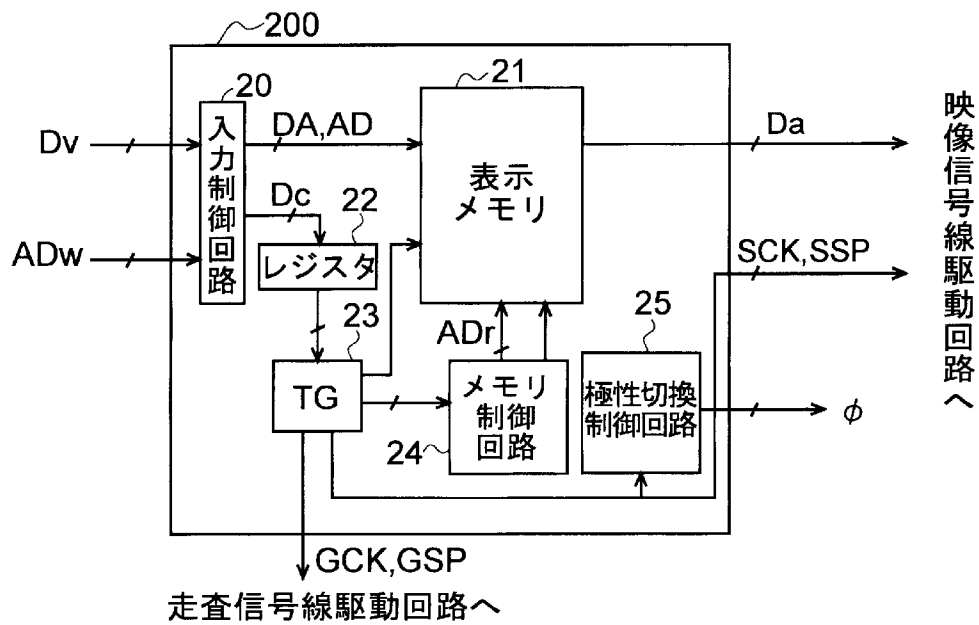
前記変換ステップにおいて出力されるべき信号電圧と、当該信号電圧を前記画素形成部に与えるべき対象となる映像信号線の直前の電圧との間に、前記第 1 の電圧に応じて定められる閾電圧がない場合には、前記変換ステップにおいて出力される信号電圧を、前記対象となる

映像信号線に与え、前記閾電圧がある場合には、所定の第 1 の期間、前記第 1 の電圧を、前記対象となる映像信号線に与えるとともに、当該第 1 の期間経過後に前記変換ステップにおいて出力される信号電圧を前記対象となる映像信号線に与える出力ステップとを備えることを特徴とする、映像信号線駆動方法。

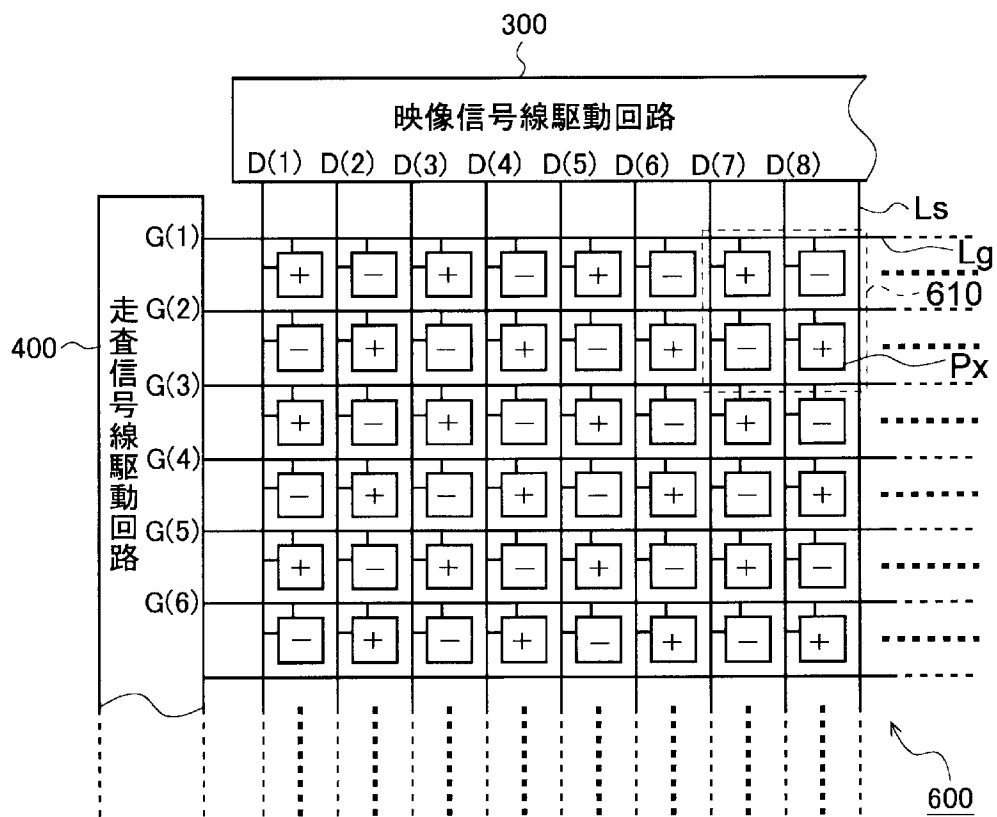
[図1]



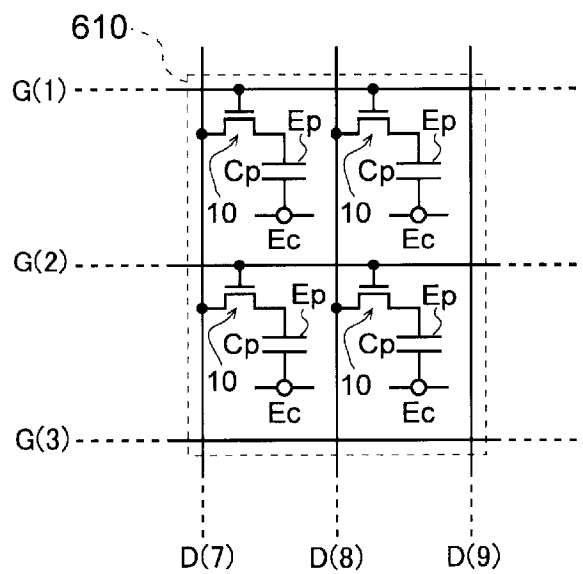
[図2]



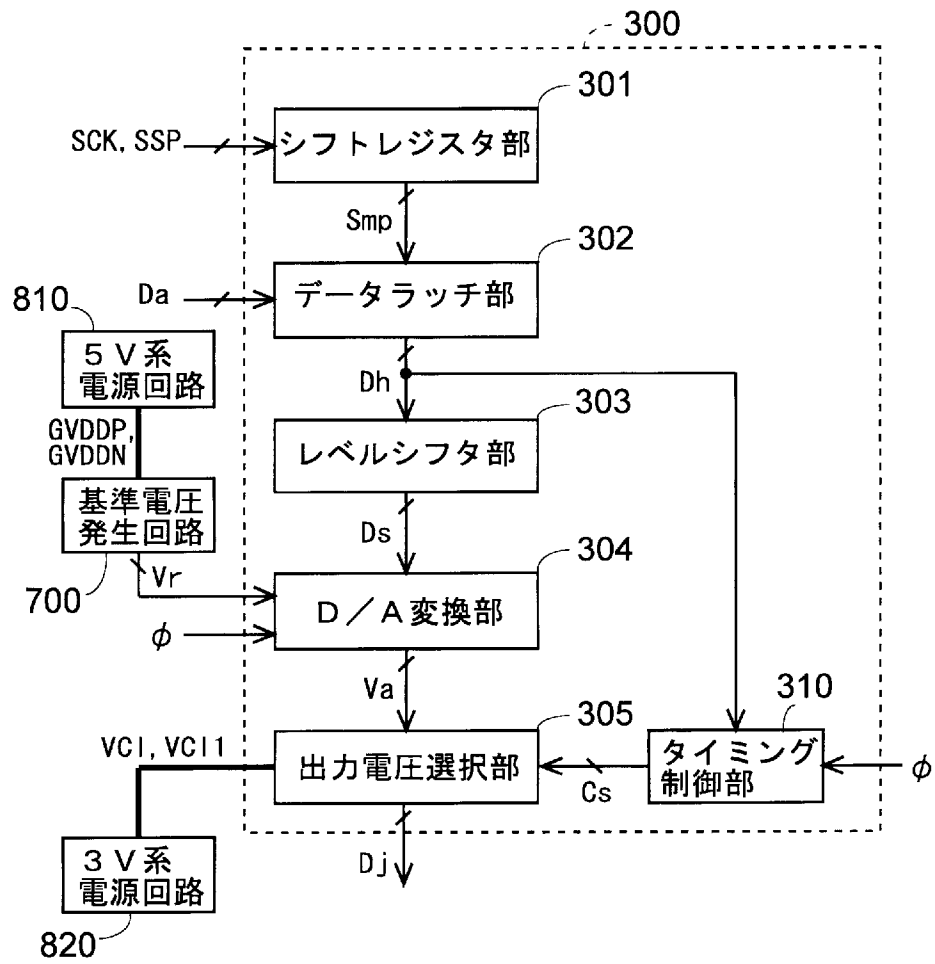
[図3]



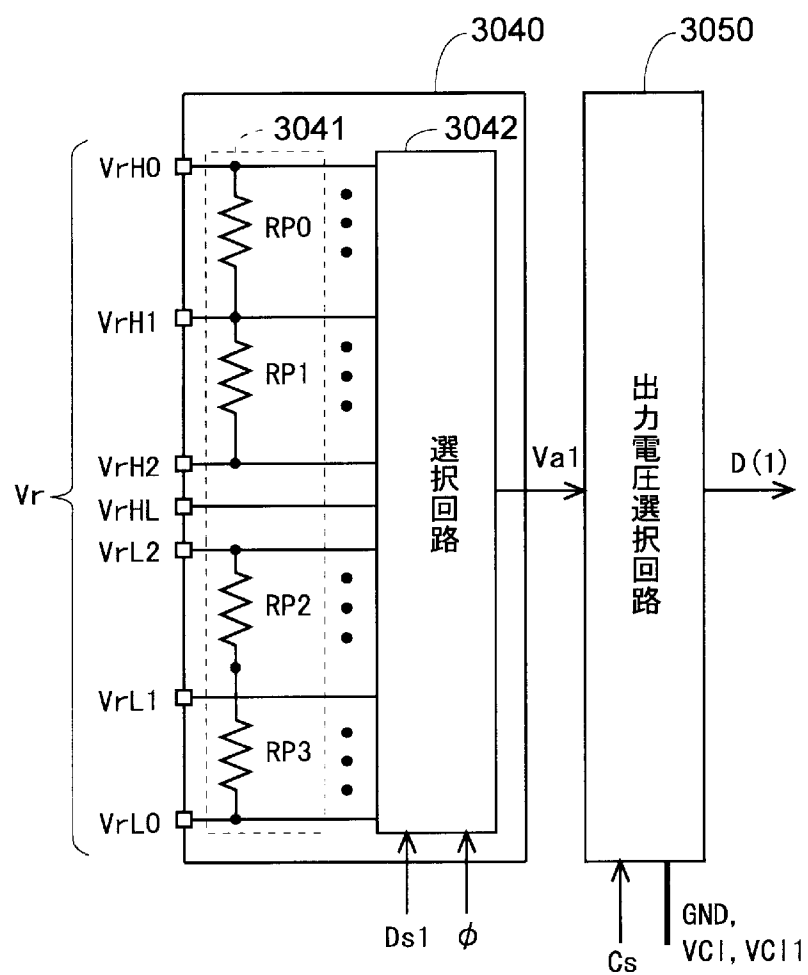
[図4]



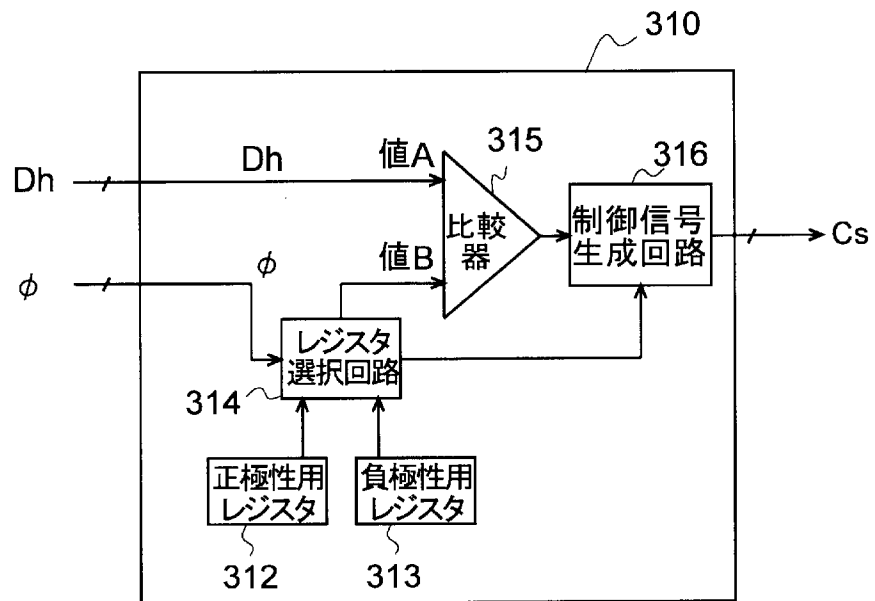
[図5]



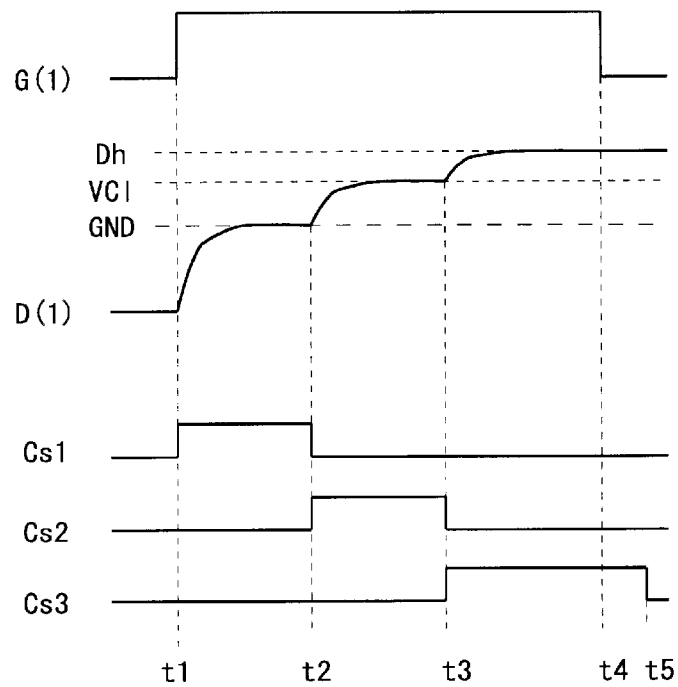
[図6]



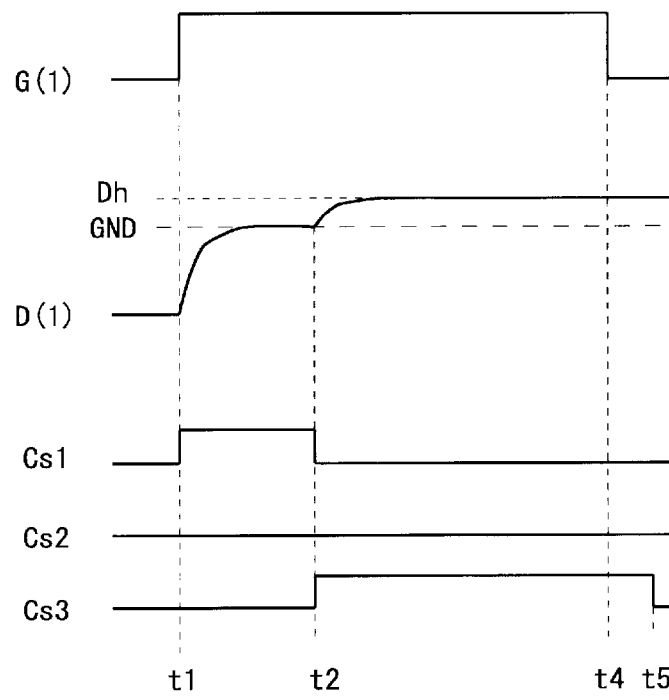
[図7]



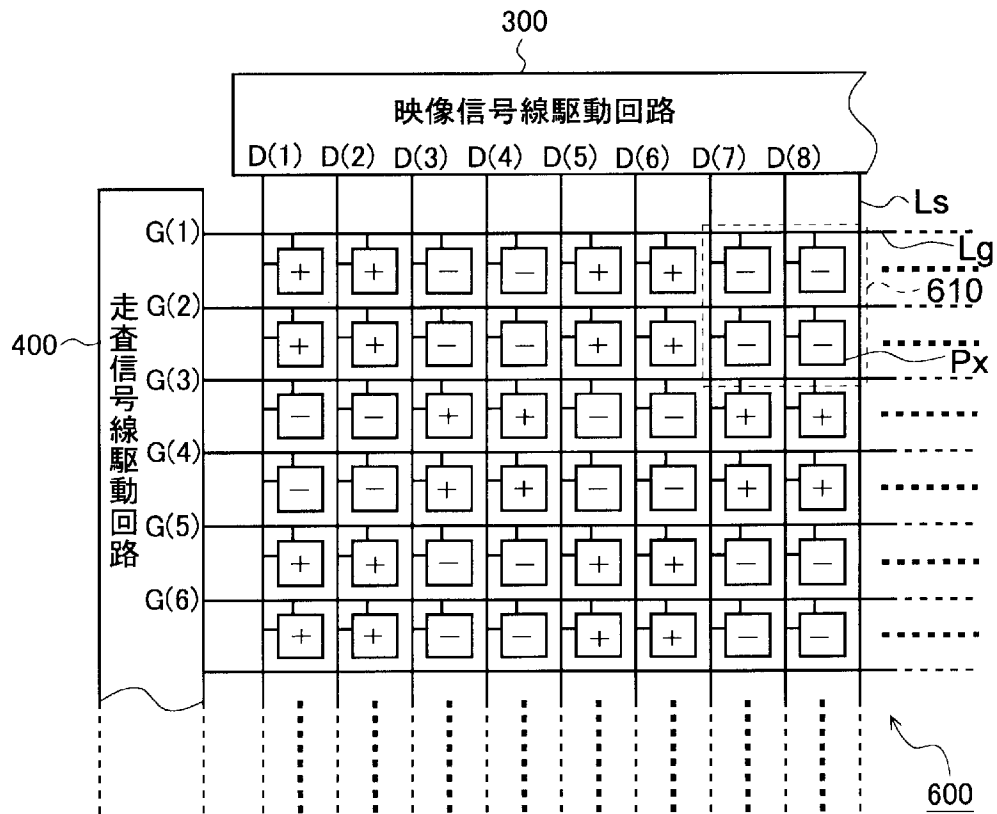
[図8]



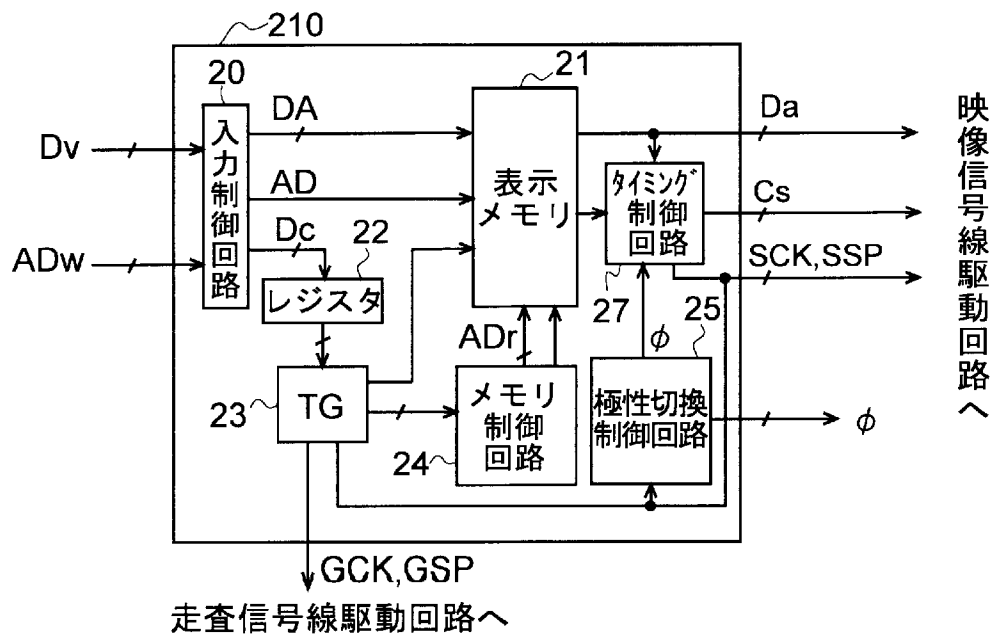
[図9]



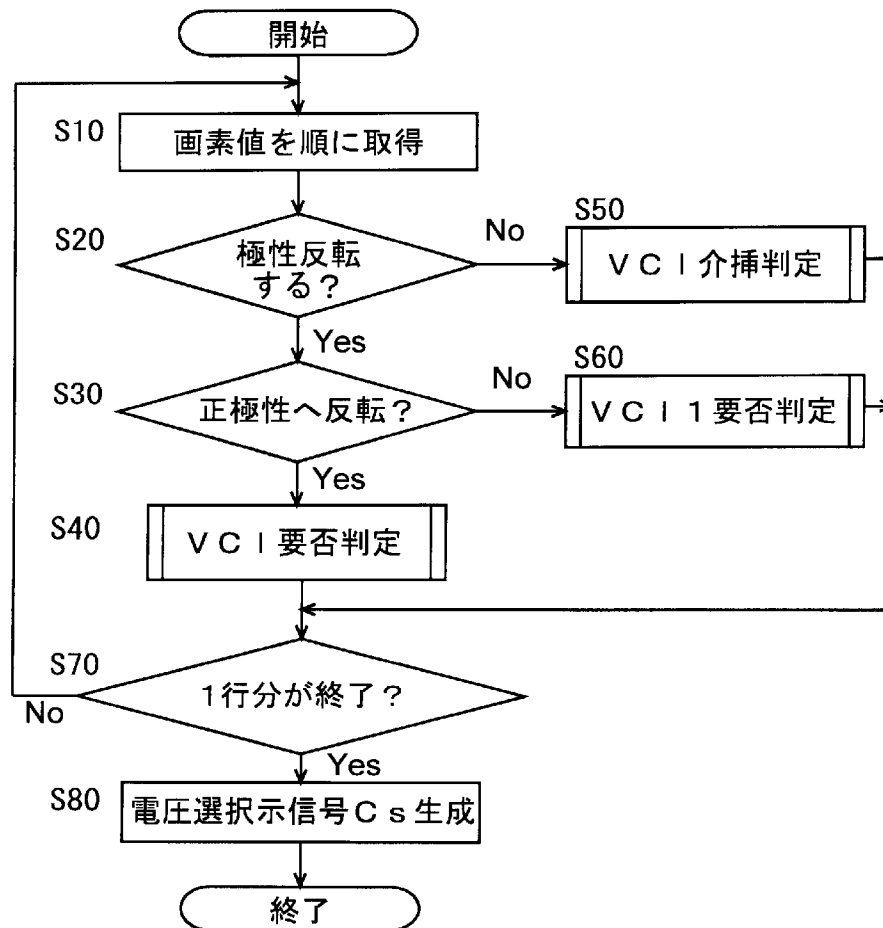
[図10]



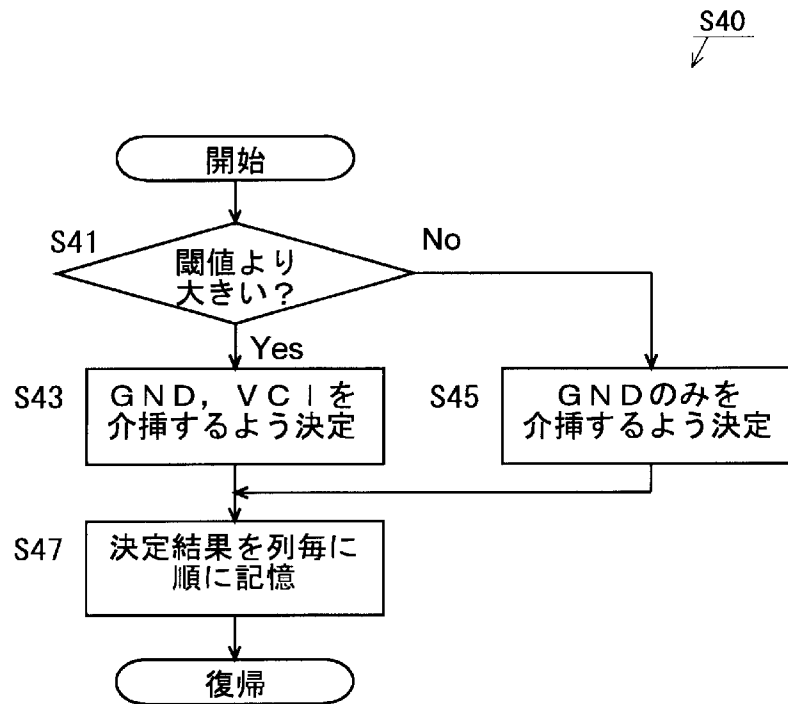
[図11]



[図12]



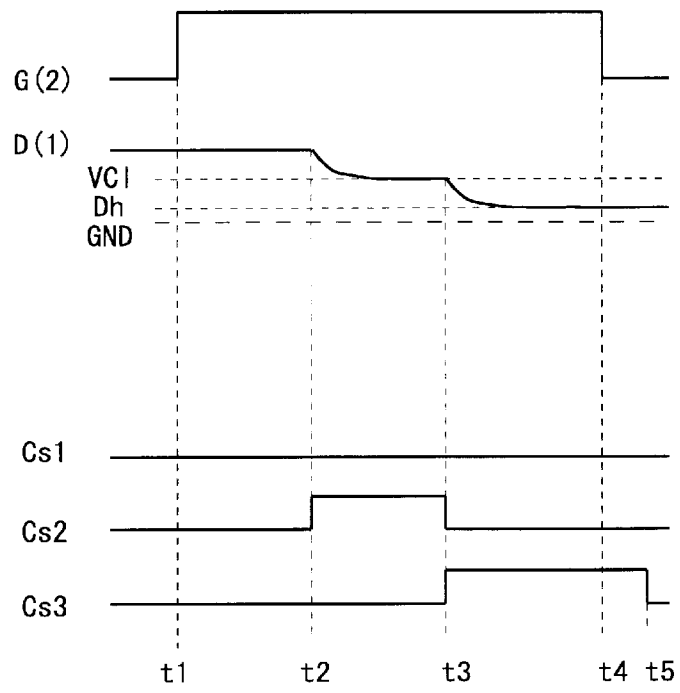
[図13]



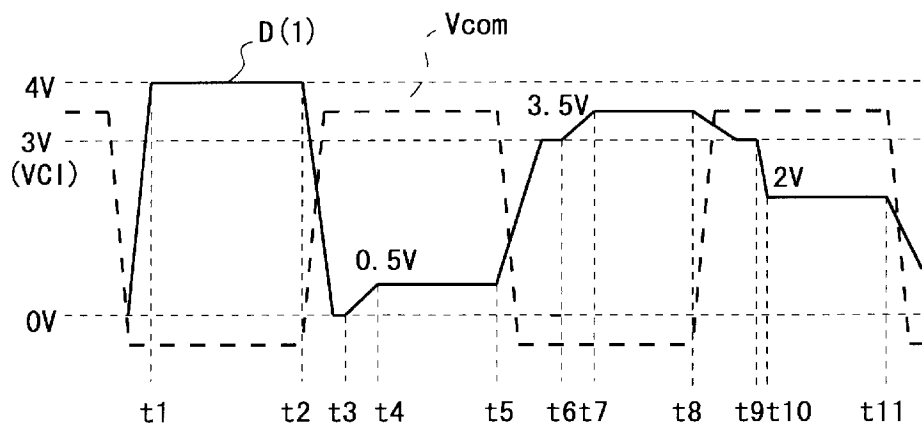
[図14]

直前の画素値	取得された画素値	VCI 介挿
レジスタ値以上	レジスタ値以上	しない
レジスタ値以上	レジスタ値未満	する
レジスタ値未満	レジスタ値以上	する
レジスタ値未満	レジスタ値未満	しない

[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/062582

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-11271 A (L.G. Philips LCD Co., Ltd.), 18 January 2007 (18.01.2007), entire text; all drawings & US 2006/0291298 A1 & KR 10-2007-0000879 A & CN 1892779 A & TW 288906 B	1-2, 5-7 3-4
Y	JP 2010-102146 A (Panasonic Corp.), 06 May 2010 (06.05.2010), paragraphs [0055] to [0057]; fig. 8 to 9 (Family: none)	3-4
A	JP 2008-304896 A (Samsung Electronics Co., Ltd.), 18 December 2008 (18.12.2008), entire text; all drawings & US 2008/0303809 A1 & KR 10-2008-0107855 A & CN 101320539 A	1-7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 August, 2011 (26.08.11)Date of mailing of the international search report
06 September, 2011 (06.09.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/062582

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-225843 A (Seiko Instruments Inc.), 06 September 2007 (06.09.2007), entire text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2007-11271 A（エルジー・フィリップス エルシーデー カンパニー、リミテッド）2007.01.18, 全文, 全図 & US 2006/0291298 A1 & KR 10-2007-0000879 A & CN 1892779 A & TW 288906 B	1-2, 5-7 3-4
Y	JP 2010-102146 A（パナソニック株式会社）2010.05.06, 【0055】 - 【0057】 , 図 8-9（ファミリーなし）	3-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 8 . 2 0 1 1

国際調査報告の発送日

0 6 . 0 9 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀部 修平

2 G

9 2 1 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-304896 A (三星電子株式会社) 2008. 12. 18, 全文, 全図 & US 2008/0303809 A1 & KR 10-2008-0107855 A & CN 101320539 A	1-7
A	JP 2007-225843 A (セイコーインスツル株式会社) 2007. 09. 06, 全文, 全図 (ファミリーなし)	1-7