

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 12 月 12 日(12.12.2013)



(10) 国際公開番号
WO 2013/183531 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2013/064998
- (22) 国際出願日: 2013 年 5 月 30 日(30.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-127979 2012 年 6 月 5 日(05.06.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 大坪 正史(OTSUBO, Masashi).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシヤ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

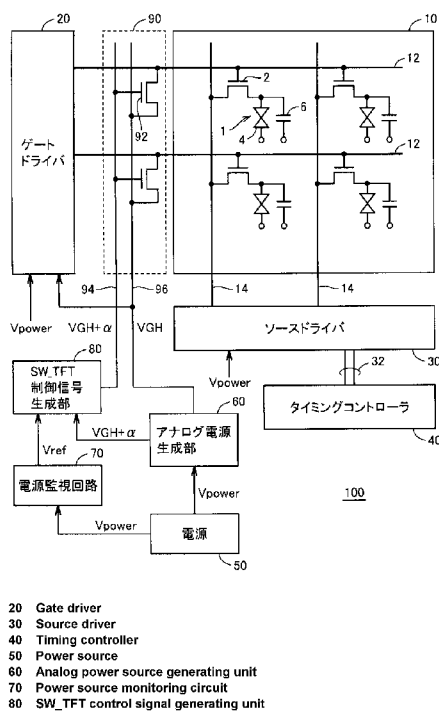
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法

[図1]



(57) Abstract: An objective of the present invention is, in an active-matrix display device, to rapidly discharge an electric charge which is accumulated in each display pixel when a power source interrupt occurs. A display panel (10) comprises a plurality of display pixels (1) which are positioned corresponding to intersections of a plurality of gate lines (12) and a plurality of source lines (14) which are positioned mutually intersecting. An analog power source generating unit (60) employs a power source voltage (V_{power}) which is supplied from a power source (50) to generate a drive voltage (VGH) having a voltage level which at least sets the display pixels to a selection state and supplies said drive voltage (VGH) to a gate driver (20). A power source monitoring circuit (70) monitors the power source voltage. A plurality of switch TFTs (92) are respectively disposed between the plurality of gate lines and the analog power source generating unit, and are switched on when a power source interrupt is detected, thus supplying a drive voltage from the analog power source generating unit to each of the gate lines.

(57) 要約: アクティブマトリクス方式の表示装置において、電源遮断の発生時に各表示画素に蓄積された電荷を迅速に放電させることとする。表示パネル(10)は、相互に直交して配設される複数のゲート配線(12)および複数のソース配線(14)の交点に対応して配置される複数の表示画素(1)を含む。アナログ電源生成部(60)は、電源(50)から供給される電源電圧(V_{power})を用いて、少なくとも表示画素を選択状態に設定する電圧レベルを有する駆動電圧(VGH)を生成してゲートドライバ(20)に供給する。電源監視回路(70)は、電源電圧を監視する。複数のスイッチTFT(92)は、複数のゲート配線およびアナログ電源生成部の間にそれぞれ設けられ、電源遮断が検出されたときにオンされることにより、アナログ電源

生成部から各ゲート配線に駆動電圧を供給する。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] この発明は、表示装置に関し、より特定的には、電源遮断の発生時に各表示画素に蓄積された電荷を放電させるための技術に関する。

背景技術

[0002] 表示装置の一例として、液晶表示装置が知られている。液晶表示装置においては、複数の画素電極を薄膜トランジスタ（TFT：Thin Film Transistor）によってそれぞれ駆動する方式が広く採用されている。このような方式はアクティブマトリクス方式と呼ばれる。このようなアクティブマトリクス方式の液晶表示装置は、薄膜トランジスタに信号を供給するための基板上に配置されたゲート配線と、このゲート配線と交差するようにゲート配線より上側に配置された複数のソース配線とを備える。

[0003] たとえば特開2004-205588号公報（特許文献1）には、相互に直交して配設された複数のゲート配線および複数のソース配線の各交点近傍に複数の表示画素が2次元配列された表示パネルと、複数のゲート配線に走査信号を順次印加して、表示画素を所定のタイミングで選択状態に駆動するゲートドライバと、複数のソース配線の各々を介して、選択状態に設定された表示画素に表示信号電圧を印加するソースドライバとを備えた表示装置が開示される。

[0004] この特開2004-205588号公報（特許文献1）による表示装置は、所定の駆動電力に基づいて、少なくとも走査信号および表示信号電圧の電圧レベルを規定する複数の駆動電圧を生成して、ゲートドライバおよびソースドライバに供給する電源電圧供給回路をさらに備える。この電源電圧供給回路は、電源電池が脱落等することにより駆動電力の供給が遮断された場合には、接地電位を有する駆動電圧を生成してゲートドライバに供給する。これにより、表示パネルを構成する全ゲート配線に、接地電位を有する走査信

号を供給して、全ての表示画素を選択状態に設定し、各表示画素に蓄積されていた電荷を所定電位（コモン信号電圧）に放電するように構成される。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-205588号公報

特許文献2：特開2000-89193号公報

特許文献3：特開平9-222590号公報

特許文献4：特開平8-335058号公報

特許文献5：特開平5-210358号公報

発明の概要

発明が解決しようとする課題

[0006] 上記の特許文献1に記載される表示装置において、電源電圧供給回路は、電源電池から正常に駆動電力が供給された表示駆動を実行している状態においては、駆動電圧として負電圧をゲートドライバに供給する一方で、電源電池からの駆動電力の遮断が検出された場合には、負電圧を有する駆動電圧を迅速に接地電位に移行させて、各表示画素に設けられた画素トランジスタ（画素TFT）をオンさせるように、ゲート配線に印加される走査信号の電圧レベルを制御する。これにより、各表示画素に蓄積された電荷を放電させ、電源遮断の発生に伴って表示画像が徐々に消えていく残像の発生を抑制している。

[0007] ここで、TFTを画素トランジスタとする表示画素においては、一般的に、TFTの特性上、画素トランジスタに正電圧を有する走査信号を印加することによって画素トランジスタのターンオン動作を促進できる。しかしながら、上記の特許文献1に記載されるように、電源遮断が発生した場合においても、ゲートドライバからゲート配線に印加される走査信号の電圧レベルを制御する構成では、ゲートドライバの仕様により、制御可能な走査信号の電圧レベルが制約されてしまう。その結果、各表示画素に蓄積された電荷を迅

速に放電させることが困難となっていた。

[0008] この発明はこのような問題点を解決するためになされたものであって、この発明の目的は、アクティブマトリクス方式の表示装置において、電源遮断の発生時に各表示画素に蓄積された電荷を迅速に放電させることである。

課題を解決するための手段

[0009] この発明のある局面では、表示装置は、相互に直交して配設される複数のゲート配線および複数のソース配線と、複数のゲート配線および複数のソース配線の交点に対応して配置される複数の表示画素とを含む表示パネルと、複数のゲート配線に走査信号を順次印加することにより、各表示画素を選択状態に設定するゲートドライバと、各ソース配線を介して、選択状態に設定された表示画素に表示信号電圧を印加するソースドライバと、電源から供給される電源電圧を用いて、少なくとも表示画素を選択状態に設定する電圧レベルを有する駆動電圧を生成してゲートドライバに供給する電源電圧生成部と、電源電圧を監視する監視部と、複数のゲート配線および電源電圧生成部の間にそれぞれ設けられ、監視部により電源の遮断が検出されたときにオンされることにより、各ゲート配線に対して電源電圧生成部からの駆動電圧を供給するように構成された複数のスイッチトランジスタとを備える。

発明の効果

[0010] この発明によれば、アクティブマトリクス方式の表示装置において、電源遮断の発生時に各表示画素に蓄積された電荷を迅速に放電させることができる。

図面の簡単な説明

[0011] [図1]この発明の実施の形態1による表示装置を適用した液晶表示装置の一実施形態を示すブロック図である。

[図2]図1に示したアナログ電源生成部、電源監視回路、およびSW__TFT制御信号生成部の構成図である。

[図3]通常駆動時および電源遮断時におけるスイッチTFTおよび表示画素の動作を説明する図である。

[図4]画素T F TおよびスイッチT F Tに印加される電圧の時間的な変化を示す図である。

[図5]従来の表示装置における電源遮断時の表示画素の動作を説明する図である。

[図6]従来の表示装置における画素T F Tに印加される電圧の時間的な変化を示す図である。

[図7]本実施の形態1による表示装置の動作を説明する図である。

[図8]この発明の実施の形態2による表示装置を適用した液晶表示装置の一実施形態を示すブロック図である。

[図9]画素T F TおよびスイッチT F Tに印加される電圧の時間的な変化を示す図である。

発明を実施するための形態

[0012] 以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中の同一または相当する部分には同一符号を付してその説明は繰返さない。

[0013] [実施の形態1]

図1は、この発明の実施の形態1による表示装置を適用した液晶表示装置の一実施形態を示すブロック図である。

[0014] 図1を参照して、液晶表示装置100は、複数の表示画素1が行列状に配列された表示パネル10と、ゲートドライバ20と、ソースドライバ30と、タイミングコントローラ40と、電源50と、アナログ電源生成部60とを備える。

[0015] 表示パネル10は、対向する透明基板（図示せず）の間に互いに直交する方向に配設された複数のゲート配線12および複数のソース配線14と、複数のゲート配線12と複数のソース配線14との交点に対応して配置された複数の表示画素1とを含む。

[0016] 各表示画素1は、画素電極4と、補助容量電極6と、薄膜トランジスタ（T F T）2とを含む。T F T 2は、ドレイン電極が画素電極4に接続され、

ソース電極がソース配線 1 4 に接続され、ゲート電極がゲート配線 1 2 に接続される。表示画素 1 は、画素電極 4 と画素電極 4 に対向して配置された共通電極（対向電極）との間に充填保持された液晶分子からなる液晶容量と、該液晶容量に並列に接続され、液晶容量に印加された信号電圧を保持するための蓄積容量とをさらに含む。

[0017] ゲートドライバ 2 0 は、表示パネル 1 0 の各行の表示画素群を順次走査して選択状態に設定する。ソースドライバ 3 0 は、選択状態に設定された行の表示画素群に、映像信号に基づく表示信号電圧を一括して出力する。具体的には、ゲートドライバ 2 0 は、複数のゲート配線 1 2 に走査信号（以下、「ゲートドライバ出力」とも称する。）を順次印加して各行の表示画素群を選択状態とする。ソースドライバ 3 0 は、各行の表示画素群が選択状態となるタイミングに同期して、表示信号電圧（以下、「ソースドライバ出力」とも称する。）を、各ソース配線 1 4 を介して各表示画素 1 に一斉に供給する。なお、このソースドライバ 3 0 における表示信号電圧の供給タイミングに同期して、該表示信号電圧に対して反転極性となるコモン信号電圧 V_{com} が対向電極に印加される。

[0018] タイミングコントローラ 4 0 は、装置外部から入力される映像信号に基づいて、ゲートドライバ 2 0 およびソースドライバ 3 0 の動作タイミングを制御する。なお、タイミングコントローラ 4 0 とソースドライバ 3 0 とは、一対の作動信号線によって構成されたデータ信号線 3 2 を介して接続される。このデータ信号線 3 2 を介してタイミングコントローラ 4 0 からソースドライバ 3 0 へ差動のデジタルのデータ信号が供給される。

[0019] 上述した一連の動作を、1 画面分の各行に対して繰り返し実行することにより、映像信号に基づく所望の画像情報が表示パネル 1 0 に表示される。なお、上述のように、T F T 2 は、画素電極 4 に表示信号電圧を供給するためのスイッチング素子（以下、「画素トランジスタ」とも称する。）として用いられるため、以下では、T F T 2 を「画素 T F T（または、L C D _ T F T）」とも表記する。

- [0020] 電源50は、接地電圧（0V）に負極側が接続された直流電源であり、ゲートドライバ20、ソースドライバ30およびアナログ電源生成部60に対して電源電圧 V_{power} （たとえば、3.3Vとする）を供給する。
- [0021] アナログ電源生成部60は、電源50から供給される電源電圧 V_{power} を用いて、表示パネル10の表示駆動に必要な駆動電圧を生成する。例えば、アナログ電源生成部60は、電源電圧 V_{power} から駆動電圧 V_{GH} を生成してゲートドライバ20に供給する。ゲートドライバ20は、アナログ電源生成部60から供給される駆動電圧 V_{GH} に基づいて、走査信号のハイレベルを規定する電圧（オン電圧：正電圧） V_{GH} と、走査信号のローレベルを規定する電圧（オフ電圧：負電圧） V_{GL} とを生成する。
- [0022] このように、表示装置100は、電源50から供給される電源電圧 V_{power} に基づいて、上述した画像情報の表示駆動を行なっている。この表示駆動の途中で電源が遮断されると、電源50からゲートドライバ20、ソースドライバ30およびアナログ電源生成部60に供給される電源電圧 V_{power} が接地電圧に移行する。そして、電源電圧 V_{power} が接地電圧に移行することにより、アナログ電源生成部60からゲートドライバ20に供給される駆動電圧 V_{GH} も徐々に接地電圧に移行する。なお、駆動電圧 V_{GH} は、アナログ電源生成部60に設けられたコンデンサや負荷容量の自由放電に起因して、電源電圧 V_{power} より遅い速度で接地電圧に至る。
- [0023] ゲートドライバ20においては、電源遮断後、ゲート配線12に印加される走査信号がオフ電圧 V_{GL} （負電圧）に設定される。これにより、画素 TFT_2 がオフ状態に制御されるため、画像情報を表示するために各表示画素（液晶容量、蓄積容量）に蓄積された電荷が保持されることになる。その結果、電源遮断後の比較的長い時間、表示パネル10の走査駆動が停止され、かつ、表示画素1に蓄積電荷が保持された状態となり、この蓄積電荷の放電に伴って画像情報が徐々に消えていく残像が発生する。これにより、表示品質が悪化する。
- [0024] また、各表示画素1に充填された液晶分子に直流電圧が印加されることに

なるため、液晶分子の劣化が進行し、ひいては表示パネル 10 の短命化を招くことになる。したがって、電源遮断が発生した場合には、各表示画素 1 に蓄積された電荷を迅速に放電させる必要がある。

[0025] 本実施の形態 1 による表示装置 100 は、電源遮断後において各表示画素 1 の蓄積電荷を放電させるための構成として、表示パネル 10 と行方向に隣り合うように配置された SW_TFT ブロック 90 と、電源監視回路 70 と、SW_TFT 制御信号生成部 80 とをさらに備える。

[0026] SW_TFT ブロック 90 は、表示パネル 10 の列方向に配列された複数の TFT 92 と、複数のソース配線 14 と平行に配設されたゲート配線 94 およびソース配線 96 とを含む。

[0027] 各 TFT 92 は、各ゲート配線 12 とソース配線 96 との交点に配置される。TFT 92 は、ドレインがゲート配線 12 に接続され、ソースがソース配線 96 に接続され、ゲートがゲート配線 94 に接続される。TFT 92 は、表示画素 1 に含まれる画素 TFT 2 と同一基板上に形成される。なお、TFT 92 は、画素 TFT 2 と同一構造および同一プロセスで一体的に形成することができる。

[0028] ゲート配線 94 は、SW_TFT 制御信号生成部 80 に接続される。ゲート配線 94 は、SW_TFT 制御信号生成部 80 から供給される制御信号を TFT 92 のゲートに印加する。ソース配線 96 は、アナログ電源生成部 60 に接続される。図 1 に示すように、アナログ電源生成部 60 により生成された駆動電圧 VGH は、ゲートドライバ 20 に供給されるとともに、ソース配線 96 に供給される。ソース配線 96 は、供給された駆動電圧 VGH を TFT 92 のソースに印加する。

[0029] このような構成とすることにより、SW_TFT 制御信号生成部 80 から供給される制御信号に応答して TFT 92 がオンされると、TFT 92 を介してソース配線 96 およびゲート配線 12 の間に電流経路が形成される。そして、この電流経路を通して、ソース配線 96 からゲート配線 12 に駆動電圧 VGH が供給されることになる。

[0030] すなわち、SW__TFTブロック90に含まれる各TFT92は、制御信号に応答してオン状態となったときに、アナログ電源生成部60から出力される駆動電圧VGHをゲート配線12に伝達する。なお、駆動電圧VGHは、上述したように、表示駆動の実行中に、ゲートドライバ20から出力される走査信号のオン電圧（正電圧）に相当する。したがって、画素TFT2は、この駆動電圧VGH（オン電圧）を受けてオン状態に駆動される。

[0031] このように、TFT92は、ゲートドライバ20に代えて、ゲート配線12に供給される走査信号の信号レベルを制御するためのトランジスタ（以下、「スイッチトランジスタ」とも称する。）として用いられる。以下の説明では、画素TFT2と区別するために、TFT92を「スイッチTFT（または、SW__TFT）」とも表記する。

[0032] 電源監視回路70は、電源50から供給される電源電圧Vpowerを検出する検出回路を含む。電源監視回路70は、電源電圧Vpowerの検出値に基づいて参照電圧Vrefを生成し、その生成した参照電圧VrefをSW__TFT制御信号生成部80へ出力する。なお、電源監視回路70により生成される参照電圧Vrefは、電源電圧Vpowerの電圧レベルに応じて可変に設定される。詳細には、電源電圧Vpowerの電圧レベルが低くなると、参照電圧Vrefは低く設定される。

[0033] SW__TFT制御信号生成部80は、アナログ電源生成部60から駆動電圧（ $VGH + \alpha$ ）を受け、電源監視回路70から参照電圧Vrefを受ける。なお、駆動電圧（ $VGH + \alpha$ ）は、後述するように、アナログ電源生成部60に含まれるチャージポンプ回路の出力電圧に相当する。SW__TFT制御信号生成部80は、チャージポンプ回路の出力電圧（ $= VGH + \alpha$ ）を用いて、スイッチTFT92のオンオフを制御する制御信号を生成する。

[0034] 具体的には、SW__TFT制御信号生成部80は、参照電圧Vrefに応じて、駆動電圧（ $VGH + \alpha$ ）に等しい電圧を有する制御信号、および接地電圧（ $= 0V$ ）を有する制御信号のいずれか一方を生成する。SW__TFT制御信号生成部80により生成された制御信号は、ゲート配線94に供給さ

れる。すなわち、制御信号が有する電圧は、スイッチTFT92のゲート電圧（以下、「VG(SW__TFT)」とも記す。）となる。

[0035] 図2を参照して、アナログ電源生成部60、電源監視回路70、およびSW__TFT制御信号生成部80についてさらに説明する。

[0036] アナログ電源生成部60は、DC/DCコンバータ62と、チャージポンプ回路64と、抵抗R1と、ツェナーダイオードZDとを含む。

[0037] DC/DCコンバータ62は、例えば昇圧チョッパ回路によって構成される。具体的には、DC/DCコンバータ62は、リアクトルL1と、トランジスタTr0と、ダイオードD0と、コンデンサC0と、抵抗R0とを含む。トランジスタTr0、コンデンサC0、および抵抗R0は、電源50を構成する直流電源の正極端子と負極端子との間に、並列に接続される。リアクトルL1は、直流電源の正極端子と、トランジスタTr0のコレクタとの間に接続される。ダイオードD0は、トランジスタTr0のコレクタとコンデンサC0の一方端との間に接続される。

[0038] DC/DCコンバータ62においては、図示しない制御部からのスイッチング指令に応答してトランジスタTr0がスイッチング動作することによって、電源電圧Vpowerが昇圧された電圧である電圧V2が生成される。より具体的には、トランジスタTr0のオン期間では電源電圧VpowerはリアクトルL1を通じて短絡され電流が流れるため、リアクトルL1の磁束レベルが上昇する。そして、トランジスタTr0のオフ期間では、リアクトルL1に電圧が発生し、その電圧が電源電圧Vpowerに加算されてダイオードD0が導通する。これにより、電圧V2を電源電圧Vpowerより上昇させる。この電圧V2は、リアクトルL1およびダイオードD0の接続ノードの電圧V1とともに、チャージポンプ回路64に供給される。

[0039] チャージポンプ回路64は、コンデンサC1、C2、C3と、ダイオードD1、D2とを含む。コンデンサC1の一方端は、リアクトルL1およびダイオードD0の接続ノードに接続され、他方端はダイオードD1の陽極（アノード）およびダイオードD2の陰極（カソード）に接続される。コンデン

サC 2の一方端はダイオードD 1のカソードに接続され、他方端はダイオードD 2のアノードに接続される。コンデンサC 3の一方端はダイオードD 2のアノードに接続され、他方端はDC/DCコンバータ6 2のダイオードD 0のカソードに接続される。

[0040] チャージポンプ回路6 4は、コンデンサC 1の一方端に電圧V 1を受け、コンデンサC 3の他方端に電圧V 2を受ける。チャージポンプ回路6 4は、トランジスタT r 0のスイッチング動作に応じて矩形波状に変化する電圧V 1と、電圧V 2との差に応じて充電動作および放電動作を繰り返し実行することにより、駆動電圧V G Hより所定電圧 α 上回る電圧($=V G H + \alpha$)を生成する。チャージポンプ回路6 4は、その生成した駆動電圧($V G H + \alpha$)を出力線6 6に出力する。

[0041] 駆動電圧($V G H + \alpha$)が与えられる出力線6 6と、接地電圧(0 V)が与えられる接地ノード8との間には、抵抗R 1およびツェナーダイオードZ Dからなる直列回路が接続される。ツェナーダイオードZ Dは、カソードが抵抗R 1に接続され、アノードが接地ノード8に接続される。抵抗R 1およびツェナーダイオードZ Dの接続ノード(図中のノードN 1に相当)は、アナログ電源生成部6 0の出力ノードを構成する。なお、図示は省略するが、この出力ノードN 1は、ゲートドライバ2 0およびソース配線9 6(図1)と電氣的に接続されている。

[0042] 出力線6 6に印加される駆動電圧($V G H + \alpha$)が大きくなると、ツェナーダイオードZ Dに加わる逆方向電圧が増加する。そして、逆方向電圧が降伏電圧を超えると、ツェナーダイオードZ Dのカソードからアノードへ流れる電流(逆方向電流)が急激に増加する。降伏現象が起きると、ツェナーダイオードZ Dの電圧は、逆方向電流の大きさとは無関係に一定値(降伏電圧)をとる。

[0043] 本実施の形態1では、ツェナーダイオードZ Dは、駆動電圧V G Hを降伏電圧とする。したがって、ツェナーダイオードZ Dの電圧は、逆方向電流が変化してもほとんど一定(駆動電圧V G H)となる。これにより、アナログ

電源生成部60の出力ノードN1には、定電圧（駆動電圧 V_{GH} ）が出力される。ゲートドライバ20は、この駆動電圧 V_{GH} に基づいて走査信号のオン電圧を生成する。すなわち、駆動電圧 V_{GH} は、画素TFT2のゲート電圧（以下、「 $V_G(LCD_TFT)$ 」とも記す。）となる。さらに、駆動電圧 V_{GH} は、ソース配線96に供給されることによってスイッチTFT92のソース電圧（以下、「 $V_S(SW_TFT)$ 」とも記す。）となる。

[0044] さらに、チャージポンプ回路64の出力線66には、 SW_TFT 制御信号生成部80が接続される。 SW_TFT 制御信号生成部80は、出力線66と接地ノード8との間に直列に接続された抵抗 R_4 およびトランジスタ T_{r1} を含む。トランジスタ T_{r1} は、コレクタが抵抗 R_4 に接続され、エミッタが接地ノード8に接続され、かつ、ベースが電源監視回路70の出力ノード（図中のノードN3に相当）に接続される。抵抗 R_4 およびトランジスタ T_{r1} の接続ノード（図中のノードN2に相当）は、 SW_TFT 制御信号生成部80の出力ノードを構成する。

[0045] 電源監視回路70は、電源50から電源電圧 V_{power} を受ける電源ノード9と接地ノード8との間に直列に接続された抵抗 R_2 、 R_3 を含む。抵抗 R_2 および R_3 の接続ノードN3は、電源監視回路70の出力ノードを構成する。電源監視回路70は、電源電圧 V_{power} を分圧し、電源電圧 V_{power} に比例した参照電圧 V_{ref} を生成する。電源監視回路70により生成された参照電圧 V_{ref} は、出力ノードN3を介して SW_TFT 制御信号生成部80のトランジスタ T_{r1} のベースに入力される。これにより、トランジスタ T_{r1} のベース－エミッタ間電圧 V_{BE} は参照電圧 V_{ref} と等しくなる（ $V_{BE}=V_{ref}$ ）。

[0046] ここで、トランジスタ T_{r1} がオンするときのベース－エミッタ間電圧 V_{BE} を V_f （たとえば、0.7Vとする）とすると、参照電圧 V_{ref} が V_f （=0.7V）より高いときには（ $V_{ref}>V_f$ ）、トランジスタ T_{r1} がオンされる。トランジスタ T_{r1} がオンされることにより、出力ノードN2からは接地電圧を有する制御信号が出力される。

[0047] これに対して、参照電圧 V_{ref} が V_f ($=0.7V$) 以下であるときには ($V_{ref} \leq V_f$)、トランジスタ T_{r1} がオンされないため、出力ノード N_2 からは駆動電圧 ($V_{GH} + \alpha$) に等しい電圧を有する制御信号が出力される。

[0048] なお、電源監視回路70において、参照電圧 V_{ref} は、抵抗 R_2 , R_3 の抵抗値を調整することによって可変に設定することができる。本実施の形態1では、電源電圧 V_{power} に対して判定値 V_{power_th} が設定される。この判定値 V_{power_th} は、電源が遮断されたか否かを判別するための閾値 (たとえば、 $2.7V$ とする) である。電源監視回路70は、電源電圧 V_{power} と判定値 V_{power_th} とを比較し、その比較結果に基づいて電源遮断を検出する。抵抗 R_2 , R_3 の抵抗値は、判定値 V_{power_th} を分圧して生成される参照電圧 V_{ref} が V_f ($=0.7V$) と等しくなるように設定される。これにより、電源電圧 V_{power} が判定値 V_{power_th} より高いとき、すなわち、電源50から正常に電力が供給されている通常駆動時には、参照電圧 V_{ref} が V_f より高くなるため、トランジスタ T_{r1} がオンされ、 SW_TFT 制御信号生成部80の出力ノード N_2 から接地電圧を有する制御信号が出力される。

[0049] そして、電源遮断の発生によって電源電圧 V_{power} が低下し、判定値 V_{power_th} に到達すると、参照電圧 $V_{ref} = V_f$ となるため、トランジスタ T_{r1} がオフされる。よって、出力ノード N_2 からは駆動電圧 ($V_{GH} + \alpha$) に等しい電圧を有する制御信号が出力される。

[0050] このように、 SW_TFT 制御信号生成部80は、アナログ電源生成部60により生成される駆動電圧 ($V_{GH} + \alpha$) を用いて、スイッチ TFT_{92} のオンオフを制御する制御信号を生成してゲート配線94に出力する。この制御信号 ($= V_G (SW_TFT)$) は、電源電圧 V_{power} が判定値 V_{power_th} より高いとき (すなわち、通常駆動時) に接地電圧を有する一方で、電源電圧 V_{power} が判定値 V_{power_th} 以下のとき (すなわち、電源遮断時) に駆動電圧 ($V_{GH} + \alpha$) に等しい電圧を有する。

- [0051] 図3および図4を用いて、通常駆動時および電源遮断時におけるスイッチTF T 9 2および表示画素1の動作を詳細に説明する。
- [0052] 図3には、本実施の形態1による表示装置のうちの表示パネル10およびSW__TF Tブロック90が抽出して示されている。なお、図3では、表示パネル10において1個の表示画素1が代表して示され、かつ、SW__TF Tブロック90において1個のスイッチTF T 9 2が代表して示されている。
- [0053] 図3を参照して、通常駆動時には、ゲートドライバ20（図1）からゲート配線12に印加される走査信号（ゲートドライバ出力）に応答して表示画素1が選択状態となるタイミングに同期して、表示信号電圧（ソースドライバ出力）がソース配線14を介して表示画素1に印加される。また、ソースドライバ出力の印加タイミングに同期して、表示信号電圧に対して反転極性となるコモン信号電圧 V_{com} が対向電極に印加される。
- [0054] このような表示駆動の実行中、SW__TF Tブロック90においては、アナログ電源生成部60からソース配線96に対して駆動電圧 V_{GH} が供給される（すなわち、 $V_S(SW_TF T) = V_{GH}$ ）。また、SW__TF T制御信号生成部80からゲート配線94に対して接地電圧を有する制御信号が供給される（すなわち、 $V_G(SW_TF T) = 0V$ ）。この制御信号に応答してスイッチTF T 9 2がオフ状態となるため、ソース配線96およびゲート配線12の間の電流経路が遮断される。したがって、駆動電圧 V_{GH} はゲート配線12に伝達されない。
- [0055] これに対して、表示駆動の実行中に電源遮断が発生した場合には、ゲートドライバ20に供給される電源電圧 V_{power} および駆動電圧 V_{GH} が接地電圧に移行する。ゲートドライバ出力は駆動電圧 V_{GL} に設定される。駆動電圧 V_{GL} は走査信号のオフ電圧（負電圧）に相当するため、画素TF T 2はオフ状態に制御される。そのため、各表示画素1に蓄積された電荷が保持された状態となる。
- [0056] 図4は、画素TF T 2およびスイッチTF T 9 2に印加される電圧の時間

的な変化を示す図である。電源遮断が発生した時点（時刻 t_1 ）から電源電圧 V_{power} が低下し始め、その後の時刻 t_2 で電源電圧 V_{power} が判定値 V_{power_th} に到達すると、SW_TFT制御信号生成部80からゲート配線94に対して駆動電圧（ $V_{GH} + \alpha$ ）に等しい電圧を有する制御信号が供給される。これにより、SW_TFTブロック90においては、スイッチTFT92のゲート電圧 V_G （SW_TFT）が接地電圧から駆動電圧（ $V_{GH} + \alpha$ ）に変化する。なお、ソース配線96には、アナログ電源生成部60からの駆動電圧 V_{GH} が供給されている（ V_S （SW_TFT） = V_{GH} ）。

[0057] そして、時刻 t_2 において、制御信号（= V_G （SW_TFT））の立上りに応答してスイッチTFT92がオンされると、スイッチTFT92を介してソース配線96およびゲート配線12の間に電流経路が形成される。この電流経路を通して、ソース配線96からゲート配線12に駆動電圧 V_{GH} が供給される。これにより、画素TFT2のゲート電圧 V_G （LCD_TFT）は、駆動電圧 V_{GL} （オフ電圧）から駆動電圧 V_{GH} （オン電圧）に変化する。

[0058] なお、SW_TFTブロック90では、ゲート配線94に接続される複数のスイッチTFT92が制御信号（= V_G （SW_TFT））の立上りに応答して同時にオンされるため、表示パネル10内の複数のゲート配線12には一斉に駆動電圧 V_{GH} （オン電圧）が供給される。各ゲート配線12を介して各画素TFT2のゲートに駆動電圧 V_{GH} （オン電圧）が印加されることにより、全ての画素TFT2が一斉にオンされる。これにより、各表示画素1に蓄積された電荷が画素TFT2およびソース配線14を介して、所定電圧（コモン信号電圧 V_{com} ）に放電される。

[0059] このように、本実施の形態1による表示装置では、電源遮断を検出してオン状態に駆動されるスイッチTFT92を介して、アナログ電源生成部60からゲート配線12に対して駆動電圧 V_{GH} （オン電圧）を供給する。すなわち、電源遮断が発生した場合には、ゲートドライバ20を介さずに駆動電

圧 V_{GH} （オン電圧）をゲート配線12に供給することができる点で、従来の表示装置と相違する。

[0060] 以下では、本実施の形態1による表示装置と従来の表示装置との相違点について、図面を参照して詳細に説明する。

[0061] 図5および図6は、従来の表示装置における電源遮断時の表示画素1の動作を説明する図である。図5には、従来の表示装置のうちの表示パネル10を抽出して示す。図5では、1個の表示画素1が代表して示されている。図6には、図5の画素 $TF T 2$ に印加される電圧の時間的な変化を示す。

[0062] なお、従来の表示装置において表示パネル10の構成は、図1と同様の構成であるので詳細な説明は繰り返さない。また、通常駆動時の表示画素1の動作についても、本実施の形態1におけるそれと同じであるので、詳細な説明を繰り返さない。

[0063] 従来の表示装置においては、電源遮断が発生すると（時刻 $t 1$ ）、ゲートドライバ（図示せず）から各ゲート配線12に供給される走査信号はオフ電圧（ V_{GL} ）に設定される。オフ電圧 V_{GL} をゲートに受けて画素 $TF T 2$ がオフすると、表示画素1の蓄積電荷が保持された状態となる。そのため、画素 $TF T 2$ のドレイン電圧（以下、「 $V_D(LCD_TF T)$ 」とも記す。）は、蓄積電荷に応じた電圧レベル V_{LS} に保持される。また、画素 $TF T 2$ のソース電圧 $V_S(LCD_TF T)$ は、接地電圧となる。なお、電源遮断後における蓄積電荷の自然放電によって、ドレイン電圧 $V_D(LCD_TF T)$ は電圧 V_{LS} から徐々に低下する（図6中のライン $k 1$ に相当）。

[0064] 電源から供給される電源電圧に基づいて、ゲートドライバおよびソースドライバに供給する駆動電圧を生成する電源電圧供給回路（図示せず）は、電源遮断を検出すると（時刻 $t 2$ ）、ゲートドライバに供給する駆動電圧を接地電圧以上となるように制御する。これにより、ゲートドライバから各ゲート配線12を介して各表示画素1の画素 $TF T 2$ のゲートに印加される走査信号（= $V_G(LCD_TF T)$ ）の電圧レベルは、接地電圧以上に上昇する。走査信号の電圧レベルが上昇したことによって画素 $TF T 2$ がオンする

と、各表示画素 1 に蓄積された電荷が画素 T F T 2、ソース配線 1 4 を介してコモン信号電圧 V_{com} に放電される。画素 T F T 2 のドレイン電圧 V_D (LCD__T F T) は、自然放電よりも速い速度で低下する (図 6 中のライン k 2 に相当)。

[0065] このように、従来の表示装置では、電源遮断が発生すると、ゲートドライバを介して接地電圧以上の電圧を有する走査信号をゲート配線 1 2 に供給することにより、画素 T F T 2 をオン状態に駆動する。したがって、ゲートドライバは、電源が遮断された状態においても、所望の電圧をゲート配線 1 2 に供給するための動作を行なう必要がある。

[0066] しかしながら、表示装置に汎用されるゲートドライバは、電源からの電力供給が遮断された状態においては走査信号の電圧レベルを制御することができない。よって、上述した動作を実現するためには、専用のゲートドライバを設ける必要が生じる。

[0067] さらに、汎用的なゲートドライバは、シフトレジスタを搭載しており、該シフトレジスタから複数のゲート配線 1 2 に走査信号を順次印加して各行の表示画素群を選択状態とするように構成されているため、複数のゲート配線 1 2 に一斉に走査信号を印加することができない。そのため、蓄積電荷の放電の迅速性についてはある程度限界がある。

[0068] また、ゲートドライバが複数のゲート配線 1 2 に一斉に走査信号を印加する機能を備えている場合であっても、複数のゲート配線 1 2 に走査信号を印加する際には通常駆動時に流れる電流の数百倍の電流がゲートドライバに流れることになるため、大電流に耐え得るようにゲートドライバの回路規模や配線スペース等を設計する必要が生じる。

[0069] さらに、汎用的なゲートドライバにおいて、オフ電圧 V_{GL} (負電圧) を出力する回路部から接地電圧以上の電圧を出力させることは、ゲートドライバに内蔵される保護回路の破壊に繋がる虞がある。したがって、保護回路を破壊させないための対策回路をゲートドライバに搭載する必要が生じる。

[0070] これに対して、図 3 および図 4 に示したように、本実施の形態 1 による表

示装置においては、電源が遮断した場合には、ゲートドライバ20に代えて、SW__TFTブロック90内の各スイッチTFT92が各ゲート配線12にオン電圧(VGH)を供給することから、上述したゲートドライバにおける問題を回避することができる。

[0071] 図7は、以上説明した、本実施の形態1による表示装置100の動作をまとめて記載したものである。図7には、画素TFT2およびスイッチTFT92に印加される電圧、参照電圧Vref、および電源電圧Vpowerの時間的な変化を示す。

[0072] 図7を参照して、電源遮断が発生すると(時刻t1)、ゲートドライバ20から各ゲート配線12に供給される走査信号はオフ電圧(VGL)に設定される。オフ電圧(VGL)をゲートに受けて画素TFT2がオフすると、表示画素1の蓄積電荷が保持された状態となる。そのため、画素TFT2のドレイン電圧VD(LCD__TFT)は、蓄積電荷に応じた電圧レベルVLSに保持される。

[0073] 電源遮断が発生した時点(時刻t1)から電源電圧Vpowerが低下し始め、その後の時刻t2において判定値Vpower__thに到達すると、電源監視回路70により生成される参照電圧Vref(=トランジスタTr1のベース-エミッタ間電圧VBE)がVf(=0.7V)に到達する。この参照電圧Vref(=Vf)をゲートに受けてトランジスタTr1がオンすることにより、SW__TFT制御信号生成部80からゲート配線94に供給される制御信号の電圧レベル(=VG(SW__TFT))は、接地電圧から駆動電圧(VGH+α)に変化する。なお、ソース配線96には、アナログ電源生成部60からの駆動電圧VGHが供給されている(VS(SW__TFT)=VGH)。

[0074] 制御信号(=VG(SW__TFT))の立上りに応答してスイッチTFT92がオンされると、スイッチTFT92を介してソース配線96からゲート配線12に駆動電圧VGHが伝達される。これにより、画素TFT2のゲート電圧VG(LCD__TFT)は、オフ電圧(VGL)からオン電圧(V

GH)に変化する。

[0075] オン電圧 (V_{GH}) をゲートに受けて画素 TFT2 がオン状態に駆動されると、表示画素 1 に蓄積された電荷が画素 TFT2 およびソース配線 14 を介して、所定電圧 (コモン信号電圧 V_{com}) に放電される。画素 TFT2 のドレイン電圧 V_D (LCD_TFT) は、自然放電 (図 6 中のライン k1 に相当) よりも速い速度で低下する (図 6 中のライン k3 に相当)。

[0076] ここで、従来の表示装置と本実施の形態 1 による表示装置との間で、表示画素 1 の蓄積電荷の放電速度を比較すると、従来の表示装置では、電源遮断後における走査信号 ($=V_G(LCD_TFT)$) の立上り速度がゲートドライバの動作速度等に依存するため、蓄積電荷の放電速度の向上には自ずと限界がある。これに対して、本実施の形態 1 による表示装置では、電源遮断後における走査信号 ($=V_G(LCD_TFT)$) の立上り速度はスイッチ TFT92 のオン特性に主に依存しているため、蓄積電荷の放電速度をより高めることができる。

[0077] このように、本実施の形態 1 による表示装置によれば、電源遮断時には、ゲートドライバを介さずに各表示画素の画素 TFT のゲートにオン電圧を供給することができる。これにより、電源遮断後に迅速に画素 TFT をオンさせて、各表示画素に蓄積された電荷を放電することができる。この結果、電源遮断の発生に伴って表示画素が徐々に消えていく残像の発生を抑制できるため、表示品質を向上できる。また、液晶分子への直流電圧の印加を防止できるので、表示パネルの劣化を抑制できる。

[0078] さらに、ゲートドライバを介さずに各表示画素の画素 TFT を同時にオン状態に制御することができることから、汎用的なゲートドライバを用いて本実施の形態 1 による表示装置を簡易に構築することが可能となる。

[0079] [実施の形態 2]

実施の形態 1 で説明したように、従来の表示装置では、電源遮断が発生した場合にも、ゲートドライバが各表示画素の画素 TFT に走査信号を供給する構成を採用するため、電源遮断を検出した時点における走査信号の立上り

が、ゲートドライバの動作速度等によって決まってしまう。そのため、電源遮断が発生した時点における各表示画素の蓄積電荷の状態に応じて走査信号の立上り波形を調整することができない。この結果、蓄積電荷の状態によっては、迅速な放電を行なうことができず、残像の発生の抑制が不十分となってしまう虞がある。

[0080] 一方、本実施の形態 1 による表示装置は、ゲートドライバを介さずに各表示画素の画素 T F T に走査信号を供給することができるため、電源遮断を検出した時点における走査信号の立上り波形を任意に調整することができる。実施の形態 2 では、走査信号の立上り波形を調整することが可能な表示装置を説明する。

[0081] 図 8 は、この発明の実施の形態 2 による表示装置を適用した液晶表示装置の一実施形態を示すブロック図である。

[0082] 図 8 を参照して、実施の形態 2 による液晶表示装置 100A は、図 1 に示した実施の形態 1 による液晶表示装置 100 と比較して、電源回路 84 と、スイッチ 86 とをさらに備える。

[0083] 電源回路 84 は、ソース配線 96 と電気的に接続されており、ソース配線 96 に供給する駆動電圧を任意の電圧に制御可能に構成される。

[0084] 電源監視回路 70 は、電源電圧 V_{power} を分圧し、電源電圧 V_{power} に比例した参照電圧 V_{ref} を生成する。電源監視回路 70 は、生成した参照電圧 V_{ref} を SW__T F T 制御信号生成部 80 およびスイッチ 86 へ出力する。

[0085] スwitch 86 は、ソース配線 96 に介挿接続される。スイッチ 86 は、電源監視回路 70 からの参照電圧 V_{ref} に応じてオンオフされる。なお、スイッチ 86 は、ソース配線 96 への駆動電圧の伝達経路を遮断可能な「開閉装置」の代表例として用いられる。

[0086] 具体的には、スイッチ 86 は、参照電圧 V_{ref} が V_f ($=0.7V$) より高いとき ($V_{ref} > V_f$)、オフ状態とされる。したがって、ソース配線 96 には駆動電圧が供給されない。一方、参照電圧 V_{ref} が V_f ($=0$

、 $7V$ ）以下であるとき（ $V_{ref} \leq V_f$ ）、スイッチ８６はオンされる。スイッチ８６がオンされることにより、電源回路８４からソース配線９６に駆動電圧が供給される。この駆動電圧は、スイッチＴＦＴ９２のソース電圧 V_S （ SW_TFT ）となる。

[0087] 電源回路８４は、ソース配線９６に供給する駆動電圧の立上り波形を調整することができる。例えば、電源回路８４は、駆動電圧の立上り速度を調整することができる。電源回路８４が駆動電圧の立上り速度を速くした場合には、電源遮断が検出された時点でスイッチ８６がオンすると、電源回路８４からソース配線９６に供給される駆動電圧（= V_S （ SW_TFT ））が急峻に増加する。これにより、スイッチＴＦＴ９２を介してソース配線９６からゲート配線１２に供給される駆動電圧（= V_G （ LCD_TFT ））も急峻に増加する。この結果、各表示画素における蓄積電荷の放電速度が上昇する。

[0088] その一方で、電源回路８４が駆動電圧の立上り速度を遅くした場合には、電源遮断が検出された時点でスイッチ８６がオンすると、電源回路８４からソース配線９６に供給される駆動電圧（= V_S （ SW_TFT ））が緩やかに増加する。図９には、図８の画素ＴＦＴ２およびスイッチＴＦＴ９２に印加される電圧の時間的な変化を示す。図９を参照して、ソース配線９６に供給される駆動電圧（= V_S （ SW_TFT ））が緩やかに増加すると、スイッチＴＦＴ９２を介してソース配線９６からゲート配線１２に供給される駆動電圧（= V_G （ LCD_TFT ））も緩やかに増加する。すなわち、駆動電圧の立上り速度を遅くすることによって、各表示画素における蓄積電荷の放電速度を低下させることができる。

[0089] このように、電源回路８４から任意の波形を有する駆動電圧をソース配線９６に供給可能な構成としたことにより、表示画素１における蓄積電荷の放電速度を制御することが可能となる。したがって、例えば、各表示画素１の蓄積電荷を一斉に放電させたときに表示パネル１０内に大電流が流れる可能性がある場合には、電源回路８４が駆動電圧の立上り速度を遅くすることに

より、大電流によって表示パネル 10 内の回路および配線等が損傷するのを防止することができる。

[0090] このように、本実施の形態 2 による表示装置によれば、スイッチ T F T を介してゲート配線に供給される駆動電圧の出力波形を調整することができるため、表示画素における蓄積電荷の状態に応じて、蓄積電荷の放電を適切に実行することが可能となる。

[0091] なお、上記の実施の形態 1 および 2 において、アナログ電源生成部 60 は、この発明における「電源電圧生成部」の一実施例に対応し、電源監視回路 70 は、この発明における「監視部」の一実施例に対応し、スイッチ T F T 92 は、この発明における「スイッチトランジスタ」の一実施例に対応する。また、ゲート配線 94 は、この発明における「第 1 の信号線」の一実施例に対応し、ソース配線 96 は、この発明における「第 2 の信号線」の一実施例に対応する。また、電源回路 84 は、この発明における「電源回路」に対応する。

[0092] (画素 T F T およびスイッチ T F T の構成例)

上述した実施の形態 1 および 2 では、画素トランジスタおよびスイッチトランジスタの各々に T F T を適用する構成について説明した。この T F T においては、従来より、半導体チャネル層（活性層）としてシリコン半導体やその化合物が多く用いられており、特にディスプレイ用途等大面積化への対応が要求される液晶駆動装置用にはアモルファスシリコンが用いられていた。

[0093] 近年では、このアモルファスシリコンに代えて、 In-Ga-Zn-O 系の酸化物半導体を活性層に用いた T F T が提案されている。このような酸化物半導体を活性層とした T F T は、「酸化物半導体 T F T」とも称される。酸化物半導体 T F T は、アモルファスシリコン T F T と比較して、活性層中の伝道キャリアの動き易さを示す電界効果移動度が高いため、高速で動作でき、かつ、駆動周波数も高いため、高精細化を求められる次世代表示装置の駆動装置への応用に好適である。

- [0094] また、酸化物半導体膜は、室温にて成膜可能であり、結晶粒界を一切含まないアモルファス状態であることから、TFT素子間のトランジスタ特性（サブスレシヨルド値、電流オン・オフ（ I_{on}/I_{off} ）比など）のばらつきが少ない。したがって、大面積でも特性が均一なTFTを作製できるため、大面積平面ディスプレイ用の駆動スイッチングTFTとしての適用が有望視されている。なお、酸化物半導体としては、上述した $In-Ga-Zn-O$ 系の他、 $Zn-O$ 系（ ZnO ）、 $In-Zn-O$ 系（ IZO ）、 $Zn-Ti-O$ 系（ ZTO ）などが好適に挙げられる。
- [0095] 上述した実施の形態1および2において、このような酸化物半導体TFTを、画素TFTおよびスイッチTFTに適用することによって、蓄積電荷の迅速な放電という本発明の効果を高めることが可能となる。
- [0096] 詳細には、画素TFTに酸化物半導体TFTを適用する構成では、アモルファスシリコンTFTを適用した構成と比較して、表示画素に蓄積された電荷が自然放電しにくいという特性を有する。これは、酸化物半導体TFTの電界効果移動度が約 $10\text{ cm}^2(\text{Vs})^{-1}$ 以上とアモルファスシリコンTFTの10倍以上も高いこと、および、 I_{on}/I_{off} 比が約 10^8 以上という優れたトランジスタ特性を示すことによる。本実施の形態1および2による表示装置では、電源遮断の発生時に画素トランジスタに対してしきい値以上のゲート電圧（オン電圧 V_{GH} ）を印加する。このゲート電圧を受けて酸化物半導体TFTがオンすることによって蓄積電荷の積極的な放電を促すこととなるため、アモルファスシリコンTFTと比較して、迅速な放電に大きな効果が期待できる。
- [0097] また、酸化物半導体TFTは、外部ストレス（バイアス条件および温度等）によるしきい値のシフト特性がアモルファスシリコンTFTとは異なっている。そのため、酸化物半導体TFTを画素TFTに適用した場合には、従来の表示装置のように、ゲートドライバを介して画素TFTに印加する走査信号（ゲート電圧）を制御することが困難となる可能性がある。本実施の形態1および2では、ゲートドライバを介さずに走査信号を制御でき、かつ、

走査信号の出力波形を任意に調整できることから、蓄積電荷の迅速な放電という効果を発揮することができる。

[0098] さらに、本実施の形態１および２においては、通常駆動時にはスイッチＴＦＴをオフ状態に維持することが望ましい。上述したように、酸化物半導体ＴＦＴはＯｎ／Ｏｆｆ比が約 10^8 以上と高いことから、このスイッチＴＦＴに酸化物半導体ＴＦＴを適用することによって容易に実現することができる。

[0099] また、本実施の形態１および２では、スイッチＴＦＴは、通常駆動時にオフ状態に制御される一方で、電源遮断時にはオン状態に制御される。このスイッチＴＦＴに、高い電界効果移動度を有する酸化物半導体ＴＦＴを適用することにより、効果的なスイッチングが可能となる。

[0100] 今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0101] １ 表示画素、２ 画素ＴＦＴ、４ 画素電極、６ 補助容量電極、１０ 表示パネル、１２，９４ ゲート配線、１４，９６ ソース配線、２０ ゲートドライバ、３０ ソースドライバ、３２ データ信号線、４０ タイミングコントローラ、５０ 電源、６０ アナログ電源生成部、６２ ＤＣ／ＤＣコンバータ、６４ チャージポンプ回路、６６ 出力線、７０ 電源監視回路、８０ ＳＷ＿ＴＦＴ制御信号生成部、８４ 電源回路、８６ スイッチ、９０ ＳＷ＿ＴＦＴブロック、９２ スイッチＴＦＴ、１００，１００Ａ 表示装置。

請求の範囲

- [請求項1] 相互に直交して配設される複数のゲート配線および複数のソース配線と、前記複数のゲート配線および前記複数のソース配線の交点に対応して配置される複数の表示画素とを含む表示パネルと、
- 前記複数のゲート配線に走査信号を順次印加することにより、各前記表示画素を選択状態に設定するゲートドライバと、
- 各前記ソース配線を介して、前記選択状態に設定された前記表示画素に表示信号電圧を印加するソースドライバと、
- 電源から供給される電源電圧を用いて、少なくとも前記表示画素を選択状態に設定する電圧レベルを有する駆動電圧を生成して前記ゲートドライバに供給する電源電圧生成部と、
- 前記電源電圧を監視する監視部と、
- 前記複数のゲート配線および前記電源電圧生成部の間にそれぞれ設けられ、前記監視部により前記電源の遮断が検出されたときにオンされることにより、各前記ゲート配線に対して前記電源電圧生成部からの前記駆動電圧を供給するように構成された複数のスイッチトランジスタとを備える、表示装置。
- [請求項2] 前記監視部により前記電源の遮断が検出されたときに、前記複数のスイッチトランジスタをオンするための制御信号を出力する制御信号生成部をさらに備える、請求項1に記載の表示装置。
- [請求項3] 前記複数のソース配線と平行に配設され、前記制御信号を各前記スイッチトランジスタのゲートに印加するための第1の信号線と、
- 前記複数のソース配線と平行に配設され、前記駆動電圧を各前記スイッチトランジスタのソースに印加するための第2の信号線とをさらに備え、
- 前記複数のスイッチトランジスタは、前記複数のゲート配線と前記第1および第2の信号線との交点に対応して配置され、かつ、ドレインが前記複数のゲート配線にそれぞれ接続される、請求項2に記載の

表示装置。

[請求項4] 前記電源電圧生成部は、前記電源電圧を用いて前記表示画素を選択状態に設定する電圧レベルを有する駆動電圧を生成可能に構成されたチャージポンプ回路を含み、

前記制御信号生成部は、前記監視部により前記電源の遮断が検出されたときに、前記チャージポンプ回路からの前記駆動電圧を、前記制御信号として前記第1の信号線に出力するように構成される、請求項3に記載の表示装置。

[請求項5] 前記監視部により前記電源の遮断が検出されたときに、前記複数のスイッチトランジスタをオンするための制御信号を出力する制御信号生成部と、

オン状態の各前記スイッチトランジスタを介して各前記ゲート配線に供給される前記駆動電圧の出力波形を調整可能に構成された電源回路とをさらに備える、請求項1に記載の表示装置。

[請求項6] 前記複数のソース配線と平行に配設され、前記制御信号を各前記スイッチトランジスタのゲートに印加するための第1の信号線と、

前記複数のソース配線と平行に配設され、前記電源回路からの前記駆動電圧を各前記スイッチトランジスタのソースに印加するための第2の信号線とをさらに備え、

前記複数のスイッチトランジスタは、前記複数のゲート配線と前記第1および第2の信号線との交点に対応して配置され、かつ、ドレインが前記複数のゲート配線にそれぞれ接続される、請求項5に記載の表示装置。

[請求項7] 前記表示画素は、前記ゲート配線および前記ソース配線の交点に配置された画素トランジスタを含み、

前記画素トランジスタおよび前記スイッチトランジスタは、酸化物半導体薄膜トランジスタからなり、同一基板上に形成される、請求項1から6のいずれか1項に記載の表示装置。

[請求項8]

表示装置の駆動方法であって、

前記表示装置は、

相互に直交して配設される複数のゲート配線および複数のソース配線と、前記複数のゲート配線および前記複数のソース配線の交点に対応して配置される複数の表示画素とを有する表示パネルと、

前記複数のゲート配線に走査信号を順次印加することにより、各前記表示画素を選択状態に設定するゲートドライバと、

前記複数のソース配線の各々を介して、前記選択状態に設定された前記表示画素に表示信号電圧を印加するソースドライバと、

電源から供給される電源電圧を用いて、少なくとも前記表示画素を選択状態に設定する電圧レベルを有する駆動電圧を生成して前記ゲートドライバに供給する電源電圧生成部と、

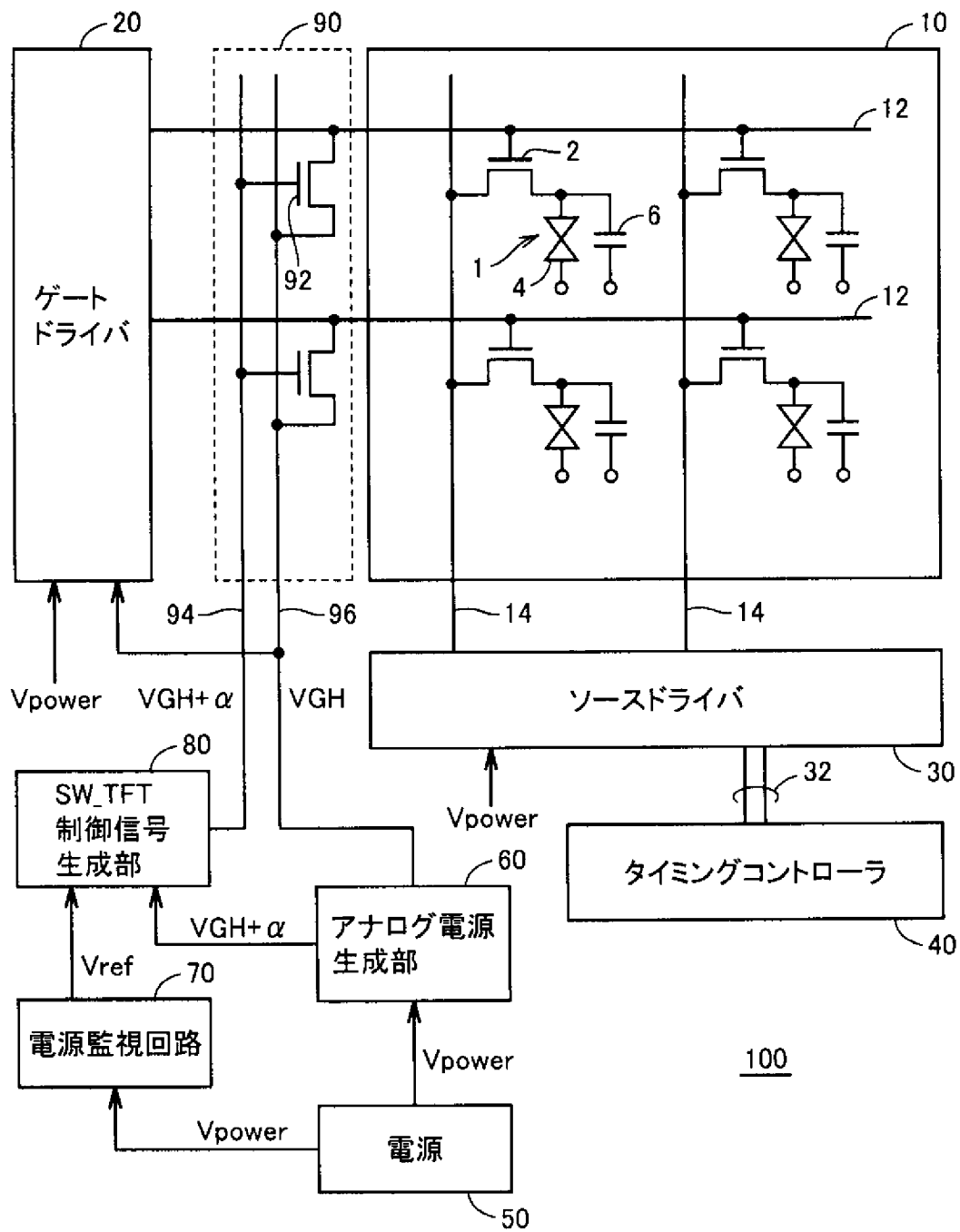
前記複数のゲート配線および前記電源電圧生成部の間にそれぞれ設けられる複数のスイッチトランジスタとを含み、

前記駆動方法は、

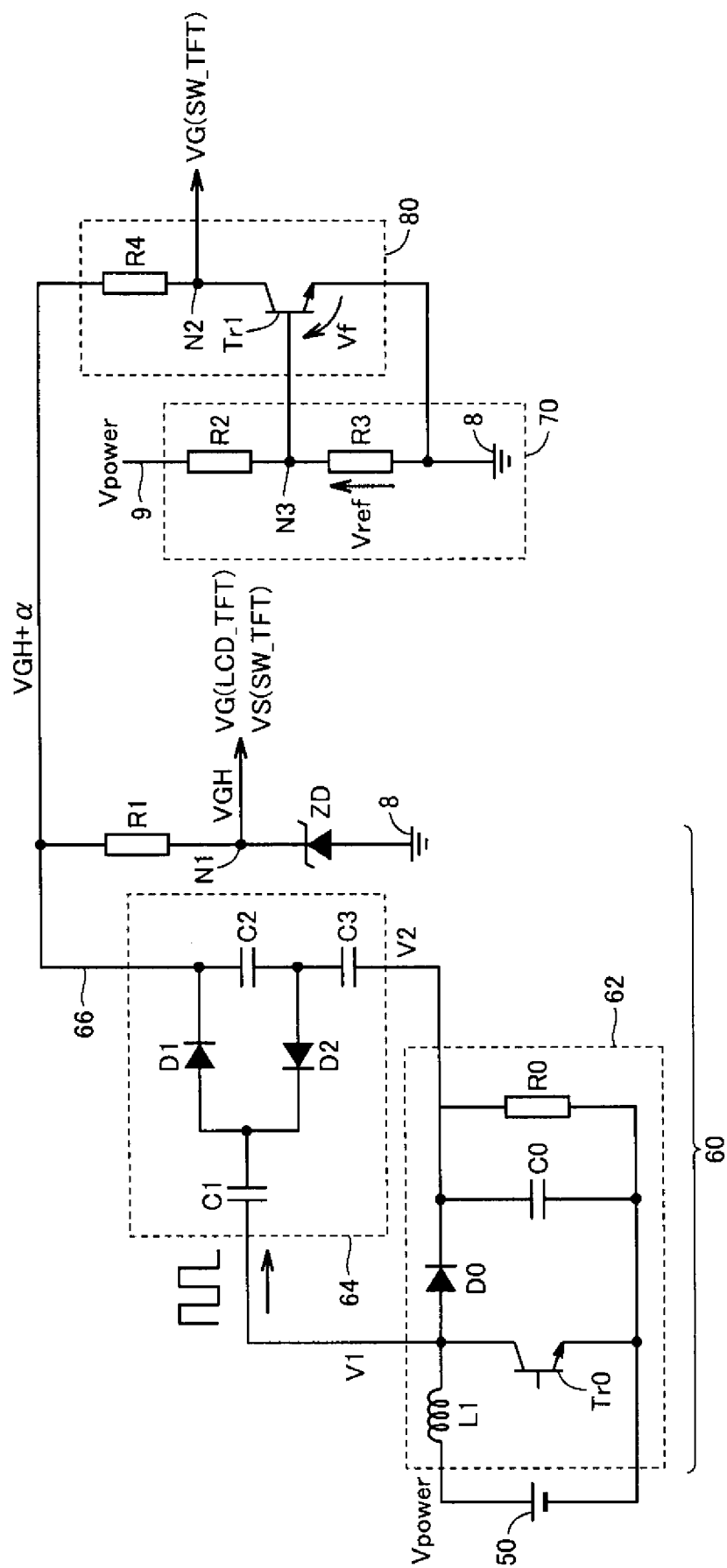
前記電源電圧を監視するステップと、

前記監視するステップにより前記電源の遮断が検出されたときに各前記スイッチトランジスタをオンすることにより、各前記ゲート配線に対して前記電源電圧生成部からの前記駆動電圧を供給するステップとを備える、表示装置の駆動方法。

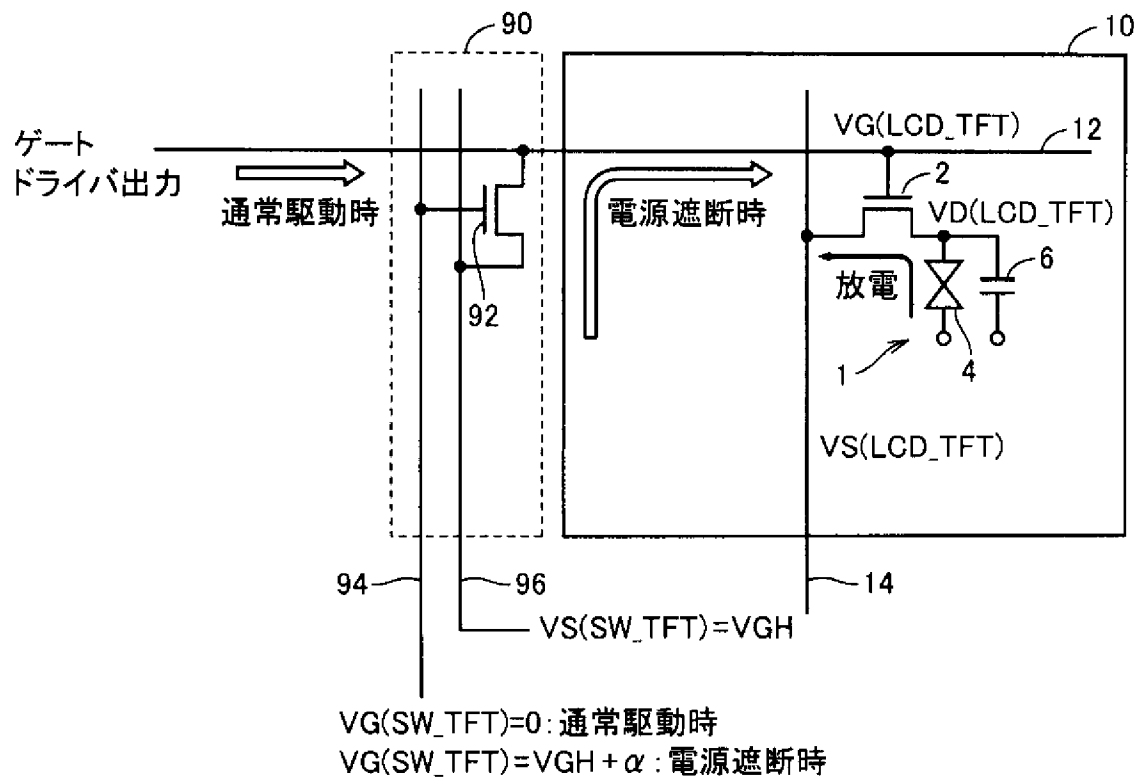
[図1]



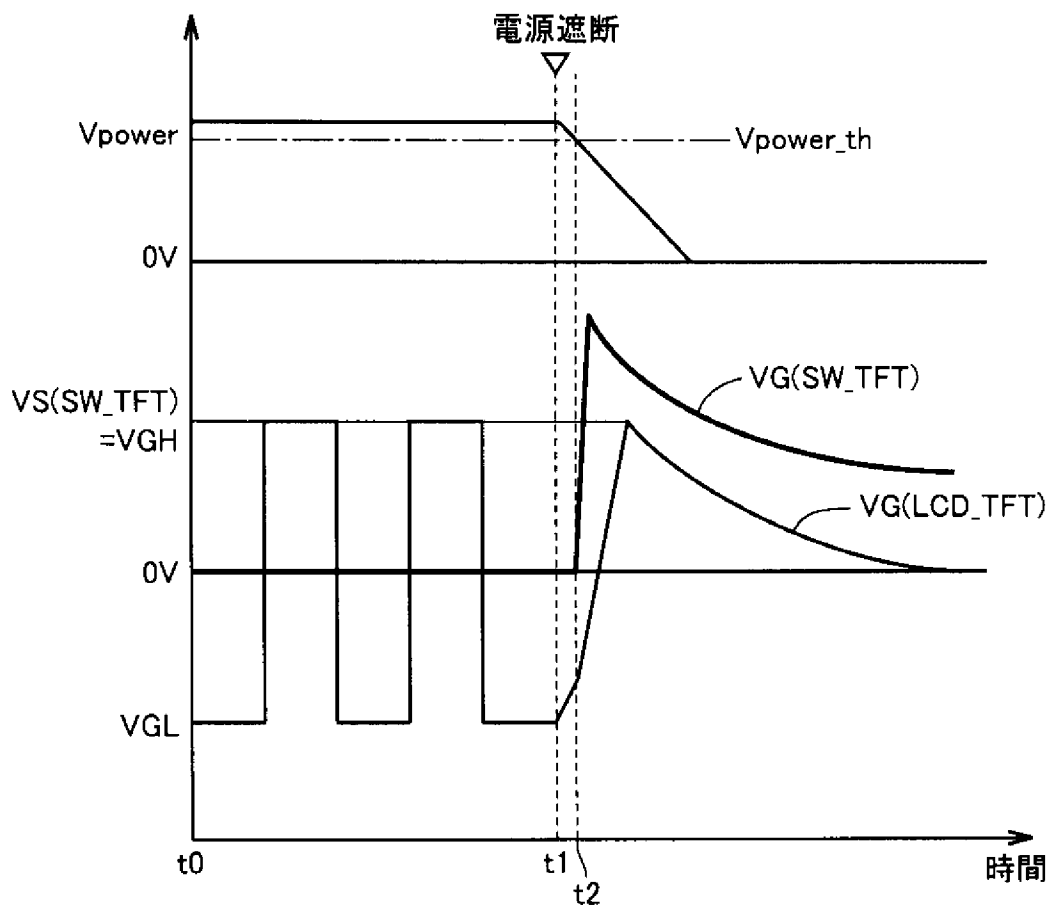
[図2]



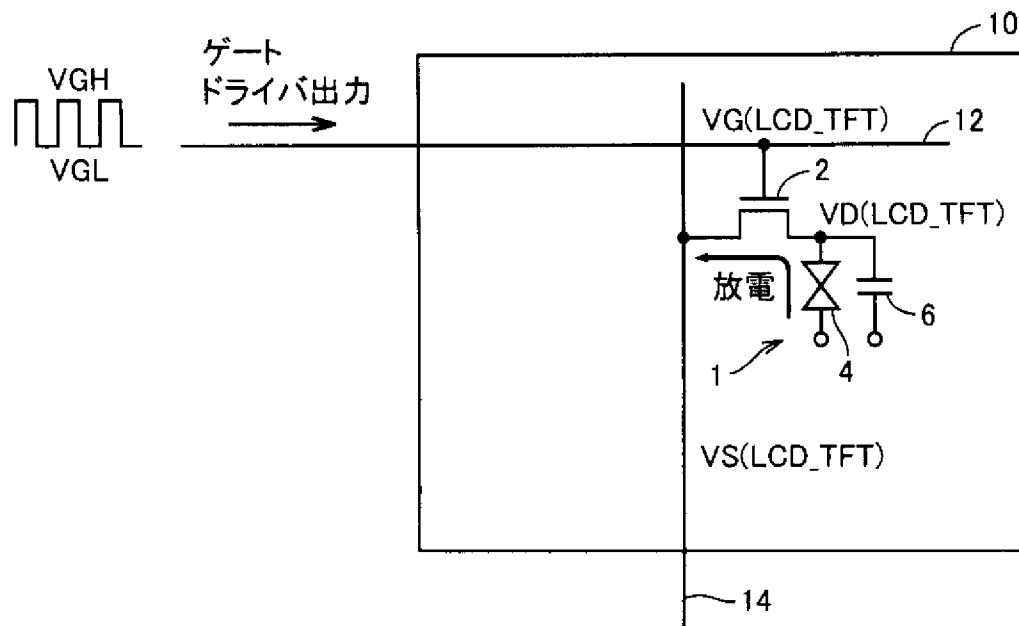
[図3]



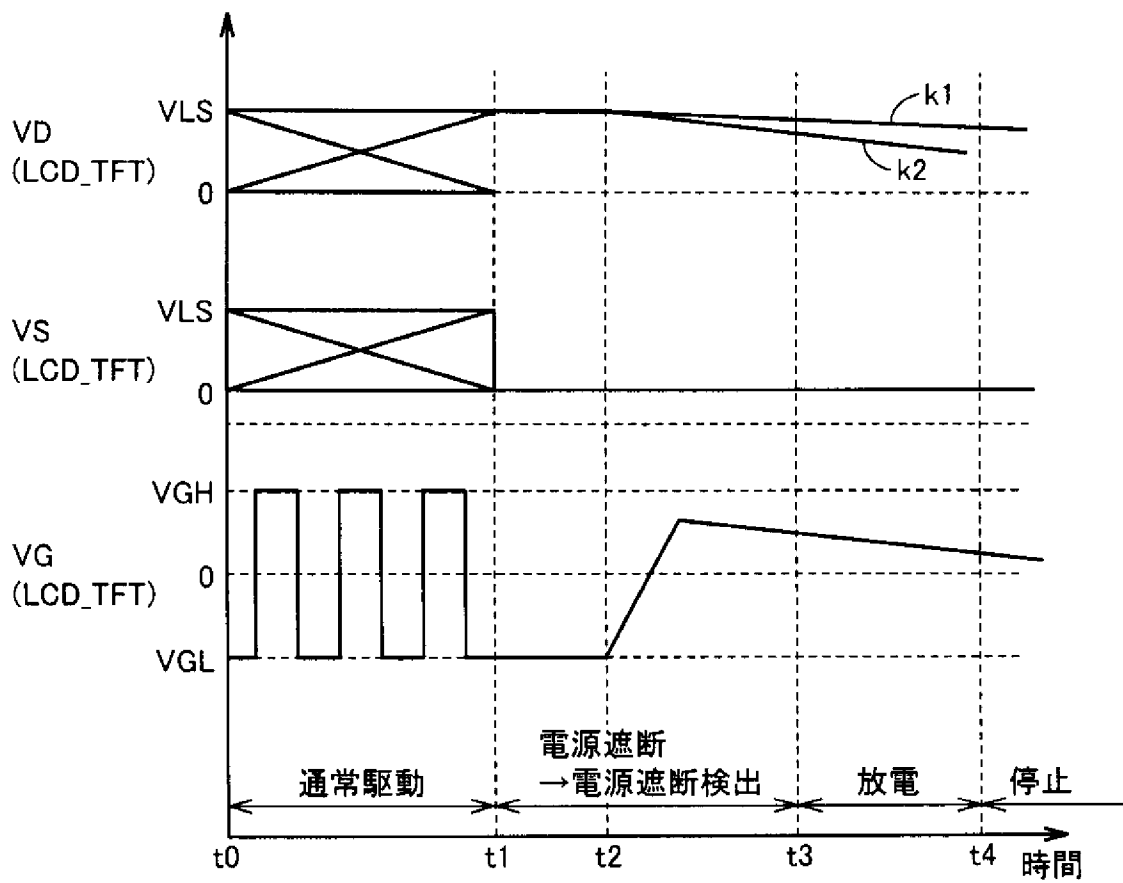
[図4]



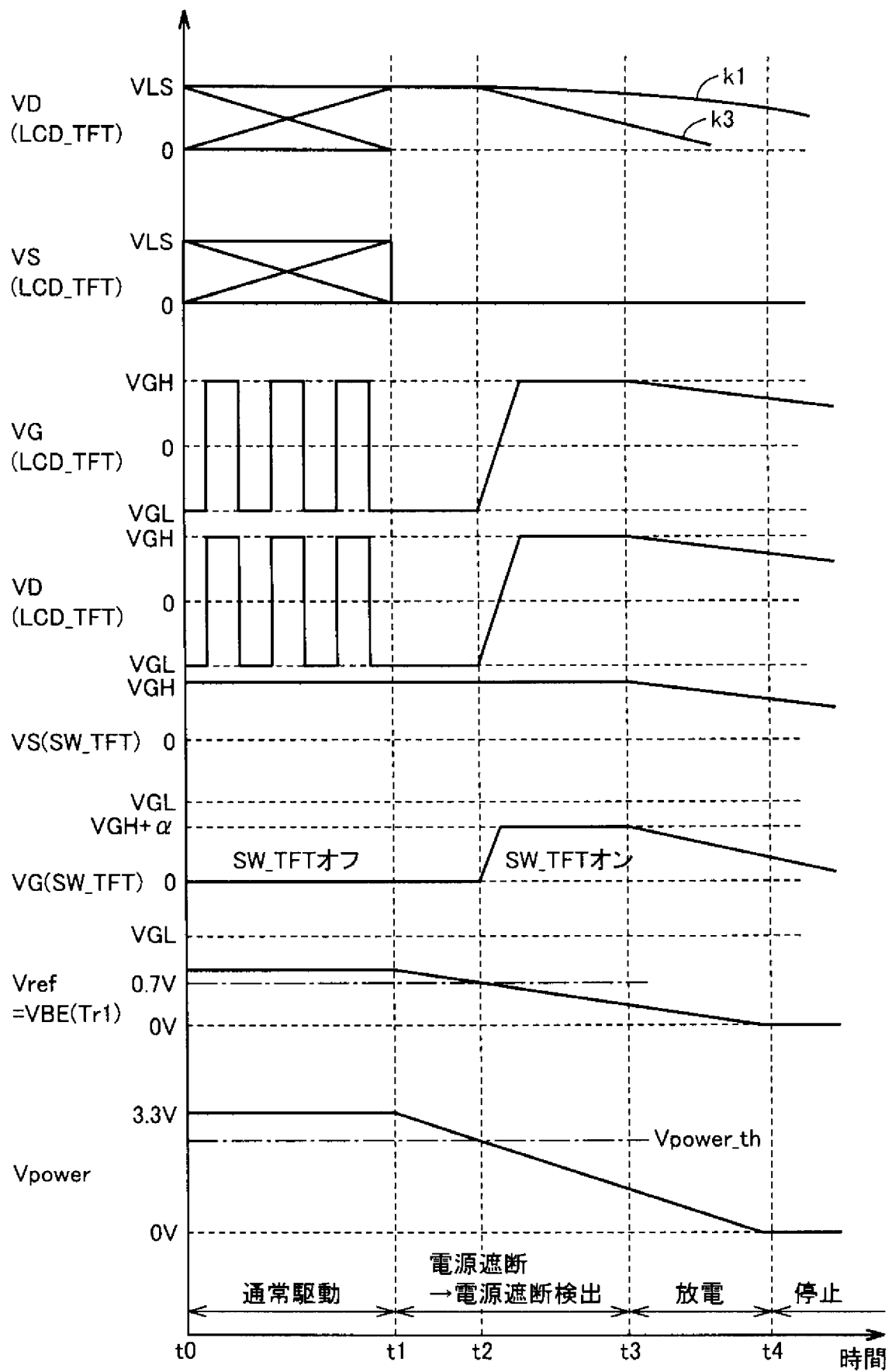
[図5]



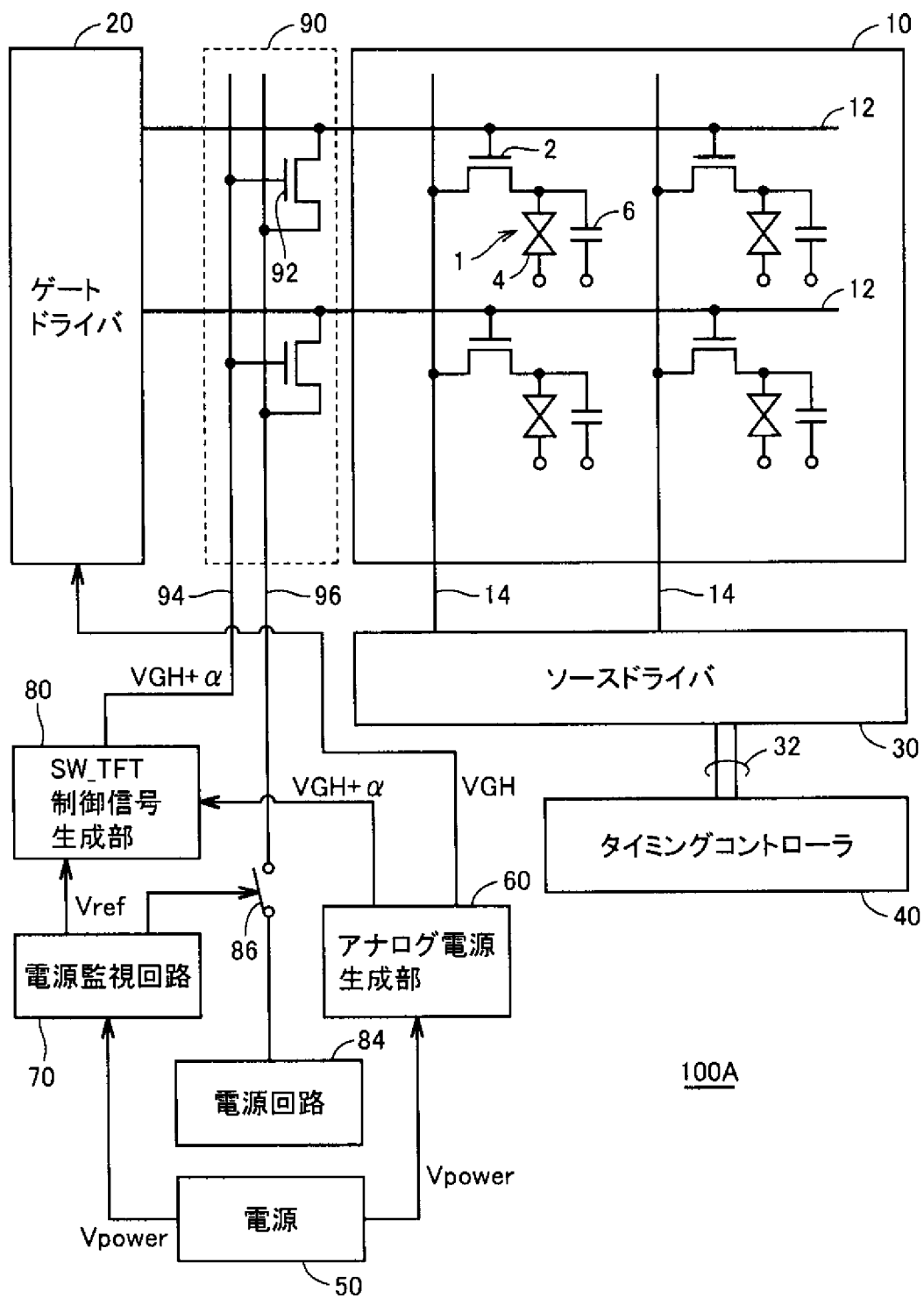
[図6]



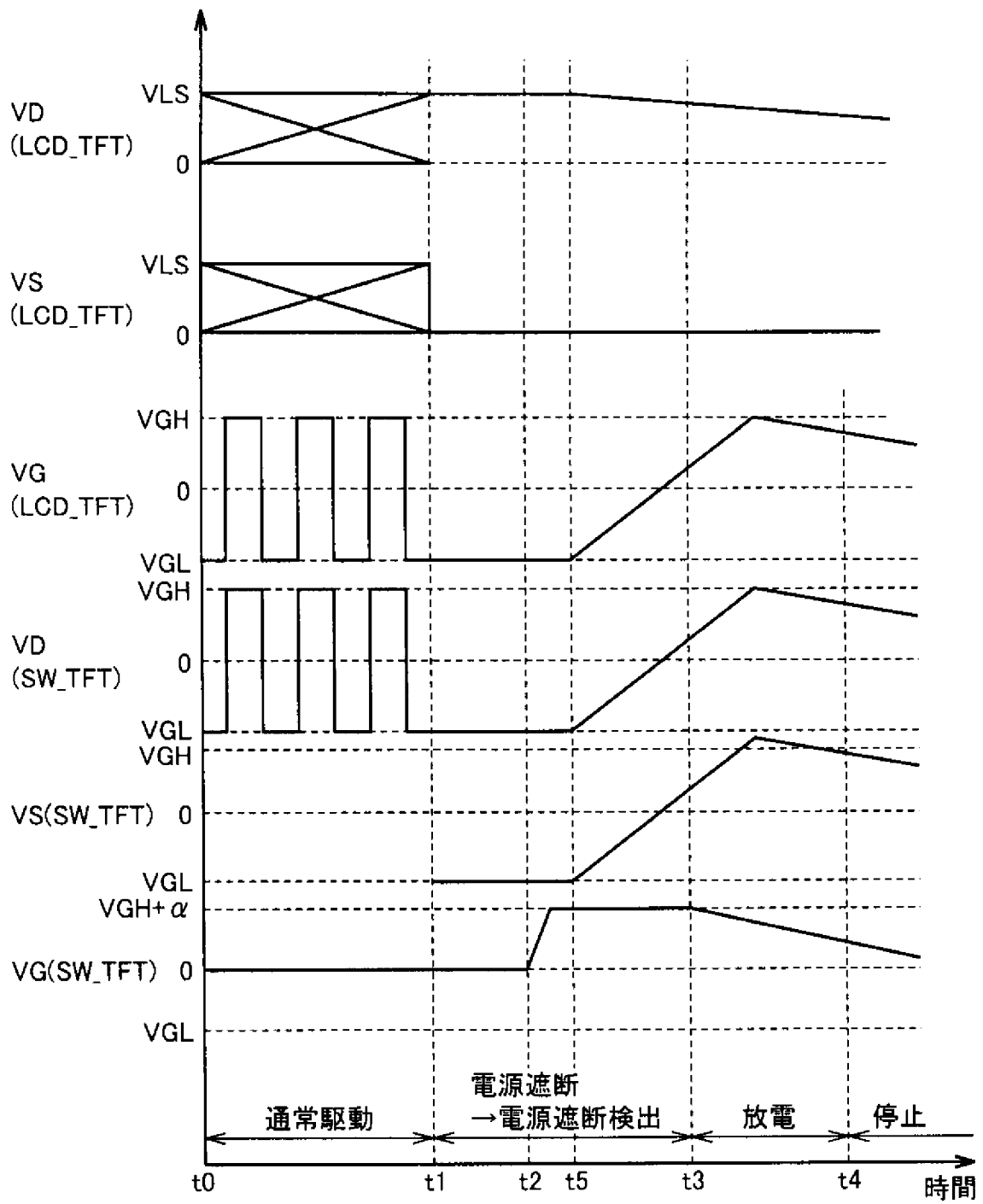
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/064998

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-3207 A (Sharp Corp.), 08 January 2009 (08.01.2009), entire text; all drawings (Family: none)	1-3, 5-8 4
Y	JP 2007-11346 A (Samsung Electronics Co., Ltd.), 18 January 2007 (18.01.2007), paragraphs [0034] to [0061]; fig. 1 to 2 & US 2006/0289893 A1 & KR 10-2007-0000198 A & CN 1892785 A	4
A	WO 2009/034749 A1 (Sharp Corp.), 19 March 2009 (19.03.2009), paragraphs [0085] to [0089]; fig. 16 to 18 & US 2010/0141641 A1 & EP 2189987 A1 & CN 101785065 A	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 August, 2013 (05.08.13)

Date of mailing of the international search report
13 August, 2013 (13.08.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-3207 A (シャープ株式会社) 2009.01.08, 全文, 全図 (ファミリーなし)	1-3, 5-8 4
Y	JP 2007-11346 A (三星電子株式会社) 2007.01.18, 段落【0034】-【0061】, 図1-2 & US 2006/0289893 A1 & KR 10-2007-0000198 A & CN 1892785 A	4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 8 . 2 0 1 3

国際調査報告の発送日

1 3 . 0 8 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

武 田 悟

2 G

9 3 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/034749 A1 (シャープ株式会社) 2009.03.19, 段落[0085]-[0089], 図16-18 & US 2010/0141641 A1 & EP 2189987 A1 & CN 101785065 A	1-8