

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年11月26日(26.11.2020)

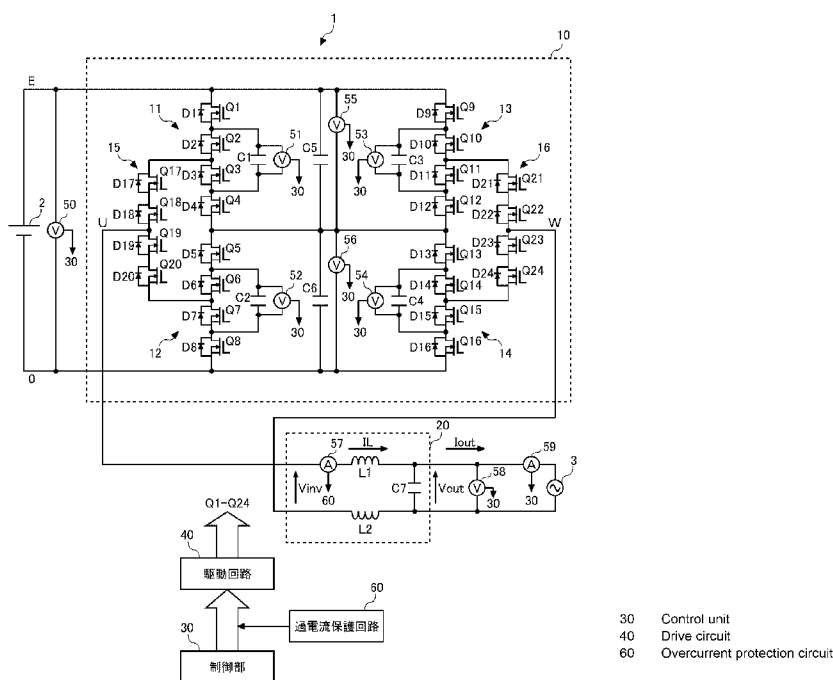


(10) 国際公開番号  
**WO 2020/235156 A1**

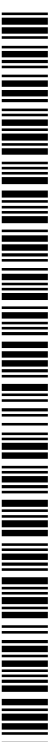
- (51) 国際特許分類: *H02M 7/48* (2007.01) *H02M 7/483* (2007.01) 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (21) 国際出願番号: PCT/JP2020/006976 (72) 発明者: 花村 賢治(HANAMURA Kenji), 堀尾 涉(HORIO Wataru), 藤井 裕之(FUJII Hiroyuki), 廣田 翔吾(HIROTA Shogo).
- (22) 国際出願日: 2020年2月21日(21.02.2020)
- (25) 国際出願の言語: 日本語 (74) 代理人: 宗田 悟志 (MUNETASatoshi); 〒1500021 東京都渋谷区恵比寿西2-11-12 Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2019-095461 2019年5月21日(21.05.2019) JP (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



(57) Abstract: According to the present invention, an inverter circuit 10 includes a plurality of flying capacitors C1-C4 and converts DC voltage supplied from a DC power supply 2 to AC voltage. A filter circuit 20 makes the waveform of the output voltage of the inverter circuit 10 approximate a sine wave. An overcurrent protection circuit 60 supplies a block signal for turning off a plurality of switching elements Q1-Q24 to a drive circuit 40 when an overcurrent is detected. When at least one of a voltage abnormality of any of the plurality of flying capacitors C1-C4 and an abrupt variation of the output



WO 2020/235156 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

voltage of this power conversion device 1 occurs, a voltage other than the positive voltage of the DC power supply 2, the negative voltage of the DC power supply 2, and zero voltage is restricted to be output from the inverter circuit 10.

(57) 要約: インバータ回路 10 は、複数のフライングキャパシタ C1-C4 を含み、直流電源 2 から供給される直流電圧を交流電圧に変換する。フィルタ回路 20 は、インバータ回路 10 の出力電圧の波形を正弦波に近づける。過電流保護回路 60 は、過電流が検出されたとき、駆動回路 40 に複数のスイッチング素子 Q1-Q24 をオフするためのブロック信号を供給する。複数のフライングキャパシタ C1-C4 のいずれかの電圧の異常、及び本電力変換装置 1 の出力電圧の急変動の少なくとも一方が発生しているとき、インバータ回路 10 から直流電源 2 の正電圧、直流電源 2 の負電圧、及びゼロ電圧以外の電圧の出力が制限される。

## 明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本開示は、直流電力を交流電力に変換する電力変換装置に関する。

背景技術

[0002] 太陽電池、蓄電池、燃料電池などに接続されるパワーコンディショナは、高効率な電力変換と小型設計が望まれる。マルチレベル電力変換装置は、スイッチング素子の印加電圧を小さくすることができるため、スイッチング損失が削減され、高効率な電力変換を実現できる。マルチレベル電力変換器の代表的な実現方式として、フライングキャパシタ方式がある（例えば特許文献1参照）。

[0003] パワーコンディショナのインバータに用いられるスイッチング素子として、600V耐圧、300V耐圧、150V耐圧のMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)が多く使用されている。一般的に耐圧がスイッチング素子の低い方が、導通損失やスイッチング損失が低くなり、サイズも小さくできる。

[0004] 耐圧が低いスイッチング素子を使用する場合、耐圧オーバーによる素子破壊を防止するために保護機能を設ける必要がある。フライングキャパシタ方式のマルチレベル電力変換装置では、フライングキャパシタに印加される電圧を計測・監視することにより、スイッチング素子の耐圧保護を行うことが一般的である。フライングキャパシタに過電圧もしくは不足電圧が発生すると、スイッチング素子に耐圧オーバーが発生していると判定し、インバータを停止させる。

[0005] 日本では、太陽光発電設備等の分散型電源に使用されるパワーコンディショナが、一般財団法人電気安全環境研究所 (JET:Japan Electrical Safety & Environment Technology Laboratories)の認証を受けるには、系統連系規程に定められたFRT (Fault Ride Through) 要件を満たす必要がある。F

R T要件は、電力系統の瞬時電圧低下等の系統擾乱時における運転継続性について規定する。F R T要件（2017年4月改定）では、残電圧が20%以上の電圧低下に対して0.3秒間の運転継続が要求される。残電圧が20%未満の電圧低下に対しては0.3秒間の運転継続を原則としつつ、インバータのゲートブロックによる対応が許容されている。電圧復帰後は、残電圧が20%以上の場合は復帰後0.1秒以内に、残電圧が20%未満の場合は復帰後1.0秒以内に、電圧低下前の出力の80%以上の出力に復帰することが要求される。

- [0006] 瞬時電圧低下が発生すると過電流が発生しやすくなる。その対策として分散型電源に使用されるパワーコンディショナでは、パルス・バイ・パルス方式の過電流保護回路が設けられることが多い。この過電流保護回路は過電流を検出すると、インバータを構成する全てのスイッチング素子に入力されているゲート信号をブロックすることにより電流を抑制する。この過電流保護は、インバータの動作を停止させるものではないため、F R T要件に規定される運転継続性を満たすことができる。

## 先行技術文献

## 特許文献

- [0007] 特許文献1：国際公開第2015/030152号

## 発明の概要

## 発明が解決しようとする課題

- [0008] フライイングキャパシタ方式のマルチレベル電力変換装置では、瞬時電圧低下の発生時において、上記の過電流保護回路によりインバータの動作を停止させずに過電流を抑制しても、フライイングキャパシタの過電圧によりインバータの動作が停止する可能性がある。例えば、フライイングキャパシタの放電のタイミングで過電流保護機能がオン（ゲートブロック）、フライイングキャパシタの充電のタイミングで過電流保護機能がオフとなるタイミングで過電流保護回路が動作すると、放電量に対して充電量が多くなり、過電圧（過充

電)が発生する。また反対のタイミングで過電流保護回路が動作すると、放電量に対して充電量が少なくなり、不足電圧(過放電)が発生する。

[0009] 本開示はこうした状況に鑑みなされたものであり、その目的は、フライングキャパシタ方式のマルチレベル電力変換装置において、系統擾乱時に要求される運転継続性を確保する技術を提供することにある。

### 課題を解決するための手段

[0010] 上記課題を解決するために、本開示のある態様の電力変換装置は、直流電源から供給される直流電圧を交流電圧に変換するインバータ回路と、前記インバータ回路の出力電圧の波形を正弦波に近づけるフィルタ回路と、前記インバータ回路に含まれる複数のスイッチング素子を駆動する駆動回路と、過電流が検出されたとき、前記駆動回路に前記複数のスイッチング素子をオフするためのブロック信号を供給する過電流保護回路と、を備える。前記インバータ回路は、複数のフライングキャパシタを含み、5レベル以上の電位をそれぞれ2点から出力可能なマルチレベル出力部と、前記マルチレベル出力部の2点間に流れる電流の向きを制御する極性切替部と、を含む。前記複数のフライングキャパシタのいずれかの電圧の異常、及び本電力変換装置の出力電圧の急変動の少なくとも一方が発生しているとき、前記インバータ回路から前記直流電源の正電圧、前記直流電源の負電圧、及びゼロ電圧以外の電圧の出力が制限される。

### 発明の効果

[0011] 本開示によれば、フライングキャパシタ方式のマルチレベル電力変換装置において、系統擾乱時に要求される運転継続性を確保することができる。

### 図面の簡単な説明

[0012] [図1]実施の形態に係る電力変換装置の構成を説明するための図である。

[図2]5レベル(+E、+1/2E、0、-1/2E、-E)の電圧で生成される擬似正弦波を示す図である。

[図3]図1の電力変換装置における第1スイッチング素子-第24スイッチング素子のスイッチングパターンをまとめた図である。

[図4]図4 (a) - (d) は、図3に示すスイッチングパターンの正の半周期のスイッチングパターンを示す回路図である。

[図5]図5 (a) - (d) は、図3に示すスイッチングパターンの負の半周期のスイッチングパターンを示す回路図である。

[図6]制御部、駆動回路及び過電流保護回路の構成例1を示す図である。

[図7]ヒステリシスコンパレータの参照閾値を説明するための図である。

[図8]構成例1を使用した電力変換装置のFRT要件の第1の模擬試験により得られた波形を示す図である。

[図9]構成例1を使用した電力変換装置のFRT要件の第2の模擬試験により得られた波形を示す図である。

[図10]制御部、駆動回路及び過電流保護回路の構成例2を示す図である。

[図11]3レベル(+E、0、-E)の電圧で生成される交流波を示す図である。

[図12]制御部、駆動回路及び過電流保護回路の構成例3を示す図である。

[図13]制御部、駆動回路及び過電流保護回路の構成例4を示す図である。

### 発明を実施するための形態

[0013] 図1は、実施の形態に係る電力変換装置1の構成を説明するための図である。電力変換装置1は、直流電源2から供給される直流電力を交流電力に変換し、変換した交流電力を商用電力系統（以下、単に系統3という）に出力する。直流電源2は例えば、分散型電源（太陽電池、蓄電池、燃料電池など）と、当該分散型電源の出力を制御可能なDC/DCコンバータにより構成される。当該DC/DCコンバータと電力変換装置1との間は、直流バスで接続される。なお直流電源2は、分散型電源とDC/DCコンバータの組が複数、並列接続されて構成されていてもよい。

[0014] 電力変換装置1は、インバータ回路10、フィルタ回路20、制御部30、駆動回路40、及び過電流保護回路60を備える。インバータ回路10は、直流電源2から供給される直流電圧を交流電圧に変換する。インバータ回路10は、直流電源2から供給される直流電圧をもとに、マルチレベル（本

実施の形態では5レベル)の電圧を有する疑似正弦波を生成することができる。インバータ回路10は、複数のフライングキャパシタ回路を含み、5レベル以上の電位を出力可能なマルチレベル出力部と、マルチレベル出力部の2点間に流れる電流の向きを制御する極性切替部を有する。図1に示す例では、マルチレベル出力部は、第1フライングキャパシタ回路11、第2フライングキャパシタ回路12、第3フライングキャパシタ回路13及び第4フライングキャパシタ回路14を含む。極性切替部は、第1出力回路15及び第2出力回路16を含む。

[0015] 第1フライングキャパシタ回路11及び第2フライングキャパシタ回路12は直流電源2の両端間に直列に接続される。第3フライングキャパシタ回路13及び第4フライングキャパシタ回路14は直流電源2の両端間に直列に接続される。第1フライングキャパシタ回路11と第2フライングキャパシタ回路12との接続点と、第3フライングキャパシタ回路13と第4フライングキャパシタ回路14との接続点との間が中間配線で接続される。

[0016] 第1フライングキャパシタ回路11は、第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3、第4スイッチング素子Q4及び第1フライングキャパシタC1を含む。第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4は直列に接続され、直流電源2の正側バスと中間配線の間接続される。第1フライングキャパシタC1は、第1スイッチング素子Q1と第2スイッチング素子Q2との接続点と、第3スイッチング素子Q3と第4スイッチング素子Q4との接続点との間に接続され、第1スイッチング素子Q1ー第4スイッチング素子Q4により充放電される。

[0017] 第2フライングキャパシタ回路12は、第5スイッチング素子Q5、第6スイッチング素子Q6、第7スイッチング素子Q7、第8スイッチング素子Q8及び第2フライングキャパシタC2を含む。第5スイッチング素子Q5、第6スイッチング素子Q6、第7スイッチング素子Q7及び第8スイッチング素子Q8は直列に接続され、中間配線と、直流電源2の負側バス

接続される。第2フライングキャパシタC2は、第5スイッチング素子Q5と第6スイッチング素子Q6との接続点と、第7スイッチング素子Q7と第8スイッチング素子Q8との接続点との間に接続され、第5スイッチング素子Q5－第8スイッチング素子Q8により充放電される。

[0018] 第3フライングキャパシタ回路13は、第9スイッチング素子Q9、第10スイッチング素子Q10、第11スイッチング素子Q11、第12スイッチング素子Q12及び第3フライングキャパシタC3を含む。第9スイッチング素子Q9、第10スイッチング素子Q10、第11スイッチング素子Q11及び第12スイッチング素子Q12は直列に接続され、直流電源2の正側バスと中間配線の間接続される。第3フライングキャパシタC3は、第9スイッチング素子Q9と第10スイッチング素子Q10との接続点と、第11スイッチング素子Q11と第12スイッチング素子Q12との接続点との間に接続され、第9スイッチング素子Q9－第12スイッチング素子Q12により充放電される。

[0019] 第4フライングキャパシタ回路14は、第13スイッチング素子Q13、第14スイッチング素子Q14、第15スイッチング素子Q15、第16スイッチング素子Q16及び第4フライングキャパシタC4を含む。第13スイッチング素子Q13、第14スイッチング素子Q14、第15スイッチング素子Q15及び第16スイッチング素子Q16は直列に接続され、中間配線と直流電源2の負側バスの間接続される。第4フライングキャパシタC4は、第13スイッチング素子Q13と第14スイッチング素子Q14との接続点と、第15スイッチング素子Q15と第16スイッチング素子Q16との接続点との間に接続され、第13スイッチング素子Q13－第16スイッチング素子Q16により充放電される。

[0020] 第1出力回路15は、第1フライングキャパシタ回路11の midpoint (具体的には、第2スイッチング素子Q2と第3スイッチング素子Q3との接続点) と、第2フライングキャパシタ回路12の midpoint (具体的には、第6スイッチング素子Q6と第7スイッチング素子Q7との接続点) との間接続される

。第1出力回路15は、直列に接続された第17スイッチング素子Q17、第18スイッチング素子Q18、第19スイッチング素子Q19及び第20スイッチング素子Q20を含む。第1出力回路15の midpoint (具体的には、第18スイッチング素子Q18と第19スイッチング素子Q19との接続点)は、フィルタ回路20を介して、系統3に接続された交流経路の一端に接続される。

[0021] 第2出力回路16は、第3フライングキャパシタ回路13の midpoint (具体的には、第10スイッチング素子Q10と第11スイッチング素子Q11との接続点)と、第4フライングキャパシタ回路14の midpoint (具体的には、第14スイッチング素子Q14と第15スイッチング素子Q15との接続点)との間に接続される。第2出力回路16は、直列に接続された第21スイッチング素子Q21、第22スイッチング素子Q22、第23スイッチング素子Q23及び第24スイッチング素子Q24を含む。第2出力回路16の midpoint (具体的には、第22スイッチング素子Q22と第23スイッチング素子Q23との接続点)は、フィルタ回路20を介して上記交流経路の他端に接続される。

[0022] 直流電源2の正側バスと負側バスの間に、第1分割コンデンサC5及び第2分割コンデンサC6が直列に接続される。具体的には、正側バスと中間配線の間には第1分割コンデンサC5が接続され、中間配線と負側バスの間に第2分割コンデンサC6が接続される。第1分割コンデンサC5及び第2分割コンデンサC6は、直流電源2の電圧Eを $1/2$ に分圧する作用、インバータ回路10内で発生するサージ電圧を抑制するためのスナバコンデンサとしての作用を有する。

[0023] 第1フライングキャパシタ回路11の midpoint からは、第1スイッチング素子Q1の上側端子に印加されるE [V]と、第4スイッチング素子Q4の下側端子に印加される $1/2 E$  [V]の間の範囲の電位が出力される。第1フライングキャパシタC1は $1/4 E$  [V]の電圧になるように初期充電(プリチャージ)され、 $1/4 E$  [V]の電圧を中心として充放電が繰り返される

。従って、第1フライングキャパシタ回路11からは、概ね、 $E$  [V]、 $3/4 E$  [V]、 $1/2 E$  [V]の3レベルの電位が出力される。

[0024] 第2フライングキャパシタ回路12の midpointからは、第5スイッチング素子Q5の上側端子に印加される $1/2 E$  [V]と、第8スイッチング素子Q8の下側端子に印加される0 [V]の間の範囲の電位が出力される。第2フライングキャパシタC2は $1/4 E$  [V]の電圧になるように初期充電され、 $1/4 E$  [V]の電圧を中心として充放電が繰り返される。従って、第2フライングキャパシタ回路12からは、概ね、 $1/2 E$  [V]、 $1/4 E$  [V]、0 [V]の3レベルの電位が出力される。

[0025] 第3フライングキャパシタ回路13の midpointからは、第9スイッチング素子Q9の上側端子に印加される $E$  [V]と、第12スイッチング素子Q12の下側端子に印加される $1/2 E$  [V]の間の範囲の電位が出力される。第3フライングキャパシタC3は $1/4 E$  [V]の電圧になるように初期充電され、 $1/4 E$  [V]の電圧を中心として充放電が繰り返される。従って、第3フライングキャパシタ回路13からは、概ね、 $E$  [V]、 $3/4 E$  [V]、 $1/2 E$  [V]の3レベルの電位が出力される。

[0026] 第4フライングキャパシタ回路14の midpointからは、第13スイッチング素子Q13の上側端子に印加される $1/2 E$  [V]と、第16スイッチング素子Q16の下側端子に印加される0 [V]の間の範囲の電位が出力される。第4フライングキャパシタC4は $1/4 E$  [V]の電圧になるように初期充電され、 $1/4 E$  [V]の電圧を中心として充放電が繰り返される。従って、第4フライングキャパシタ回路14からは、概ね、 $1/2 E$  [V]、 $1/4 E$  [V]、0 [V]の3レベルの電位が出力される。

[0027] 上記の第1スイッチング素子Q1ー第24スイッチング素子Q24にはそれぞれ、第1ダイオードD1ー第24ダイオードD24が逆並列に形成/接続される。以下、本実施の形態では第1スイッチング素子Q1ー第24スイッチング素子Q24に、150V耐圧のNチャネルMOSFETを使用する例を想定する。NチャネルMOSFETでは、ソースからドレイン方向に寄

生ダイオードが形成される。

- [0028] なお、第1スイッチング素子Q1ー第24スイッチング素子Q24にIGBT (Insulated Gate Bipolar Transistor) やバイポーラトランジスタを使用してもよい。その場合、第1スイッチング素子Q1ー第24スイッチング素子Q24に寄生ダイオードは形成されず、第1スイッチング素子Q1ー第24スイッチング素子Q24にそれぞれ外付けダイオードが逆並列に接続される。
- [0029] 第1出力回路15の midpoint (具体的には、第18スイッチング素子Q18と第19スイッチング素子Q19との接続点) と、第2出力回路16の midpoint (具体的には、第22スイッチング素子Q22と第23スイッチング素子Q23との接続点) から、マルチレベルの電圧 (本実施の形態では5レベルの電圧) がフィルタ回路20に出力される。レベル数が多いほど、より正規の正弦波に近い擬似正弦波となる。なお、本実施の形態では第1出力回路15の midpoint からU相の電力を出力し、第2出力回路16の midpoint からW相の電力を出力する。
- [0030] フィルタ回路20は、第1リアクトルL1、第2リアクトルL2及び第3出力コンデンサC9を含み、第1出力回路15及び第2出力回路16から出力される電圧及び電流の高調波成分を減衰させて、系統3の正弦波と同期した正弦波に近づける。
- [0031] バス電圧計測部50は、直流電源2と電力変換装置1間の直流バスの電圧を計測して制御部30に出力する。第1電圧計測部51は、第1フライングキャパシタC1の電圧を計測して制御部30に出力する。第2電圧計測部52は、第2フライングキャパシタC2の電圧を計測して制御部30に出力する。第3電圧計測部53は、第3フライングキャパシタC3の電圧を計測して制御部30に出力する。第4電圧計測部54は、第4フライングキャパシタC4の電圧を計測して制御部30に出力する。第1中間電圧計測部55は、正側バスと中間配線間の電圧を計測して制御部30に出力する。第2中間電圧計測部56は、中間配線と負側バス間の電圧を計測して制御部30に出

力する。なお第1中間電圧計測部55及び第2中間電圧計測部56の一方は省略可能である。省略した箇所の中間電圧は、バス電圧から、他方の中間電圧を減算することにより求めることができる。

[0032] リアクトル電流計測部57は、第1リアクトルL1に流れる電流 $I_L$ を計測して制御部30及び過電流保護回路60に出力する。出力電圧計測部58は、電力変換装置1の出力電圧 $V_{out}$ を計測して制御部30に出力する。出力電流計測部59は、電力変換装置1の出力電流 $I_{out}$ を計測して制御部30に出力する。各電圧計測部は、例えば抵抗分圧回路と差動アンプで構成することができる。各電流計測部は、例えばCTセンサで構成することができる。

[0033] 制御部30は、第1スイッチング素子Q1ー第24スイッチング素子Q24のオン／オフを制御するための制御信号を駆動回路40に供給する。本実施の形態では制御信号としてPWM信号を使用する。駆動回路40は、制御部30から供給されるPWM信号をもとに第1スイッチング素子Q1ー第24スイッチング素子Q24を駆動する。

[0034] 制御部30は、駆動回路40にPWM信号を供給することにより、インバータ回路10に、直流電源2から供給される直流電力を交流電力に変換させる。また制御部30は、駆動回路40にPWM信号を供給することにより、インバータ回路10に、系統3から供給される交流電力を直流電力に変換させる。制御部30は、ハードウェア資源とソフトウェア資源の協働、またはハードウェア資源のみにより実現できる。ハードウェア資源としてアナログ素子、マイクロコンピュータ、DSP、ROM、RAM、FPGA、ASIC、その他のLSIを利用できる。ソフトウェア資源としてファームウェア等のプログラムを利用できる。

[0035] 過電流保護回路60は、電力変換装置1において過電流が検出されたとき、駆動回路40に、第1スイッチング素子Q1ー第24スイッチング素子Q24をオフするためのゲートブロック信号を供給する。過電流保護回路60はパルス・バイ・パルス方式で動作し、制御部30を介さずに直接、駆動回

路40を制御する(ハードウェア制御)。制御部30、駆動回路40及び過電流保護回路60の具体的な構成例は後述する。

[0036] 図2は、5レベル(+E、+1/2E、0、-1/2E、-E)の電圧で生成される擬似正弦波を示す図である。区間(1)では+1/2Eと0を交互に出力し、区間(2)では+Eと+1/2Eを交互に出力し、区間(3)では+1/2Eと0を交互に出力し、区間(4)では0と-1/2Eを交互に出力し、区間(5)では-1/2Eと-Eを交互に出力し、区間(6)では0と-1/2Eを交互に出力する。これにより、1周期の擬似正弦波が生成される。インバータ回路10の出力電圧 $V_{inv}$ (擬似正弦波)が高品位に生成されると、フィルタ回路20を通過後の出力電流 $I_{out}$ は滑らかな正弦波になる。

[0037] 図3は、図1の電力変換装置1における第1スイッチング素子Q1-第24スイッチング素子Q24のスイッチングパターンをまとめた図である。

[0038] 図3に示すスイッチングパターンでは、第1スイッチング素子Q1、第5スイッチング素子Q5、第12スイッチング素子Q12、第16スイッチング素子Q16のグループと、第4スイッチング素子Q4、第8スイッチング素子Q8、第9スイッチング素子Q9、第13スイッチング素子Q13のグループが相補関係となる。第2スイッチング素子Q2、第6スイッチング素子Q6、第11スイッチング素子Q11、第15スイッチング素子Q15のグループと、第3スイッチング素子Q3、第7スイッチング素子Q7、第10スイッチング素子Q10、第14スイッチング素子Q14のグループが相補関係となる。

[0039] また、第1スイッチング素子Q1、第5スイッチング素子Q5、第12スイッチング素子Q12、第16スイッチング素子Q16のグループと、第2スイッチング素子Q2、第6スイッチング素子Q6、第11スイッチング素子Q11、第15スイッチング素子Q15のグループが半周期(180°)の位相差を持つ関係となる。第3スイッチング素子Q3、第7スイッチング素子Q7、第10スイッチング素子Q10、第14スイッチング素子Q14

のグループと、第4スイッチング素子Q4、第8スイッチング素子Q8、第9スイッチング素子Q9、第13スイッチング素子Q13のグループが半周期の位相差を持つ関係となる。

[0040] また、第17スイッチング素子Q17、第18スイッチング素子Q18、第23スイッチング素子Q23、第24スイッチング素子Q24のグループは、基本波の正の半周期の期間に常時オンし、負の半周期の期間に常時オフする。第19スイッチング素子Q19、第20スイッチング素子Q20、第21スイッチング素子Q21、第22スイッチング素子Q22のグループは、基本波の負の半周期の期間に常時オンし、正の半周期の期間に常時オフする。日本では、基本波は50Hz/60Hzの正弦波である。

[0041] 図4(a) - (d)は、図3に示すスイッチングパターンの正の半周期のスイッチングパターンを示す回路図である。図5(a) - (d)は、図3に示すスイッチングパターンの負の半周期のスイッチングパターンを示す回路図である。なお、図面の簡略化のためMOSFETを単純なスイッチ記号で描いている。

[0042] 図4(a)に示すように、インバータ回路10から+0を出力する場合、制御部30は、第3スイッチング素子Q3、第4スイッチング素子Q4、第7スイッチング素子Q7、第8スイッチング素子Q8、第9スイッチング素子Q9、第10スイッチング素子Q10、第13スイッチング素子Q13、第14スイッチング素子Q14、第17スイッチング素子Q17、第18スイッチング素子Q18、第23スイッチング素子Q23及び第24スイッチング素子Q24をオン状態に制御し、第1スイッチング素子Q1、第2スイッチング素子Q2、第5スイッチング素子Q5、第6スイッチング素子Q6、第11スイッチング素子Q11、第12スイッチング素子Q12、第15スイッチング素子Q15、第16スイッチング素子Q16、第19スイッチング素子Q19、第20スイッチング素子Q20、第21スイッチング素子Q21及び第22スイッチング素子Q22をオフ状態に制御する。

[0043] 図4(b)に示すように、直流電源2から第1フライングキャパシタC1

及び第4フライングキャパシタC4を充電しつつ、インバータ回路10から $+1/2E$ を出力する場合、制御部30は、第1スイッチング素子Q1、第3スイッチング素子Q3、第5スイッチング素子Q5、第7スイッチング素子Q7、第10スイッチング素子Q10、第12スイッチング素子Q12、第14スイッチング素子Q14、第16スイッチング素子Q16、第17スイッチング素子Q17、第18スイッチング素子Q18、第23スイッチング素子Q23及び第24スイッチング素子Q24をオン状態に制御し、第2スイッチング素子Q2、第4スイッチング素子Q4、第6スイッチング素子Q6、第8スイッチング素子Q8、第9スイッチング素子Q9、第11スイッチング素子Q11、第13スイッチング素子Q13、第15スイッチング素子Q15、第19スイッチング素子Q19、第20スイッチング素子Q20、第21スイッチング素子Q21及び第22スイッチング素子Q22をオフ状態に制御する。

[0044] 図4(c)に示すように、第1フライングキャパシタC1及び第4フライングキャパシタC4から系統3に放電しつつ、インバータ回路10から $+1/2E$ を出力する場合、制御部30は、第2スイッチング素子Q2、第4スイッチング素子Q4、第6スイッチング素子Q6、第8スイッチング素子Q8、第9スイッチング素子Q9、第11スイッチング素子Q11、第13スイッチング素子Q13、第15スイッチング素子Q15、第17スイッチング素子Q17、第18スイッチング素子Q18、第23スイッチング素子Q23及び第24スイッチング素子Q24をオン状態に制御し、第1スイッチング素子Q1、第3スイッチング素子Q3、第5スイッチング素子Q5、第7スイッチング素子Q7、第10スイッチング素子Q10、第12スイッチング素子Q12、第14スイッチング素子Q14、第16スイッチング素子Q16、第19スイッチング素子Q19、第20スイッチング素子Q20、第21スイッチング素子Q21及び第22スイッチング素子Q22をオフ状態に制御する。

[0045] 制御部30は、図4(b)に示すスイッチングパターンと、図4(c)に

示すスイッチングパターンを交互に繰り返すことにより、インバータ回路10から $+1/2E$ を出力させることができる。

[0046] 図4(d)に示すように、インバータ回路10から $+E$ を出力する場合、制御部30は、第1スイッチング素子Q1、第2スイッチング素子Q2、第5スイッチング素子Q5、第6スイッチング素子Q6、第11スイッチング素子Q11、第12スイッチング素子Q12、第15スイッチング素子Q15、第16スイッチング素子Q16、第17スイッチング素子Q17、第18スイッチング素子Q18、第23スイッチング素子Q23及び第24スイッチング素子Q24をオン状態に制御し、第3スイッチング素子Q3、第4スイッチング素子Q4、第7スイッチング素子Q7、第8スイッチング素子Q8、第9スイッチング素子Q9、第10スイッチング素子Q10、第13スイッチング素子Q13、第14スイッチング素子Q14、第19スイッチング素子Q19、第20スイッチング素子Q20、第21スイッチング素子Q21及び第22スイッチング素子Q22をオフ状態に制御する。

[0047] 図5(a)に示すように、インバータ回路10から $-E$ を出力する場合、制御部30は、第1スイッチング素子Q1、第2スイッチング素子Q2、第5スイッチング素子Q5、第6スイッチング素子Q6、第11スイッチング素子Q11、第12スイッチング素子Q12、第15スイッチング素子Q15、第16スイッチング素子Q16、第19スイッチング素子Q19、第20スイッチング素子Q20、第21スイッチング素子Q21及び第22スイッチング素子Q22をオン状態に制御し、第3スイッチング素子Q3、第4スイッチング素子Q4、第7スイッチング素子Q7、第8スイッチング素子Q8、第9スイッチング素子Q9、第10スイッチング素子Q10、第13スイッチング素子Q13、第14スイッチング素子Q14、第17スイッチング素子Q17、第18スイッチング素子Q18、第23スイッチング素子Q23及び第24スイッチング素子Q24をオフ状態に制御する。

[0048] 図5(b)に示すように、直流電源2から第2フライングキャパシタC2及び第3フライングキャパシタC3を充電しつつ、インバータ回路10から

−1/2 E を出力する場合、制御部 30 は、第 2 スイッチング素子 Q 2、第 4 スイッチング素子 Q 4、第 6 スイッチング素子 Q 6、第 8 スイッチング素子 Q 8、第 9 スイッチング素子 Q 9、第 11 スイッチング素子 Q 11、第 13 スイッチング素子 Q 13、第 15 スイッチング素子 Q 15、第 19 スイッチング素子 Q 19、第 20 スイッチング素子 Q 20、第 21 スイッチング素子 Q 21 及び第 22 スイッチング素子 Q 22 をオン状態に制御し、第 1 スイッチング素子 Q 1、第 3 スイッチング素子 Q 3、第 5 スイッチング素子 Q 5、第 7 スイッチング素子 Q 7、第 10 スイッチング素子 Q 10、第 12 スイッチング素子 Q 12、第 14 スイッチング素子 Q 14、第 16 スイッチング素子 Q 16、第 17 スイッチング素子 Q 17、第 18 スイッチング素子 Q 18、第 23 スイッチング素子 Q 23 及び第 24 スイッチング素子 Q 24 をオフ状態に制御する。

[0049] 図 5 (c) に示すように、第 2 フライングキャパシタ C 2 及び第 3 フライングキャパシタ C 3 から系統 3 に放電しつつ、インバータ回路 10 から −1/2 E を出力する場合、制御部 30 は、第 1 スイッチング素子 Q 1、第 3 スイッチング素子 Q 3、第 5 スイッチング素子 Q 5、第 7 スイッチング素子 Q 7、第 10 スイッチング素子 Q 10、第 12 スイッチング素子 Q 12、第 14 スイッチング素子 Q 14、第 16 スイッチング素子 Q 16、第 19 スイッチング素子 Q 19、第 20 スイッチング素子 Q 20、第 21 スイッチング素子 Q 21 及び第 22 スイッチング素子 Q 22 をオン状態に制御し、第 2 スイッチング素子 Q 2、第 4 スイッチング素子 Q 4、第 6 スイッチング素子 Q 6、第 8 スイッチング素子 Q 8、第 9 スイッチング素子 Q 9、第 11 スイッチング素子 Q 11、第 13 スイッチング素子 Q 13、第 15 スイッチング素子 Q 15、第 17 スイッチング素子 Q 17、第 18 スイッチング素子 Q 18、第 23 スイッチング素子 Q 23 及び第 24 スイッチング素子 Q 24 をオフ状態に制御する。

[0050] 制御部 30 は、図 5 (b) に示すスイッチングパターンと、図 5 (c) に示すスイッチングパターンを交互に繰り返すことにより、インバータ回路 1

0から $-1/2E$ を出力させることができる。

[0051] 図5(d)に示すように、インバータ回路10から $-E$ を出力する場合、制御部30は、第3スイッチング素子Q3、第4スイッチング素子Q4、第7スイッチング素子Q7、第8スイッチング素子Q8、第9スイッチング素子Q9、第10スイッチング素子Q10、第13スイッチング素子Q13、第14スイッチング素子Q14、第19スイッチング素子Q19、第20スイッチング素子Q20、第21スイッチング素子Q21及び第22スイッチング素子Q22をオン状態に制御し、第1スイッチング素子Q1、第2スイッチング素子Q2、第5スイッチング素子Q5、第6スイッチング素子Q6、第11スイッチング素子Q11、第12スイッチング素子Q12、第15スイッチング素子Q15、第16スイッチング素子Q16、第17スイッチング素子Q17、第18スイッチング素子Q18、第23スイッチング素子Q23及び第24スイッチング素子Q24をオフ状態に制御する。

[0052] 前述のように第1スイッチング素子Q1ー第24スイッチング素子Q24には、150V耐圧のNチャネルMOSFETを使用している。以下、第1スイッチング素子Q1ー第24スイッチング素子Q24の保護機能について説明する。本実施の形態では、マルチレベル出力部を構成する第1スイッチング素子Q1ー第16スイッチング素子Q16の保護機能について注目する。

[0053] 第1フライングキャパシタC1の両端の内側に接続されている第2スイッチング素子Q2と第3スイッチング素子Q3は相補関係にある。そのため、第2スイッチング素子Q2と第3スイッチング素子Q3のどちらかに、デッドタイムを除き、常に第1フライングキャパシタC1の電圧が印加される。制御部30は、第1フライングキャパシタC1の計測電圧が設定閾値（例えば、 $(150V - \text{マージン電圧})$ ）を超えると、第2スイッチング素子Q2または第3スイッチング素子Q3を保護するため、インバータ回路10の動作を停止させる。

[0054] また、第1フライングキャパシタC1の両端の外側に接続されている第1

スイッチング素子Q1と第4スイッチング素子Q4は相補関係にある。そのため、第1スイッチング素子Q1と第4スイッチング素子Q4の一方に、デッドタイムを除き、常に、正側バスと中間配線間の電圧から第1フライングキャパシタC1の電圧を引いた差分電圧が印加される。制御部30は、当該差分電圧が設定閾値（例えば、（150V−マージン電圧））を超えると、第1スイッチング素子Q1または第4スイッチング素子Q4を保護するため、インバータ回路10の動作を停止させる。

[0055] インバータ回路10の停止は、電力変換装置1と系統3間に設けられる解列リレー（不図示）をオープンすることにより行われる。これにより、電力変換装置1に電流が流れなくなる。

[0056] 図6は、制御部30、駆動回路40及び過電流保護回路60の構成例1を示す図である。駆動回路40は、第1駆動回路41、第2駆動回路42、第3駆動回路43及び第4駆動回路44を含む。第1駆動回路41はPWM1信号をもとに、第1スイッチング素子Q1、第5スイッチング素子Q5、第12スイッチング素子Q12及び第16スイッチング素子Q16をオン／オフする。第2駆動回路42はPWM2信号をもとに、第4スイッチング素子Q4、第8スイッチング素子Q8、第9スイッチング素子Q9及び第13スイッチング素子Q13をオン／オフする。第3駆動回路43はPWM3信号をもとに、第2スイッチング素子Q2、第6スイッチング素子Q6、第11スイッチング素子Q11及び第15スイッチング素子Q15をオン／オフする。第4駆動回路44はPWM4信号をもとに、第3スイッチング素子Q3、第7スイッチング素子Q7、第10スイッチング素子Q10及び第14スイッチング素子Q14をオン／オフする。

[0057] 構成例1では制御部30は、デューティ値生成部35、第1コンパレータ31、第2コンパレータ32、第1否定回路33及び第2否定回路34を含む。デューティ値生成部35は、出力電流計測部59により計測された電流値と目標電流値との偏差を算出する。デューティ値生成部35は算出した偏差をもとに、PI補償またはP補償により、電流指令値を生成する。計測さ

れた電流値が目標電流値より小さい場合、デューティ値を上げる制御となり、計測された電流値が目標電流値より大きい場合、デューティ値を下げる制御となる。なお制御対象の電流値として、出力電流計測部59により計測された電流値ではなく、リアクトル電流計測部57により計測された電流値を使用してもよい。デューティ値生成部35により生成されたデューティ値は、第1コンパレータ31と第2コンパレータ32の第1入力端子にそれぞれ入力される。

[0058] 第1コンパレータ31の第2入力端子には第1搬送波の値が入力される。本実施の形態では搬送波として三角波を使用する。第2コンパレータ32の第2入力端子には、第1搬送波と半周期(180°)、位相がシフトされた第2搬送波の値が入力される。

[0059] 第1コンパレータ31は、デューティ値生成部35から入力されるデューティ値と第1搬送波の値を比較し、その比較結果をPWM1信号として出力する。第1否定回路(NOT回路)33は、PWM1信号を反転させて、PWM1信号と逆位相のPWM2信号を出力する。なお本明細書では、説明を単純化するためデッドバンドについては無視して考える。

[0060] 第2コンパレータ32は、デューティ値生成部35から入力されるデューティ値と第2搬送波の値を比較し、その比較結果をPWM3信号として出力する。第2否定回路34は、PWM3信号を反転させて、PWM3信号と逆位相のPWM4信号を出力する。

[0061] 過電流保護回路60は、正の過電流を検出するための正側のヒステリシスコンパレータ、負の過電流を検出するための負側のヒステリシスコンパレータ、第1論理積回路63、第2論理積回路64、第3論理積回路65及び第4論理積回路66を含む。

[0062] 正側のヒステリシスコンパレータは、第1オペアンプ61、第1抵抗R1、第2抵抗R2及び第3抵抗R3を含む。第1オペアンプ61の反転入力端子には、リアクトル電流計測部57により計測された、第1リアクトルL1に流れる電流を示す値が入力される。第1オペアンプ61の非反転入力端子

には参照閾値が入力される。当該参照閾値は、基準電圧  $V_{ref}$  を第1抵抗  $R_1$  と第2抵抗  $R_2$  で分圧することにより生成される。第1オペアンプ61の出力端子と非反転入力端子の間が、第3抵抗  $R_3$  が挿入された正帰還経路で接続される。

[0063] 第1オペアンプ61の出力端子と非反転入力端子の間が、第3抵抗  $R_3$  を介した正帰還経路で接続されない場合、通常のコンパレータとなる。その場合、当該コンパレータは、第1リアクトル  $L_1$  に流れる電流を示す値  $V_{in}$  が参照閾値より低いときハイレベルを出力し、参照閾値より高いときローレベルを出力する。コンパレータの出力がローレベルの場合、第1リアクトル  $L_1$  に正方向の過電流が流れていることを示していることになる。

[0064] 図7は、ヒステリシスコンパレータの参照閾値を説明するための図である。ヒステリシスコンパレータは、一定の電圧範囲（以下、不感帯という）で出力が反転しないコンパレータである。不感帯の上限電圧が上側参照閾値  $V_{th1}$  となり、下限電圧が下側参照閾値  $V_{th2}$  となる。ヒステリシスコンパレータがハイレベルを出力しているとき、参照閾値が上側参照閾値  $V_{th1}$  となり、ローレベルを出力しているとき、参照閾値が下側参照閾値  $V_{th2}$  となる。不感帯の幅は、基準電圧  $V_{ref}$  の値、第1抵抗  $R_1$  の値、第2抵抗  $R_2$  の値、及び第3抵抗  $R_3$  の値により調整することができる。第3抵抗  $R_3$  の値を小さく設定するほど、不感帯の幅を広くすることができる。ヒステリシスコンパレータを使用することにより、過電流を検出するための参照閾値付近で、チャタリングすることを防止することができる。

[0065] 図6に示す正側のヒステリシスコンパレータがハイレベルを出力している状態において、第1リアクトル  $L_1$  に流れる電流を示す値  $V_{in}$  が上側参照閾値  $V_{th1}$  を上回ると、当該ヒステリシスコンパレータは出力をローレベルに反転させる。正側のヒステリシスコンパレータでは、上側参照閾値  $V_{th1}$  が正方向に流れる過電流を検出するための閾値となる。正側のヒステリシスコンパレータがローレベルを出力している状態において、第1リアクトル  $L_1$  に流れる電流を示す値  $V_{in}$  が下側参照閾値  $V_{th2}$  を下回ると、正

側のヒステリシスコンパレータは出力をハイレベルに反転させる。

[0066] 負側のヒステリシスコンパレータは、第2オペアンプ62、第4抵抗R4、第5抵抗R5及び第6抵抗R6を含む。第2オペアンプ62の非反転入力端子には、リアクトル電流計測部57により計測された、第1リアクトルL1に流れる電流を示す値が入力される。第2オペアンプ62の非反転入力端子には参照閾値が入力される。当該参照閾値は、基準電圧 $V_{ref}$ を第4抵抗R4と第5抵抗R5で分圧することにより生成される。第2オペアンプ62の出力端子と非反転入力端子の間が、第6抵抗R6が挿入された正帰還経路で接続される。

[0067] 負側のヒステリシスコンパレータがハイレベルを出力している状態において、第1リアクトルL1に流れる電流を示す値 $V_{in}$ が下側参照閾値 $V_{th2}$ を下回ると、当該ヒステリシスコンパレータは出力をローレベルに反転させる。負側のヒステリシスコンパレータでは、下側参照閾値 $V_{th2}$ が負方向に流れる過電流を検出するための閾値となる。負側のヒステリシスコンパレータがローレベルを出力している状態において、第1リアクトルL1に流れる電流を示す値 $V_{in}$ が上側参照閾値 $V_{th1}$ を上回ると、正側のヒステリシスコンパレータは出力をハイレベルに反転させる。

[0068] 正側のヒステリシスコンパレータの出力端子と負側のヒステリシスコンパレータの出力端子は結合される。結合された出力端子は、第7抵抗を介して電源電圧 $V_{dd}$ （ハイレベル）にプルアップされている。当該出力端子のレベルは、正方向に過電流が流れているとき（正側のヒステリシスコンパレータの出力がローレベル）、または負方向に過電流が流れているとき（負側のヒステリシスコンパレータの出力がローレベル）のとき、ローレベルとなり、それ以外のときハイレベルとなる。即ち、当該出力端子のレベル（以下、ヒステリシスコンパレータの出力レベルという）が、ハイレベルのとき第1リアクトルL1に流れる電流が正常であることを示し、ローレベルのとき第1リアクトルL1に流れる電流が異常であることを示す。

[0069] 第1論理積回路（AND回路）63の第1入力端子にPWM1信号が入力

され、第2入力端子にヒステリシスコンパレータの出力レベルが入力される。第1論理積回路63は、ヒステリシスコンパレータの出力レベルがハイレベルのときPWM1信号をそのまま第1駆動回路41に出力し、ヒステリシスコンパレータの出力レベルがローレベルのときローレベル（オフ信号）を第1駆動回路41に出力する。

[0070] 第2論理積回路64の第1入力端子にPWM2信号が入力され、第2入力端子にヒステリシスコンパレータの出力レベルが入力される。第2論理積回路64は、ヒステリシスコンパレータの出力レベルがハイレベルのときPWM2信号をそのまま第2駆動回路42に出力し、ヒステリシスコンパレータの出力レベルがローレベルのときローレベル（オフ信号）を第2駆動回路42に出力する。

[0071] 第3論理積回路65の第1入力端子にPWM3信号が入力され、第2入力端子にヒステリシスコンパレータの出力レベルが入力される。第3論理積回路65は、ヒステリシスコンパレータの出力レベルがハイレベルのときPWM3信号をそのまま第3駆動回路43に出力し、ヒステリシスコンパレータの出力レベルがローレベルのときローレベル（オフ信号）を第3駆動回路43に出力する。

[0072] 第4論理積回路66の第1入力端子にPWM4信号が入力され、第2入力端子にヒステリシスコンパレータの出力レベルが入力される。第4論理積回路66は、ヒステリシスコンパレータの出力レベルがハイレベルのときPWM4信号をそのまま第4駆動回路44に出力し、ヒステリシスコンパレータの出力レベルがローレベルのときローレベル（オフ信号）を第4駆動回路44に出力する。

[0073] なお図6では、第17スイッチング素子Q17-第24スイッチング素子Q24を駆動する駆動回路が省略されているが、当該駆動回路にも、ヒステリシスコンパレータの出力レベルがローレベルのときローレベル（オフ信号）が入力される。

[0074] 以上に示した構成例1では、第1リアクトルL1に過電流が流れたとき、

ヒステリシスコンパレータの出力レベルがローレベルとなり、駆動回路40は、第1スイッチング素子Q1ー第24スイッチング素子Q24のゲート端子にオフ信号を出力することになる。これにより、電力変換装置1が系統3との電氣的な接続を維持したまま、ゲートブロック状態にすることができる。

[0075] 図8は、構成例1を使用した電力変換装置1のFRT要件の第1の模擬試験により得られた波形を示す図である。図8に示す波形は、模擬試験により得られた実際の波形を模式的な波形に書き換えた図である。インバータ回路10は、5レベルの出力電圧 $V_{inv}$ として、 $+E$ と $+1/2E$ を交互に出力している。インバータ回路10が $+1/2E$ を出力する際、フライングキャパシタC1ーC4は充電と放電を1:1の比率で交互に繰り返しており、フライングキャパシタC1ーC4の電圧 $V_{fc}$ は、一定の範囲で周期的に変動している。

[0076] 系統3の攪乱により系統電圧 $V_{ac}$ が低下すると、インダクタ電流 $I_L$ が上昇する。インダクタ電流 $I_L$ の値が上側参照閾値 $V_{th1}$ を上回ると、過電流保護回路60がオンし、第1スイッチング素子Q1ー第24スイッチング素子Q24がオフする。この状態では、第18ダイオードD18、第17ダイオードD17、第2ダイオードD2、第1ダイオードD1、直流電源2、第16ダイオードD16、第15ダイオードD15、第24ダイオードD24、第23ダイオードD23の経路で導通し、インバータ回路10から $-E$ が出力される。過電流保護回路60がオンしている期間、インダクタ電流 $I_L$ は低下する。インバータ回路10から $-E$ が出力される期間は、電流がフライングキャパシタC1ーC4を通らず、フライングキャパシタC1ーC4は充電も放電もしない。インダクタ電流 $I_L$ の値が下側参照閾値 $V_{th2}$ を下回ると、過電流保護回路60がオフし、通常の5レベル出力制御に戻る。

[0077] 図8に示す試験結果では、フライングキャパシタC1ーC4の放電のタイミングで過電流保護回路60がオンし、フライングキャパシタC1ーC4の

充電のタイミングで過電流保護回路60がオフするタイミングが繰り返されている。これにより、フライングキャパシタC1-C4の放電時間が短くなり、充電量が放電量に対して多くなり、フライングキャパシタC1-C4の電圧 $V_{fc}$ が上昇する。当該試験では、その後、フライングキャパシタC1-C4の電圧 $V_{fc}$ が過電圧閾値に到達し、インバータ回路10の動作が停止した。FRT要件を満たすには、系統3の攪乱時にフライングキャパシタC1-C4の過電圧または不足電圧によってインバータ回路10の動作が停止しないことが必要である。

[0078] 系統3の攪乱時にインバータ回路10の動作を停止させないための第1の対策として、ヒステリシスコンパレータの不感帯の幅を広げる。具体的には正側のヒステリシスコンパレータの下側参照閾値 $V_{th2}$ を一般的な閾値に対して所定値以上低く設定し、負側のヒステリシスコンパレータの上側参照閾値 $V_{th1}$ を一般的な閾値に対して所定値以上高く設定する。例えば、図8に示した模擬試験に用いた正側のヒステリシスコンパレータでは、上側参照閾値 $V_{th1}$ を50-60Aの間の電流に対応する値に設定し、下側参照閾値 $V_{th2}$ を40-50Aの間の電流に対応する値に設定している。第1の対策では、下側参照閾値 $V_{th2}$ を10A付近の電流に対応する値に設定する。

[0079] 図9は、構成例1を使用した電力変換装置1のFRT要件の第2の模擬試験により得られた波形を示す図である。第2の模擬試験は、第1の対策が施された後に実施された試験である。系統3の攪乱により系統電圧 $V_{ac}$ が低下すると、インダクタ電流 $I_L$ が上昇する。インダクタ電流 $I_L$ の値が上側参照閾値 $V_{th1}$ を上回ると、過電流保護回路60がオンし、前述のようにインバータ回路10から-Eが出力される。過電流保護回路60がオンしている期間、インダクタ電流 $I_L$ は低下する。

[0080] 図9の例では、インダクタ電流 $I_L$ の値が、目標電流値より小さい値まで低下している。すなわち、正側のヒステリシスコンパレータの不感帯が、インダクタ電流 $I_L$ の値が、目標電流値より小さい値まで低下することが確保

される幅に設定されている。これにより、過電流保護回路60は、少なくとも、インダクタ電流 $I_L$ の値が、目標電流値より小さくなるため、第1駆動回路41－第4駆動回路44にオフ信号を供給し続けることになる。

[0081] 第2の模擬試験では下側参照閾値 $V_{th2}$ が低く設定されているため、インダクタ電流 $I_L$ の値が目標電流値より小さい値まで低下する。インダクタ電流 $I_L$ の値が下側参照閾値 $V_{th2}$ を下回ると、過電流保護回路60がオフし、通常の5レベル出力制御に戻る。通常の5レベル出力制御に戻った直後の $+1/2E$ を出力する区間では、電流の値が小さくなっているため、フライングキャパシタ $C1-C4$ の充電量もしくは放電量は小さくなる。また電流の値が小さくなっているため、計測される電流値と目標電流値との偏差が大きくなっている。したがってフィードバック制御が働き出すと、制御部30は偏差を0に近づけるために、インバータ回路10に $+E$ を出力させるように制御する。

[0082] 反対に、過電流保護回路60により負方向の過電流が流れた場合、インダクタ電流 $I_L$ の値が下側参照閾値 $V_{th2}$ を下回ると、過電流保護回路60がオンし、インバータ回路10から $+E$ が出力される。過電流保護回路60がオンしている期間、インダクタ電流 $I_L$ は上昇する。インダクタ電流 $I_L$ の値が上側参照閾値 $V_{th1}$ を上回ると、過電流保護回路60がオフし、第1スイッチング素子 $Q1$ －第24スイッチング素子 $Q24$ は通常の5レベル出力制御に戻る。フィードバック制御が働き出すと、制御部30は偏差を0に近づけるために、インバータ回路10に $-E$ を出力させるように制御する。

[0083] 図4(a)、図5(a)に示したようにインバータ回路10が $+E$ または $-E$ を出力するスイッチングパターンでは、フライングキャパシタ $C1-C4$ を電流が通過せず、フライングキャパシタ $C1-C4$ は充電も放電もしない。図9に示すように第2の模擬試験では、系統3の攪乱により過電流が流れても、フライングキャパシタ $C1-C4$ の電圧 $V_{fc}$ は上昇せず安定している。したがって、フライングキャパシタ $C1-C4$ のいずれかの電圧 $V_f$

cが上昇して過電圧閾値に到達することにより、インバータ回路10の動作が停止することを回避することができる。

[0084] 図10は、制御部30、駆動回路40及び過電流保護回路60の構成例2を示す図である。構成例2は、系統3の攪乱時にインバータ回路10の動作が停止することを回避するための第2の対策を実現するための構成である。以下に説明する第2-4の対策では、ヒステリシスコンパレータの不感帯は通常の幅に設定されている。なお、第2-4の対策でも、第1の対策で説明したように通常より広い幅の不感帯を設定してもよい。

[0085] 構成例2では図6に示した構成例1と比較し、制御部30が、マルチプレクサ36、フラグ生成部37及び3レベルパターン信号出力部38をさらに含む。3レベルパターン信号出力部38は、インバータ回路10に、+E、0、-Eの3レベルの電圧で生成される交流電圧を出力させるためのPWM信号を生成する。

[0086] 3レベルパターン信号出力部38は、インバータ回路10に図4(b)、図4(c)、図5(b)、図5(c)に示した $+1/2E$ 、 $-1/2E$ を出力させるためのスイッチングパターンは使用せず、図4(a)、図4(d)、図5(a)、図5(d)に示した+0、+E、-0、-Eを出力させるためのスイッチングパターンのみを使用する。後者のスイッチングパターンでは、フライングキャパシタC1-C4を電流が通過せず、フライングキャパシタC1-C4は充電も放電もしない。

[0087] 図11は、3レベル(+E、0、-E)の電圧で生成される交流波を示す図である。区間(1)では+Eと0を交互に出力し、区間(2)では0と-Eを交互に出力する。これにより、1周期の交流波が生成される。図11に示す交流波は、0を中心とした矩形波状の交流波であり、図2に示した5レベル(+E、 $+1/2E$ 、0、 $-1/2E$ 、-E)の電圧で生成される擬似正弦波と比較し、系統電圧との乖離が大きくなり、変換効率が低くなる。

[0088] 図10に戻る。3レベルパターン信号出力部38は、インバータ回路10に図11に示した交流波を出力させるためのPWM1信号-PWM4信号を

生成し、マルチプレクサ36に出力する。

- [0089] マルチプレクサ36には、第1コンパレータ31から出力されるPWM1信号、第1否定回路33から出力されるPWM2信号、第2コンパレータ32から出力されるPWM3信号、及び第2否定回路34から出力されるPWM4信号も入力される。
- [0090] フラグ生成部37は、フライングキャパシタC1-C4のいずれかの電圧が異常な期間（第1条件満足期間という）、有意なフラグをマルチプレクサ36に設定し、フライングキャパシタC1-C4の全ての電圧が正常な期間、非有意なフラグをマルチプレクサ36に設定する。フライングキャパシタC1-C4のいずれかの電圧が異常な状態とは、過電圧閾値を上回っているか、不足電圧閾値を下回っている状態を指す。
- [0091] またフラグ生成部37は、系統3の瞬時電圧低下を検出してから所定の期間（以下、第2条件満足期間という）、有意なフラグをマルチプレクサ36に設定し、それ以外の期間、非有意なフラグをマルチプレクサ36に設定してもよい。当該所定の期間は、設計者により任意に設定することができる。なおフラグ生成部37は、系統3の瞬時電圧上昇を検出してから所定の期間も、有意なフラグをマルチプレクサ36に設定してもよい。
- [0092] またフラグ生成部37は、第1条件満足期間と第2条件満足期間の重複期間に、有意なフラグをマルチプレクサ36に設定し、それ以外の期間に、非有意なフラグをマルチプレクサ36に設定してもよい。
- [0093] マルチプレクサ36は、非有意なフラグが設定されている期間、第1コンパレータ31、第1否定回路33、第2コンパレータ32及び第2否定回路34から入力されたPWM1信号-PWM4信号を、第1駆動回路41-第4駆動回路44にそれぞれ出力する。マルチプレクサ36は、有意なフラグが設定されている期間、3レベルパターン信号出力部38から入力されたPWM1信号-PWM4信号を、第1駆動回路41-第4駆動回路44にそれぞれ出力する。
- [0094] すなわち、インバータ回路10は、第1条件と第2条件の少なくとも一方

を満たした期間に3レベルインバータとして動作し、それ以外の期間に5レベルインバータとして動作する。3レベルインバータとして動作する期間は、フライングキャパシタC1-C4の過電圧または不足電圧によるインバータ回路10の停止が回避される。

[0095] なお、第1条件と第2条件の両方を満たした期間にインバータ回路10を3レベルインバータとして動作させると、FRT要件を満たしつつ、変換効率の低下を抑制することができる。系統3の瞬時電圧低下が発生しても、フライングキャパシタC1-C4が過電圧または不足電圧に到達しない場合もある。その場合、本来は5レベルインバータのまま動作させることが可能である。フライングキャパシタC1-C4の電圧が正常な範囲にある場合において、第2条件の満足のみで3レベルインバータの動作に切り替えてしまうと、5レベルインバータのまま動作を継続した場合と比較して効率が低下する。

[0096] また、系統3の瞬時電圧低下が発生していない状態で、フライングキャパシタC1-C4が過電圧または不足電圧に陥った場合、安全性の観点からインバータ回路10の動作を停止させたほうが好ましい。第1条件の満足のみで3レベルインバータの動作に切り替えてしまうと、系統3の瞬時電圧低下と関係ないフライングキャパシタC1-C4の過電圧または不足電圧であっても、インバータ回路10の動作が停止せず、3レベルインバータへの動作切替にとどまってしまう。

[0097] 図12は、制御部30、駆動回路40及び過電流保護回路60の構成例3を示す図である。構成例3は、系統3の攪乱時にインバータ回路10の動作が停止することを回避するための第3の対策を実現するための構成である。構成例3では図6に示した構成例1と比較し、制御部30が、マルチプレクサ36、フラグ生成部37及び3レベルデューティ値生成部39をさらに含む。3レベルデューティ値生成部39は、インバータ回路10に、+E、0、-Eの3レベルの電圧で生成される交流電圧を出力させるためのデューティ値を生成する。より具体的には、3レベルデューティ値生成部39はイン

バータ回路10に、図11に示した交流波を出力させるためのデューティ値を生成し、3レベル用のデューティ値としてマルチプレクサ36に出力する。マルチプレクサ36には、デューティ値生成部35により生成された5レベル用のデューティ値も入力される。

[0098] フラグ生成部37は、構成例2の説明と同様の条件で、有意または非有意なフラグをマルチプレクサ36に設定する。マルチプレクサ36は、非有意なフラグが設定されている期間、デューティ値生成部35から入力される5レベル用のデューティ値を第1コンパレータ31及び第2コンパレータ32にそれぞれ出力し、有意なフラグが設定されている期間、3レベルデューティ値生成部39から入力される3レベル用のデューティ値を第1コンパレータ31及び第2コンパレータ32にそれぞれ出力する。

[0099] 構成例3でも構成例2と同様に、インバータ回路10は、第1条件と第2条件の少なくとも一方を満たした期間に3レベルインバータとして動作し、それ以外の期間に5レベルインバータとして動作する。3レベルインバータとして動作する期間は、フライングキャパシタC1-C4の過電圧または不足電圧によるインバータ回路10の停止が回避される。

[0100] 図13は、制御部30、駆動回路40及び過電流保護回路60の構成例4を示す図である。構成例4は、系統3の攪乱時にインバータ回路10の動作が停止することを回避するための第4の対策を実現するための構成である。構成例4では図6に示した構成例1と比較し、制御部30が、乗算器310及びフラグ生成部311をさらに含む。フラグ生成部311は、構成例2の説明と同様の条件で、有意または非有意なフラグを生成し、乗算器310に出力する。構成例4では、非有意なフラグは1であり、有意なフラグは-1である。

[0101] 乗算器310は、デューティ値生成部35から出力されたデューティ値に、フラグ生成部311から出力されたフラグの値を乗算して、第2コンパレータ32の第1入力端子に出力する。乗算器310は、フラグ生成部311により生成されるフラグが非有意な場合、デューティ値生成部35から出力

されたデューティ値をそのまま第2コンパレータ32の第1入力端子に出力し、フラグ生成部311により生成されるフラグが有意な場合、デューティ値生成部35から出力されたデューティ値の極性を反転させて第2コンパレータ32の第1入力端子に出力する。

[0102] フラグ生成部311により生成されるフラグが有意な場合、PWM1信号とPWM3信号の波形が同じになり、PWM2信号とPWM4信号の波形が同じになる。その場合、図4(b)、図4(c)、図5(b)、図5(c)に示した $+1/2E$ 、 $-1/2E$ を出力するためのスイッチングパターンが使用されず、図4(a)、図4(d)、図5(a)、図5(d)に示した $+0$ 、 $+E$ 、 $-0$ 、 $-E$ を出力するためのスイッチングパターンのみが使用されることになる。

[0103] なお、乗算器310の設置位置は、第2コンパレータ32の第1入力端子の前段に限らず、第2コンパレータ32の第2入力端子の前段、第1コンパレータ31の第1入力端子の前段、または第1コンパレータ31の第2入力端子の前段であってもよい。いずれの位置に設置しても、フラグ生成部311により生成されるフラグが有意な場合、PWM1信号とPWM3信号の波形が同じになり、PWM2信号とPWM4信号の波形が同じになる。

[0104] 構成例4でも構成例2と同様に、インバータ回路10は、第1条件と第2条件の少なくとも一方を満たした期間に3レベルインバータとして動作し、それ以外の期間に5レベルインバータとして動作する。3レベルインバータとして動作する期間は、フライングキャパシタC1-C4が充電も放電もしないため、フライングキャパシタC1-C4の過電圧または不足電圧によるインバータ回路10の停止が回避される。

[0105] 以上説明したように本実施の形態によれば、過電流保護回路60を設けるとともに、フライングキャパシタC1-C4の電圧が異常なとき及び系統3の攪乱時の少なくとも一方の条件を満たす期間に、インバータ回路10から $+E$ 、 $0$ 、 $-E$ 以外の電圧が出力されることを制限する。これにより、系統3の瞬時電圧低下時に、インバータ回路10の動作を停止させなくても、フ

ライティングキャパシタC1-C4の充電と放電のバランスが崩れることを防止できる。したがって、ライティングキャパシタC1-C4の過電圧または不足電圧を回避しつつFRE要件を満たすことができる。よって、JET認証試験における不適合を回避することができる。また、過電流、過電圧、不足電圧の対策が十分になされているため、低耐圧のスイッチング素子を使用しても、耐圧オーバーによる素子破壊を防止することができる。低耐圧のスイッチング素子を使用することは、高効率で小型の電力変換装置1の実現に資する。

- [0106] 以上、本開示を実施の形態をもとに説明した。実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本開示の範囲にあることは当業者に理解されるところである。
- [0107] 図6に示した構成例1におけるデューティ値生成部35、第1コンパレータ31、第2コンパレータ32、第1否定回路33及び第2否定回路34は、マイクロコンピュータによるソフトウェア演算処理で実現することもできる。図10に示した構成例2におけるデューティ値生成部35、第1コンパレータ31、第2コンパレータ32、第1否定回路33、第2否定回路34、マルチプレクサ36、フラグ生成部37及び3レベルパターン信号出力部38も、マイクロコンピュータによるソフトウェア演算処理で実現することもできる。図12に示した構成例3におけるデューティ値生成部35、第1コンパレータ31、第2コンパレータ32、第1否定回路33、第2否定回路34、マルチプレクサ36、フラグ生成部37及び3レベルデューティ値生成部39も、マイクロコンピュータによるソフトウェア演算処理で実現することもできる。図13に示した構成例4におけるデューティ値生成部35、第1コンパレータ31、第2コンパレータ32、第1否定回路33、第2否定回路34、乗算器310及びフラグ生成部311も、マイクロコンピュータによるソフトウェア演算処理で実現することもできる。
- [0108] マイクロコンピュータによるソフトウェア演算処理で実現する場合、回路

規模の増大およびコストアップを抑制することができる。一方、ハードウェアで実現する場合、応答時間の遅れを防止することができる。

[0109] 上記の実施の形態において、第1論理積回路63－第4論理積回路66は、ヒステリシスコンパレータの出力値がローレベルのとき、第1駆動回路41－第4駆動回路44にローレベルをそれぞれ出力し、ヒステリシスコンパレータの出力値がハイレベルのとき、第1駆動回路41－第4駆動回路44にPWM1信号－PWM4信号をそれぞれ出力した。この点、第1論理積回路63－第4論理積回路66の代わりに、選択回路（例えば、マルチプレクサ）を用いてもよい。選択回路は、ヒステリシスコンパレータの出力値がローレベルのとき、ヒステリシスコンパレータの出力値を選択して第1駆動回路41－第4駆動回路44にそれぞれ出力し、ヒステリシスコンパレータの出力値がハイレベルのとき、PWM1信号－PWM4信号を選択して第1駆動回路41－第4駆動回路44にそれぞれ出力する。

[0110] 上記の実施の形態において、第17スイッチング素子Q17と第18スイッチング素子Q18を、耐圧の大きい1つのスイッチング素子に置き換えることが可能である。第19スイッチング素子Q19と第20スイッチング素子Q20、第21スイッチング素子Q21と第22スイッチング素子Q22、及び第23スイッチング素子Q23と第24スイッチング素子Q24も同様である。

[0111] 上記の実施の形態では、5レベル出力のマルチレベル電力変換装置を説明したが、7レベル以上を出力するマルチレベル電力変換装置にも本開示を適用可能である。マルチレベル出力部は、1つのフライングキャパシタと4つのスイッチング素子を持つグループ（上述したフライングキャパシタ回路）が3つ以上直列に接続されたレグを有する。単相の場合は2つのレグを、三相の場合は3つのレグを有する。2つ又は3つのレグは、直流電源2の両端間に並列に接続される。

[0112] なお、実施の形態は、以下の項目によって特定されてもよい。

[0113] [項目1]

直流電源（２）から供給される直流電圧を交流電圧に変換するインバータ回路（１０）と、

前記インバータ回路（１０）の出力電圧の波形を正弦波に近づけるフィルタ回路（２０）と、

前記インバータ回路（１０）に含まれる複数のスイッチング素子（Ｑ１－Ｑ２４）を駆動する駆動回路（４０）と、

過電流が検出されたとき、前記駆動回路（４０）に前記複数のスイッチング素子（Ｑ１－Ｑ２４）をオフするためのブロック信号を供給する過電流保護回路（６０）と、を備え、

前記インバータ回路（１０）は、

複数のフライングキャパシタ（Ｃ１－Ｃ４）を含み、５レベル以上の電位をそれぞれ２点から出力可能なマルチレベル出力部（１１－１４）と、

前記マルチレベル出力部（１１－１４）の２点間に流れる電流の向きを制御する極性切替部（１５、１６）と、を含み、

前記複数のフライングキャパシタ（Ｃ１－Ｃ４）のいずれかの電圧の異常、及び本電力変換装置（１）の出力電圧の急変動の少なくとも一方が発生しているとき、前記インバータ回路（１０）から前記直流電源（２）の正電圧、前記直流電源（２）の負電圧、及びゼロ電圧以外の電圧の出力が制限されることを特徴とする電力変換装置（１）。

これによれば、複数のフライングキャパシタ（Ｃ１－Ｃ４）のいずれかの電圧の異常、及び本電力変換装置（１）の出力電圧の急変動の少なくとも一方が発生しているときにおいて、フライングキャパシタ（Ｃ１－Ｃ４）の過電圧または不足電圧によるインバータ回路（１０）の停止を回避し、電力変換装置（１）の運転継続性を確保することができる。

## [項目２]

本電力変換装置（１）の出力電流を目標電流に一致させるための制御信号を生成して、前記駆動回路に供給する制御部（３０）をさらに備え、

前記電力変換装置（１）の交流側端子は電力系統（３）に接続され、

前記過電流保護回路（60）は、前記フィルタ回路（20）に過電流が流れたとき、少なくとも、前記フィルタ回路（20）に流れる電流の絶対値が前記目標電流の絶対値より小さい値になるまで、前記駆動回路（40）にブロック信号を供給し続けることを特徴とする項目1に記載の電力変換装置（1）。

これによれば、系統擾乱時において、フライングキャパシタ（C1-C4）の過電圧または不足電圧によるインバータ回路（10）の停止を回避し、電力変換装置（1）の運転継続性を確保することができる。

### [項目3]

前記過電流保護回路（60）は、

前記フィルタ回路（20）に流れる電流の値と、参照閾値とを比較するヒステリシスコンパレータ（61、R1-R3、62、R4-R6）と、

前記ヒステリシスコンパレータ（61、R1-R3、62、R4-R6）の出力値と、前記制御部（30）から供給される制御信号を比較して、前記ヒステリシスコンパレータ（61、R1-R3、62、R4-R6）の出力値がローレベルのとき、前記ブロック信号としてローレベルを前記駆動回路（40）に供給し、前記ヒステリシスコンパレータ（61、R1-R3、62、R4-R6）の出力値がハイレベルのとき前記制御部（30）から供給される制御信号を前記駆動回路（40）に供給する論理回路（63-66）または選択回路と、を含み、

前記ヒステリシスコンパレータ（61、R1-R3、62、R4-R6）の不感帯の幅は、前記フィルタ回路（20）に流れる電流の値が過電流を検出するための参照閾値に到達した後、少なくとも、前記フィルタ回路（20）に流れる電流の絶対値が前記目標電流の絶対値より小さな値になることが確保される幅に設定されることを特徴とする項目2に記載の電力変換装置（1）。

ヒステリシスコンパレータ（61、R1-R3、62、R4-R6）の不感帯の幅を広く設定することにより、過電流検出後の電流の絶対値を極小さ

くすることができ、インバータ回路（10）から、直流電源（2）の正電圧または直流電源（2）の負電圧を出力させることができる。これにより、フライングキャパシタ（C1-C4）の充電または放電が停止され、フライングキャパシタC1-C4の過電圧または不足電圧によるインバータ回路（10）の停止が回避される。

[項目4]

前記駆動回路に制御信号を供給する制御部（30）をさらに備え、  
前記電力変換装置（1）の交流側端子は電力系統（3）に接続され、  
前記制御部（30）は、前記複数のフライングキャパシタ（C1-C4）のいずれかの電圧が異常な期間、及び前記電力系統（3）の瞬時電圧低下を検出してから所定の期間の少なくとも一方の期間である条件満足期間において、前記インバータ回路（10）から前記直流電源（2）の正電圧、前記直流電源（2）の負電圧、及びゼロ電圧の3つの電圧により生成される交流電圧が出力されるように、前記駆動回路（40）を制御することを特徴とする項目1に記載の電力変換装置（1）。

これによれば、条件満足期間において、フライングキャパシタ（C1-C4）の充電または放電が停止され、フライングキャパシタ（C1-C4）の過電圧または不足電圧によるインバータ回路（10）の停止が回避される。

[項目5]

前記制御部（30）は、  
本電力変換装置（1）の出力電流と前記目標電流との偏差に基づくデューティ値と、搬送波の値を比較して、その比較結果に基づくPWM（Pulse Width Modulation）信号を出力する比較部（31、32）と、  
前記直流電源（2）の正電圧、前記直流電源（2）の負電圧、及びゼロ電圧の3つの電圧により生成される交流電圧を前記インバータ回路（10）に出力させるためのPWM信号と、前記比較部（31、32）から出力される擬似正弦波を前記インバータ回路（10）に出力させるためのPWM信号のどちらかを選択して前記駆動回路（40）に供給する選択部（36）と、を

含み、

前記選択部（36）は、前記条件満足期間のとき前記3つの電圧により生成される交流電圧を出力させるためのPWM信号を選択し、前記条件満足期間以外のとき前記擬似正弦波を出力させるためのPWM信号を選択する項目4に記載の電力変換装置（1）。

これによれば、条件満足期間において、フライングキャパシタ（C1-C4）の充電または放電が停止され、フライングキャパシタ（C1-C4）の過電圧または不足電圧によるインバータ回路（10）の停止が回避される。

[項目6]

前記制御部（30）は、

本電力変換装置（1）の出力電流と前記目標電流との偏差に基づく擬似正弦波を前記インバータに出力させるためのデューティ値と、前記直流電源（2）の正電圧、前記直流電源（2）の負電圧、及びゼロ電圧の3つの電圧により生成される交流電圧を前記インバータ回路（10）に出力させるためのデューティ値のどちらかを選択する選択部（36）と、

前記選択部（36）により選択されたデューティ値と搬送波の値を比較して、その比較結果に基づくPWM信号を前記駆動回路（40）に供給する比較部（31、32）と、を含み、

前記選択部（36）は、前記条件満足期間のとき前記3つの電圧により生成される交流電圧を出力させるためのデューティ値を選択し、前記条件満足期間以外のとき前記擬似正弦波を出力させるためのデューティ値を選択する項目4に記載の電力変換装置（1）。

これによれば、条件満足期間において、フライングキャパシタ（C1-C4）の充電または放電が停止され、フライングキャパシタ（C1-C4）の過電圧または不足電圧によるインバータ回路（10）の停止が回避される。

[項目7]

前記マルチレベル出力部（11-14）は、

直列に接続される第1スイッチング素子（Q1）、第2スイッチング素子

(Q 2)、第3スイッチング素子(Q 3)及び第4スイッチング素子(Q 4)と、前記第1スイッチング素子(Q 1)と前記第2スイッチング素子(Q 2)の接続点と前記第3スイッチング素子(Q 3)と前記第4スイッチング素子(Q 4)の接続点との間に接続された第1フライングキャパシタ(C 1)を有する第1フライングキャパシタ回路(1 1)と、

直列に接続される第5スイッチング素子(Q 5)、第6スイッチング素子(Q 6)、第7スイッチング素子(Q 7)及び第8スイッチング素子(Q 8)と、前記第5スイッチング素子(Q 5)と前記第6スイッチング素子(Q 6)の接続点と前記第7スイッチング素子(Q 7)と前記第8スイッチング素子(Q 8)の接続点との間に接続された第2フライングキャパシタ(C 2)を有する第2フライングキャパシタ回路(1 2)と、

直列に接続される第9スイッチング素子(Q 9)、第10スイッチング素子(Q 10)、第11スイッチング素子(Q 11)及び第12スイッチング素子(Q 12)と、前記第9スイッチング素子(Q 9)と前記第10スイッチング素子(Q 10)の接続点と前記第11スイッチング素子(Q 11)と前記第12スイッチング素子(Q 12)の接続点との間に接続された第3フライングキャパシタ(C 3)を有する第3フライングキャパシタ回路(1 3)と、

直列に接続される第13スイッチング素子(Q 13)、第14スイッチング素子(Q 14)、第15スイッチング素子(Q 15)及び第16スイッチング素子(Q 16)と、前記第13スイッチング素子(Q 13)と前記第14スイッチング素子(Q 14)の接続点と前記第15スイッチング素子(Q 15)と前記第16スイッチング素子(Q 16)の接続点との間に接続された第4フライングキャパシタ(C 4)を有する第4フライングキャパシタ回路(1 4)と、を含み、

前記極性切替部は、

前記第1フライングキャパシタ回路(1 1)の midpoint と前記第2フライングキャパシタ回路(1 2)の midpoint との間に直列に接続される第17スイッチン

グ素子（Q 1 7）、第 1 8 スイッチング素子（Q 1 8）、第 1 9 スイッチング素子（Q 1 9）及び第 2 0 スイッチング素子（Q 2 0）を有し、前記第 1 8 スイッチング素子（Q 1 8）と前記第 1 9 スイッチング素子（Q 1 9）との間の接続点が、電力系統（3）に接続された交流経路の一端に接続される第 1 出力回路と、

前記第 3 フライングキャパシタ回路（1 3）の midpoint と前記第 4 フライングキャパシタ回路（1 4）の midpoint との間に直列に接続される第 2 1 スイッチング素子（Q 2 1）、第 2 2 スイッチング素子（Q 2 2）、第 2 3 スイッチング素子（Q 2 3）及び第 2 4 スイッチング素子（Q 2 4）を有し、前記第 2 2 スイッチング素子（Q 2 2）と前記第 2 3 スイッチング素子（Q 2 3）との間の接続点が、前記交流経路の他端に接続される第 2 出力回路と、を含み、

前記第 1 フライングキャパシタ回路（1 1）及び前記第 2 フライングキャパシタ回路（1 2）は前記直流電源（2）の両端間に直列に接続され、

前記第 3 フライングキャパシタ回路（1 3）及び前記第 4 フライングキャパシタ回路（1 4）は前記直流電源（2）の両端間に直列に接続され、

前記第 1 フライングキャパシタ回路（1 1）と前記第 2 フライングキャパシタ回路（1 2）との接続点と、前記第 3 フライングキャパシタ回路（1 3）と前記第 4 フライングキャパシタ回路（1 4）との接続点との間が中間配線で接続されることを特徴とする項目 1 から 6 のいずれか 1 項に記載の電力変換装置（1）。

これによれば、5 レベルの擬似正弦波と、3 レベルの交流電圧を出力できるインバータ回路（1 0）を構成できる。

#### [項目 8]

前記マルチレベル出力部（1 1 - 1 4）は、

直列に接続される第 1 スイッチング素子（Q 1）、第 2 スイッチング素子（Q 2）、第 3 スイッチング素子（Q 3）及び第 4 スイッチング素子（Q 4）と、前記第 1 スイッチング素子（Q 1）と前記第 2 スイッチング素子（Q

2) の接続点と前記第3スイッチング素子(Q3)と前記第4スイッチング素子(Q4)の接続点との間に接続された第1フライングキャパシタ(C1)を有する第1フライングキャパシタ回路(11)と、

直列に接続される第5スイッチング素子(Q5)、第6スイッチング素子(Q6)、第7スイッチング素子(Q7)及び第8スイッチング素子(Q8)と、前記第5スイッチング素子(Q5)と前記第6スイッチング素子(Q6)の接続点と前記第7スイッチング素子(Q7)と前記第8スイッチング素子(Q8)の接続点との間に接続された第2フライングキャパシタ(C2)を有する第2フライングキャパシタ回路(12)と、

直列に接続される第9スイッチング素子(Q9)、第10スイッチング素子(Q10)、第11スイッチング素子(Q11)及び第12スイッチング素子(Q12)と、前記第9スイッチング素子(Q9)と前記第10スイッチング素子(Q10)の接続点と前記第11スイッチング素子(Q11)と前記第12スイッチング素子(Q12)の接続点との間に接続された第3フライングキャパシタ(C3)を有する第3フライングキャパシタ回路(13)と、

直列に接続される第13スイッチング素子(Q13)、第14スイッチング素子(Q14)、第15スイッチング素子(Q15)及び第16スイッチング素子(Q16)と、前記第13スイッチング素子(Q13)と前記第14スイッチング素子(Q14)の接続点と前記第15スイッチング素子(Q15)と前記第16スイッチング素子(Q16)の接続点との間に接続された第4フライングキャパシタ(C4)を有する第4フライングキャパシタ回路(14)と、を含み、

前記極性切替部(15、16)は、

前記第1フライングキャパシタ回路(11)の midpoint と前記第2フライングキャパシタ回路(12)の midpoint との間に直列に接続される第17スイッチング素子(Q17)、第18スイッチング素子(Q18)、第19スイッチング素子(Q19)及び第20スイッチング素子(Q20)を有し、前記第1

8スイッチング素子（Q18）と前記第19スイッチング素子（Q19）との間の接続点が、電力系統（3）に接続された交流経路の一端に接続される第1出力回路（15）と、

前記第3フライングキャパシタ回路（13）の midpoint と前記第4フライングキャパシタ回路（14）の midpoint との間に直列に接続される第21スイッチング素子（Q21）、第22スイッチング素子（Q22）、第23スイッチング素子（Q23）及び第24スイッチング素子（Q24）を有し、前記第22スイッチング素子（Q22）と前記第23スイッチング素子（Q23）との間の接続点が、前記交流経路の他端に接続される第2出力回路（16）と、を含み、

前記第1フライングキャパシタ回路（11）及び前記第2フライングキャパシタ回路（12）は前記直流電源（2）の両端間に直列に接続され、

前記第3フライングキャパシタ回路（13）及び前記第4フライングキャパシタ回路（14）は前記直流電源（2）の両端間に直列に接続され、

前記第1フライングキャパシタ回路（11）と前記第2フライングキャパシタ回路（12）との接続点と、前記第3フライングキャパシタ回路（13）と前記第4フライングキャパシタ回路（14）との接続点との間が中間配線で接続され、

前記制御部（30）は、

本電力変換装置（1）の出力電流と前記目標電流との偏差に基づくデューティ値と、第1搬送波の値を比較する第1比較部（31）と、

前記第1比較部（31）の比較結果を反転する第1反転部（33）と、

前記デューティ値と、前記第1搬送波と半周期、位相がシフトされた第2搬送波の値を比較する第2比較部（32）と、

前記第2比較部（32）の比較結果を反転する第2反転部（34）と、

を含み、

前記第1比較部（31）の出力値は、前記第1スイッチング素子（Q1）、前記第5スイッチング素子（Q5）、前記第9スイッチング素子（Q9）

及び前記第13スイッチング素子(Q13)を駆動する第1駆動回路(41)に供給され、

前記第1反転部(33)の出力値は、前記第4スイッチング素子(Q4)、前記第8スイッチング素子(Q8)、前記第12スイッチング素子(Q12)及び前記第16スイッチング素子(Q16)を駆動する第2駆動回路(42)に供給され、

前記第2比較部(32)の出力値は、前記第2スイッチング素子(Q2)、前記第6スイッチング素子(Q6)、前記第10スイッチング素子(Q10)及び前記第14スイッチング素子(Q14)を駆動する第3駆動回路(43)に供給され、

前記第2反転部(34)の出力値は、前記第3スイッチング素子(Q3)、前記第7スイッチング素子(Q7)、前記第11スイッチング素子(Q11)及び前記第15スイッチング素子(Q15)を駆動する第4駆動回路(44)に供給され、

前記制御部(30)は、前記条件満足期間のとき、前記第1比較部(31)及び前記第2比較部(32)に入力される4つの入力値のいずれか1つの極性を反転させることを特徴とする項目4に記載の電力変換装置(1)。

これによれば、条件満足期間において、フライングキャパシタ(C1-C4)の充電または放電が停止され、フライングキャパシタ(C1-C4)の過電圧または不足電圧によるインバータ回路(10)の停止が回避される。

### 産業上の利用可能性

[0114] 本開示は、フライングキャパシタ方式のマルチレベル電力変換装置に利用可能である。

### 符号の説明

[0115] 1 電力変換装置、 2 直流電源、 3 系統、 10 インバータ回路、 11-14 フライングキャパシタ回路、 15, 16 出力回路、 20 フィルタ回路、 30 制御部、 31, 32 コンパレータ、 33, 34 否定回路、 35 デューティ値生成部、 36 マルチプレ

クサ、 37 フラグ生成部、 38 3レベルパターン信号出力部、 39 3レベルデューティ値生成部、 310 乗算器、 311 フラグ生成部、 40 駆動回路、 50 バス電圧計測部、 51-54 電圧計測部、 55 第1中間電圧計測部、 56 第2中間電圧計測部、 57 リアクトル電流計測部、 58 出力電圧計測部、 59 出力電流計測部、 60 過電流保護回路、 61, 62 オペアンプ、 63-66 論理積回路、 R1-R7 抵抗、 Q1-Q24 スイッチング素子、 D1-D24 ダイオード、 C1-C4 フライイングキャパシタ、 C5, C6 分割コンデンサ、 C7 出力コンデンサ、 L1, L2 リアクトル。

## 請求の範囲

- [請求項1] 直流電源から供給される直流電圧を交流電圧に変換するインバータ回路と、
- 前記インバータ回路の出力電圧の波形を正弦波に近づけるフィルタ回路と、
- 前記インバータ回路に含まれる複数のスイッチング素子を駆動する駆動回路と、
- 過電流が検出されたとき、前記駆動回路に前記複数のスイッチング素子をオフするためのブロック信号を供給する過電流保護回路と、を備え、
- 前記インバータ回路は、
- 複数のフライングキャパシタを含み、5レベル以上の電位をそれぞれ2点から出力可能なマルチレベル出力部と、
- 前記マルチレベル出力部の2点間に流れる電流の向きを制御する極性切替部と、を含み、
- 前記複数のフライングキャパシタのいずれかの電圧の異常、及び本電力変換装置の出力電圧の急変動の少なくとも一方が発生しているとき、前記インバータ回路から前記直流電源の正電圧、前記直流電源の負電圧、及びゼロ電圧以外の電圧の出力が制限されることを特徴とする電力変換装置。
- [請求項2] 本電力変換装置の出力電流を目標電流に一致させるための制御信号を生成して、前記駆動回路に供給する制御部をさらに備え、
- 前記電力変換装置の交流側端子は電力系統に接続され、
- 前記過電流保護回路は、前記フィルタ回路に過電流が流れたとき、少なくとも、前記フィルタ回路に流れる電流の絶対値が前記目標電流の絶対値より小さい値になるまで、前記駆動回路にブロック信号を供給し続けることを特徴とする請求項1に記載の電力変換装置。
- [請求項3] 前記過電流保護回路は、

前記フィルタ回路に流れる電流の値と、参照閾値とを比較するヒステリシスコンパレータと、

前記ヒステリシスコンパレータの出力値と、前記制御部から供給される制御信号を比較して、前記ヒステリシスコンパレータの出力値がローレベルのとき、前記ブロック信号としてローレベルを前記駆動回路に供給し、前記ヒステリシスコンパレータの出力値がハイレベルのとき前記制御部から供給される制御信号を前記駆動回路に供給する論理回路または選択回路と、を含み、

前記ヒステリシスコンパレータの不感帯の幅は、前記フィルタ回路に流れる電流の値が過電流を検出するための参照閾値に到達した後、少なくとも、前記フィルタ回路に流れる電流の絶対値が前記目標電流の絶対値より小さな値になることが確保される幅に設定されることを特徴とする請求項2に記載の電力変換装置。

[請求項4]

前記駆動回路に制御信号を供給する制御部をさらに備え、

前記電力変換装置の交流側端子は電力系統に接続され、

前記制御部は、前記複数のフライングキャパシタのいずれかの電圧が異常な期間、及び前記電力系統の瞬時電圧低下を検出してから所定の期間の少なくとも一方の期間である条件満足期間において、前記インバータ回路から前記直流電源の正電圧、前記直流電源の負電圧、及びゼロ電圧の3つの電圧により生成される交流電圧が出力されるように、前記駆動回路を制御することを特徴とする請求項1に記載の電力変換装置。

[請求項5]

前記制御部は、

本電力変換装置の出力電流と前記目標電流との偏差に基づくデューティ値と、搬送波の値を比較して、その比較結果に基づくPWM (Pulse Width Modulation)信号を出力する比較部と、

前記直流電源の正電圧、前記直流電源の負電圧、及びゼロ電圧の3つの電圧により生成される交流電圧を前記インバータ回路に出力させ

るためのPWM信号と、前記比較部から出力される擬似正弦波を前記インバータ回路に出力させるためのPWM信号のどちらかを選択して前記駆動回路に供給する選択部と、を含み、

前記選択部は、前記条件満足期間のとき前記3つの電圧により生成される交流電圧を出力させるためのPWM信号を選択し、前記条件満足期間以外のとき前記擬似正弦波を出力させるためのPWM信号を選択する請求項4に記載の電力変換装置。

[請求項6]

前記制御部は、

本電力変換装置の出力電流と前記目標電流との偏差に基づく擬似正弦波を前記インバータに出力させるためのデューティ値と、前記直流電源の正電圧、前記直流電源の負電圧、及びゼロ電圧の3つの電圧により生成される交流電圧を前記インバータ回路に出力させるためのデューティ値のどちらかを選択する選択部と、

前記選択部により選択されたデューティ値と搬送波の値を比較して、その比較結果に基づくPWM信号を前記駆動回路に供給する比較部と、を含み、

前記選択部は、前記条件満足期間のとき前記3つの電圧により生成される交流電圧を出力させるためのデューティ値を選択し、前記条件満足期間以外のとき前記擬似正弦波を出力させるためのデューティ値を選択する請求項4に記載の電力変換装置。

[請求項7]

前記マルチレベル出力部は、

直列に接続される第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子と、前記第1スイッチング素子と前記第2スイッチング素子の接続点と前記第3スイッチング素子と前記第4スイッチング素子の接続点との間に接続された第1フライングキャパシタを有する第1フライングキャパシタ回路と、

直列に接続される第5スイッチング素子、第6スイッチング素子、第7スイッチング素子及び第8スイッチング素子と、前記第5スイッ

チング素子と前記第6スイッチング素子の接続点と前記第7スイッチング素子と前記第8スイッチング素子の接続点との間に接続された第2フライングキャパシタを有する第2フライングキャパシタ回路と、

直列に接続される第9スイッチング素子、第10スイッチング素子、第11スイッチング素子及び第12スイッチング素子と、前記第9スイッチング素子と前記第10スイッチング素子の接続点と前記第11スイッチング素子と前記第12スイッチング素子の接続点との間に接続された第3フライングキャパシタを有する第3フライングキャパシタ回路と、

直列に接続される第13スイッチング素子、第14スイッチング素子、第15スイッチング素子及び第16スイッチング素子と、前記第13スイッチング素子と前記第14スイッチング素子の接続点と前記第15スイッチング素子と前記第16スイッチング素子の接続点との間に接続された第4フライングキャパシタを有する第4フライングキャパシタ回路と、を含み、

前記極性切替部は、

前記第1フライングキャパシタ回路の midpoint と前記第2フライングキャパシタ回路の midpoint との間に直列に接続される第17スイッチング素子、第18スイッチング素子、第19スイッチング素子及び第20スイッチング素子を有し、前記第18スイッチング素子と前記第19スイッチング素子との間の接続点が、電力系統に接続された交流経路の一端に接続される第1出力回路と、

前記第3フライングキャパシタ回路の midpoint と前記第4フライングキャパシタ回路の midpoint との間に直列に接続される第21スイッチング素子、第22スイッチング素子、第23スイッチング素子及び第24スイッチング素子を有し、前記第22スイッチング素子と前記第23スイッチング素子との間の接続点が、前記交流経路の他端に接続される第2出力回路と、を含み、

前記第1 フライングキャパシタ回路及び前記第2 フライングキャパシタ回路は前記直流電源の両端間に直列に接続され、

前記第3 フライングキャパシタ回路及び前記第4 フライングキャパシタ回路は前記直流電源の両端間に直列に接続され、

前記第1 フライングキャパシタ回路と前記第2 フライングキャパシタ回路との接続点と、前記第3 フライングキャパシタ回路と前記第4 フライングキャパシタ回路との接続点との間が中間配線で接続されることを特徴とする請求項1 から6 のいずれか1 項に記載の電力変換装置。

[請求項8]

前記マルチレベル出力部は、

直列に接続される第1 スイッチング素子、第2 スイッチング素子、第3 スイッチング素子及び第4 スイッチング素子と、前記第1 スイッチング素子と前記第2 スイッチング素子の接続点と前記第3 スイッチング素子と前記第4 スイッチング素子の接続点との間に接続された第1 フライングキャパシタを有する第1 フライングキャパシタ回路と、

直列に接続される第5 スイッチング素子、第6 スイッチング素子、第7 スイッチング素子及び第8 スイッチング素子と、前記第5 スイッチング素子と前記第6 スイッチング素子の接続点と前記第7 スイッチング素子と前記第8 スイッチング素子の接続点との間に接続された第2 フライングキャパシタを有する第2 フライングキャパシタ回路と、

直列に接続される第9 スイッチング素子、第10 スイッチング素子、第11 スイッチング素子及び第12 スイッチング素子と、前記第9 スイッチング素子と前記第10 スイッチング素子の接続点と前記第11 スイッチング素子と前記第12 スイッチング素子の接続点との間に接続された第3 フライングキャパシタを有する第3 フライングキャパシタ回路と、

直列に接続される第13 スイッチング素子、第14 スイッチング素子、第15 スイッチング素子及び第16 スイッチング素子と、前記第

13 スイッチング素子と前記第14 スイッチング素子の接続点と前記第15 スイッチング素子と前記第16 スイッチング素子の接続点との間に接続された第4 フライングキャパシタを有する第4 フライングキャパシタ回路と、を含み、

前記極性切替部は、

前記第1 フライングキャパシタ回路の midpoint と前記第2 フライングキャパシタ回路の midpoint との間に直列に接続される第17 スイッチング素子、第18 スイッチング素子、第19 スイッチング素子及び第20 スイッチング素子を有し、前記第18 スイッチング素子と前記第19 スイッチング素子との間の接続点が、電力系統に接続された交流経路の一端に接続される第1 出力回路と、

前記第3 フライングキャパシタ回路の midpoint と前記第4 フライングキャパシタ回路の midpoint との間に直列に接続される第21 スイッチング素子、第22 スイッチング素子、第23 スイッチング素子及び第24 スイッチング素子を有し、前記第22 スイッチング素子と前記第23 スイッチング素子との間の接続点が、前記交流経路の他端に接続される第2 出力回路と、を含み、

前記第1 フライングキャパシタ回路及び前記第2 フライングキャパシタ回路は前記直流電源の両端間に直列に接続され、

前記第3 フライングキャパシタ回路及び前記第4 フライングキャパシタ回路は前記直流電源の両端間に直列に接続され、

前記第1 フライングキャパシタ回路と前記第2 フライングキャパシタ回路との接続点と、前記第3 フライングキャパシタ回路と前記第4 フライングキャパシタ回路との接続点との間が中間配線で接続され、

前記制御部は、

本電力変換装置の出力電流と前記目標電流との偏差に基づくデューティ値と、第1 搬送波の値を比較する第1 比較部と、

前記第1 比較部の比較結果を反転する第1 反転部と、

前記デューティ値と、前記第1搬送波と半周期、位相がシフトされた第2搬送波の値を比較する第2比較部と、

前記第2比較部の比較結果を反転する第2反転部と、

を含み、

前記第1比較部の出力値は、前記第1スイッチング素子、前記第5スイッチング素子、前記第9スイッチング素子及び前記第13スイッチング素子を駆動する第1駆動回路に供給され、

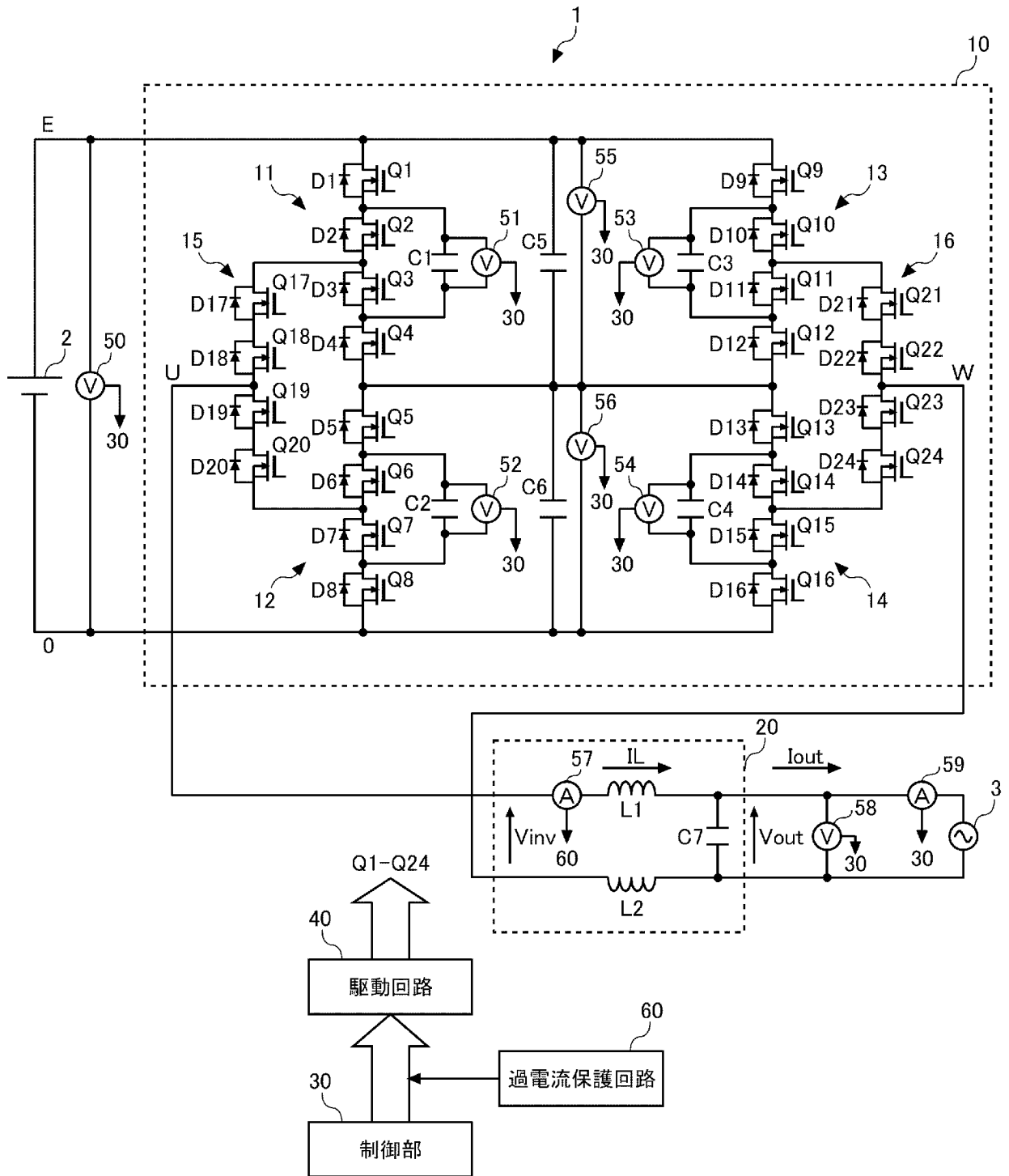
前記第1反転部の出力値は、前記第4スイッチング素子、前記第8スイッチング素子、前記第12スイッチング素子及び前記第16スイッチング素子を駆動する第2駆動回路に供給され、

前記第2比較部の出力値は、前記第2スイッチング素子、前記第6スイッチング素子、前記第10スイッチング素子及び前記第14スイッチング素子を駆動する第3駆動回路に供給され、

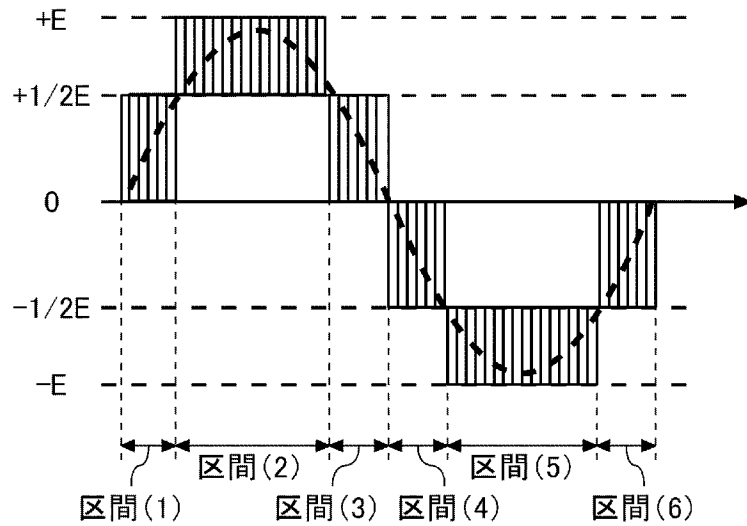
前記第2反転部の出力値は、前記第3スイッチング素子、前記第7スイッチング素子、前記第11スイッチング素子及び前記第15スイッチング素子を駆動する第4駆動回路に供給され、

前記制御部は、前記条件満足期間のとき、前記第1比較部及び前記第2比較部に入力される4つの入力値のいずれか1つの極性を反転させることを特徴とする請求項4に記載の電力変換装置。

[図1]



[図2]



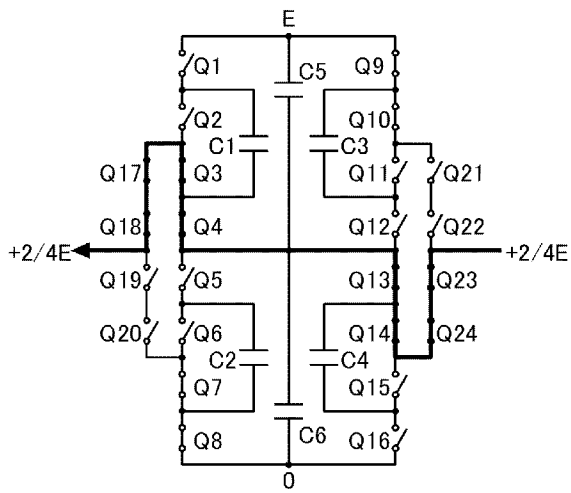
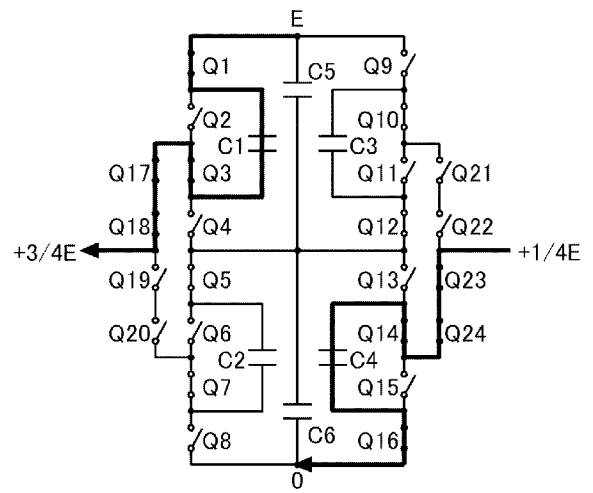
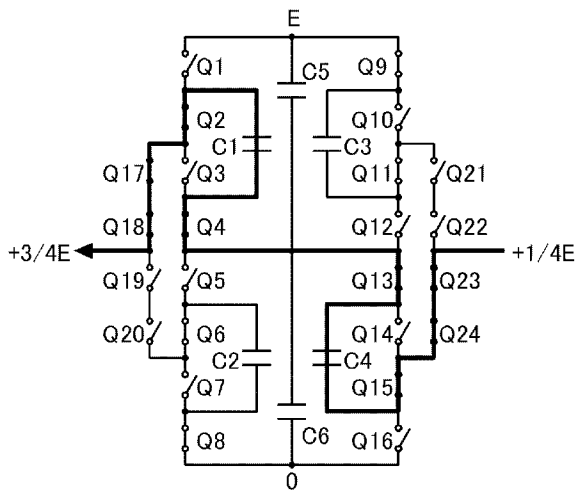
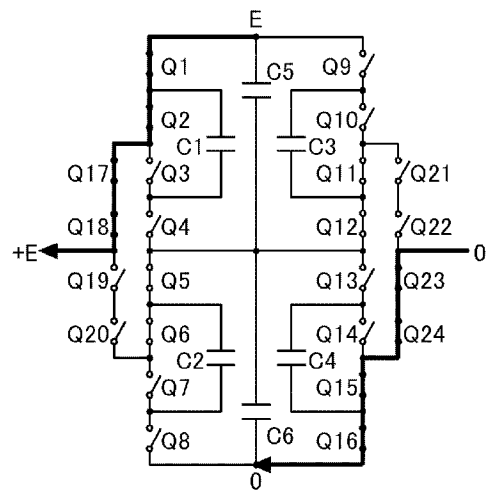
[図3]

インバータ 出力電圧 $V_{inv}$	充放電状態				スイッチングパターン					
	C1	C2	C3	C4	Q1,Q5 Q12,Q16	Q2,Q6 Q11,Q15	Q3,Q7 Q10,Q14	Q4,Q8 Q9,Q13	Q17,Q18 Q23,Q24	Q19,Q20 Q21,Q22
+E	-	-	-	-	ON	ON	OFF	OFF	ON	OFF
+1/2E	充	-	-	充	ON	OFF	ON	OFF	ON	OFF
+1/2E	放	-	-	放	OFF	ON	OFF	ON	ON	OFF
+0	-	-	-	-	OFF	OFF	ON	ON	ON	OFF
-0	-	-	-	-	ON	ON	OFF	OFF	OFF	ON
-1/2E	-	放	放	-	ON	OFF	ON	OFF	OFF	ON
-1/2E	-	充	充	-	OFF	ON	OFF	ON	OFF	ON
-E	-	-	-	-	OFF	OFF	ON	ON	OFF	ON

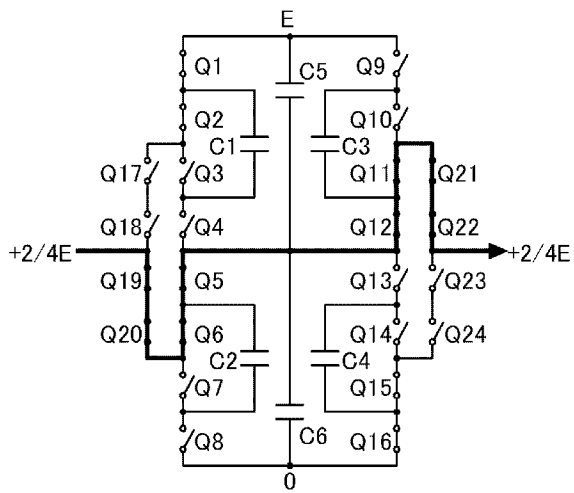
基本波  
半周期  
(正)  
ベタON

基本波  
半周期  
(負)  
ベタON

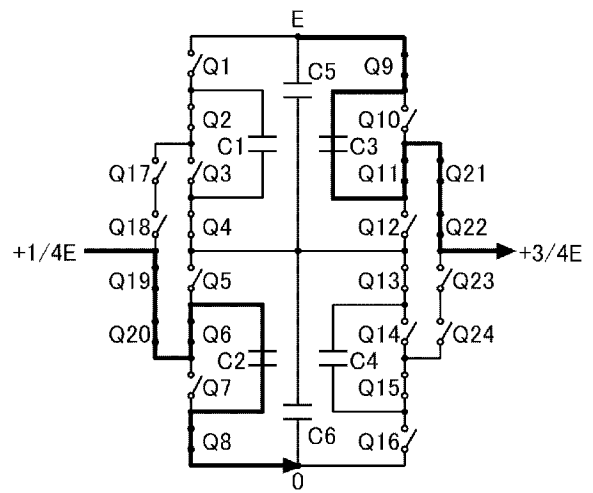
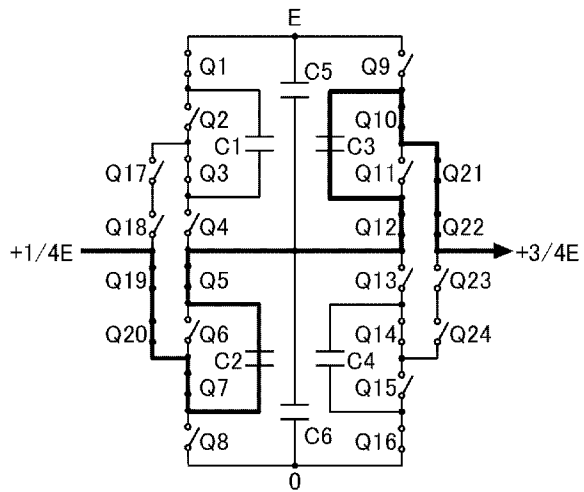
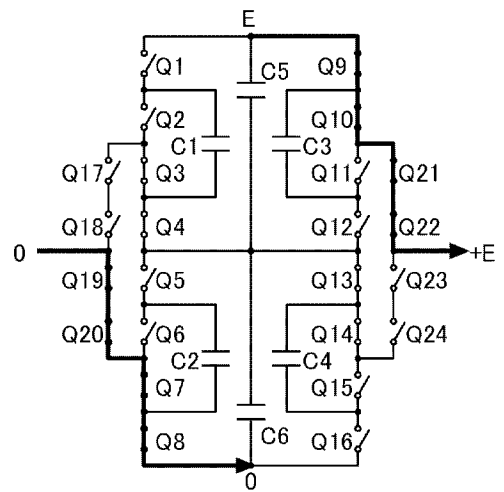
[図4]

(a) 出力 =  $+0$ (b) 出力 =  $+1/2E$  (充電)(c) 出力 =  $+1/2E$  (放電)(d) 出力 =  $+E$

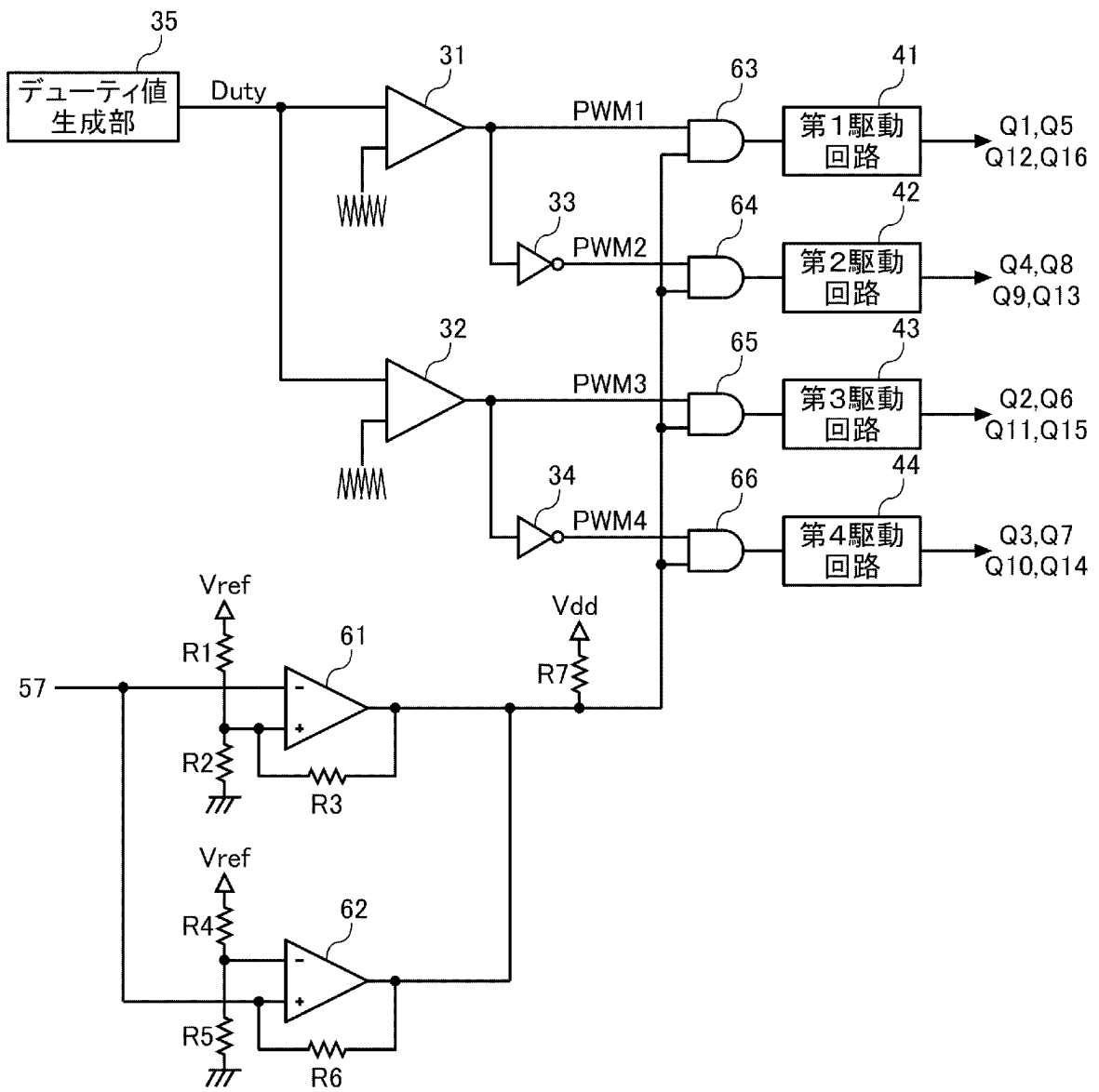
[図5]



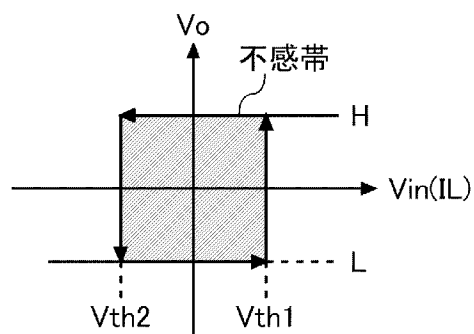
(a) 出力 = -0

(b) 出力 =  $-1/2E$ (充電)(c) 出力 =  $-1/2E$ (放電)(d) 出力 =  $-E$

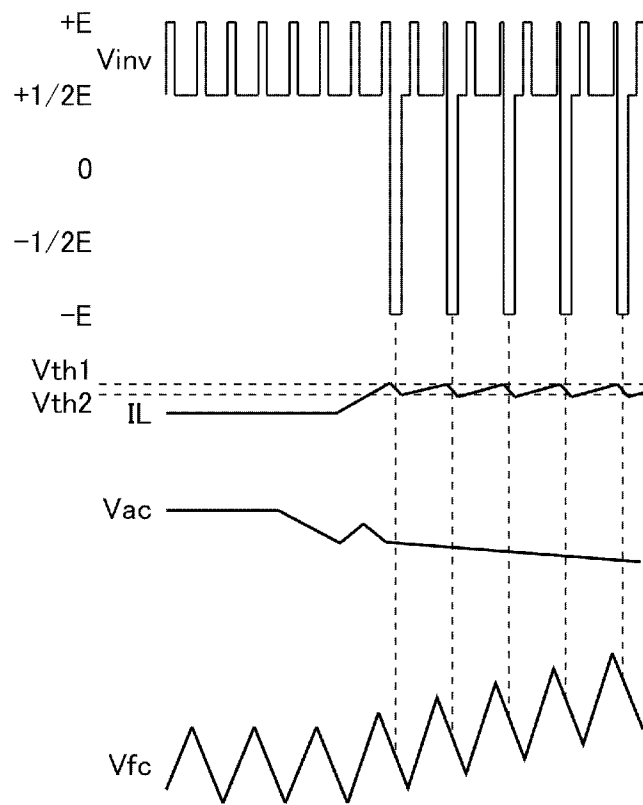
[図6]



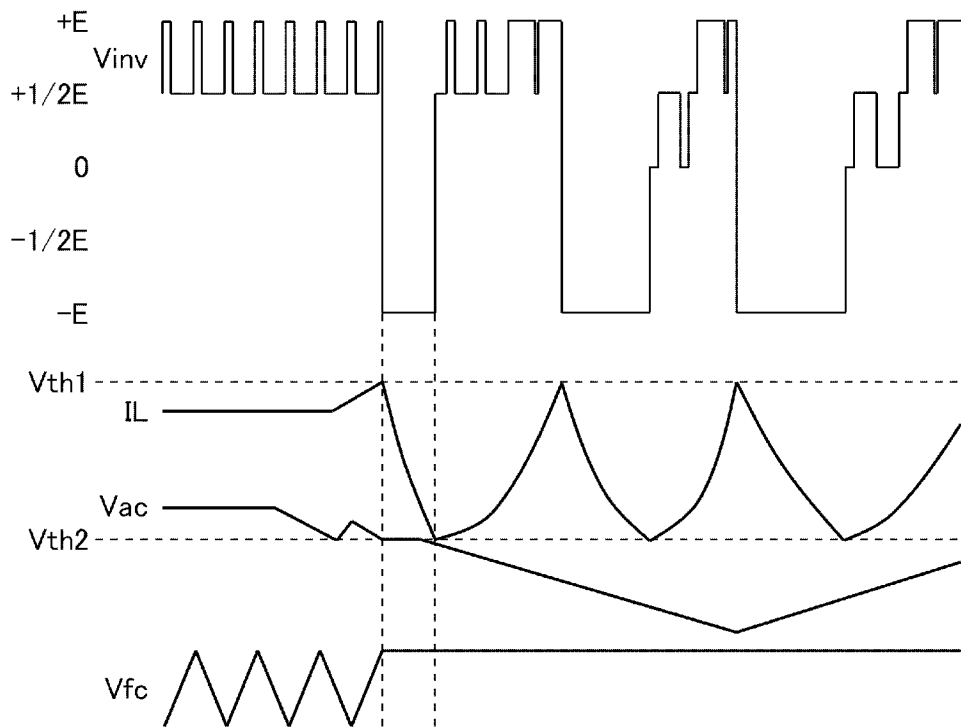
[図7]



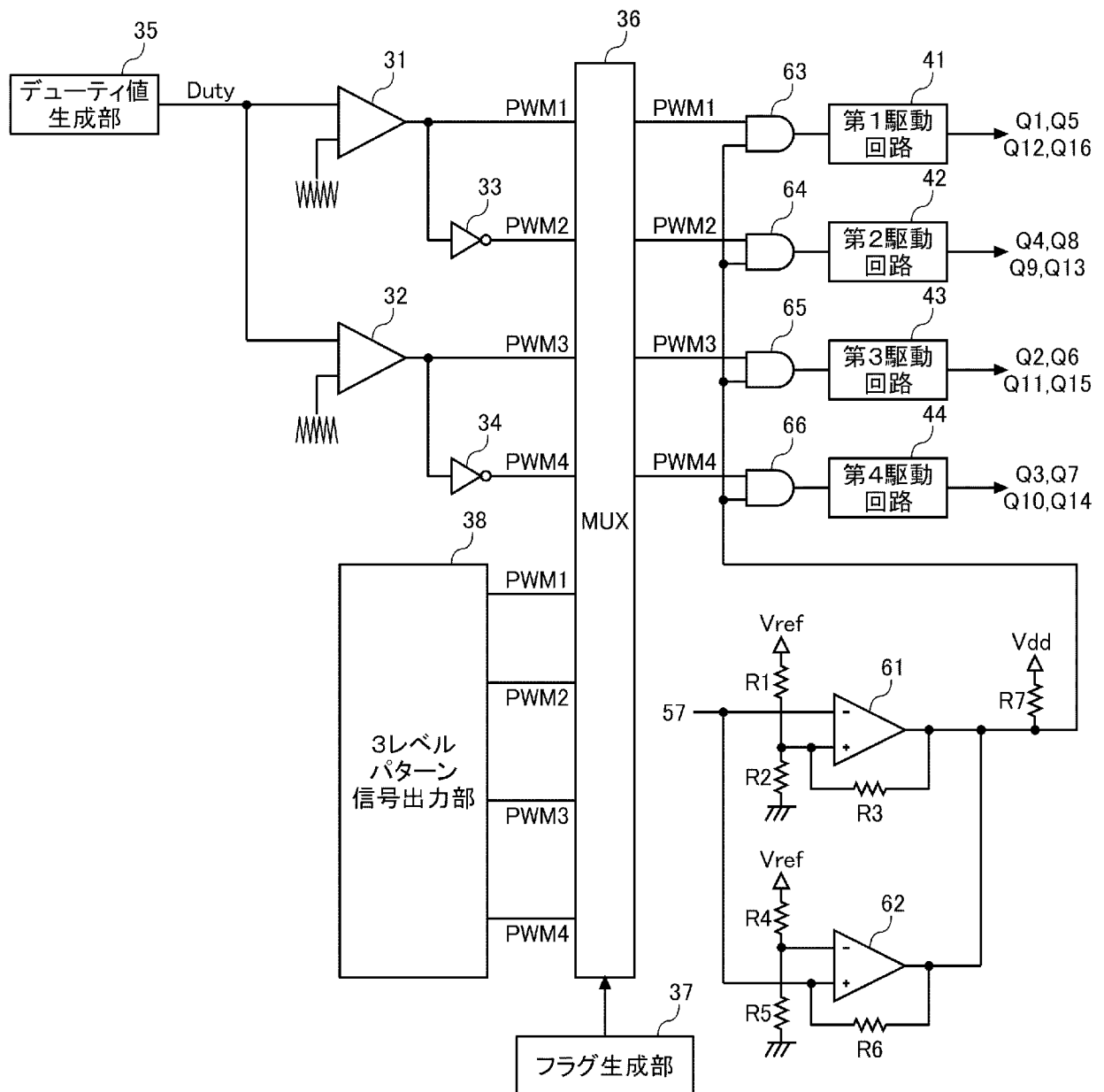
[図8]



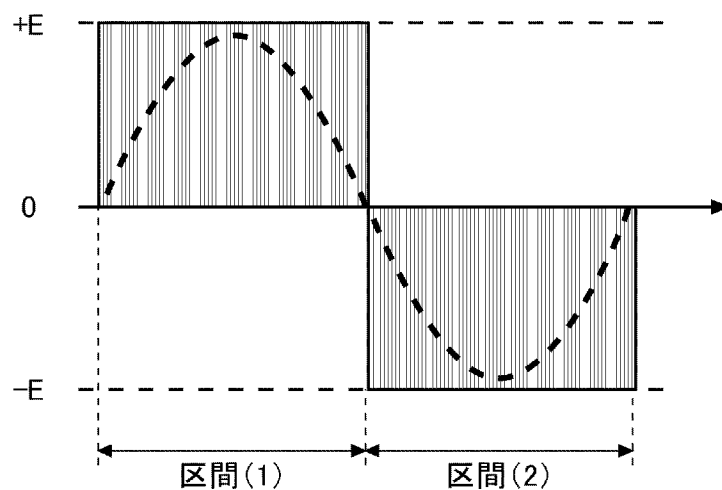
[図9]



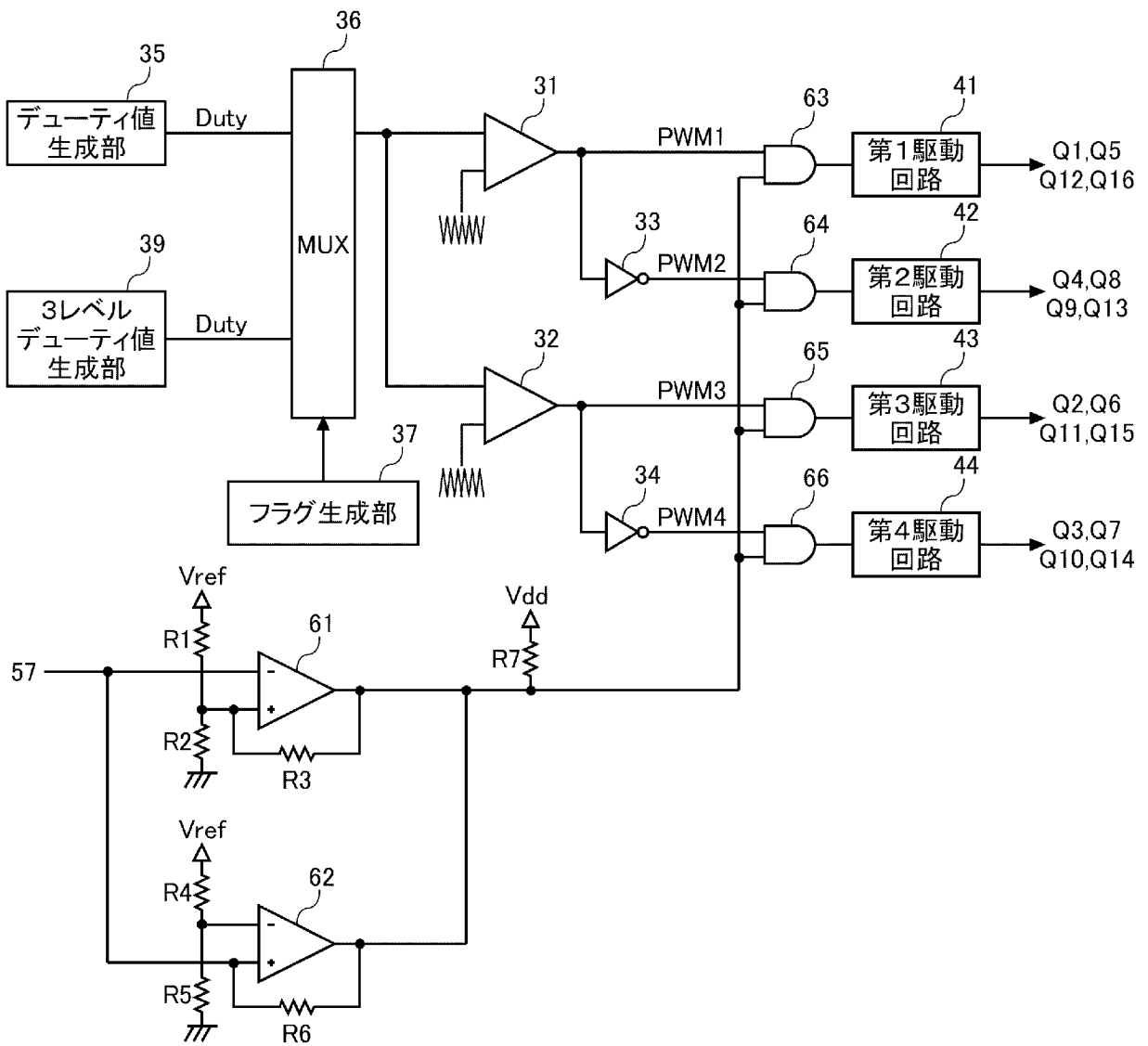
[図10]



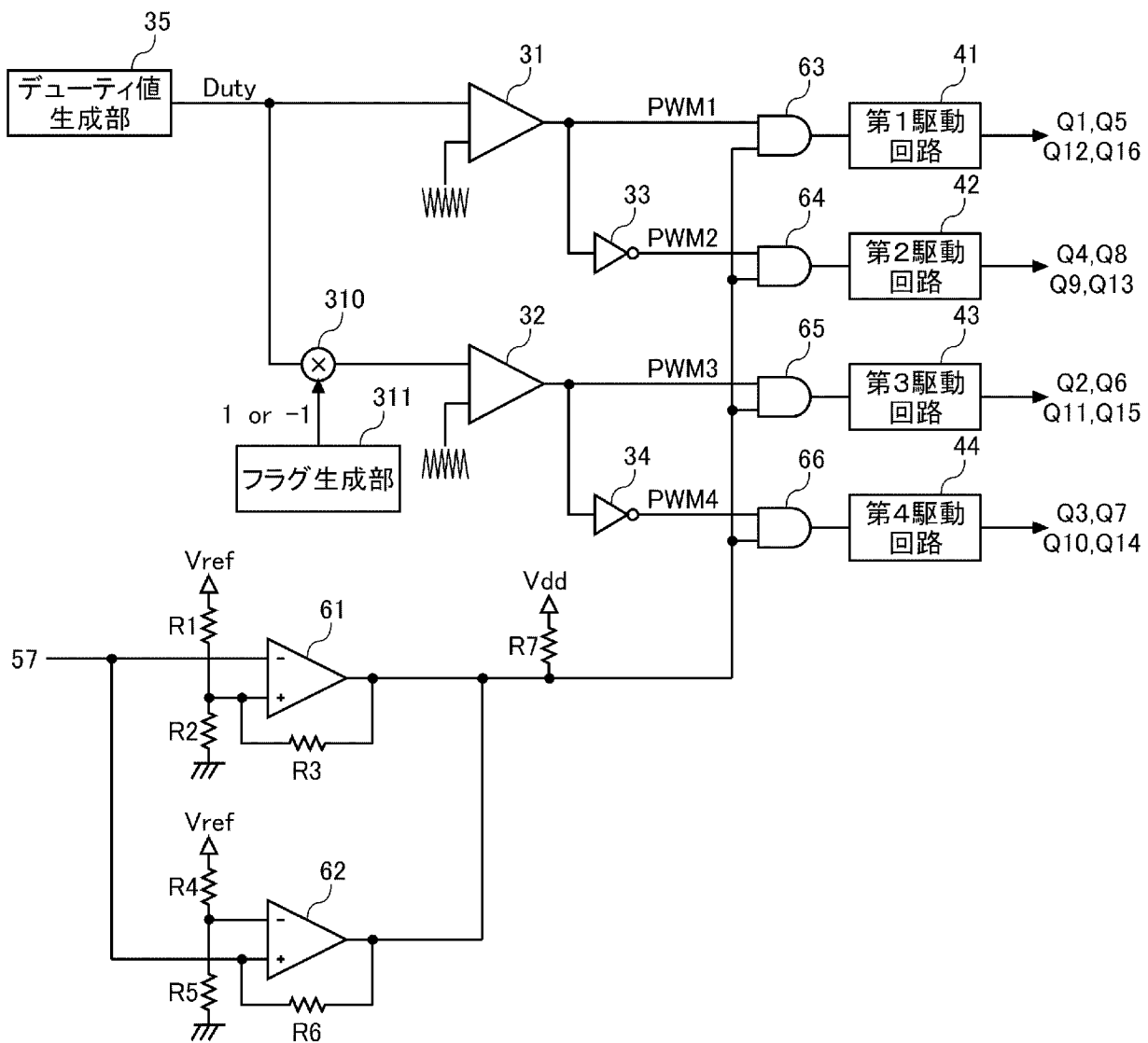
[図11]



[図12]



[図13]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2020/006976

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. H02M7/48 (2007.01) i, H02M7/483 (2007.01) i  
 FI: H02M7/483, H02M7/48M, H02M7/48R, H02M7/48F

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M7/48, H02M7/483

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/69654 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 11.04.2019 (2019-04-11), entire text, all drawings	1-8
A	JP 2016-92848 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 23.05.2016 (2016-05-23), entire text, all drawings	1-8
A	JP 2015-511113 A (TQ-SYSTEMS GMBH) 13.04.2015 (2015-04-13), entire text, all drawings	1-8
A	JP 2015-91179 A (MEIDENSHA CORPORATION) 11.05.2015 (2015-05-11), entire text, all drawings	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
 “E” earlier application or patent but published on or after the international filing date  
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 “O” document referring to an oral disclosure, use, exhibition or other means  
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 “&” document member of the same patent family

Date of the actual completion of the international search  
 22.05.2020

Date of mailing of the international search report  
 02.06.2020

Name and mailing address of the ISA/  
 Japan Patent Office  
 3-4-3, Kasumigaseki, Chiyoda-ku,  
 Tokyo 100-8915, Japan

Authorized officer  
  
 Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

PCT/JP2020/006976

WO 2019/69654 A1	11.04.2019	(Family: none)
JP 2016-92848 A	23.05.2016	(Family: none)
JP 2015-511113 A	13.04.2015	US 2015/0009734 A1 entire text, all drawings WO 2013/139430 A1 DE 102012005974 A1 CN 104272576 A
JP 2015-91179 A	11.05.2015	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/48(2007.01)i; H02M 7/483(2007.01)i FI: H02M7/483; H02M7/48 M; H02M7/48 R; H02M7/48 F		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M7/48; H02M7/483 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2019/69654 A1 (パナソニックIPマネジメント株式会社) 11.04.2019 (2019-04-11) 全文, 全図	1-8
A	JP 2016-92848 A (パナソニックIPマネジメント株式会社) 23.05.2016 (2016-05-23) 全文, 全図	1-8
A	JP 2015-511113 A (ティーキューシステムズ ゲゼルシャフト ミット ベシュレンクテル ハフツング) 13.04.2015 (2015-04-13) 全文, 全図	1-8
A	JP 2015-91179 A (株式会社明電舎) 11.05.2015 (2015-05-11) 全文, 全図	1-8
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 22.05.2020	国際調査報告の発送日 02.06.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 遠藤 尊志 5G 3052 電話番号 03-3581-1101 内線 3526	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2020/006976

引用文献			公表日	パテントファミリー文献	公表日
WO	2019/69654	A1	11.04.2019	(ファミリーなし)	
JP	2016-92848	A	23.05.2016	(ファミリーなし)	
JP	2015-511113	A	13.04.2015	US 2015/0009734	A1
				全文, 全図	
				WO 2013/139430	A1
				DE 102012005974	A1
				CN 104272576	A
JP	2015-91179	A	11.05.2015	(ファミリーなし)	