(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/76

(11) 공개번호 특1997-0077497
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0018221
(22) 출원일자 1996년05월28일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 최진
경기도 성남시 분당구 야탑동 코롱아파트 132동 305호

심사청구 : 없음

(54) 반도체장치의 소자분리막 형성방법

요약

반도체장치의 소자분리막 형성방법이 개시되어 있다. 본 발명은 반도체기판의 소정영역 표면에 활성영역을 한정하기 위하여 차례로 적층된 제1패드 산화막 패턴 및 실리콘질화막 패턴을 형성하는 단계와, 상기 제1패드 산화막 패턴의 양 옆에 노출된 반도체기판을 일정깊이로 식각하여 리세스된 영역을 갖는 반도체기판을 형성하는 단계와, 상기 제1패드 산화막 패턴을 등방성 식각하여 상기 실리콘질화막 패턴 가장자리 아리에 언더컷을 형성하는 단계와, 상기 결과물을 열산화시키어 상기 반도체 기판 표면에 제2패드 산화막을 형성하는 단계와, 상기 실리콘질화막 패턴의 측벽 및 상기 리세스된 영역의 측벽에 형성된 제2패드 산화막의 표면에 실리콘질화막으로 이루어진 제1스페이서를 형성하는 단계와, 상기 제1스페이서의 하단부에 폴리실리콘막으로 이루어진 제2스페이서를 형성하는 단계와, 상기 결과물을 열산화시키어 상기 실리콘 질화막 패턴 양 옆에 필드산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 소자분리막 형성방법을 제공한다. 본 발명에 의하면, 버즈비크의 폭을 감소시키면서 그 아래의 반도체기판에 가해지는 스트레스를 크게 완화시킬 수 있다. 따라서, 초고집적 반도체장치에 적합한 소자분리막을 형성할 수 있다.

대표도

도2d

명세서

[발명의 명칭]

반도체 장치의 소자분리막 형성방법

[도면의 간단한 설명]

제2C도 내지 제2D도는 본 발명에 의한 소자분리막 형성방법을 설명하기 위한 단면도들이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

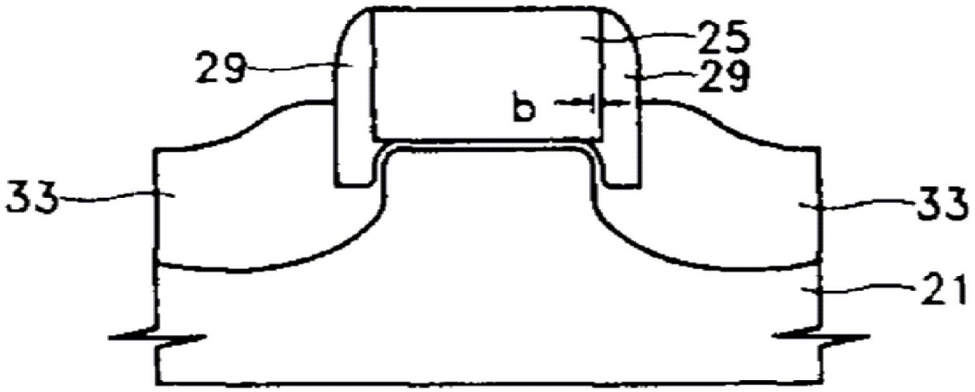
청구항 1

반도체기판의 소정영역 표면에 활성영역을 한정하기 위하여 차례로 적층된 제1패드 산화막 패턴 및 실리콘질화막 패턴을 형성하는 단계; 상기 제1패드 산화막 패턴의 양 옆에 노출된 반도체기판을 일정깊이로 식각하여 리세스된 영역을 갖는 반도체기판을 형성하는 단계; 상기 제1패드 산화막 패턴을 등방성 식각하여 상기 실리콘질화막 패턴 가장자리 아래에 언더컷을 형성하는 단계; 상기 결과물을 열산화시키어 상기 반도체기판 표면에 제2패드 산화막을 형성하는 단계; 상기 실리콘질화막 패턴의 측벽 및 상기 리세스된 영역의 측벽에 형성된 제2패드 산화막의 표면에 실리콘질화막으로 이루어진 제1스페이서를 형성하는 단계; 상기 제1스페이서의 하단부에 폴리실리콘막으로 이루어진 제2스페이서를 형성하는 단계; 및 상기 결과물을 열산화시키어 상기 실리콘 질화막 패턴 양 옆에 필드산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 소자분리막 형성방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면2c



도면2d

