



(12) 发明专利

(10) 授权公告号 CN 111383995 B

(45) 授权公告日 2024.07.16

(21) 申请号 201911285736.7

(51) Int.CI.

(22) 申请日 2019.12.13

H01L 21/8234 (2006.01)

(65) 同一申请的已公布的文献号

H10B 43/35 (2023.01)

申请公布号 CN 111383995 A

H10B 43/40 (2023.01)

(43) 申请公布日 2020.07.07

(56) 对比文件

(30) 优先权数据

JP 2005072084 A, 2005.03.17

2018-243513 2018.12.26 JP

US 2016204128 A1, 2016.07.14

(73) 专利权人 瑞萨电子株式会社

审查员 王旭

地址 日本东京都

(72) 发明人 津田是文

(74) 专利代理机构 北京市金杜律师事务所

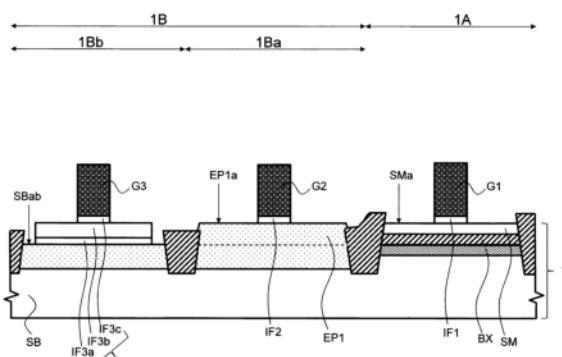
权利要求书4页 说明书14页 附图24页

(54) 发明名称

制造半导体器件的方法

(57) 摘要

本公开的实施例涉及制造半导体器件的方法。抑制了半导体器件的可靠性的劣化。经由第一栅极绝缘膜，在位于具有半导体基底材料SB、绝缘层BX和半导体层SM的衬底1的SOI区域1A中的半导体层SM上形成第一棚电极，经由第二栅极绝缘膜，在位于体区1B的第一区域1Ba中并且被执行外延生长处理的半导体基底材料SB上形成第二棚电极，并且经由第三栅极绝缘膜，在位于体区1B的第二区域1Bb中并且未被执行外延生长处理的半导体基底材料SB上形成第三棚电极。



1.一种制造半导体器件的方法,包括:

(a)制备衬底,所述衬底包括半导体基底材料、形成在所述半导体基底材料上的绝缘层和形成在所述绝缘层上的半导体层;

(b)在(a)之后,去除位于所述衬底的体区中的所述半导体层和位于所述体区中的所述绝缘层;

(c)在(b)之后,在位于所述体区的第一区域中的所述半导体基底材料的表面上执行外延生长处理;

(d)在(c)之后,分别:

经由第一栅极绝缘膜在位于所述衬底的SOI区域中的所述半导体层上形成第一栅电极,

经由第二栅极绝缘膜在位于所述体区的所述第一区域中并且在其上被执行所述外延生长处理的所述半导体基底材料上形成第二栅电极,以及

经由第三栅极绝缘膜在位于所述体区的第二区域中并且在其上未被执行所述外延生长处理的所述半导体基底材料上形成第三栅电极,

其中所述第三栅极绝缘膜的厚度大于所述第一栅极绝缘膜和所述第二栅极绝缘膜中的每个栅极绝缘膜的厚度,以及

其中所述第一栅电极、所述第二栅电极和所述第三栅电极中的每个栅电极由第一材料制成;

(e)在(d)之后,在所述衬底上形成层间绝缘膜以覆盖所述第一栅电极、所述第二栅电极和所述第三栅电极中的每个栅电极;

(f)在(e)之后,抛光所述层间绝缘膜,并且从所述层间绝缘膜暴露所述第一栅电极、所述第二栅电极和所述第三栅电极中的每个栅电极;以及

(g)在(f)之后,将组成所述第一栅电极、所述第二栅电极和所述第三栅电极中的每个栅电极的所述第一材料替换为不同于所述第一材料的第二材料。

2.根据权利要求1所述的方法,其中在(c)中,所述外延生长处理被执行,使得在(c)中形成的并且所述第二栅极绝缘膜将要接触的外延生长层的上表面位于特定高度:

所述特定高度高于位于所述第二区域中并且所述第三栅极绝缘膜将要接触的所述半导体基底材料的上表面,并且

所述特定高度等于或低于所述第一栅极绝缘膜将要接触的所述半导体层的上表面。

3.根据权利要求2所述的方法,其中所述第三栅极绝缘膜的厚度大于所述半导体层和所述绝缘层中的一者的厚度。

4.根据权利要求2所述的方法,

其中在(g)之后,

在所述SOI区域中形成包括由所述第二材料制成的所述第一栅电极的第一场效应晶体管,

在所述体区的所述第一区域中形成包括由所述第二材料制成的所述第二栅电极的第二场效应晶体管,以及

在所述体区的所述第二区域中形成包括由所述第二材料制成的所述第三栅电极的第三场效应晶体管,以及

其中组成所述第三场效应晶体管的所述第三栅电极的栅极长度长于组成所述第二场效应晶体管的所述第二栅电极的栅极长度。

5. 根据权利要求2所述的方法, 其中所述第三栅极绝缘膜包括:

第一氧化硅膜,

介电常数大于所述第一氧化硅膜的介电常数的绝缘膜, 以及
形成在所述绝缘膜上的第二氧化硅膜。

6. 根据权利要求2所述的方法, 其中所述第三栅极绝缘膜具有:

由氧化硅组成的第一绝缘层,

由氮化硅组成的并且形成在所述第一绝缘层上的第二绝缘层, 以及
由氧化硅组成的并且形成在所述第二绝缘层上的第三绝缘层。

7. 根据权利要求6所述的方法,

其中所述第一材料是多晶硅, 以及

其中所述第二材料是金属。

8. 根据权利要求7所述的方法, 其中在(d)之后并且在(e)之前, 在位于所述SOI区域中的所述半导体层的、从所述第一栅电极暴露的部分的表面上执行外延生长处理。

9. 一种制造半导体器件的方法, 包括:

(a) 制备衬底, 所述衬底包括半导体基底材料、形成在所述半导体基底材料上的绝缘层和形成在所述绝缘层上的半导体层;

(b) 在(a)之后, 去除位于所述衬底的体区中的所述半导体层和位于所述体区中的所述绝缘层;

(c) 在(b)之后, 通过在位于所述体区的第一区域中的所述半导体基底材料的表面上执行外延生长处理来形成外延生长层;

(d) 在(c)之后, 分别:

经由第一栅极绝缘膜在位于所述衬底的SOI区域中的所述半导体层上形成第一栅电极,

经由第二栅极绝缘膜在位于所述体区的所述第一区域中的所述外延生长层上形成第二栅电极, 以及

经由第三栅极绝缘膜在位于所述体区的第二区域中的所述半导体基底材料上形成第三栅电极, 其中所述第三栅极绝缘膜具有:

由氧化硅组成的第一绝缘层,

由氮化硅组成的并且形成在所述第一绝缘层上的第二绝缘层, 以及

由氧化硅组成的并且形成在所述第二绝缘层上的第三绝缘层,

其中所述第三栅极绝缘膜的厚度大于所述第一栅极绝缘膜和所述第二栅极绝缘膜中的每个栅极绝缘膜的厚度, 以及

其中所述第一栅电极、所述第二栅电极和所述第三栅电极中的每个栅电极由多晶硅制成;

(e) 在(d)之后, 在所述衬底上形成层间绝缘膜以覆盖所述第一栅电极、所述第二栅电极和所述第三栅电极中的每个栅电极;

(f) 在(e)之后, 抛光所述层间绝缘膜, 并且从所述层间绝缘膜暴露所述第一栅电极、所

述第二栅电极和所述第三栅电极中的每个栅电极；

(g) 在 (f) 之后, 去除所述第一栅电极、所述第二栅电极和所述第三栅电极中的每个栅电极; 以及

(h) 在 (g) 之后, 用金属膜填充通过 (g) 形成的间隙。

10. 根据权利要求9所述的方法, 其中在 (c) 中, 所述外延生长处理被执行, 使得在 (c) 中形成的并且所述第二栅极绝缘膜将要接触的所述外延生长层的上表面位于特定高度:

所述特定高度高于位于所述第二区域中并且所述第三栅极绝缘膜将要接触的所述半导体基底材料的上表面, 并且

所述特定高度等于或低于所述第一栅极绝缘膜将要接触的所述半导体层的上表面。

11. 根据权利要求10所述的方法, 其中所述第三栅极绝缘膜的厚度大于所述半导体层和所述绝缘层中的一者的厚度。

12. 根据权利要求10所述的方法, 其中在 (d) 之后并且在 (e) 之前, 在位于所述SOI区域中的所述半导体层的、从所述第一栅电极暴露的部分的表面上执行外延生长处理。

13. 一种制造半导体器件的方法, 包括:

(a) 制备衬底, 所述衬底包括半导体基底材料、形成在所述半导体基底材料上的绝缘层和形成在所述绝缘层上的半导体层,

其中所述衬底具有SOI区域和体区,

其中所述SOI区域是将要形成第一场效应晶体管的区域,

其中所述体区具有将要形成第二场效应晶体管的第一区域和将要形成存储晶体管和控制所述存储晶体管的控制晶体管的第二区域, 以及

其中所述第二区域具有将要形成所述存储晶体管的第一部分和将要形成所述控制晶体管的第二部分;

(b) 在 (a) 之后, 去除位于所述体区中的所述半导体层和位于所述体区中的所述绝缘层;

(c) 在 (b) 之后, 通过在位于所述第一区域中的所述半导体基底材料的表面和位于所述第二部分中的所述半导体基底材料的表面中的每个表面上执行外延生长处理来形成外延生长层;

(d) 在 (c) 之后, 分别:

经由第一栅极绝缘膜在位于所述SOI区域中的所述半导体层上形成第一栅电极,

经由第二栅极绝缘膜在位于所述第一区域中的所述外延生长层上形成第二栅电极,

经由第三栅极绝缘膜在位于所述第一部分中的所述半导体基底材料上形成第三栅电极, 以及

经由第四栅极绝缘膜在位于所述第二部分中的所述外延生长层上形成第四栅电极, 其中所述第三栅极绝缘膜具有:

由氧化硅组成的第一绝缘层,

由氮化硅组成的并且形成在所述第一绝缘层上的第二绝缘层, 以及

由氧化硅组成的并且形成在所述第二绝缘层上的第三绝缘层,

其中所述第三栅极绝缘膜的厚度大于所述第一栅极绝缘膜、所述第二栅极绝缘膜和所述第四栅极绝缘膜中的每个栅极绝缘膜的厚度, 以及

其中所述第一栅电极、所述第二栅电极、所述第三栅电极和所述第四栅电极中的每个栅电极由第一材料制成；

(e) 在(d)之后，在所述衬底上形成层间绝缘膜以覆盖所述第一栅电极、所述第二栅电极、所述第三栅电极和所述第四栅电极中的每个栅电极；

(f) 在(e)之后，抛光所述层间绝缘膜，并且从所述层间绝缘膜暴露所述第一栅电极、所述第二栅电极、所述第三栅电极和所述第四栅电极中的每个栅电极；以及

(g) 在(f)之后，将组成所述第一栅电极、所述第二栅电极、所述第三栅电极和所述第四栅电极中的每个栅电极的所述第一材料替换为不同于所述第一材料的第二材料。

14. 根据权利要求13所述的方法，其中在(c)中，所述外延生长处理被执行，使得在(c)中形成的并且所述第二栅极绝缘膜将要接触的所述外延生长层的上表面和在(c)中形成的并且所述第四栅极绝缘膜将要接触的所述外延生长层的上表面中的每个上表面位于特定高度：

所述特定高度高于位于所述第二区域中并且所述第三栅极绝缘膜将要接触的所述半导体基底材料的上表面，并且

所述特定高度等于或低于所述第一栅极绝缘膜将要接触的所述半导体层的上表面。

15. 根据权利要求14所述的方法，其中所述第三栅极绝缘膜的厚度大于所述半导体层和所述绝缘层中的一者的厚度。

16. 根据权利要求15所述的方法，

其中所述第一材料是多晶硅，以及

其中所述第二材料是金属。

17. 根据权利要求16所述的方法，其中在(d)之后并且在(e)之前，在位于所述SOI区域中的所述半导体层的、从所述第一栅电极暴露的部分的表面上执行外延生长处理。

制造半导体器件的方法

[0001] 相关申请的交叉引用

[0002] 于2018年12月26日提交的日本专利申请No. 2018-243513的公开(包括说明书、附图和摘要)通过引用整体合于此。

背景技术

[0003] 本发明涉及半导体器件的制造方法,例如,本发明涉及可以应用于使用SOI衬底的半导体器件的技术。

[0004] 专利文献1(JP特开2013-84766)公开了通过后栅极方法制造具有其中混合有SOI结构(SOI型MISFET形成区域Rs)和体结构(体型MISFET形成区域Rb)的所谓的混合衬底结构的半导体集成电路装置。具体地,文献1描述了一种与包括金属栅电极的SOI(绝缘体上硅)型MISFET(金属绝缘体半导体场效应晶体管)和多晶硅栅电极的体型MISFET的半导体集成电路装置相关的技术。

[0005] 专利文献2(JP特开2018-26457)公开了一种具有形成有非易失性存储器的存储元件(存储元件、存储单元)MC的存储区域1A、形成有低击穿电压MISFET2的低击穿电压MISFET形成区域1B、和形成高击穿电压MISFET3的高击穿电压MISFET形成区域1C的半导体器件、以及与其制造方法相关的技术。

发明内容

[0006] 本发明人研究了在例如专利文献1、例如专利文献2所示的体型MISFET形成区域(下文中称为“体区”)中混合多种类型的MISFET。本发明人已经研究了不仅对于形成在SOI型MISFET形成区域(下文中称为“SOI区域”)中的MISFET的栅电极,而且对于形成在上述体区中的相应MISFET的栅电极采用金属栅电极结构。根据本发明人的研究,已经发现,如果将上述文献1中所示的后栅极方法简单地用于上述结构(结构),则不能将相应MISFET的栅电极形成为期望的形状,结果,半导体器件的可靠性(即,电特性)可能降低。

[0007] 从本说明书的描述和附图,其他目的和新颖特征将变得很清楚。

[0008] 下面将简要描述本申请中公开的典型实施例。

[0009] 在一个实施例中的制造半导体器件的方法中,首先,在位于衬底的体区中的半导体层和位于体区中的绝缘层被去除之后,在位于体区的第一区域中的半导体基底材料的表面上执行外延生长处理。并且,分别地,经由第一栅极绝缘膜在位于衬底的SOI区域中的半导体层上形成第一栅电极,经由第二栅极绝缘膜在位于体区的第一区域中并且被执行外延生长处理的半导体基底材料上形成第二栅电极,并且经由第三栅极绝缘膜在位于体区的第二区域中并且未被执行外延生长处理的半导体基底材料上形成第三栅电极。在此,第三栅极绝缘膜的厚度大于第一栅极绝缘膜和第二栅极绝缘膜中的每个栅极绝缘膜的厚度。并且,第一栅电极至第三栅电极中的每个栅电极由第一材料制成。之后,形成在衬底上以覆盖第一栅电极至第三栅电极中的每个栅电极的层间绝缘膜被抛光。并且,在将第一栅电极至第三栅电极中的每个栅电极从层间绝缘膜暴露之后,组成第一栅电极至第三栅电极中的每

个栅电极的第一材料被替换为不同于第一材料的第二材料。

[0010] 在一个实施例中的制造半导体器件的方法中,首先,在位于衬底的体区中的半导体层和位于体区中的绝缘层被去除之后,在位于体区的第一区域中的半导体基底材料的表面上执行外延生长处理,从而形成外延生长层。并且,分别地,经由第一栅极绝缘膜在位于衬底的SOI区域中的半导体层上形成第一栅电极,经由第二栅极绝缘膜在位于体区的第一区域中的外延生长层上形成第二栅电极,并且经由第三栅极绝缘膜在位于体区的第二区域中并且未被执行外延生长处理的半导体基底材料上形成第三栅电极。在此,第三栅极绝缘膜具有由氧化硅组成的第一绝缘层、形成在第一绝缘层上的由氮化硅组成的第二绝缘层、以及形成在第二绝缘层上的由氧化硅组成的第三绝缘层。并且,第三栅极绝缘膜的厚度大于第一栅极绝缘膜和第二栅极绝缘膜中的每个栅极绝缘膜的厚度。此外,第一栅电极至第三栅电极中的每个栅电极由多晶硅制成。之后,形成在衬底上以覆盖第一栅电极至第三栅电极中的每个栅电极的层间绝缘膜被抛光。并且,在将第一栅电极至第三栅电极中的每个栅电极从层间绝缘膜暴露之后,通过去除第一栅电极至第三栅电极中的每个栅电极而形成的间隙被填充以金属膜。

[0011] 此外,在一个实施例中的制造半导体器件的方法中,首先,在位于衬底的体区中的半导体层和位于体区中的绝缘层被去除之后,通过在位于体区的第一区域中的半导体基底材料的表面和位于体区的第二区域的第二部分中的半导体基底材料的表面中的每个表面上执行外延生长处理来形成外延生长层。并且,经由第一栅极绝缘膜在位于SOI区域中的半导体层上形成第一栅电极,经由第二栅极绝缘膜在位于体区的第一区域中的外延生长层上形成第二栅电极,经由第三栅极绝缘膜在位于体区的第二区域的第一部分中的半导体基底材料上形成第三栅电极,并且经由第四绝缘膜在位于体区的第二区域的第二部分中的外延生长层上形成第四栅电极。在此,第三栅极绝缘膜具有由氧化硅组成的第一绝缘层、形成在第一绝缘层上的由氮化硅组成的第二绝缘层、以及形成在第二绝缘层上的由氧化硅组成的第三绝缘层。并且,第三栅极绝缘膜的厚度大于第一栅极绝缘膜、第二栅极绝缘膜和第四栅极绝缘膜中的每个栅极绝缘膜的厚度。此外,第一栅电极至第四栅电极中的每个栅电极由第一材料制成。之后,形成在衬底上以覆盖第一栅电极至第四栅电极中的每个栅电极的层间绝缘膜被抛光。并且,在将第一栅电极至第四栅电极中的每个栅电极从层间绝缘膜暴露之后,将组成第一栅电极至第四栅电极中的每个栅电极的第一材料替换为不同于第一材料的第二材料。

[0012] 根据一个实施例,可以抑制半导体器件的可靠性的劣化。

附图说明

- [0013] 图1是第一实施例的半导体器件的主要部分平面图;
- [0014] 图2是图1的X射线的主要部分截面图;
- [0015] 图3是示出第一实施例的半导体器件的制造过程的过程流程图;
- [0016] 图4是在制造过程期间的第一实施例的半导体器件的主要部分截面图;
- [0017] 图5是接着图4的在半导体器件的制造过程期间的主要部分截面图;
- [0018] 图6是接着图5的在半导体器件的制造过程期间的主要部分截面图;
- [0019] 图7是接着图6的在半导体器件的制造过程期间的主要部分截面图;

- [0020] 图8是接着图7的在半导体器件的制造过程期间的主要部分截面图；
- [0021] 图9是接着图8的在半导体器件的制造过程期间的主要部分截面图；
- [0022] 图10是接着图9的在半导体器件的制造过程期间的主要部分截面图；
- [0023] 图11是接着图10的在半导体器件的制造过程期间的主要部分截面图；
- [0024] 图12是接着图11的在半导体器件的制造过程期间的主要部分截面图；
- [0025] 图13是接着图12的在半导体器件的制造过程期间的主要部分截面图；
- [0026] 图14是接着图13的在半导体器件的制造过程期间的主要部分截面图；
- [0027] 图15是接着图14的在半导体器件的制造过程期间的主要部分截面图；
- [0028] 图16是在检查示例1的半导体器件的制造过程期间的主要部分截面图；
- [0029] 图17是接着图16的在检查示例1的半导体器件的制造过程期间的主要部分截面图；
- [0030] 图18是在检查示例2的半导体器件的制造过程期间的主要部分截面图；
- [0031] 图19是在检查示例3的半导体器件的制造过程期间的主要部分截面图；
- [0032] 图20是接着图19的在检查示例3的半导体器件的制造过程期间的主要部分截面图；
- [0033] 图21是在检查示例4的半导体器件的制造过程期间的主要部分截面图；
- [0034] 图22是根据第一实施例的修改示例的半导体器件的主要部分截面图；
- [0035] 图23是第二实施例的半导体器件的示意图；以及
- [0036] 图24是第二实施例的半导体器件的主要部分截面图。

具体实施方式

[0037] 在以下实施例中,当为了方便而需要时,将通过分成多个部分或实施例的方式来进描述,但是,除非特别说明,否则这些部分或实施例不是彼此独立的,并且这些部分或实施例之一与其他部分或实施例中的部分或全部的修改示例、细节、补充说明等相关。在以下实施例中,元件等的数目(包括元件的数目、数值、数量、范围等)不限于特定数目(除非特别指定或在原则上很清楚限于特定数目),而是可以不少于或等于特定数目。此外,在以下实施例中,不用说,构成要素(包括要素步骤等)不是必须的,除非特别指定或在原则上很清楚是必须的。类似地,在以下实施例中,当参考组件等的形状、位置关系等时,假定形状等基本与形状等近似或相似,除非特别指定或在原则上很明显。这同样适用于上述数值和范围。

[0038] 将基于附图描述实施例的细节。在用于解释实施例的所有附图中,具有相同功能的构件由相同的附图标记表示,并且省略其重复描述。在以下实施例中,除非特别必要,否则原则上将不重复相同或相似部分的描述。

[0039] 在实施例中使用的附图中,即使在截面图的情况下,也可以省略阴影线,以便使附图更易于查看。此外,即使在平面图的情况下,也可以使用阴影线以使图更易于查看。

[0040] (第一实施例)

[0041] 首先,将参考图1和2描述本第一实施例的半导体器件。图1是本第一实施例的半导体器件SD1的主要部分平面图。图2是图1的X射线的主要部分截面图。

[0042] (半导体器件)

[0043] 如图1和2所示,半导体器件SD1包括多个场效应晶体管(MISFET和MOSFET)Q1、Q2和

Q3。在此,如图1和2所示,场效应晶体管Q1、Q2和Q3中的每个被形成在穿透半导体层SM和绝缘层BX并且被嵌入沟槽TR中以到达半导体基底材料SB的元件隔离部分ST围绕的区域(有源区域)中。

[0044] 如图1和2所示,半导体器件SD1包括所谓的混合结构SOI衬底(衬底)1,该衬底1包括半导体基底材料(基底材料)SB的一部分、形成在半导体基底材料SB的一部分上的绝缘层BX、具有形成在绝缘层BX上的半导体层SM的SOI(绝缘体上硅)区域1A、以及不具有绝缘层BX和半导体层SM的体区1B。为了方便起见,图1中用符号BDL表示的虚线在平面图中表示SOI区域1A与体区1B之间的边界。在图2中,该虚线基本对应于被形成为跨越SOI区域1A与体区1B之间的边界的器件隔离部分ST的阶梯表面。此外,如图2所示,体区1B具有其中通过对半导体基底材料SB的一部分执行外延生长处理而在半导体基底材料SB的表面上形成有外延生长层EP1的区域(第一区域1Ba)、以及其中在半导体基底材料SB的表面上未执行外延生长处理的区域(第二区域1Bb)。外延生长层EP1由与基底材料SB相同的材料制成。

[0045] 在SOI区域1A中,形成有例如构成逻辑电路或数字电路的MISFET(金属绝缘体半导体场效应晶体管)Q1。在体区1B的第一区域1Ba中,例如,形成有外围电路,具体地是构成输入/输出电路的MISFET Q2。此外,例如,在体区1B的第二区域1Bb中,形成有构成闪存的MISFET Q3。

[0046] 在此,场效应晶体管(MISFET)Q1、Q2和Q3的栅电极是由金属材料(金属膜)制成的金属栅电极MTG1、MTG2和MTG3。如图2所示,场效应晶体管Q1的栅电极(金属栅电极MTG1)经由栅极绝缘膜IF1而被形成在半导体层SM上。如图2所示,场效应晶体管Q2的栅电极(金属栅电极MTG2)经由栅绝缘层IF2而被形成在外延生长层EP1上。如图2所示,场效应晶体管Q3的栅电极(金属栅电极MTG3)经由栅极绝缘膜IF3而被形成在半导体基底材料SB上。

[0047] 如图2所示,各个栅电极(金属栅电极MTG1、MTG2和MTG3)的形状基本相同。本文中的“形状”是指厚度。另一方面,如图2所示,栅极绝缘膜IF3的厚度比栅极绝缘膜IF1和IF2的厚度厚。如图2所示,位于第二区域1Bb中并且与栅极绝缘膜IF3接触的表面(半导体基底材料SB的表面)位于SOI区域1A中,并且位于比与栅极绝缘膜IF1接触的表面(半导体层SM的表面)和位于第一区域1Ba中并且与栅极绝缘膜IF2接触的表面(外延生长层EP1的表面)低的位置(高度)处。

[0048] 此外,如图2所示,场效应晶体管(MISFET)Q1、Q2和Q3被层间绝缘膜IL1和形成在层间绝缘膜IL1上的层间绝缘膜IL2覆盖。场效应晶体管(MISFET)Q1、Q2和Q3的源极/漏极通过被形成为穿透两个层间绝缘膜IL1和IL2的接触插塞CP1、CP2和CP3而被电连接到形成在位于层间绝缘膜IL2上的布线层ML1中的导线(布线图案)M1。导线M1被形成在层间绝缘膜IL2上的另一层间绝缘膜IL3覆盖。

[0049] (第一实施例的半导体器件的效果)

[0050] 接下来,下面将描述本第一实施例的半导体器件SD1的效果。

[0051] 如上所述,在本第一实施例中,由于场效应晶体管(MISFET)Q1、Q2和Q3的栅电极分别是由金属膜组成的金属栅电极MTG1、MTG2和MTG3,所以与采用例如由多晶的硅膜(多晶硅膜)制成的栅电极作为MISFET的栅电极的情况相比,可以提高半导体器件速度。也就是说,可以应对小型化。

[0052] 在本第一实施例中,如上所述,位于体区1B中的第一区域1Ba中的场效应晶体管

(MISFET) Q2的栅极绝缘膜IF2的厚度小于位于体区1B中的第二区域1Bb中的场效应晶体管(MISFET) Q3的栅极绝缘膜IF3的厚度。但是,在本第一实施例中,如图2所示,形成有栅极绝缘膜的厚度较薄的MISFET(例如,场效应晶体管Q2)的区域中的半导体衬底的表面位于形成有栅极绝缘膜的厚度较厚的MISFET(例如,场效应晶体管Q3)的区域中的半导体衬底的表面的上方。因此,形成在区域1A、1Ba和1Bb中的MISFET的栅电极的形状可以彼此基本相同。也就是说,由于可以以期望形状形成各个MISFET的栅电极,所以可以抑制半导体器件SD1的可靠性(即,电特性)的劣化。

[0053] (制造半导体器件的方法)

[0054] 接下来,将沿着图3所示的工艺流程(步骤S1至S8)并且参考图4至15来描述本第一实施例的半导体器件的制造方法。

[0055] 1. SOI衬底的制备(步骤S1)

[0056] 首先,作为图3的步骤S1,制备SOI衬底1。在本实施例中,如图4所示,关于上述SOI衬底(衬底)1,器件隔离部分ST被埋入穿透半导体层SM和绝缘层BX并且到达半导体基底材料SB的沟槽TR中。在本第一实施例中,例如,半导体基底材料SB由p型单晶硅制成,并且半导体基底材料SB的厚度为 $250\mu\text{m}$ 至 $800\mu\text{m}$ 。然而,由n型单晶硅制成的半导体基底材料SB也可以被用作半导体基底材料SB。例如,绝缘层BX由氧化硅制成并且具有5nm至20nm的厚度。例如,半导体层SM由单晶硅制成,并且半导体层SM的厚度例如为5nm至20nm。此外,例如,元件隔离部分ST由氧化硅制成。在此,即使不通过例如离子注入将n型或p型杂质引入半导体层SM中,或者即使通过离子注入将杂质引入半导体层SM中,半导体层SM的杂质浓度也在 $1\times 10^{13}/\text{cm}^3$ 或以下。在制备具有半导体基底材料SB、绝缘层BX和半导体层SM的SOI衬底1之后,形成沟槽TR和元件隔离部分ST,但是省略了对形成沟槽TR和元件隔离部分ST的方法的描述。

[0057] 如图4所示,SOI衬底1包括其中形成有第一MISFET的所谓的SOI区域1A、以及其中形成有第二MISFET和第三MISFET的所谓的体区1B。此外,体区1B包括其中形成有第二MISFET的第一区域1Ba、以及其中形成有第三MISFET的第二区域1Bb。

[0058] 2. 体区的形成(步骤S2)

[0059] 接下来,作为图3中的步骤S2,如图5所示,位于体区1B中的半导体层SM和位于体区1B中的绝缘层BX被去除,使得位于SOI区域1A中的半导体层SM和位于SOI区域1A中的绝缘层BX中的每个都没有被去除。具体地,在位于SOI区域1A中的半导体层SM上形成光致抗蚀剂图案(抗蚀剂图案、掩模层)(未示出),并且使用光致抗蚀剂图案覆盖SOI区域1A。使用光致抗蚀剂图案作为蚀刻掩模,对位于体区1B(1Ba、1Bb)中的半导体层SM进行蚀刻以去除位于体区1B(1Ba、1Bb)中的半导体层SM。结果,位于体区1B(1Ba和1Bb)中的绝缘层BX被暴露。另一方面,由于SOI区域1A被光致抗蚀剂图案(未示出)覆盖,所以位于SOI区域1A上的半导体层SM没有被去除。在本第一实施例中,例如,基于氟自由基的各向同性干法蚀刻被用作为蚀刻工艺。作为蚀刻气体,例如,SF₆(六氟化硫)气体被使用。此外,在本第一实施例中,由于其中绝缘层BX和器件隔离部分ST中的每个的蚀刻速率低于半导体层SM的蚀刻速率的蚀刻条件被使用,因此通过半导体层SM的去除而暴露的绝缘层BX可以用作蚀刻停止层。

[0060] 在去除覆盖位于SOI区域1A中的半导体层SM的光致抗蚀剂图案之后,在使用新的光致抗蚀剂图案(未示出)覆盖体区1B的同时执行到位于SOI区域1A中的半导体基底材料SB中的离子注入。结果,如图5所示,在位于SOI区域1A中的半导体基底材料SB中形成半导体区

域GPs。半导体区域GP是p型或n型半导体区域，并且被形成在与位于SOI区域1A中的绝缘层BX相邻的位置处。半导体区域GP被形成，以控制形成在SOI区域1A中的MISFET的阈值电压。具体地，在所制造的半导体器件中，通过向半导体区域GP施加预定电压，形成在SOI区域1A中的MISFET的阈值电压可以被控制。

[0061] 之后，当在SOI区域1A中形成半导体区域GP时覆盖体区1B的光致抗蚀剂图案被去除，并且使用新的光致抗蚀剂图案(未示出)覆盖SOI区域1A。然后，使用覆盖SOI区域1A的光致抗蚀剂图案作为掩模(离子注入阻挡掩模)，将杂质注入到位于体区1B中的半导体基底材料SB中。结果，如图5所示，在与位于体区1B中的绝缘层BX相邻的位置处形成阱WEL。在本第一实施例中，例如使用硼作为杂质。也就是说，在与位于体区1B中的绝缘层BX邻接的位置处形成的阱WEL是p型阱。

[0062] 之后，覆盖SOI区域的1A的光致抗蚀剂图案被去除。然后，位于体区1B(1Ba、1Bb)中的绝缘层BX被蚀刻，以去除位于体区1B(1Ba、1Bb)中的绝缘层BX。结果，得到图5所示的状态。在本第一实施例中，例如，湿法蚀刻(各向同性蚀刻)被用作为蚀刻处理。

[0063] 3. 抬升过程(步骤S3)

[0064] 接下来，作为图3的步骤S3，SOI区域1A和体区1B的第二区域1Bb覆盖有保护膜(未示出)，使得体区1B的第一区域1Ba被暴露。然后，在体区1B的第一区域1Ba上执行外延生长以在位于第一区域1Ba中的半导体基底材料SB的表面SBaa(通过去除绝缘层BX而暴露的半导体基底材料SB的表面)上形成外延生长层EP1，如图6所示。也就是说，位于体区1B的第一区域1Ba中的半导体基底材料SB的上表面SBaa被抬升(在下文中也被称为“抬升处理”)。在本第一实施例中，如图6所示，外延生长处理被执行，使得外延生长层EP1的上表面EP1a位于与位于SOI区域1A中的半导体层SM的上表面SMa基本相同的高度。具体地，外延生长处理被执行，使得外延生长层EP1的上表面EP1a位于比位于体区1B的第二区域1Bb中的半导体基底材料SB的上表面SBab高的高度。外延生长处理被执行，使得外延生长层EP1的上表面EP1a位于与位于SOI区域1A中的半导体层SM的上表面SMa相同的高度或比位于SOI区域1A中的半导体层SM的上表面SMa低的高度。稍后将描述其原因。

[0065] 此外，如上所述，在本第一实施例中，由于外延生长处理被执行，使得外延生长层EP1的上表面EP1a位于与位于SOI区域1A中的半导体层SM的上表面SMa基本相同的高度，所以通过本工艺形成的外延生长层EP1的厚度与位于SOI区域1A中的半导体层SM的厚度和位于SOI区域1A中的绝缘层BX的厚度之和基本相同。在该步骤中形成的外延生长层EP1的厚度比绝缘层BX和半导体层SM中的每个的厚度厚，例如10nm至40nm。

[0066] 在该步骤中形成的外延生长层EP1由与组成基底材料SB的材料相同的材料制成。也就是说，在本第一实施例中，由于半导体基底材料SB由单晶硅构成，因此在该步骤中形成的外延生长层EP1也由例如单晶硅构成。

[0067] 在体区1B的第一区域1Ba中形成外延生长层EP1之后，杂质被注入到外延生长层EP1中。结果，如图6所示，在外延生长层EP1中形成阱(半导体区域和杂质区域)WEL。在此，被注入到外延生长层EP1中的杂质的种类与在先前的步骤中被注入到位于体区1B中的半导体基底材料SB中的杂质的种类相同。这是因为，形成在第一区域1Ba中的MISFET沟道区域由形成在第一区域1Ba中的阱WEL和形成在外延生长层EP1中的阱WEL组成。之后，覆盖SOI区域1A和体区1B的第二区域1Bb的保护膜(未示出)被去除。

[0068] 4. 棚电极的形成

[0069] 接下来,作为图3中的步骤S4,在区域1A和1B(1Ba和1Bb)中形成棚电极。具体地,如图8所示,经由棚极绝缘膜IF1在位于SOI区域1A中的半导体层SM的表面SMa上形成棚电极G1,经由棚极绝缘膜IF2在位于体区1B的第一区域1Ba中的外延生长层EP1的表面EP1a上形成棚电极G2,并且经由棚极绝缘膜IF3在位于体区1B的第二区域1Bb中的半导体基底材料SB的表面SBab上形成棚电极G3。棚电极G1、G2和G3中的每个的厚度为例如30nm至200nm。更具体地,在以下过程中形成棚电极G1、G2和G3中的每个。

[0070] 首先,如图7所示,通过例如CVD(化学气相沉积)方法经由氧化硅膜IF在包括区域1A、1B(1Ba、1Bb)和器件隔离部分ST的半导体基底材料SB上沉积多晶硅膜(或掺杂的多晶硅膜)PS。在此,在第二区域1Bb中,在将绝缘膜IF沉积在半导体基底材料SB上之前,稍后描述的绝缘层IF3a、IF3b被预先形成。之后,通过干法蚀刻对沉积的多晶硅膜PS进行图案化。也通过蚀刻对氧化硅IF进行图案化。结果,如图8所示,在区域1A和1B、1Ba和1Bb中形成棚电极G1、G2和G3以及棚极绝缘膜IF1、棚极绝缘膜IF2和棚极绝缘膜IF3。也就是说,在本第一实施例中,通过一个CVD工艺形成棚电极G1、G2和G3。棚电极G1、G2和G3由相同的材料、即多晶硅制成。

[0071] 棚极绝缘膜IF1和棚极绝缘膜IF2均由氧化硅制成。另一方面,如图8所示,棚极绝缘膜IF3具有三层结构。具体地,棚极绝缘膜IF3被形成在位于体区1B的第二区域1Bb中的半导体基底材料SB的表面SBab上,并且具有由氧化硅制成的绝缘层IF3a、由氮化硅制成并且形成在绝缘层IF3a上的绝缘层IF3b、以及由氧化硅制成并且形成在绝缘层IF3b上的绝缘层IF3c。也就是说,绝缘层IF3b夹在两个绝缘层IF3a和IF3c之间,并且用作用于限制电荷的电荷保持层。

[0072] 棚极绝缘膜IF1、棚极绝缘膜IF2、绝缘层IF3a和绝缘层IF3c中的每个的厚度为例如2nm至4nm。另一方面,绝缘层IF3b的厚度例如为5nm至13nm。也就是说,由三个绝缘层IF3a、IF3b和IF3c组成的棚极绝缘膜IF3的厚度为9nm至21nm,并且比棚极绝缘膜IF1的厚度和棚极绝缘膜IF2的厚度厚。在本第一实施例中,在先前的步骤中,对位于体区1B的第一区域1Ba中的半导体基底材料SB执行外延生长处理。因此,如图8所示,由于棚极绝缘膜IF1、棚极绝缘膜IF2和棚极绝缘膜IF3(IF3c)的上表面位置位于基本相同的高度,因此棚电极G1、G2和G3的表面(上表面)也可以位于基本相同的高度。

[0073] 5. 源极/漏极的形成(步骤S5)

[0074] 接下来,在每个区域1A和1B(1Ba、1Bb)中形成包括形成在SOI区域1A和体区1B(1Ba、1Bb)中的每个中的MISFET的将要用作源极/漏极的半导体区域(杂质区域)。如图9所示,用作源极/漏极的每个半导体区域包括半导体区域(杂质区域)EX、LDD和LMD,以及与半导体区域EX、LDD和LMD接触并且杂质浓度高于半导体区域EX、LDD和LMD的杂质浓度的半导体区域(杂质区域)D1、D2和MD。在形成偏移间隔物OS1、偏移间隔物OS2和低浓度半导体区域OS3之后并且在形成侧壁间隔物SW1、侧壁间隔物SW2和侧壁间隔物SW3之前,形成低浓度半导体区域EX、LDD和LMD。此外,在形成侧壁间隔物SW1、侧壁间隔物SW2和侧壁间隔物SW3之后,形成高浓度半导体区域D1、D2和MD。下面将详细描述在各个区域1A和1B中形成的源极/漏极区域。

[0075] 首先,如图9所示,形成在SOI区域1A中的源极/漏极在半导体层SM中包括被形成为

覆盖栅电极G1的侧面的偏移间隔物(绝缘膜)OS1、形成在用被形成为覆盖偏移间隔物OS1的侧壁(绝缘膜)SW1覆盖的一部分(位置)中的半导体区域(延伸区域)EX、以及形成在从偏移间隔物OS1和侧壁SW1暴露的半导体层SM的一部分(位置)中的半导体区域(扩散区域)D1。

[0076] 在此,位于SOI区域1A中的半导体层SM的一部分(其位于栅电极G1的正下方,并且在作为源极的半导体层SM与作为漏极的半导体层之间)作为形成在SOI区域1A中的MISFET的沟道区域。在本第一实施例中,构成沟道区域的半导体层SM的厚度小至5nm至20nm。因此,当在稍后的步骤中将要作为源极/漏极的半导体区域上形成接触孔时,有可能接触孔被形成以使得接触孔的底部到达位于半导体层SM下方的绝缘层BX或位于绝缘层BX下方的半导体基底材料SB。

[0077] 因此,在本第一实施例中,如图9所示,在从栅电极G1和偏移间隔物OS1暴露的半导体层SM上执行外延生长处理,并且在从栅电极G1和偏移间隔物OS1暴露的半导体层SM的表面SMa上形成外延生长层EP2。杂质也被注入到所形成的外延生长层EP2中。也就是说,如图9所示,构成形成在SOI区域1A中的源极/漏极的半导体区域D1包括形成在半导体层SM中的部分和形成在外延生长层EP2(该外延生长层EP2形成在半导体层SM上的)中的部分。

[0078] 如图9所示,形成在体区1B的第一区域1Ba中的源极/漏极包括被形成为覆盖在外延生长层EP1中的栅电极G2的侧面的偏移间隔物OS2、形成在用被形成为覆盖偏移间隔物OS2的侧壁SW2覆盖的一部分(位置)中的半导体区域(杂质区域)LD、以及在从外延生长层EP1中的偏移间隔物OS2和侧壁SW2暴露的一部分(位置)中形成的半导体区域(扩散区域)D2。此外,如图9所示,形成在体区1B的第二区域1Bb中的源极/漏极包括半导体区域(杂质区域)LMD和半导体区域(扩散区域)MD,该所述半导体区域(杂质区域)LMD形成在用被形成为覆盖栅电极G3的侧面的偏移间隔物OS3和被形成为覆盖偏移间隔物OS3的侧壁SW3覆盖的半导体基底材料SB的一部分(位置)中,该半导体区域(扩散区域)MD形成在从偏移间隔物OS3和侧壁SW3暴露的半导体基底材料SB的一部分(位置)中。

[0079] 注意,如果要形成的MISFET是n型场效应晶体管,则用于形成用作源极/漏极的半导体区域(延伸区域、杂质区域和扩散区域)的杂质是诸如磷(P)或砷(As)等n型杂质。另一方面,如果要形成的MISFET是p型场效应晶体管,则用于形成各个半导体区域(延伸区域、杂质区域和扩散区域)的杂质是诸如硼(B)等p型杂质。

[0080] 在形成构成每个MISFET的源极/漏极的半导体区域之后,在构成每个MISFET的源极/漏极的半导体区域D1、D2和MD的表面EP2a、EP1a和SBab的表面上形成硅化物膜SLF1、SLF2和SLF3,如图9所示。

[0081] 6. 中间绝缘膜的形成(步骤S6)

[0082] 接下来,作为图3的步骤S6,在衬底1上形成层间绝缘膜IL以覆盖形成在区域1A和1B(1Ba和1Bb)中的栅电极G1、G2和G3。在此,如图10所示,由于栅电极G1、G2和G3从衬底1的表面上向上突出,所以根据所形成的栅电极G1、G2和G3的厚度(高度),在层间绝缘膜IL的表面上形成凹凸。也就是说,在层间绝缘膜IL中的栅电极G1、G2和G3上形成凸部部分P1、P2和P3。

[0083] 7. 抛光(步骤S7)

[0084] 接下来,作为图3的步骤S7,层间绝缘膜IL的一部分被抛光。在此,当具有由多晶硅膜制成的栅电极的MISFET被制造时,层间绝缘膜IL的抛光量被控制,使得栅电极不被暴露。另一方面,本第一实施例中的半导体器件的制造方法形成了具有由金属材料制成的栅电极

的MISFET。因此,在本第一实施例中,如图11所示,层间绝缘膜IL被抛光,使得形成在区域1A和1B(1Ba和1Bb)中的栅电极G1、G2和G3从层间绝缘膜IL暴露。然后,通过本抛光步骤形成进行抛光步骤的层间绝缘膜IL1。此后,用不同于多晶硅膜的金属材料来替换构成栅电极G1、G2和G3中的每个的材料的步骤被执行。

[0085] 8. 栅电极的置换过程(步骤S8)

[0086] 接下来,作为图3的步骤S8,将描述组成栅电极的材料的置换过程。

[0087] 首先,对从抛光的层间绝缘膜IL1暴露的栅电极G1、G2和G3进行例如湿法蚀刻工艺以去除栅电极G1、G2和G3。结果,如图12所示,在由一对偏移间隔物OS1、OS2和OS3以及栅极绝缘膜IF1、栅极绝缘膜IF2、栅极绝缘膜IF3(IF3c)围绕的区域中形成间隙GAP1、GAP2和GAP3。

[0088] 接下来,如图13所示,金属膜MF被形成在抛光的层间绝缘膜IL1上以阻挡图12中描述的区域1A和1B(1Ba和1Bb)的间隙GAP1、GAP2和GAP3。在此,通过例如溅射形成金属膜MF。金属膜MF由例如氮化钛制成。此外,尽管未示出,但是金属膜MF经由例如基于氧化铪的高介电常数材料制成的栅极绝缘膜(高k栅极绝缘膜)而被形成在抛光的层间绝缘膜IL1、偏移间隔物OS1、OS2和OS3、以及栅极绝缘膜IF1、IF2和IF3上。高k栅极绝缘膜(HfON、HfO)由例如ALCVD(原子层化学气相沉积)形成。高介电常数栅极绝缘膜的厚度为例如几埃至几十埃。

[0089] 然后,如图14所示,通过去除图12中描述的位于间隙GAP1、GAP2和GAP3外部的金属膜MF(和高k栅极绝缘膜)的部分(即,位于抛光的层间绝缘膜IL1表面上的金属膜MF的不必要的部分)来形成由金属材料制成的栅电极(金属栅电极)MTG1、MTG2和MTG3。在本第一实施例中,通过例如抛光来去除不必要的部分。

[0090] 接下来,如图15所示,另一层间绝缘膜IL2被形成在抛光的层间绝缘膜IL1上,以覆盖从抛光的层间绝缘膜IL1暴露的金属栅电极MTG1、MTG2和MTG3的暴露部分。在层间绝缘膜IL1和IL2中在与用作分别具有金属栅电极MTG1、MTG2和MTG3的场效应晶体管(MISFET和MOSFET)Q1、Q2和Q3的源极和漏极的半导体区域D1、D2和MD交叠的位置处形成接触孔CH1、CH2和CH3。接触孔CH1、接触孔CH2和接触孔CH3通过例如光刻和干法蚀刻来形成。然后,将由例如钨制成的导电膜掩埋在接触孔CH1、CH2和CH3中,从而形成如图15所示的接触插塞CP1、CP2和CP3。之后,在位于层间绝缘膜IL2上的布线层ML1上形成多个布线(布线图案)M1,并且用层间绝缘膜IL3覆盖多个布线M1,从而得到图2所示的状态。

[0091] (第一实施例的制造半导体器件的方法的效果)

[0092] 接下来,将结合几个检查示例来描述本第一实施例的制造半导体器件的方法的效果。

[0093] (检查示例1)

[0094] 首先,如上所述,构成本第一实施例的半导体器件的衬底不仅包括具有形成在半导体基底材料上的绝缘层和半导体层的SOI区域(例如,SOI区域1A),而且还包括既不具有绝缘层也不具有半导体层的体区(例如,体区1B)。体区包括其中形成有包括具有第一厚度的栅极绝缘膜(例如,栅极绝缘膜IF2)的MISFET的区域(例如,第一区域1Ba)、以及其中形成有包括具有大于第一厚度的厚度的第二栅极绝缘膜(例如,栅极绝缘膜IF3)的MISFET的区域(例如,第二区域1Bb)。到此为止的配置在图16中示出为检查示例1。

[0095] 另一方面,如上所述,在本第一实施例的半导体器件的制造方法中,首先,形成临

时栅电极,然后依次形成偏移间隔物和侧壁以覆盖栅电极的侧壁。在要形成MISFET的区域、即有源区域中形成用作源极/漏极区域的半导体区域,然后用层间绝缘膜覆盖临时栅电极。然后,在去除层间绝缘膜的一部分以暴露临时栅电极的一部分之后,在通过去除临时栅电极而形成的间隙中埋入与构成临时栅电极的材料(例如,多晶硅膜)不同的材料(例如,金属膜)。也就是说,本第一实施例的半导体器件的制造方法是所谓的后栅极工艺。

[0096] 在此,如图16所示,在检查示例1中,由于未在体区1B中的第一区域1Ba上执行外延生长处理,因此栅电极G1、G2a和G3的表面(上表面)没有位于基本相同的高度。具体地,形成在体区1B中的第一区域1Ba中的栅电极G2a的表面低于形成在其他区域1A和1Bb中的栅电极G1和G3的表面。因此,在这种配置中,当层间绝缘膜IL1被抛光以使得形成在区域1A和1B(1Ba和1Bb)中的所有栅电极G1、G2a和G3都从层间绝缘膜IL1暴露时,对栅电极G1和G3进行了不必要的抛光(去除),如图17所示。结果,由稍后的替换工艺形成的金属栅电极可能不具有期望形式(厚度),并且电特性(即,半导体器件的可靠性)可能劣化。

[0097] (检查示例2)

[0098] 本发明人还研究了当从栅电极G2a突出到衬底1上方的栅电极G1和G3被暴露时,其中层间绝缘膜IL1的抛光被终止的检查示例2。然而,在检查示例2中,如图18所示,在所有栅电极G1、G2a和G3中,其上表面最靠近构成衬底1的半导体基底材料SB的栅电极G2a没有从层间绝缘膜IL1暴露。结果,构成栅电极G2a的材料(例如,多晶硅膜)不能被另一种材料(例如,金属膜)替换。也就是说,难以提高包括栅电极G2a的电路的处理速度。

[0099] (检查示例3)

[0100] 因此,本发明人研究了采用比栅电极G2a的高度(厚度)高(厚)的栅电极G2b作为新的检查示例。结果,如图19所示,可以从层间绝缘膜IL1暴露栅电极G1、G2b和G3,而没有必要地抛光或去除栅电极G1、G2b和G3。但是,在本检查示例3中,如图20所示,通过在栅电极G2b上执行置换步骤的一部分而形成的间隙GAP2b的纵横比(H2/L2)变为大于在检查示例1中通过在栅电极G2a上执行置换步骤的一部分而形成的间隙的纵横比(H1/L1),即,通过在其他栅电极上执行置换步骤的一部分而形成的间隙的纵横比(OOF)。结果,在所形成的间隙GAP2b中埋入金属膜变得困难。也就是说,所形成的金属栅电极可能具有空隙,这会降低半导体器件的可靠性。

[0101] (检查示例4)

[0102] 如上所述,构成本第一实施例的半导体器件的衬底不仅包括具有形成在半导体基底材料上的绝缘层和半导体层的SOI区域(例如,SOI区域1A),而且还包括不具有绝缘层和半导体层的体区(例如,体区1B)。也就是说,在横截面图中,形成在体区1B中的MISFET的栅电极的表面(上表面)低于形成在SOI区域1A中的MISFET的栅电极的表面(上表面)。因此,作为其他检查示例,本发明人已经考虑到,如图21所示,在去除位于体区1B中的半导体层和绝缘层之后,在所有体区1B(即第一区域1Ba和第二区域1Bb两者)上执行外延生长处理,从而减小由于去除半导体层和绝缘层两者而引起的水平差。换言之,外延生长处理在各个区域1Ba和1Bb上被执行,使得不仅外延生长层EP1的上表面EP1a而且外延生长层EP3的上表面EP1b都位于与位于SOI区域1A中的半导体层SM的上表面SMa基本相同高度。

[0103] 然而,如图21所示,形成在体区1B中的第二区域1Bb中的MISFET的栅极绝缘膜IF3的厚度比形成在其他区域1A和1Ba中的MISFET的栅极绝缘膜IF1和IF2的厚度厚。因此,与检

查示例1和检查示例2相似地,在抛光步骤之前,各个栅电极G1、G2和G3的表面(上表面)不能位于基本相同的高度。

[0104] 相反,在本第一实施例中,如图2、6和15所示,在其中形成有具有薄栅极绝缘膜IF2的场效应晶体管(MISFET)Q2的体区1B的第一区域1Ba上执行外延生长处理,但是未在其中形成有具有厚栅极绝缘膜IF3的场效应晶体管(MISFET)Q3的体区1B的第二区域1Bb上执行外延生长处理。因此,如图8所示,在抛光层间绝缘膜IL的步骤之前,栅电极G1、G2和G3的表面(上表面)可以位于彼此基本相同的高度。结果,如图11至14所示,由于具有与预先形成的临时栅电极G1、G2和G3基本相同的形状(厚度)的金属栅电极MTG1、MTG2和MTG3可以被形成,因此可以抑制半导体器件的可靠性的劣化。换言之,由于具有期望形状的金属栅电极可以被用于各个MISFET,所以可以实现高速半导体器件。此外,在本第一实施例中,如上所述,在层间绝缘膜IL的抛光步骤之前,栅电极G1、G2和G3的表面(上表面)位于彼此基本相同的高度,因此,可以容易地设置后续抛光步骤中的抛光条件(抛光量)。也就是说,由于可以容易地以稳定的方式从抛光的层间绝缘膜IL暴露所有栅电极,所以可以提高半导体器件的成品率。

[0105] (第一实施例的修改示例)

[0106] 接下来,将描述本第一实施例的修改示例。

[0107] (修改示例1)

[0108] 首先,在上述第一实施例中,如参考图5所述,位于体区1B中的半导体层SM被去除,离子被注入到位于SOI区域1A中的半导体基底材料SB中,离子被注入到位于体区1B中的半导体基底材料SB中,然后位于SOI区域1A和体区1B的每个中的绝缘层BX被去除。相反,在本第一修改示例中,首先,在位于体区1B中的半导体层SM被去除之后,离子被注入到位于体区1B中的半导体基底材料SB中,并且进一步,离子被注入到位于SOI区域1A中的半导体基底材料SB中,之后,位于SOI区域1A和体区1B中的每个中的绝缘层BX被去除。在上述第一实施例和第一修改示例中的每个中,在用于去除半导体层SM和绝缘层BX的蚀刻工艺中使用的光致抗蚀剂图案的类型与在离子注入工艺中使用的光致抗蚀剂图案的类型彼此不同。

[0109] (修改示例2)

[0110] 接下来,在上述第一实施例中,作为抬升处理中的具体示例,如参考图6所述,外延生长处理已经被描述,使得外延生长层EP1的上表面EP1a位于比位于体区1B中的第二区域1Bb中的半导体基底材料SB的上表面SBab高的高度,并且使得其位于与位于SOI区域1A中的半导体层SM的上表面SMA相同的高度,或者位于比位于SOI区域1A中的半导体层SM的上表面SMA低的高度。另一方面,在本第二修改示例中,外延生长处理被执行,使得外延生长层EP1的上表面EP1a位于比位于SOI区域1A中的半导体层SM的上表面SMA高的高度。然而,如果外延生长层EP1的上表面EP1a比半导体层SM的上表面SMA过高(厚),则不仅外延生长处理花费更长的时间,而且形成在第一区域1Ba中的栅电极G2a在稍后的抛光步骤中被不必要的抛光(去除)。因此,当难以控制外延生长以使得外延生长层EP1的上表面EP1a变为与半导体层SM的上表面SMA相同的高度时,优选地执行外延生长处理以使得外延生长层EP1的上表面EP1a位于与半导体层SM的上表面SMA相同的高度或比半导体层SM的上表面SMA低的高度,如在上述第一实施例中鉴于外延生长处理所需要的时间。

[0111] (修改示例3)

[0112] 接下来,在上述第一实施例中,如图5所示,阱WEL形成在与位于体区1B(具体地是第一区域1Ba)中的绝缘层BX相邻的位置处,对第一区域1Ba进行抬升处理(即,外延生长处理),然后在通过抬升工艺形成的外延生长层EP1中形成阱WEL。与此相对,在本第三修改示例中,在第一区域1Ba中,仅在执行抬升处理之后执行离子注入处理,而不在抬升处理之前执行离子注入处理。也就是说,当在体区1B的第二区域1Bb上执行离子注入时,第一区域1Ba被光致抗蚀剂图案覆盖。根据本第三修改示例,由于向第一区域1Ba中的离子注入的数目可以被减少,因此与第一实施例中的阈值电压相比,在第一区域1Ba中形成的第二场效应晶体管Q2的阈值电压的变化可以被减小。

[0113] (修改示例4)

[0114] 接下来,在上述第一实施例中,形成在第二区域1Bb中并且构成闪存电路的场效应晶体管Q3具有栅极绝缘膜IF3,该栅极绝缘膜IF3包括由氧化硅制成的绝缘层IF3a、由氮化硅制成并且形成在绝缘层IF3a上的绝缘层IF3b、以及由氧化硅制成并且形成在绝缘层IF3b上的绝缘层IF3c。另一方面,本第四修改示例涉及作为构成另一存储电路的MISFET的铁电存储器。更具体地,本第四修改示例的MISFET的栅电极形成在位于第二区域1Bb中的半导体基底材料SB上,并且经由由氧化硅制成的绝缘层、由氧化硅制成并且包含铪的绝缘层(例如,HfSiO或HfZrO₂)、以及由氮化钛制成并且形成在包含铪的绝缘层上的覆盖膜而被形成在半导体基底材料SB上。位于中央的包含铪的绝缘层是铁电膜。铁电膜是上述三层中最厚的。但是,铁电膜的最大厚度为约10nm,比第一实施例的绝缘层(电荷保持层、电荷存储层)IF3b的最大厚度(约13nm)薄。

[0115] (修改示例5)

[0116] 此外,在上述第一实施例中,已经描述了具有三层栅极绝缘膜IF3的MISFET被形成在体区1B的第二区域1Bb中。与此相对,在本第五修改示例中,形成在第二区域1Bb中的MISFET的栅极绝缘膜被形成为一层。更具体地,如图22所示,在本第五修改示例的半导体器件SD2中,在体区1B的第一区域1Ba中形成有低击穿电压场效应晶体管(MISFET)Q4,并且在体区1B的第二区域1Bb中形成有高击穿电压场效应晶体管(MISFET)Q5。如图22所示,构成高击穿电压场效应晶体管Q5的栅极绝缘膜IF5的厚度比构成低击穿电压场效应晶体管Q4的栅极绝缘膜IF4的厚度厚。本第五修改示例中的栅极绝缘膜IF4的厚度为例如2nm至4nm。本第五修改示例中的栅极绝缘膜IF5的厚度为例如9nm至21nm。栅极绝缘膜IF4和IF5的厚度根据所需要的耐压而变化。因此,构成高击穿电压场效应晶体管的栅极绝缘膜的厚度可以是例如第一实施例的栅极绝缘膜IF3的厚度(9nm至21nm)的一半或更小。当这种高击穿电压型场效应晶体管的栅电极也要采用金属栅电极时,必须对其中形成有高击穿电压型场效应晶体管的区域(在此是第二区域1Bb)也执行抬升工艺。在本修改示例中,高击穿电压型场效应晶体管Q5的栅极绝缘膜IF5的厚度大于低击穿电压型场效应晶体管Q4的栅极绝缘膜IF4的厚度,但是高击穿电压型场效应晶体管Q5的栅极长度可以大于低击穿电压型场效应晶体管Q4的栅极长度。在此,“栅极长度”是栅电极的沿着从在图22中用作源极/漏极的两个半导体区域LDD中的一个半导体区域LDD到另一半导体区域LDD的方向的长度。另外,高击穿电压场效应晶体管Q5的栅极长度和栅极绝缘膜IF5的厚度可以分别大于低击穿电压场效应晶体管Q4的栅极长度和栅极绝缘膜IF4的厚度。注意,除了上述之外,构成栅极绝缘膜、金属栅电极、偏移间隔物、用作源极/漏极区域的半导体区域等的材料与上述第一实施例和每个修改示

例中描述的相同，因此省略其描述。

[0117] (第二实施例)

[0118] 接下来，将参考23和24描述本第二实施例的半导体器件SD3。图23是本第二实施例的半导体器件SD3的示意图。图24是包括图23所示的多个存储单元MC之一的第二实施例的半导体器件的主要部分截面图。应当注意，与上述第一实施例的不同之处在于，首先，在上述第一实施例中，在作为体区1B中的一个有源区域的第二区域1Bb中形成一个(一种)场效应晶体管(MISFET)Q3，但是在本第二实施例中，如图23和24所示，在作为体区1B中的一个有源区域的第二区域1Bb中形成两个(两种)场效应晶体管(MISFET)Q3和Q6，这不同于上述第一实施例。其他结构与上述第一实施例和各个修改示例中描述的结构相同，因此省略其描述。

[0119] 如图23所示，多个存储单元MC中的每个包括场效应晶体管(存储器晶体管)Q3、以及与场效应晶体管Q3串联连接并且控制(选择)场效应晶体管Q3的场效应晶体管(选择晶体管)Q6。场效应晶体管Q3的栅电极(金属栅电极MTG3)电连接到相应的存储栅线(字线)MGL0和MGL1。也就是说，场效应晶体管Q3的栅电极是存储器栅电极MG。另一方面，场效应晶体管Q6的栅电极(金属栅电极MTG6)电连接到相应的控制栅线(选择栅线)CGL0和CGL1。也就是说，场效应晶体管Q6的栅电极是控制栅电极(选择栅电极)CG。场效应晶体管Q3的源极/漏极电连接到位线BL0和BL1。场效应晶体管Q6的源极/漏极电连接到源极线SL0和SL1。

[0120] 如图24所示，本第二实施例的半导体器件具有在其中形成有存储晶体管Q3的存储晶体管形成区域(存储晶体管形成部分)1Bba和其中在体区1B的第二区域1Bb中形成有选择晶体管Q6的选择晶体管形成区域(选择晶体管形成部分)1Bbb上方延伸的公共半导体区域(扩散区域、杂质区域)CMD。具体地，公共半导体区域CMD被形成在位于存储晶体管形成区域1Bba中的半导体基底材料SB和形成在位于控制晶体管形成区域1Bbb中的半导体基底材料SB上的外延生长层EP4两者中。也就是说，公共半导体区域CMD是用作场效应晶体管Q3的漏极的半导体区域(扩散区域、杂质区域)，并且也是用作场效应晶体管Q6的源极的半导体区域(扩散区域、杂质区域)。

[0121] 在本第二实施例中，如图24所示，控制晶体管Q6的栅极绝缘膜IF6的厚度小于存储晶体管Q3的栅极绝缘膜IF3的厚度。也就是说，控制晶体管Q6的栅极绝缘膜IF6的厚度为例如2nm至8nm。因此，如图24所示，外延生长层EP4被形成在位于第二区域1Bb的选择晶体管形成区域1Bbb中的半导体基底材料SB上。顺便提及，以与上述第一实施例相同的方式，杂质被注入到形成在控制晶体管形成区域1Bbb中的外延生长层EP4中。换言之，阱(半导体区域和杂质区域)WEL也被形成在外延生长层EP4中。

[0122] 例如，当在图3的工艺流程中所示的步骤S3(抬升处理)中在体区1B的第一区域1Ba上执行外延生长处理时，通过在选择晶体管形成区域1Bbb上也执行外延生长处理来形成在选择晶体管形成区域1Bbb中形成的外延生长层EP4。然而，可以在与用于第一区域1Ba的外延生长处理不同的步骤中执行用于选择晶体管形成区域1Bbb的外延生长处理。

[0123] (制造第二实施例的半导体器件的方法的效果)

[0124] 接下来，将描述制造本第二实施例的半导体器件的方法的效果。

[0125] 在本第二实施例中，如图24所示，在体区1B中，在其中形成有具有薄栅极绝缘膜IF2的场效应晶体管(MISFET)Q2的第一区域1Ba以及其中形成有具有相同的薄栅极绝缘膜

IF6的场效应晶体管(MISFET)Q6的选择晶体管形成区域1Bbb上执行外延生长处理,但是在选择晶体管形成区域1Bbb上不执行外延生长处理,在选择晶体管形成区域1Bbb中,具有厚栅极绝缘膜IF3的场效应晶体管(MISFET)Q3被形成在体区1B中。因此,在抛光层间绝缘膜IL的步骤之前,形成在区域1A、1Ba、1Bba和1Bbb中的栅电极的表面(上表面)可以位于彼此基本相同的高度,如上述第一实施例中描述的。结果,具有与预先形成的临时栅极基本相同的形状(厚度)的金属栅电极MTG1、金属栅电极MTG2、金属栅电极MTG3和金属栅电极MTG6可以以与上述第一实施例中描述的相同的方式被形成,使得可以抑制半导体器件的可靠性的降低。换言之,即使具有彼此不同厚度的栅极绝缘膜IF3和IF6的两种类型的MISFET被形成在一个有源区域中,针对每个MISFET具有期望形状的金属栅电极也可以被采用,因此,可以实现高速半导体设备。

[0126] 上面已经基于实施例详细描述了本发明人做出的发明,但是本发明不限于上述实施例,并且不用说,在不脱离其主旨的情况下可以进行各种修改。

[0127] 另外,下面将描述在上述实施例中描述的一些内容。

[0128] [补充声明1]

[0129] 一种基底材料,包括衬底、形成在衬底的第一区域中的第一场效应晶体管、形成在衬底的第二区域中的第二场效应晶体管、以及形成在衬底的第三区域中的第三场效应晶体管,其中第一区域包括基底材料的第一部分、形成在基底材料的第一部分上的绝缘层、以及形成在绝缘层上的半导体层,其中经由第一栅极绝缘膜在半导体层上形成第一场效应晶体管的第一栅电极,其中第二区域包括基底材料的第二部分和形成在基底材料的第二部分上的外延生长层,其中经由第二栅极绝缘膜在外延生长层上形成第二场效应晶体管的第二栅电极,其中第三区域包括衬底的第三部分,其中经由第三栅极绝缘膜在基底材料的第三部分上形成第三场效应晶体管的第三栅电极,其中第三栅极绝缘膜的厚度大于第一栅极绝缘膜和第二栅极绝缘膜中的每个的厚度,其中第一栅电极、第二栅电极和第三栅电极中的每个由金属材料制成,并且其中第一栅电极、第二栅电极和第三栅电极中的每个被制成为具有彼此大体上相同的厚度。

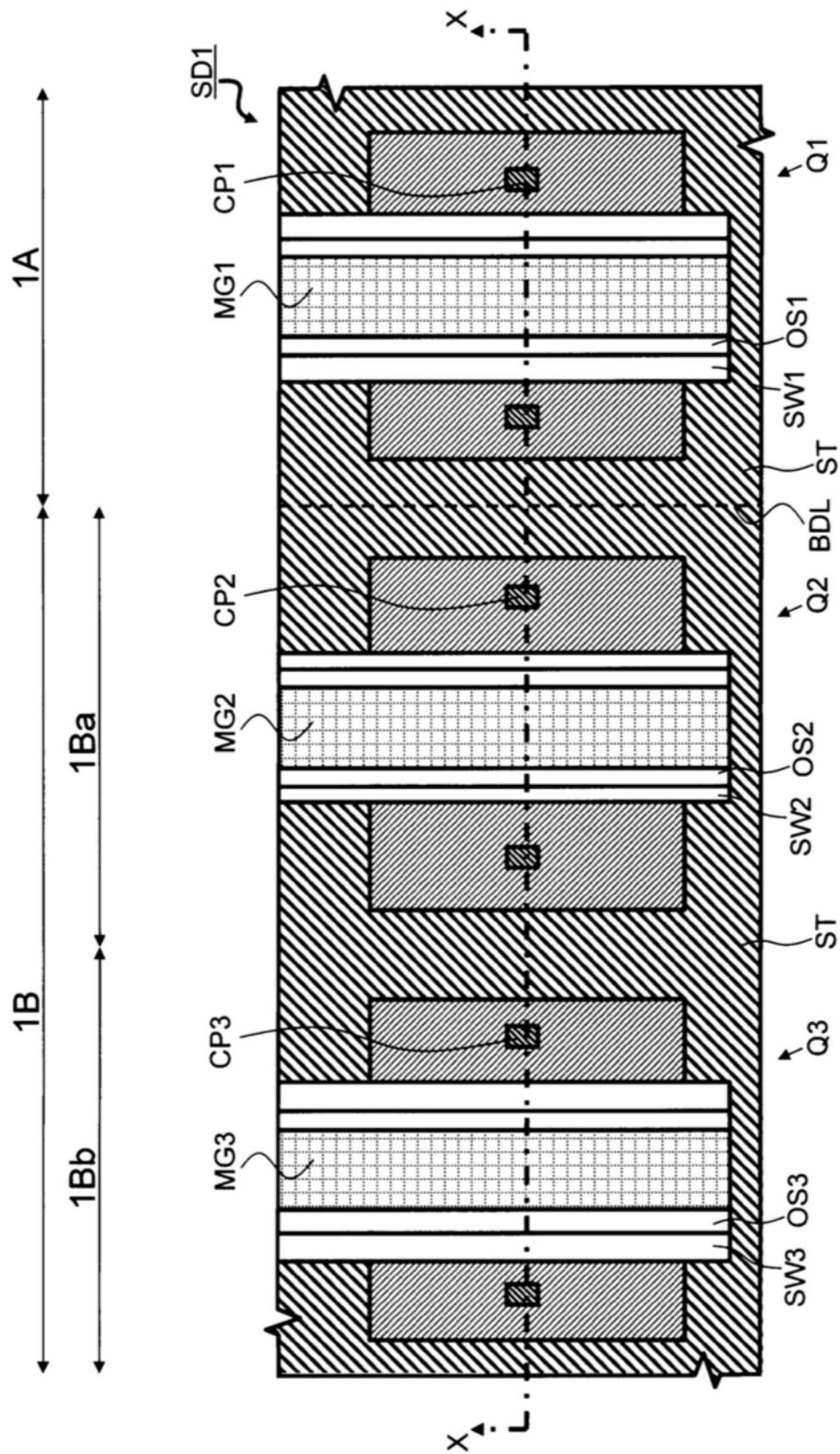


图1

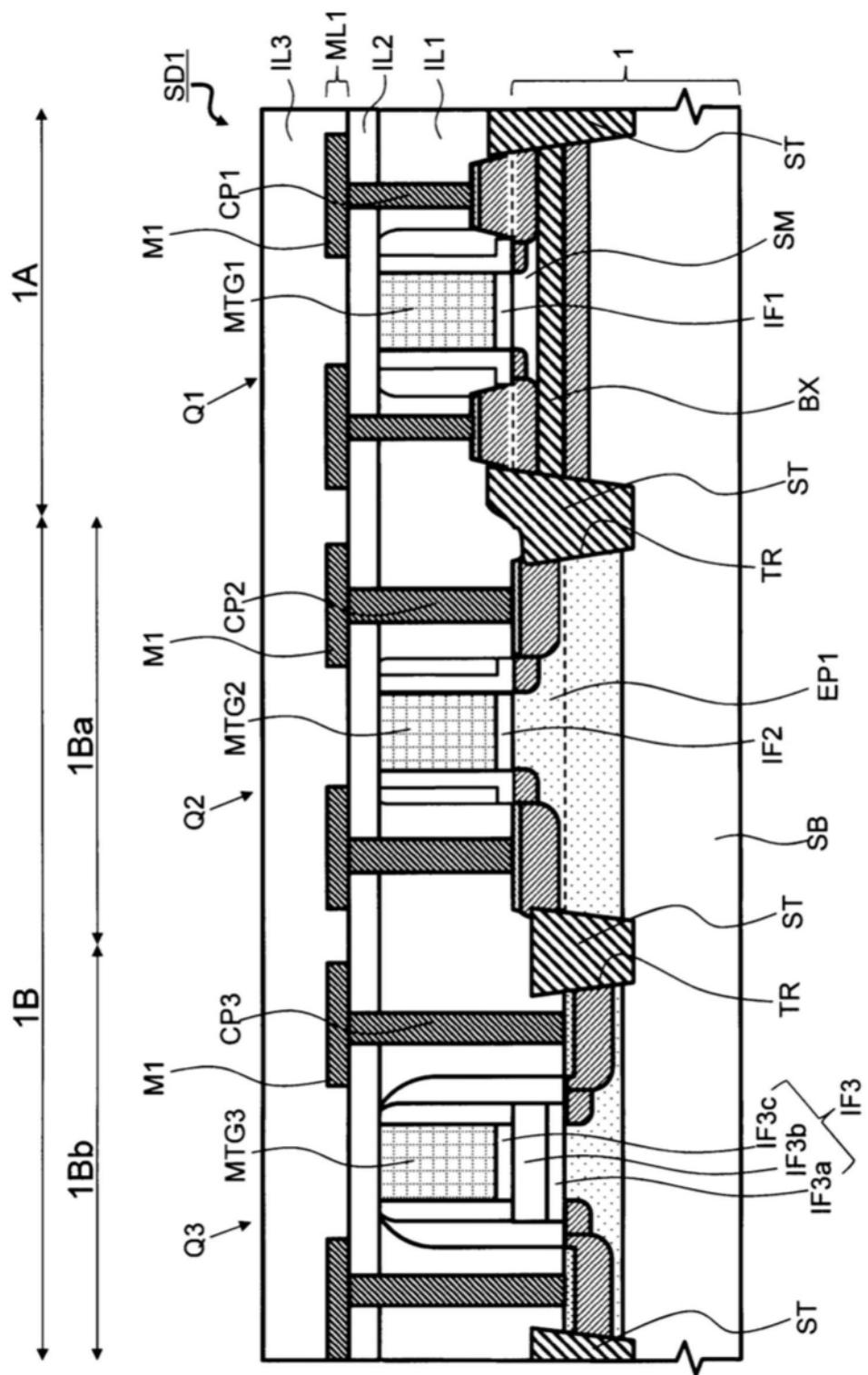


图2

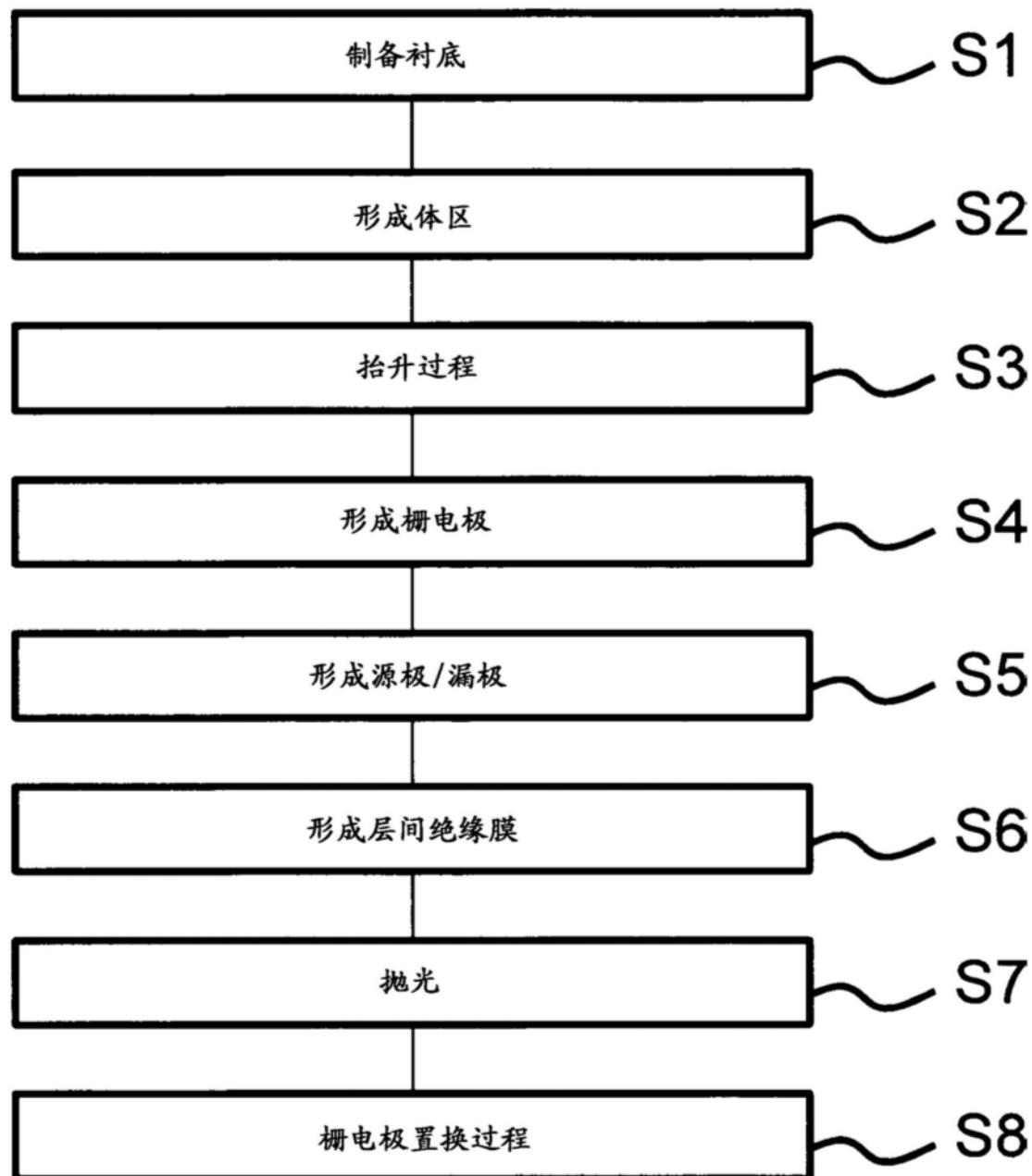


图3

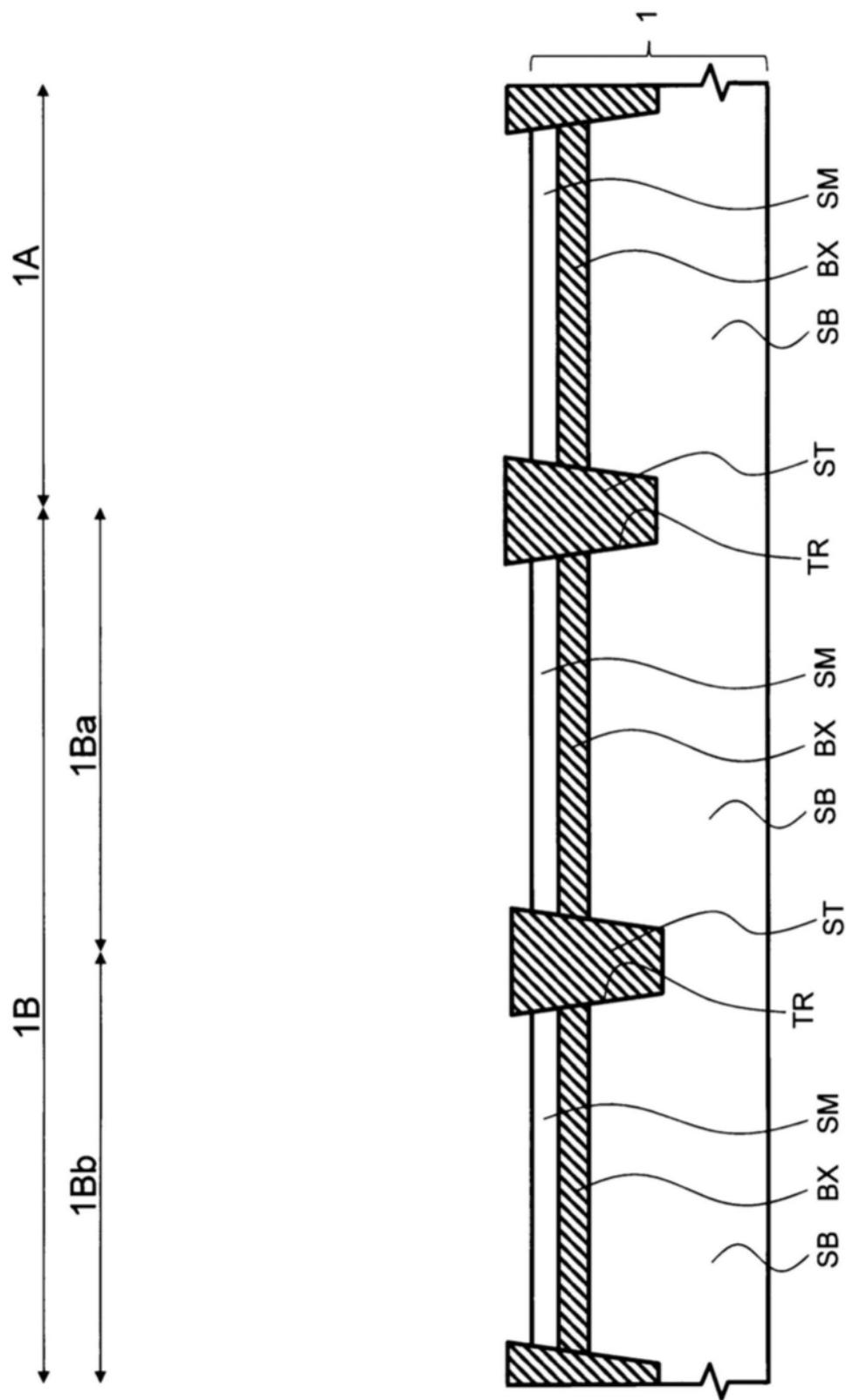


图4

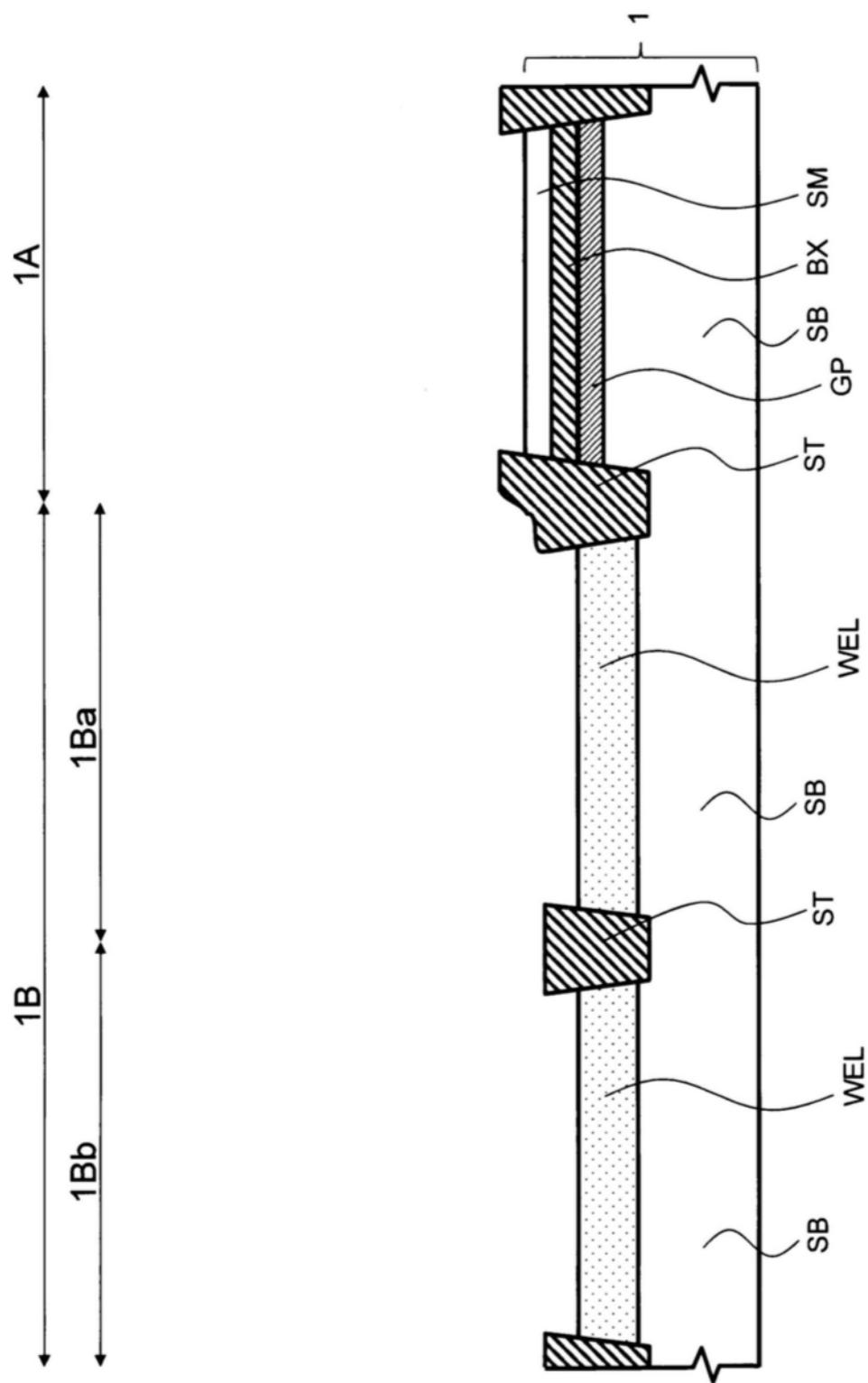


图5

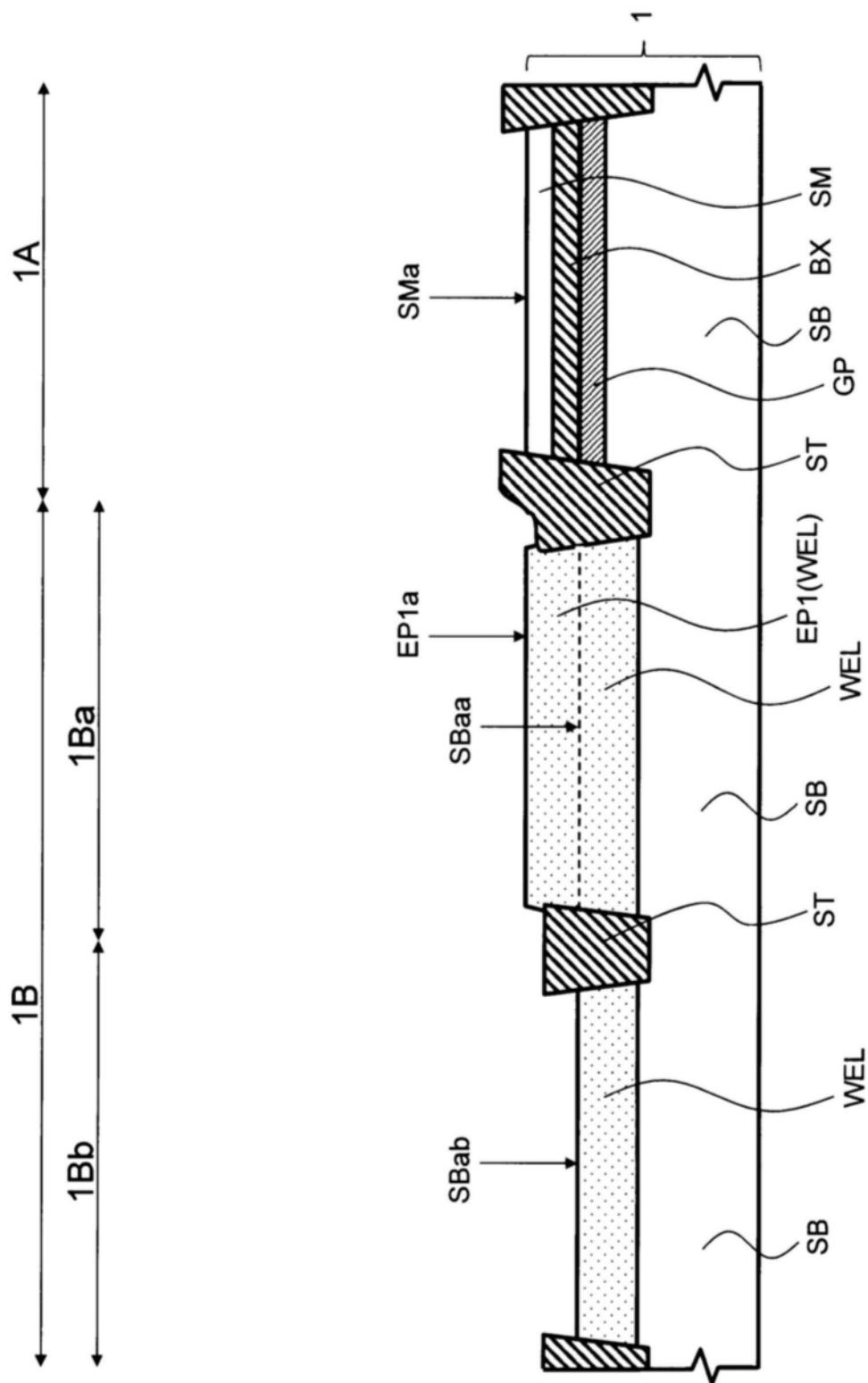


图6

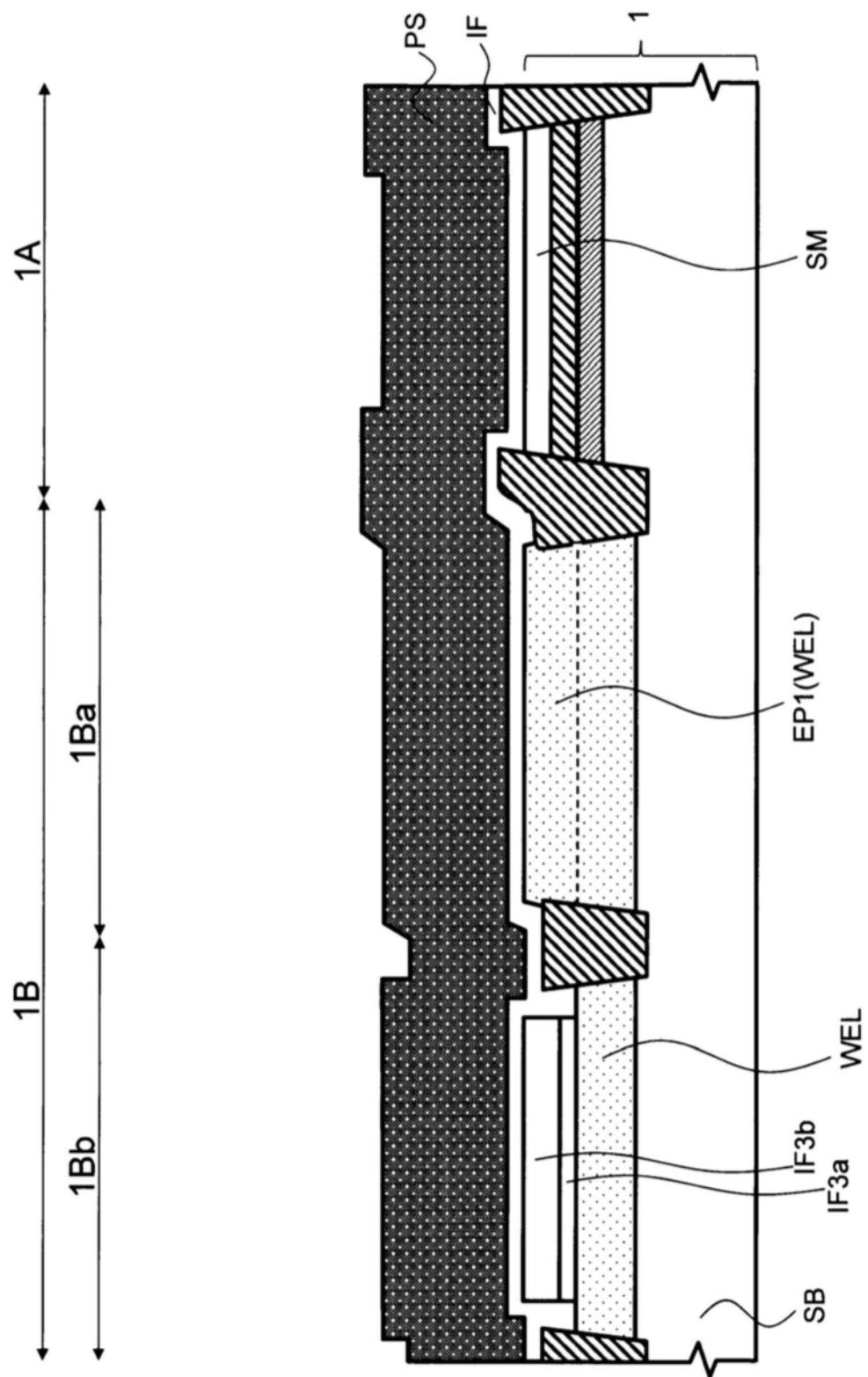


图7

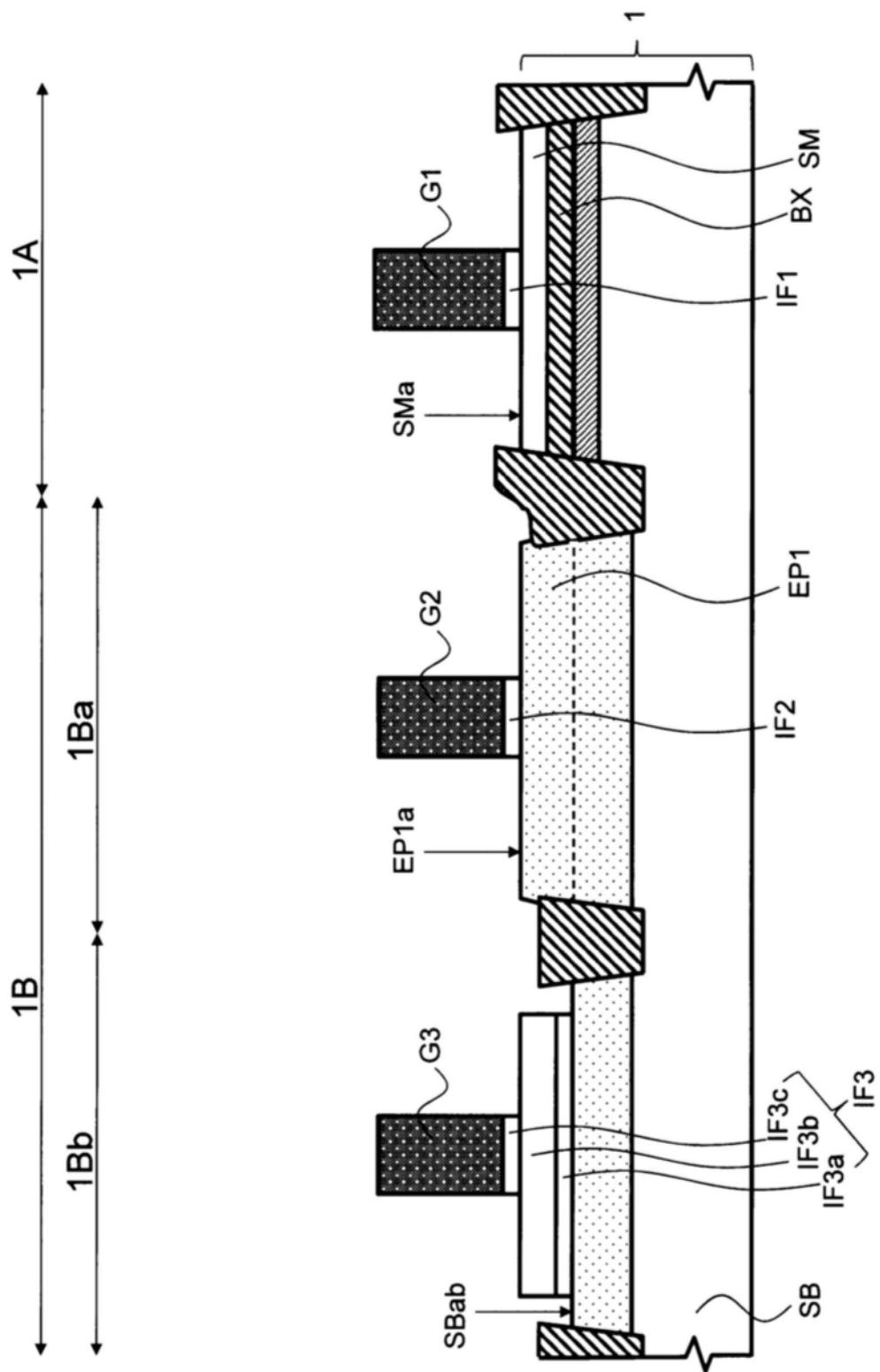


图8

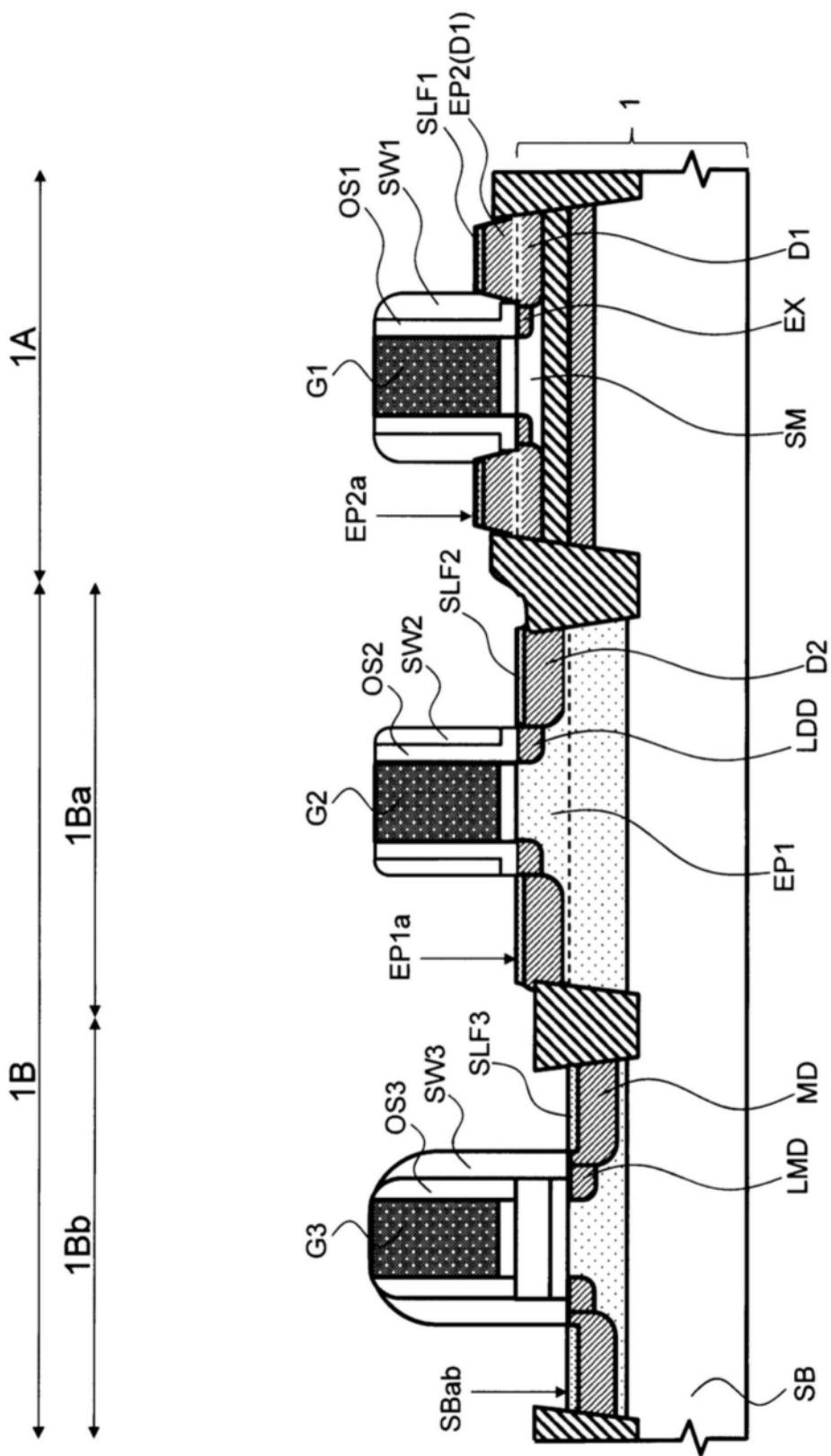


图9

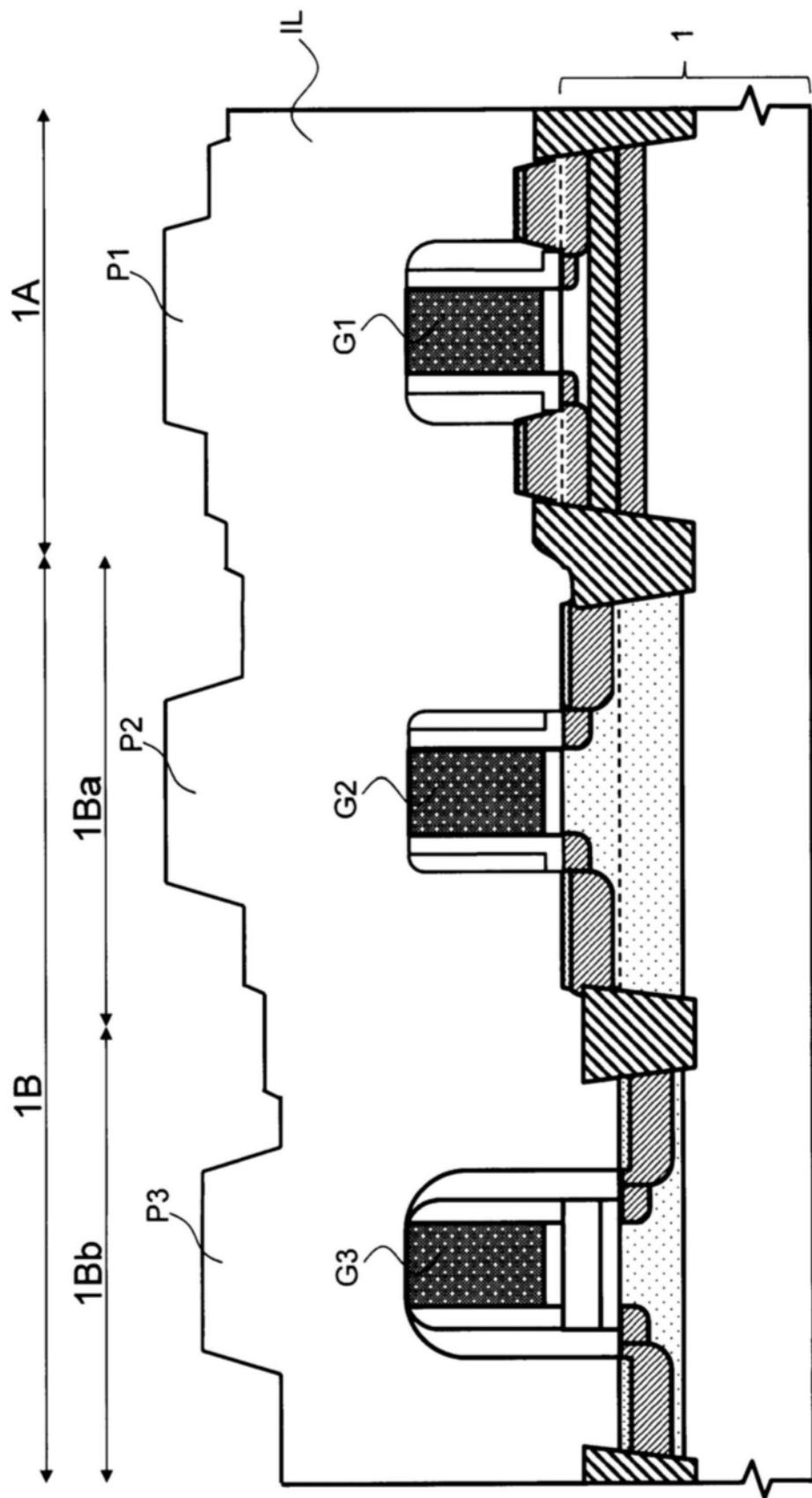


图10

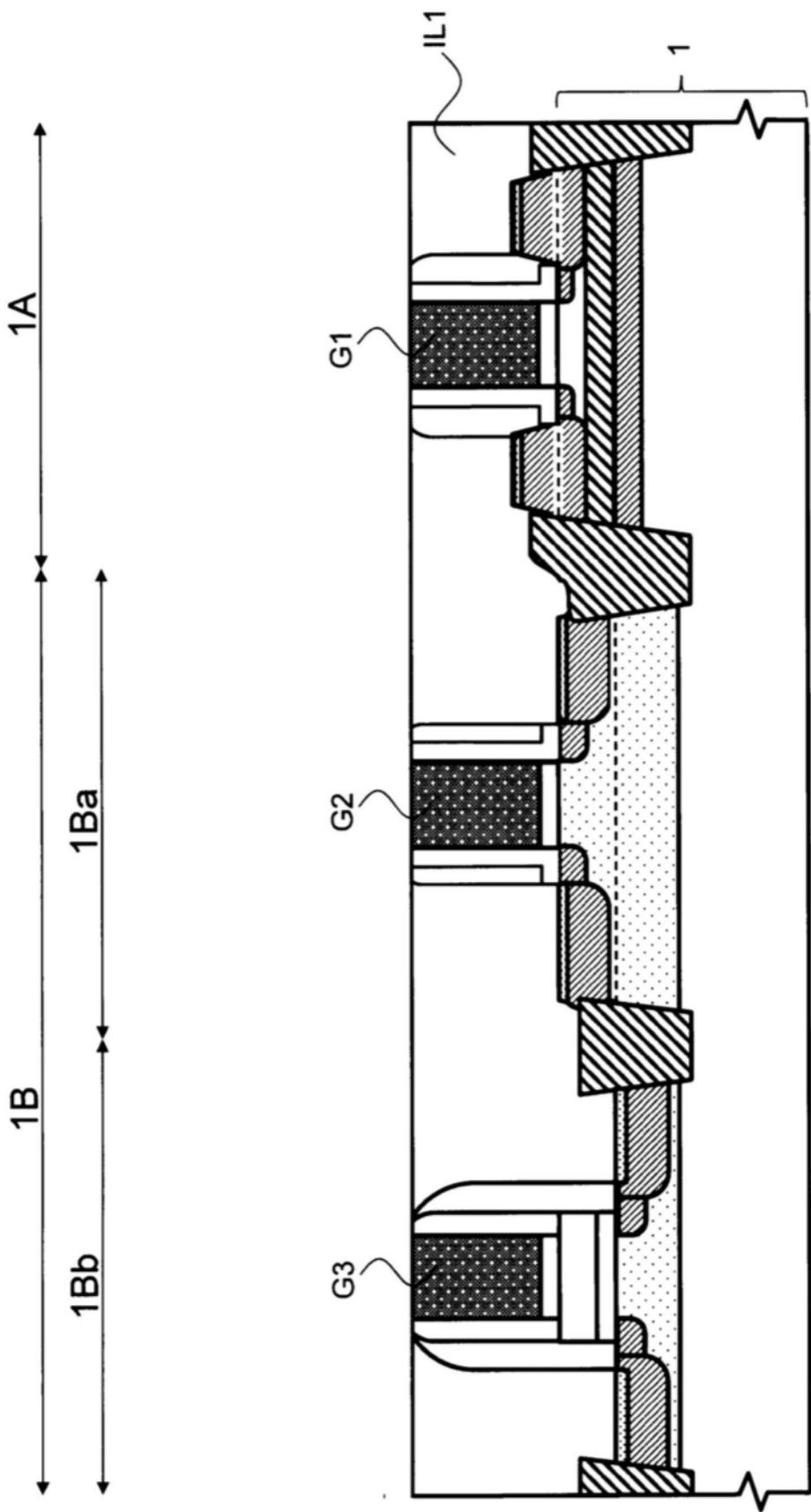


图11

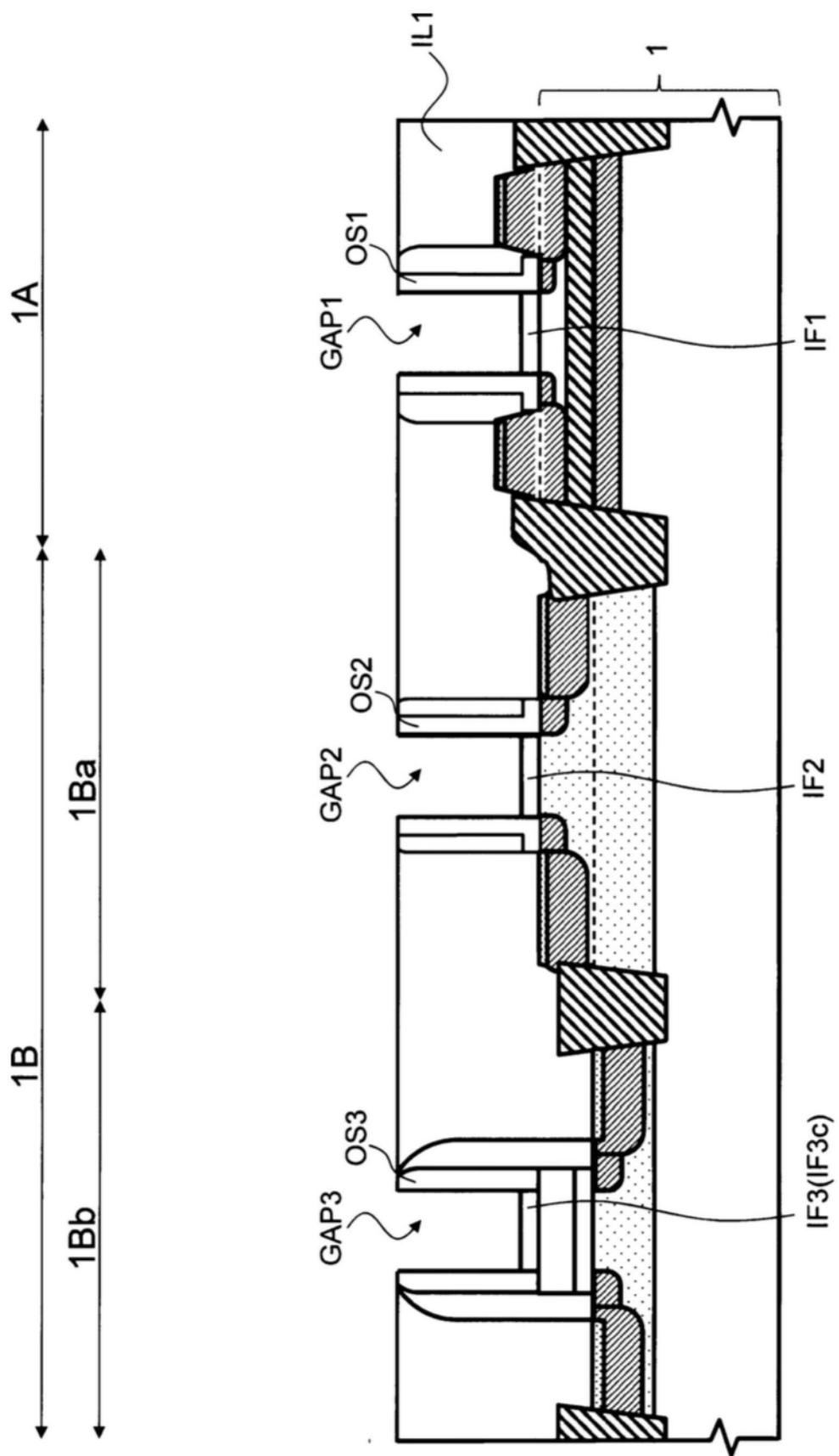


图12

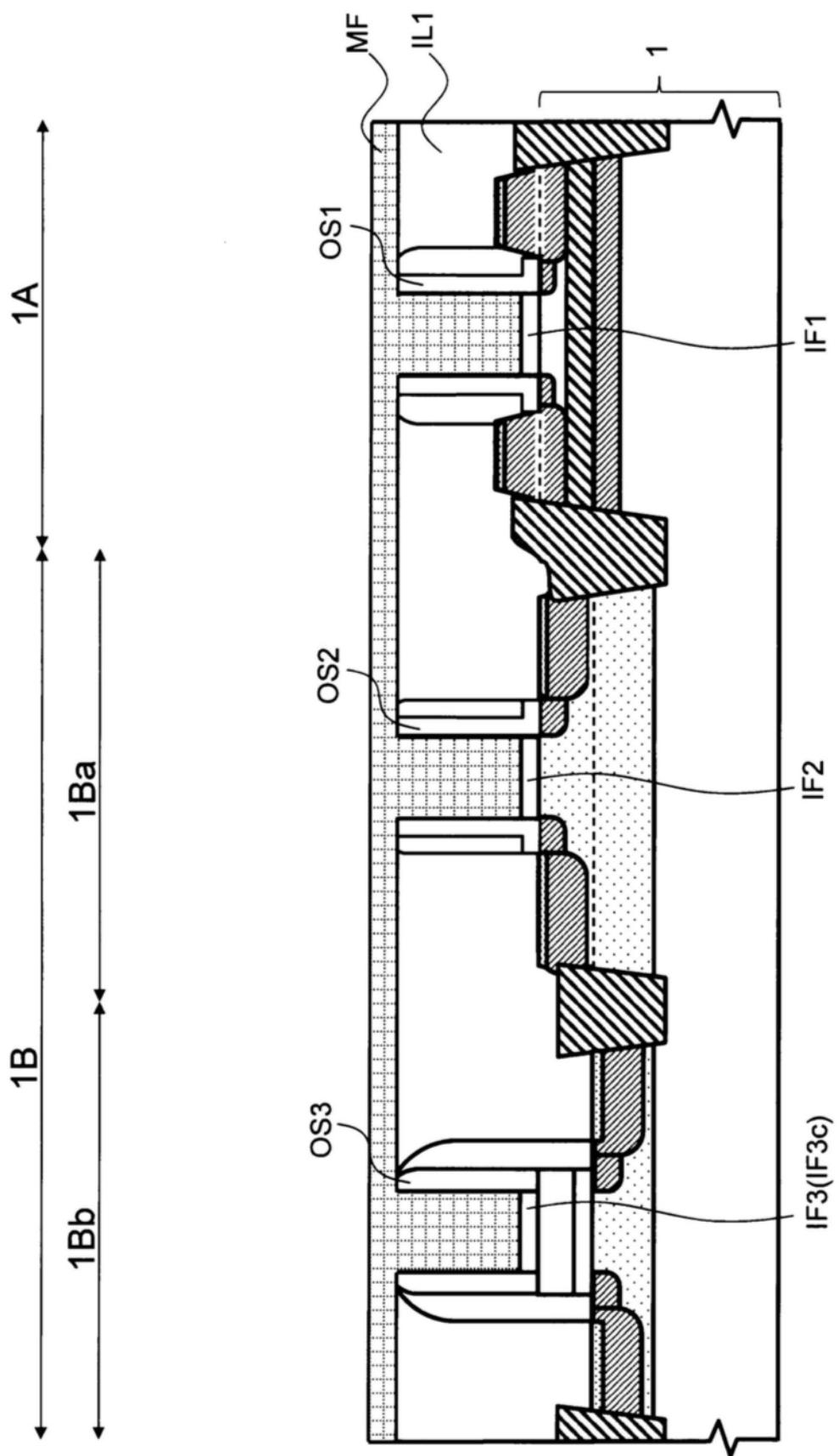


图13

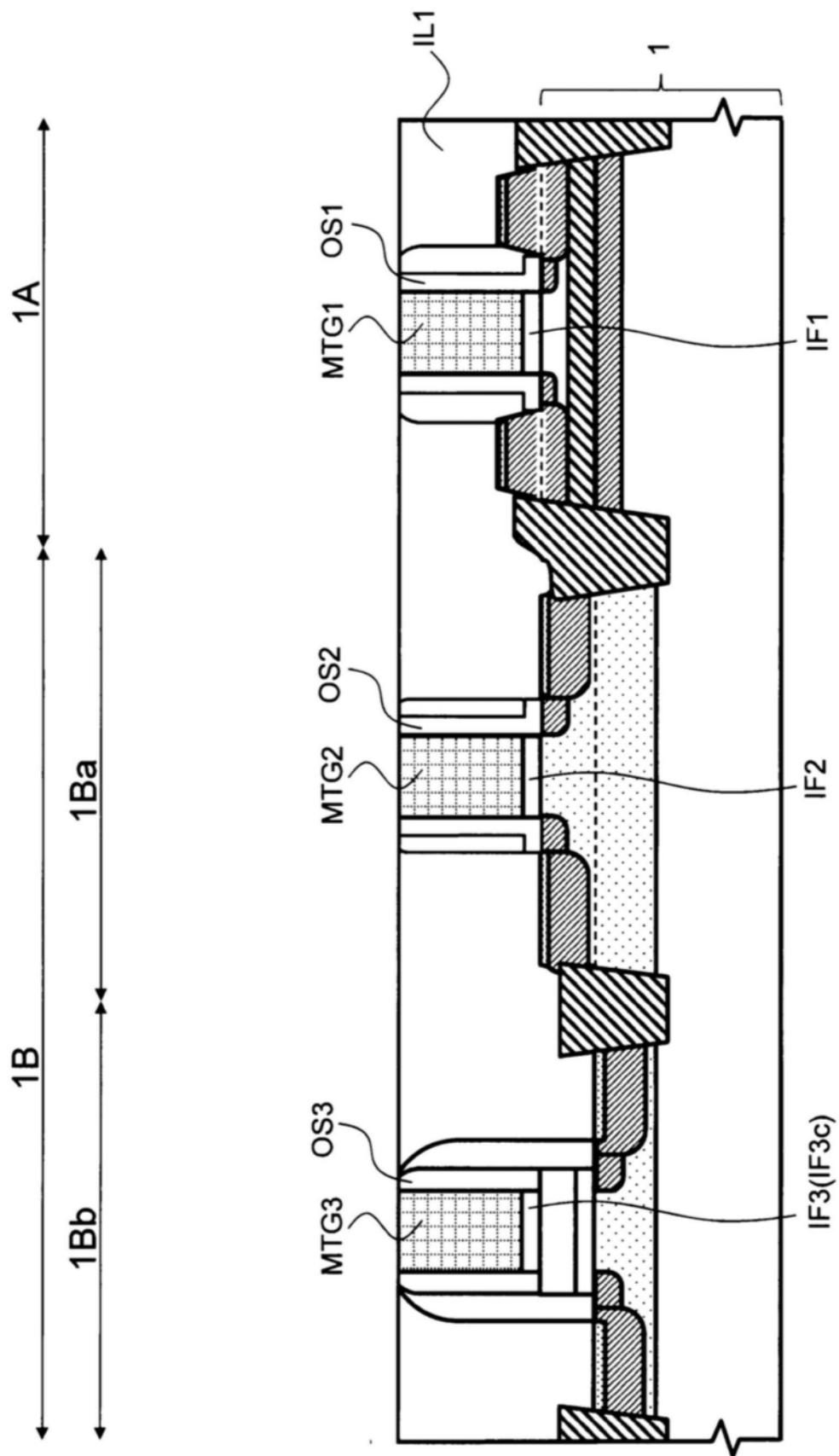


图14

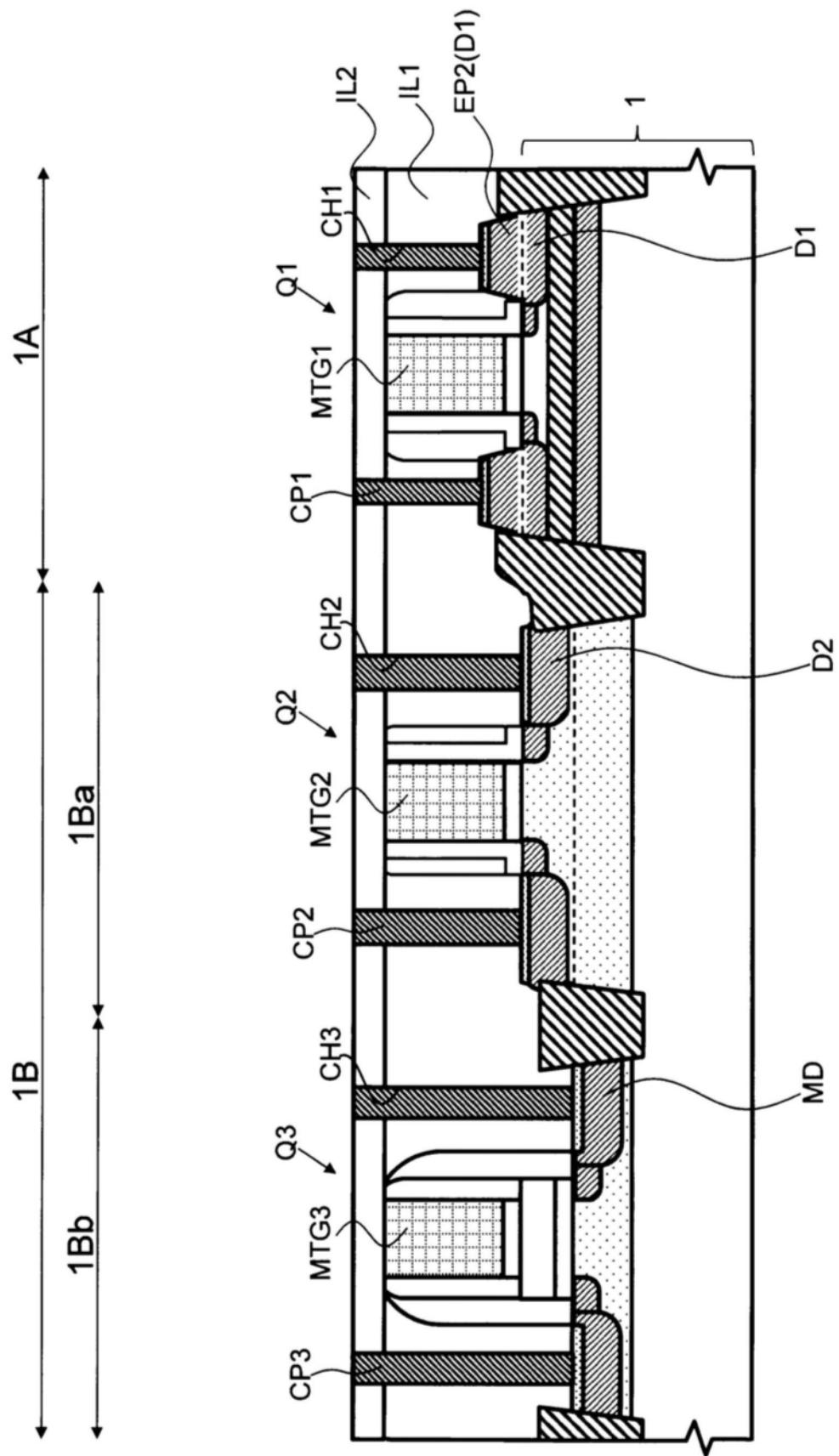


图15

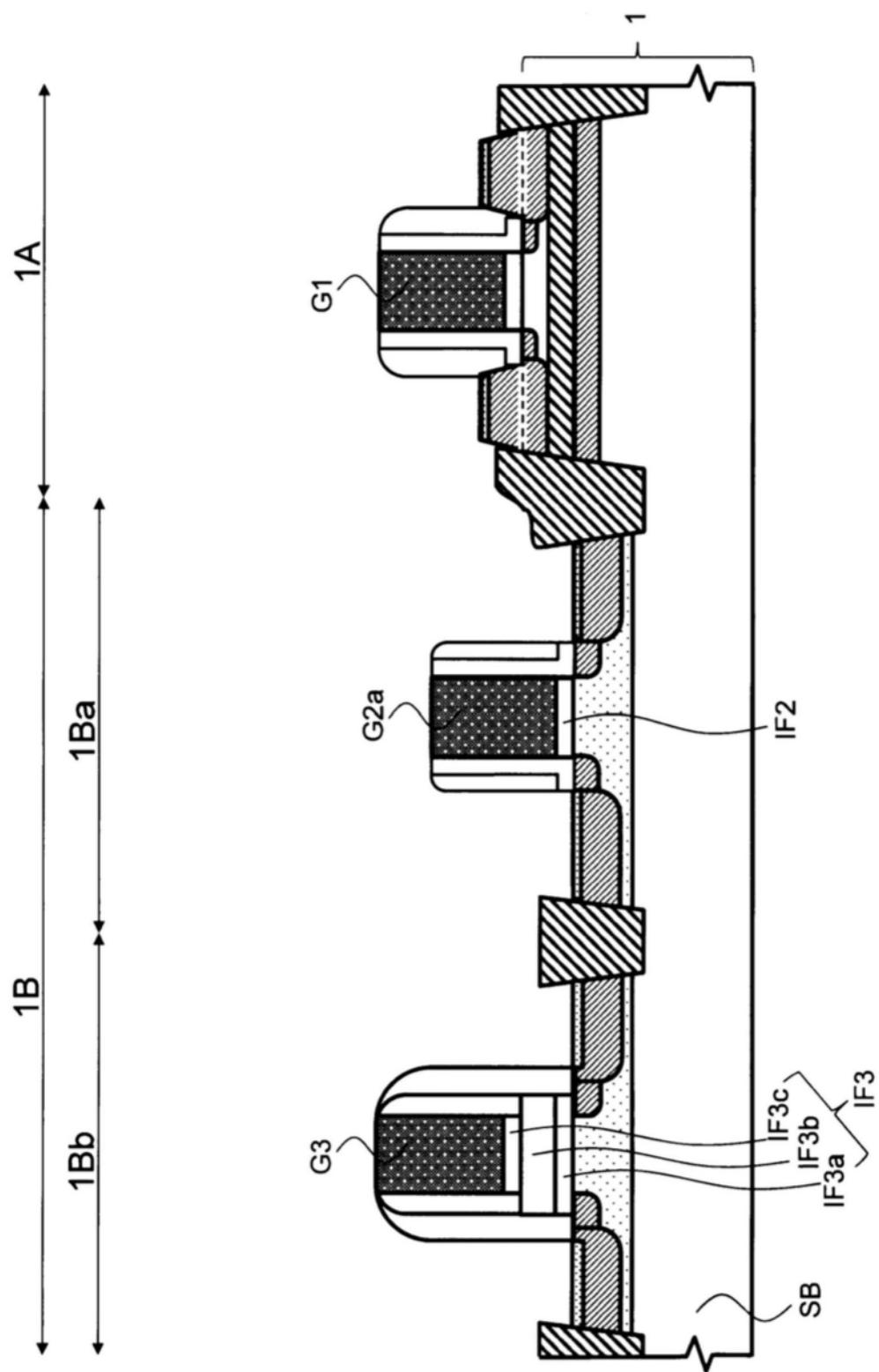


图16

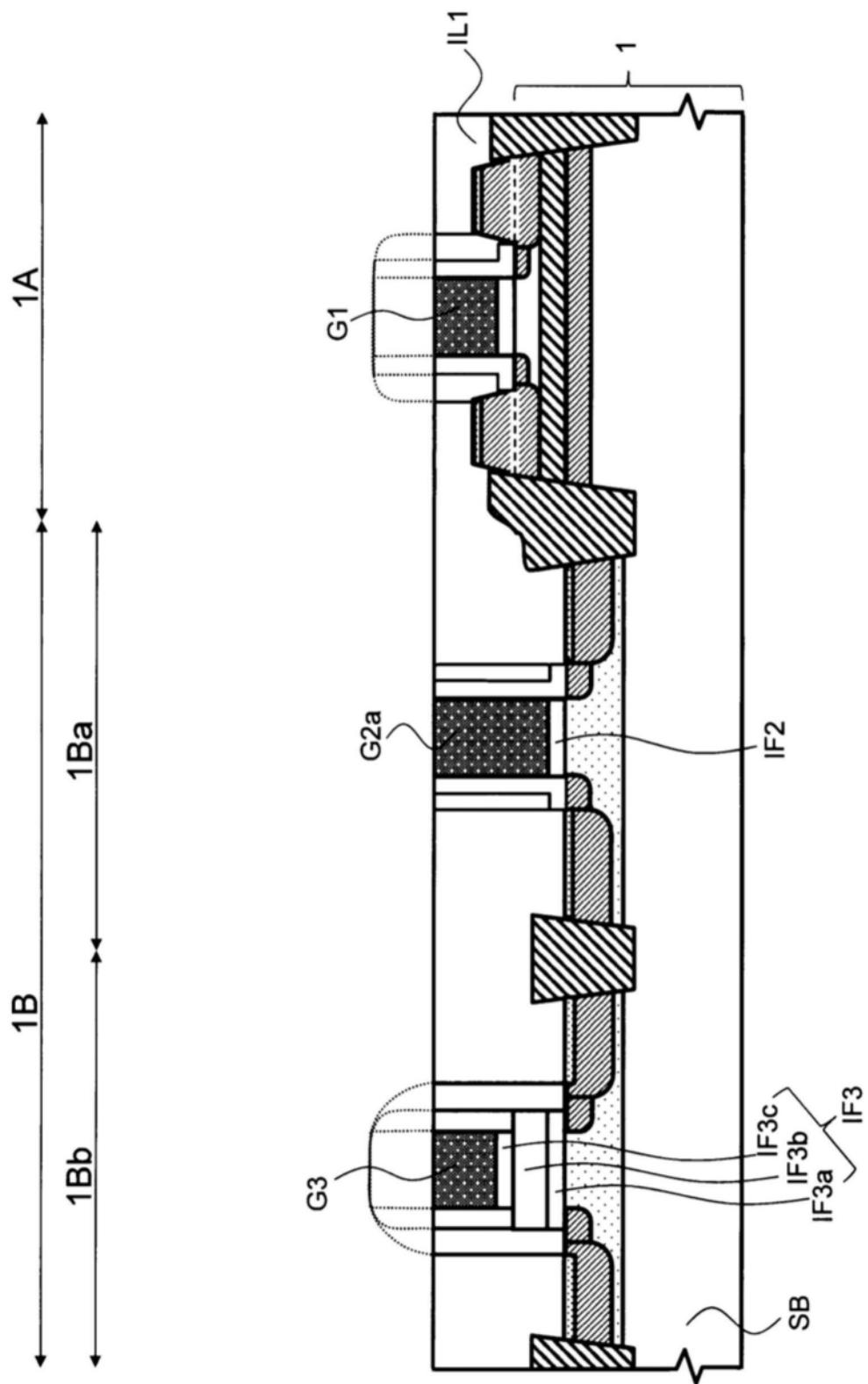


图17

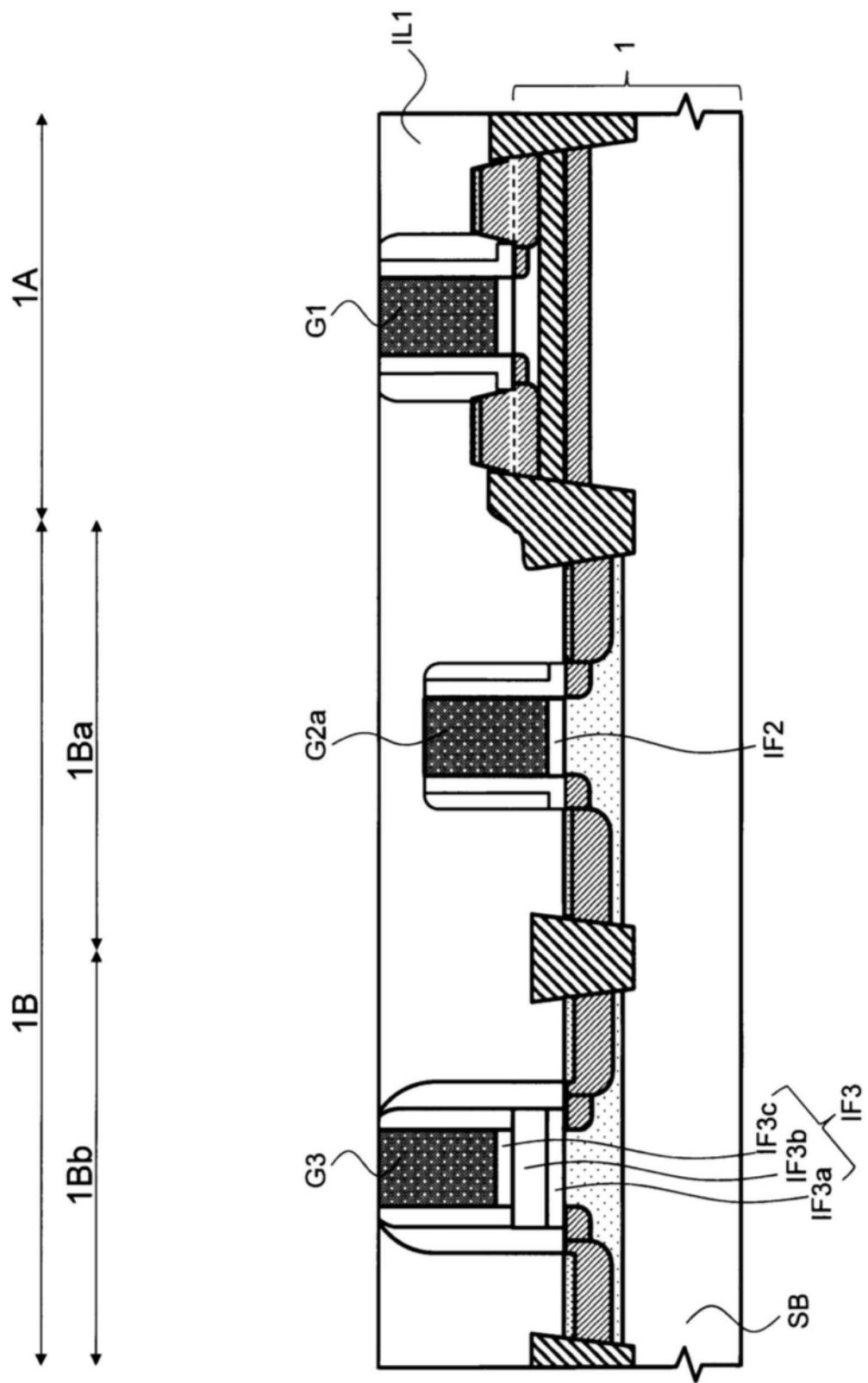


图18

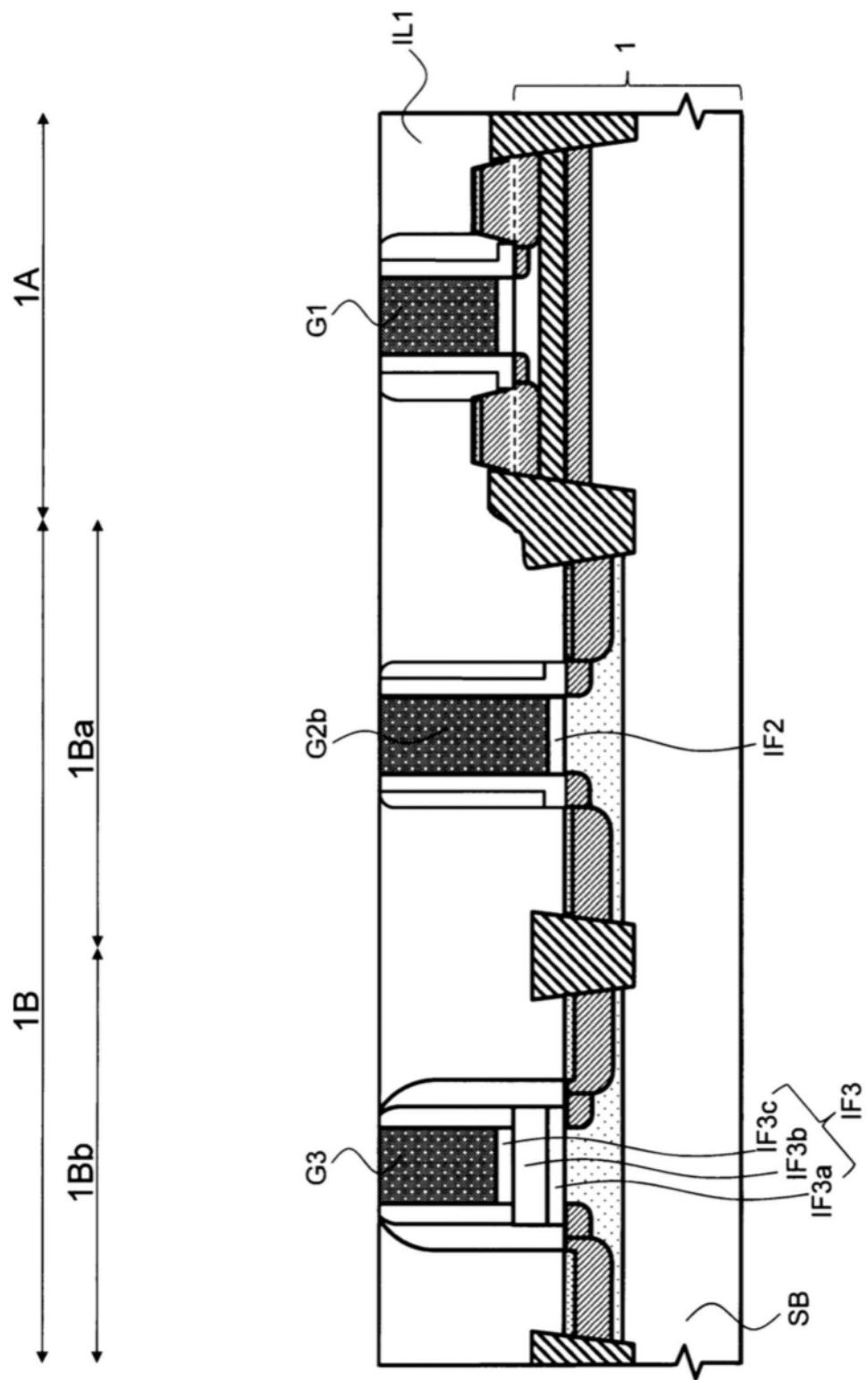


图19

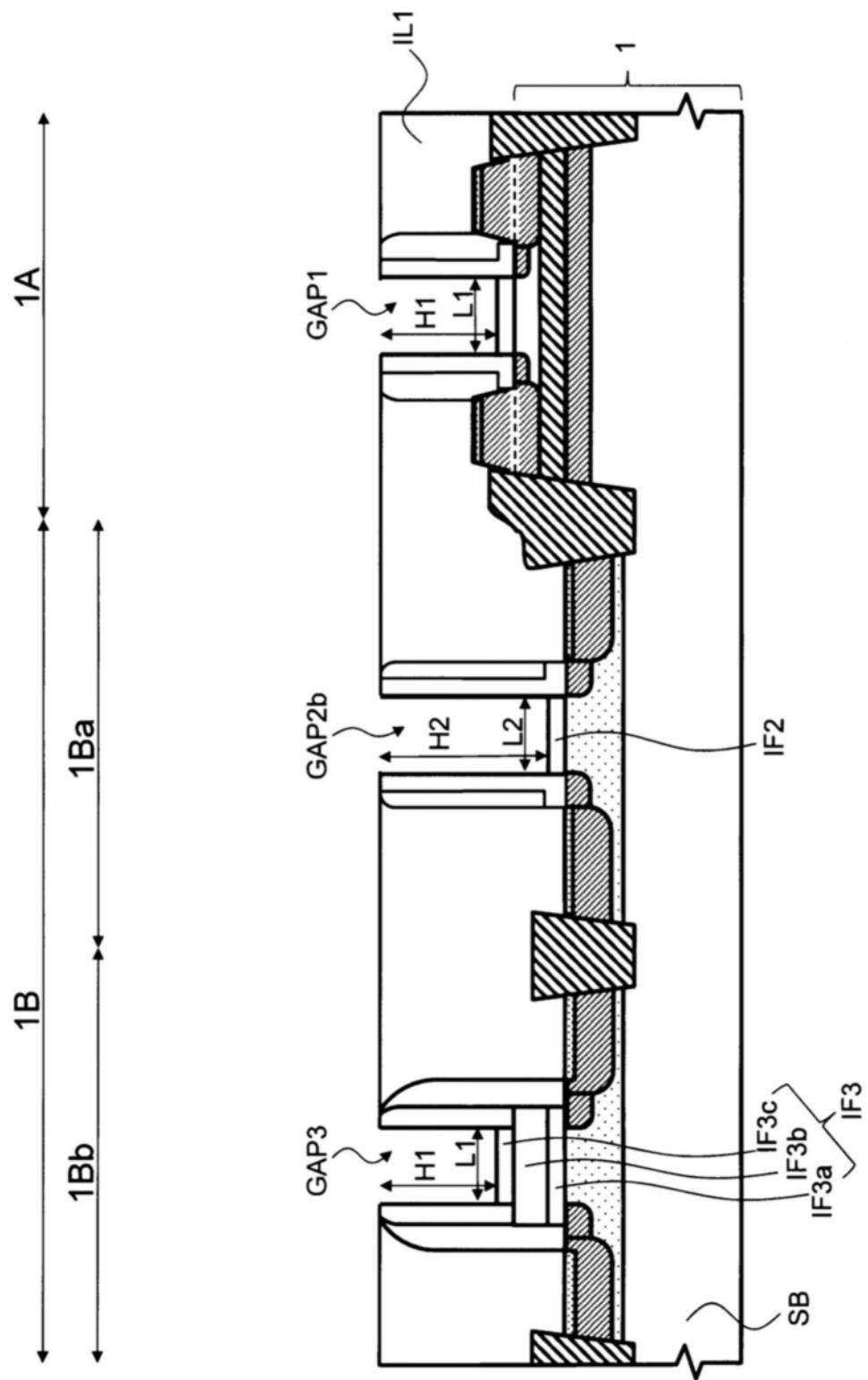


图20

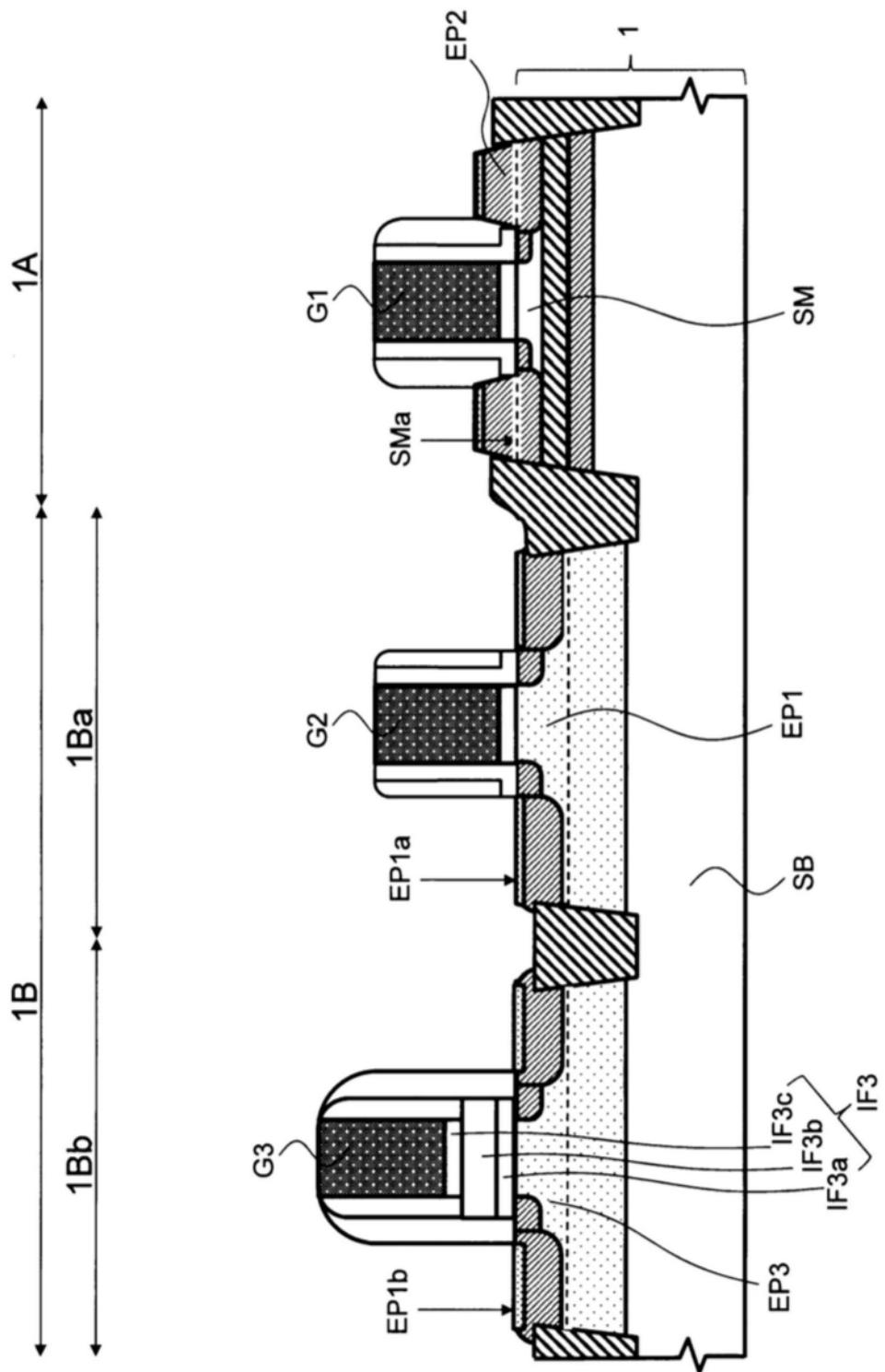


图21

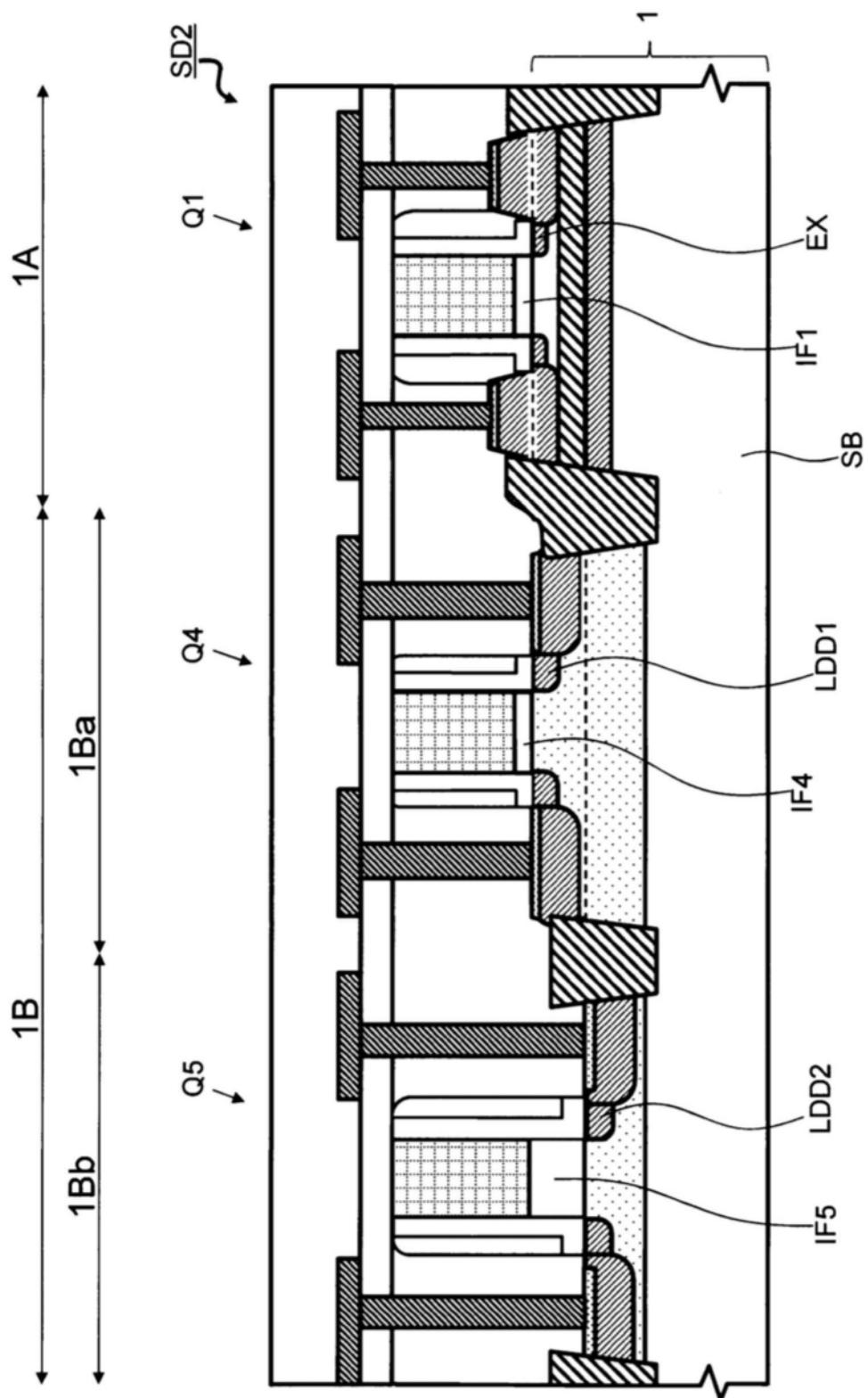


图22

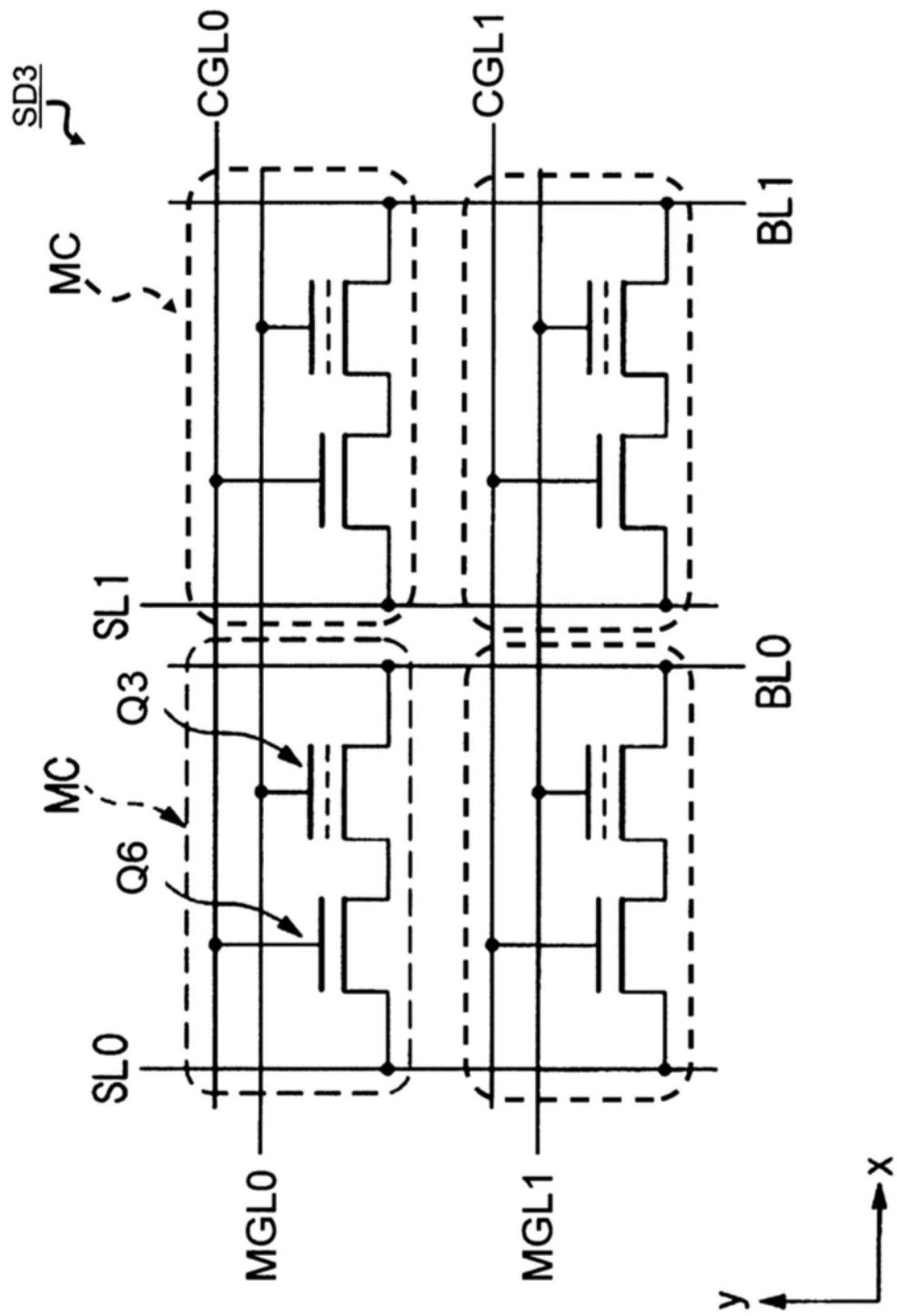


图23

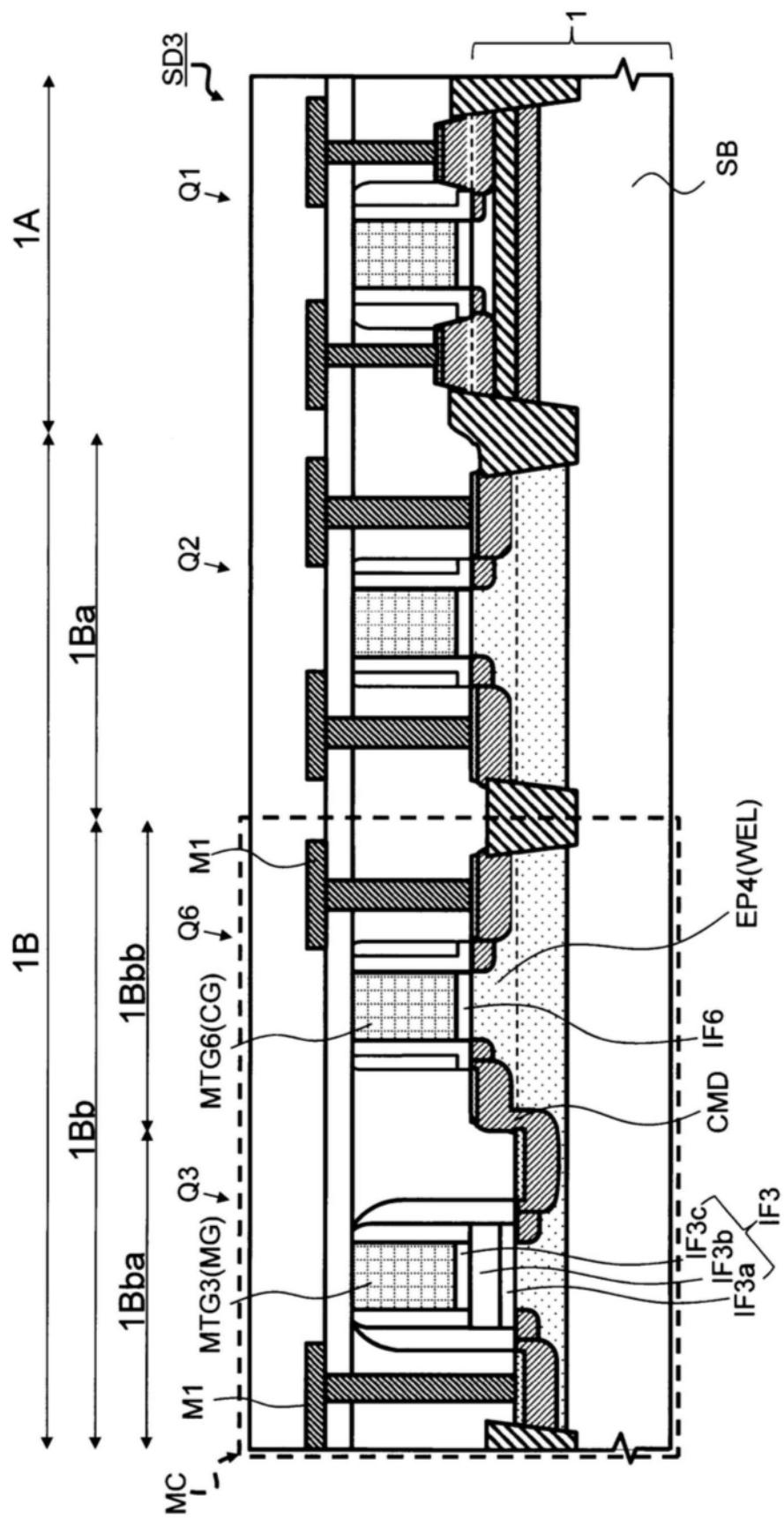


图24