

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 22 年 7 月 1 日 (2010.7.1)

【公表番号】特表 2009-545834 (P2009-545834A)  
 【公表日】平成 21 年 12 月 24 日 (2009.12.24)  
 【年通号数】公開・登録公報 2009-051  
 【出願番号】特願 2009-522905 (P2009-522905)  
 【国際特許分類】

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/41 (2006.01)

【F I】

G 1 1 C 11/34 3 3 5 A

G 1 1 C 11/40 C

【手続補正書】  
 【提出日】平成 22 年 5 月 7 日 (2010.5.7)  
 【手続補正 1】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

メモリ回路であって、

第 1 のラインの複数のメモリセル及び第 2 のラインの複数のメモリセルを備えるメモリアレイと、

第 1 の電源端子と、

第 1 の静電容量構造と、

前記第 1 のラインの複数のメモリセルに接続された第 1 の電源ラインと、

前記第 2 のラインの複数のメモリセルに接続された第 2 の電源ラインと、

前記第 2 のラインの複数のメモリセルが書き込みのために選択されるとき、前記第 1 の電源端子を前記第 1 の電源ラインに接続し、前記第 1 の電源端子を前記第 2 のラインの複数のメモリセルから遮断し、かつ前記第 2 の電源ラインを前記第 1 の静電容量構造に接続するトランジスタを有するスイッチング回路とを備えるメモリ回路。

【請求項 2】

第 1 のラインの複数のメモリセル及び第 2 のラインの複数のメモリセルを備えるメモリアレイと、第 1 の電源端子と、第 1 の静電容量構造と、前記第 1 のラインの複数のメモリセルに接続された第 1 の電源ラインと、前記第 2 のラインの複数のメモリセルに接続された第 2 の電源ラインとを備えるメモリを提供する工程と、

前記第 2 のラインの複数のメモリセルを書き込みのために選択する工程と、

前記第 1 の電源端子を前記第 1 の電源ラインに接続する工程と、

前記第 1 の電源端子を前記第 2 のラインの複数のメモリセルから遮断する工程と、

前記第 2 の電源ラインからの電荷を前記第 1 の静電容量構造に接続する工程と、

前記第 2 のラインの複数のメモリセルの 1 つのメモリセルに書き込む工程とを備える方法。

【請求項 3】

メモリ回路であって、

第 1 のラインの複数のメモリセル及び第 2 のラインの複数のメモリセルを備えるメモリアレイと、

電源端子と、  
静電容量構造と、  
前記第 1 のラインの複数のメモリセルに接続された第 1 の電源ラインと、  
前記第 2 のラインの複数のメモリセルに接続された第 2 の電源ラインと、  
前記第 2 のラインの複数のメモリセルに対する書き込み動作の前に、前記静電容量構造を所定の電圧までプリチャージするためのプリチャージ手段と、  
前記第 2 のラインの複数のメモリセルに対する書き込み動作中に、前記電源端子を前記第 1 の電源ラインに接続するための第 1 の接続手段と、  
前記第 2 のラインの複数のメモリセルに対する書き込み動作中に、前記第 1 の電源ラインを前記第 2 のラインの複数のメモリセルから遮断するための遮断手段と、  
前記第 2 のラインの複数のメモリセルに対する書き込み動作中に、前記第 2 の電源ラインを第 1 の静電容量構造に接続するための第 2 の接続手段とを備えるメモリ回路。