

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成22年7月1日(2010.7.1)

【公表番号】特表2009-545834(P2009-545834A)

【公表日】平成21年12月24日(2009.12.24)

【年通号数】公開・登録公報2009-051

【出願番号】特願2009-522905(P2009-522905)

【国際特許分類】

G 11 C 11/413 (2006.01)

G 11 C 11/41 (2006.01)

【F I】

G 11 C 11/34 3 3 5 A

G 11 C 11/40 C

【手続補正書】

【提出日】平成22年5月7日(2010.5.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリ回路であって、

第1のラインの複数のメモリセル及び第2のラインの複数のメモリセルを備えるメモリアレイと、

第1の電源端子と、

第1の静電容量構造と、

前記第1のラインの複数のメモリセルに接続された第1の電源ラインと、

前記第2のラインの複数のメモリセルに接続された第2の電源ラインと、

前記第2のラインの複数のメモリセルが書き込みのために選択されるとき、前記第1の電源端子を前記第1の電源ラインに接続し、前記第1の電源端子を前記第2のラインの複数のメモリセルから遮断し、かつ前記第2の電源ラインを前記第1の静電容量構造に接続するトランジスタを有するスイッチング回路とを備えるメモリ回路。_____

【請求項2】

第1のラインの複数のメモリセル及び第2のラインの複数のメモリセルを備えるメモリアレイと、第1の電源端子と、第1の静電容量構造と、前記第1のラインの複数のメモリセルに接続された第1の電源ラインと、前記第2のラインの複数のメモリセルに接続された第2の電源ラインとを備えるメモリを提供する工程と、

前記第2のラインの複数のメモリセルを書き込みのために選択する工程と、

前記第1の電源端子を前記第1の電源ラインに接続する工程と、

前記第1の電源端子を前記第2のラインの複数のメモリセルから遮断する工程と、

前記第2の電源ラインからの電荷を前記第1の静電容量構造に接続する工程と、

前記第2のラインの複数のメモリセルの1つのメモリセルに書き込む工程とを備える方法。_____

【請求項3】

メモリ回路であって、

第1のラインの複数のメモリセル及び第2のラインの複数のメモリセルを備えるメモリアレイと、

電源端子と、
静電容量構造と、
前記第1のラインの複数のメモリセルに接続された第1の電源ラインと、
前記第2のラインの複数のメモリセルに接続された第2の電源ラインと、
前記第2のラインの複数のメモリセルに対する書き込み動作の前に、前記静電容量構造
を所定の電圧までプリチャージするためのプリチャージ手段と、
前記第2のラインの複数のメモリセルに対する書き込み動作中に、前記電源端子を前記
第1の電源ラインに接続するための第1の接続手段と、
前記第2のラインの複数のメモリセルに対する書き込み動作中に、前記第1の電源ライ
ンを前記第2のラインの複数のメモリセルから遮断するための遮断手段と、
前記第2のラインの複数のメモリセルに対する書き込み動作中に、前記第2の電源ライ
ンを第1の静電容量構造に接続するための第2の接続手段とを備えるメモリ回路。_____