



(12) 发明专利申请

(10) 申请公布号 CN 118843942 A

(43) 申请公布日 2024. 10. 25

(21) 申请号 202380026624.8

(22) 申请日 2023.01.13

(30) 优先权数据

2022-039009 2022.03.14 JP

(85) PCT国际申请进入国家阶段日

2024.09.10

(86) PCT国际申请的申请数据

PCT/JP2023/000741 2023.01.13

(87) PCT国际申请的公布数据

W02023/176118 JA 2023.09.21

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 长田贤树

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 许静 范胜杰

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

H01L 29/41 (2006.01)

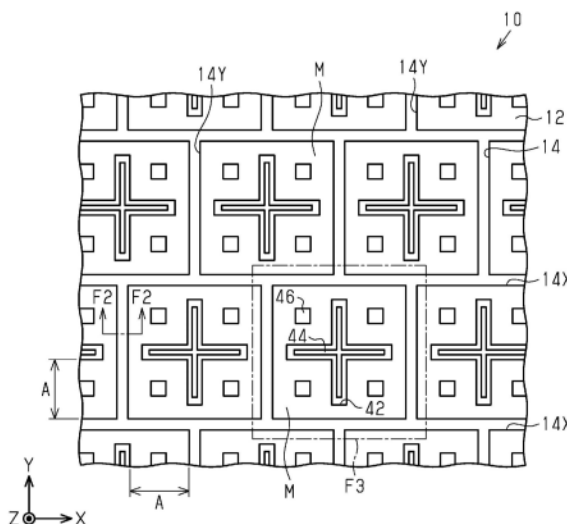
权利要求书2页 说明书12页 附图10页

(54) 发明名称

半导体装置

(57) 摘要

一种半导体装置(10),具有:半导体层(12);栅极沟槽(14),其形成于半导体层(12),并且在俯视图中配置成网格状;场板沟槽(42),其形成于半导体层(12),在俯视图中被栅极沟槽(14)包围,并且与栅极沟槽(14)分离;绝缘层,其形成于半导体层(12)上;栅极电极,其配置于栅极沟槽(14)内;第一场板电极,其在栅极沟槽(14)内配置于栅极电极的底面的下方;第二场板电极,其配置于场板沟槽(42)内;源极电极,其形成于绝缘层上。第一场板电极以及第二场板电极与源极电极电连接。



1. 一种半导体装置,具有:
  - 半导体层;
  - 栅极沟槽,其形成于所述半导体层,并且在俯视图中配置成网格状;
  - 场板沟槽,其形成于所述半导体层,在俯视图中被所述栅极沟槽包围,并且与所述栅极沟槽分离;
  - 绝缘层,其形成于所述半导体层上;
  - 栅极电极,其配置于所述栅极沟槽内,并包含被所述绝缘层覆盖的上表面以及与所述上表面相反侧的底面;
  - 第一场板电极,其在所述栅极沟槽内配置于所述栅极电极的所述底面的下方;
  - 第二场板电极,其配置于所述场板沟槽内,并包含被所述绝缘层覆盖的上表面;以及
  - 源极电极,其形成于所述绝缘层上,所述第一场板电极以及所述第二场板电极与所述源极电极电连接。
2. 根据权利要求1所述的半导体装置,其中,
  - 所述半导体装置还具有:第一接触插塞,其构成为将所述第二场板电极与所述源极电极耦合,
  - 所述第一接触插塞贯穿所述第二场板电极的所述上表面与所述源极电极之间的所述绝缘层而延伸。
3. 根据权利要求2所述的半导体装置,其中,
  - 所述第一接触插塞配置为在俯视图中与所述场板沟槽重叠。
4. 根据权利要求1~3中任一项所述的半导体装置,其中,
  - 所述场板沟槽在俯视图中形成为十字状。
5. 根据权利要求1~3中任一项所述的半导体装置,其中,
  - 所述场板沟槽在俯视图中形成为矩形状。
6. 根据权利要求1~3中任一项所述的半导体装置,其中,
  - 所述场板沟槽包含:第一沟槽,其在俯视图中沿第一方向延展;第二沟槽及第三沟槽,其在俯视图中沿与所述第一方向正交的第二方向延展,并且与所述第一沟槽分离,
  - 所述第一沟槽在俯视图中在所述第二沟槽与所述第三沟槽之间延伸。
7. 根据权利要求1~6中任一项所述的半导体装置,其中,
  - 所述半导体层包含:第二导电型的漂移区;第一导电型的体区,其形成在所述漂移区上;第二导电型的源极区,其形成在所述体区上,
  - 所述栅极沟槽以及所述场板沟槽贯穿所述源极区以及所述体区而延伸至所述漂移区。
8. 根据权利要求1~7中任一项所述的半导体装置,其中,
  - 所述半导体装置还具有:第二接触插塞,其构成为将所述半导体层与所述源极电极耦合,
  - 所述第二接触插塞贯穿所述半导体层与所述源极电极之间的所述绝缘层而延伸。
9. 根据权利要求8所述的半导体装置,其中,
  - 所述半导体层包含第一导电型的接触区,所述接触区与所述第二接触插塞相接。
10. 根据权利要求8或9所述的半导体装置,其中,
  - 所述第二接触插塞配置于在俯视图中所述栅极沟槽与所述场板沟槽之间。

11. 根据权利要求2~10中任一项所述的半导体装置,其中,  
所述第二场板电极包含与所述上表面相反侧的底面,  
所述半导体装置还具有:第三场板电极,其在所述场板沟槽内配置于所述第二场板电极的所述底面的下方。

12. 根据权利要求11所述的半导体装置,其中,  
所述第一接触插塞还构成为将所述第三场板电极与所述源极电极耦合,并贯穿所述第二场板电极而延伸。

13. 根据权利要求1~12中任一项所述的半导体装置,其中,  
所述半导体层包含:由所述栅极沟槽包围的多个单位网格区,  
所述多个单位网格区分别在俯视图中为矩形状。

14. 根据权利要求1~12中任一项所述的半导体装置,其中,  
所述半导体层包含:由所述栅极沟槽包围的多个单位网格区,  
所述多个单位网格区分别在俯视图中为正形状。

15. 根据权利要求13或14所述的半导体装置,其中,  
所述场板沟槽是分别配置于所述多个单位网格区的多个场板沟槽中的一个。

## 半导体装置

### 技术领域

[0001] 本公开涉及半导体装置。

### 背景技术

[0002] 专利文献1公开了具有沟槽栅极构造的MISFET。该沟槽栅极构造包含：栅极沟槽、绝缘层、底侧电极以及开口侧电极。在专利文献1中记载了如下内容：对底侧电极施加基准电压并且对开口侧电极施加栅极电压，由此，能够抑制MISFET的耐压降低并且提高开关速度。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1：日本特开2020-072158号公报

### 发明内容

[0006] 发明要解决的课题

[0007] 在具有沟槽栅极构造的MISFET中，要求抑制栅极漏极间寄生电容以及栅极源极间寄生电容的增加并且进一步提高耐压的技术。

[0008] 用于解决课题的手段

[0009] 本公开的一方式的半导体装置，具有：半导体层；栅极沟槽，其形成于所述半导体层，并且在俯视图中配置成网格状；场板沟槽，其形成于所述半导体层，在俯视图中被所述栅极沟槽包围，并且与所述栅极沟槽分离；绝缘层，其形成于所述半导体层上；栅极电极，其配置于所述栅极沟槽内，并包含被所述绝缘层覆盖的上表面以及与所述上表面相反侧的底面；第一场板电极，其在所述栅极沟槽内配置于所述栅极电极的所述底面的下方；第二场板电极，其配置于所述场板沟槽内，并包含被所述绝缘层覆盖的上表面；以及源极电极，其形成于所述绝缘层上，所述第一场板电极以及所述第二场板电极与所述源极电极电连接。

[0010] 发明效果

[0011] 根据本公开的半导体装置，能够抑制栅极漏极间寄生电容以及栅极源极间寄生电容的增加，并且提高耐压。

### 附图说明

[0012] 图1是一实施方式的示例性的半导体装置的概略俯视图。

[0013] 图2是沿着图1的F2-F2线的栅极沟槽的概略剖视图。

[0014] 图3是图1的半导体器件的放大俯视图。

[0015] 图4是沿着图3的F4-F4线的场板沟槽的概略剖视图。

[0016] 图5是比较例的半导体装置的概略俯视图。

[0017] 图6是第一变更例的半导体装置的场板沟槽的概略剖视图。

[0018] 图7是第二变更例的示例性的半导体装置的概略俯视图。

[0019] 图8是第三变更例的示例性的半导体装置的概略俯视图。

[0020] 图9是图8的半导体器件的放大俯视图。

[0021] 图10是第四变更例的示例性的半导体装置的概略俯视图。

### 具体实施方式

[0022] 以下,参照附图对本公开的半导体装置的几个实施方式进行说明。此外,为了使说明简单且明确,附图所示的构成要素不一定以固定的比例尺进行描绘。另外,为了容易理解,在剖视图中有时省略了阴影线。附图仅对本公开的实施方式进行示例,不应视为对本公开进行限制。

[0023] 以下的详细记载包含使本公开的示例性的实施方式具体化的装置、系统和方法。该详细记载仅是用于说明的,并不意味着限定本公开的实施方式或者这样的实施方式的应用以及使用。

[0024] (栅极沟槽的网格状配置)

[0025] 图1是一实施方式的示例性的半导体装置10的概略俯视图。此外,在本公开中使用的“俯视图”这样的用语是指:在图1所示的相互正交的XYZ轴的Z轴方向上观察半导体装置10。除非明确地有其他记载,否则“俯视图”是指沿着Z轴从上方观察半导体装置10。

[0026] 半导体装置10例如是具有沟槽栅极构造的金属-绝缘体-半导体场效应晶体管(Metal Insulator Semiconductor Field Effect Transistor, MISFET)。半导体装置10包含:半导体层12、形成于半导体层12的栅极沟槽14。图1表示半导体装置10的有源区。半导体层12在一例中可以由硅(Si)形成。半导体层12包含:与图1所示的Z轴正交的第一面12A、以及与第一面12A相反侧的第二面12B(参照图2)。

[0027] 栅极沟槽14形成于半导体层12,并且在俯视图中配置为网格状。栅极沟槽14包含:在俯视图中沿X轴方向延伸并且在Y轴方向上具有宽度的横向栅极沟槽部分14X、在俯视图中沿Y轴方向延伸并且在X轴方向上具有宽度的纵向栅极沟槽部分14Y。多个横向栅极沟槽部分14X与多个纵向栅极沟槽部分14Y相互连通,由此,栅极沟槽14可以具有图1所示那样的网格状的图案。此外,在本说明书中,也将Y轴方向称为第一方向,将X轴方向称为第二方向。因此,第二方向与第一方向正交。

[0028] 半导体层12可以包含:由在俯视图中配置成网格状的栅极沟槽14包围的多个单位网格区M。在一例中,多个单位网格区M的每一个在俯视图中可以为正方形。在图1的例子中,多个单位网格区M在X轴方向上排列,但在Y轴方向上交替地偏移配置。结果,横向栅极沟槽部分14X和纵向栅极沟槽部分14Y不交叉成十字状而是形成T字路。这样的网格配置在半导体装置10的制造工艺上是有利的。在其他例中,多个单位网格区M也可以在X轴方向及Y轴方向这两个方向上排列。

[0029] (栅极沟槽的详细情况)

[0030] 参照图2,对半导体装置10的栅极沟槽14的详细情况进行说明。图2是图1的半导体装置10的沿着F2-F2线的概略剖视图。在图2中,表示了纵向栅极沟槽部分14Y的沿着宽度方向(X轴方向)的截面。此外,虽然省略了图示,但应当理解,横向栅极沟槽部分14X的沿着宽度方向(Y轴方向)的截面除了在XY平面内旋转90°以外,与图2一样。

[0031] 半导体层12可以包含:半导体基板16,其包含半导体层12的第一面12A;外延层18,

其形成在半导体基板16上并且包含半导体层12的第二面12B。半导体基板16可以是Si基板。半导体基板16对应于MISFET的漏极区。外延层18可以是在Si基板上外延生长的Si层。外延层18可以包含：漂移区20、形成在漂移区20上的体区22、形成在体区22上的源极区24。源极区24可以包含半导体层12的第二面12B。

[0032] 漏极区(半导体基板16)可以是包含n型杂质的n型区。漏极区(半导体基板16)的n型杂质浓度可以设为 $1 \times 10^{18} \text{ cm}^{-3}$ 以上且 $1 \times 10^{20} \text{ cm}^{-3}$ 以下。漏极区(半导体基板16)可以具有 $50 \mu\text{m}$ 以上且 $450 \mu\text{m}$ 以下的厚度。

[0033] 漂移区20可以是包含比漏极区(半导体基板16)低的浓度的n型杂质的n型区。漂移区20的n型杂质浓度可以设为 $1 \times 10^{15} \text{ cm}^{-3}$ 以上且 $1 \times 10^{18} \text{ cm}^{-3}$ 以下。漂移区20可以具有 $1 \mu\text{m}$ 以上且 $25 \mu\text{m}$ 以下的厚度。

[0034] 体区22可以是包含p型杂质的p型区。体区22的p型杂质浓度可以设为 $1 \times 10^{16} \text{ cm}^{-3}$ 以上且 $1 \times 10^{18} \text{ cm}^{-3}$ 以下。体区22可以具有 $0.2 \mu\text{m}$ 以上且 $1.0 \mu\text{m}$ 以下的厚度。

[0035] 源极区24可以是包含比漂移区20高的浓度的n型杂质的n型区。源极区24的n型杂质浓度可以设为 $1 \times 10^{19} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下。源极区24可以具有 $0.1 \mu\text{m}$ 以上且 $1 \mu\text{m}$ 以下的厚度。

[0036] 此外,在本公开中,也将n型称为第一导电型,将p型称为第二导电型。n型杂质例如可以是磷(P)、砷(As)等。另外,p型杂质例如可以是硼(B)、铝(Al)等。

[0037] 栅极沟槽14在半导体层12的第二面12B具有开口,并且在Z轴方向上具有深度。栅极沟槽14贯穿半导体层12的源极区24以及体区22而延伸至漂移区20。栅极沟槽14具有侧壁14A和底壁14B,底壁14B与漂移区20相邻。栅极沟槽14的深度可以为 $1 \mu\text{m}$ 以上且 $10 \mu\text{m}$ 以下。

[0038] 栅极沟槽14的侧壁14A可以在与半导体层12的第二面12B垂直的方向(Z轴方向)上延伸,也可以倾斜。在一例中,侧壁14A可以以栅极沟槽14的宽度朝向底壁14B变小的方式相对于Z轴方向倾斜。另外,栅极沟槽14的底壁14B可以未必是平坦的,例如,其一部分或整体可以弯曲。

[0039] 半导体装置10还包含:形成在半导体层12上的绝缘层26。在一例中,绝缘层26可以由氧化硅膜( $\text{SiO}_2$ )形成。绝缘层26可以追加或代替地包含由与 $\text{SiO}_2$ 不同的绝缘材料例如氮化硅(SiN)等形成的层。

[0040] 半导体装置10还包含:配置在栅极沟槽14内的栅极电极28以及第一场板电极30。栅极电极28可以是构成为被施加栅极电压的电极,第一场板电极30可以是构成为被施加基准电压(或源极电压)的电极。在本说明书中,将配置有栅极电极28的沟槽称为栅极沟槽14。

[0041] 栅极电极28包含:被绝缘层26覆盖的上表面28A、以及与上表面28A相反侧的底面28B。第一场板电极30在栅极沟槽14内配置于栅极电极28的底面28B的下方(栅极电极28的底面28B与栅极沟槽14的底壁14B之间)。栅极电极28的底面28B的至少一部分隔着绝缘层26与第一场板电极30对置。

[0042] 栅极电极28的上表面28A可以位于比半导体层12的第二面12B靠下方的位置。栅极电极28的上表面28A及底面28B可以是平坦的,也可以弯曲。另外,栅极电极28可以不依赖于Z轴方向的位置而具有一样的宽度,也可以不具有。例如,包含栅极电极28的底面28B的底部可以具有比其他部分小的宽度。

[0043] 第一场板电极30周围由绝缘层26(后述的下侧绝缘部34)包围。第一场板电极30可

以具有比栅极电极28小的宽度。第一场板电极30具有比较小的宽度,由此,包围第一场板电极30的绝缘层26(下侧绝缘部34)的厚度变得比较大。由此,能够缓和栅极沟槽14内的电场集中。

[0044] 栅极电极28可以位于漂移区20与体区22的界面在Z轴方向上不比栅极电极28的底面28B靠下方的位置。漂移区20与体区22的界面可以在Z轴方向上与栅极电极28的底面28B的位置对齐,也可以位于比底面28B的位置靠上方的位置。

[0045] 在一例中,栅极电极28以及第一场板电极30可以由导电性多晶硅形成。

[0046] 绝缘层26可以包含:介于栅极电极28与半导体层12之间且覆盖栅极沟槽14的侧壁14A的栅极绝缘部32。栅极电极28和半导体层12通过栅极绝缘部32相互分离。当对栅极电极28施加规定电压时,在与栅极绝缘部32邻接的p型的体区22内形成沟道。半导体装置10可以实现:经由该沟道的n型的源极区24与n型的漂移区20之间的Z轴方向的电子流的控制。

[0047] 绝缘层26可以还包含:在第一场板电极30与半导体层12之间覆盖栅极沟槽14的侧壁14A以及底壁14B的下侧绝缘部34。下侧绝缘部34可以在栅极沟槽14的侧壁14A上形成得比栅极绝缘部32厚。绝缘层26还可以包含:位于第一场板电极30的上表面30A与栅极电极28的底面28B之间的中间绝缘部36。

[0048] 半导体装置10还包含:形成在绝缘层26上的源极电极38。在半导体装置10中,未在半导体层12的源极区24上直接形成源极电极38,而在绝缘层26上形成源极电极38,因此,具有不易产生源极区24的电压变动的的影响这样的优点。

[0049] 第一场板电极30可以在未图示的区域(例如,包围图1所示的有源区的外周区域)与源极电极38耦合。因此,第一场板电极30与源极电极38电连接。源极电极38可以由钛(Ti)、镍(Ni)、金(Au)、银(Ag)、铜(Cu)、铝(Al)、Cu合金和Al合金中的至少一个形成。

[0050] 半导体装置10可以还包含:形成于半导体层12的第一面12A的漏极电极40。漏极电极40与漏极区(半导体基板16)邻接且电连接。漏极电极40可以由Ti、Ni、Au、Ag、Cu、Al、Cu合金和Al合金中的至少一个形成。

[0051] (配置于单位网格区的构成要素)

[0052] 接下来,参照图3对配置于图1所示的单位网格区M的构成要素进行说明。图3是图1所示的半导体装置10的放大俯视图。图3表示包含被栅极沟槽14包围的一个单位网格区M的、在图1中用单点划线包围的区域F3。此外,以下说明也可以同样地应用于其他单位网格区M。

[0053] 半导体装置10还包含:形成于半导体层12的场板沟槽42。场板沟槽42可以是分别配置于半导体层12所包含的多个单位网格区M的多个场板沟槽42中的一个。场板沟槽42在俯视图中被栅极沟槽14包围并且与栅极沟槽14分离。即,场板沟槽42不与栅极沟槽14连通。在一例中,在单位网格区M中,场板沟槽42在俯视图中可以形成为十字状。在图1的例子中,场板沟槽42包含:在俯视图中沿X轴方向延伸并且在Y轴方向上具有宽度的横向场板沟槽部分42X、在俯视图中沿Y轴方向延伸并且在X轴方向上具有宽度的纵向场板沟槽部分42Y。横向场板沟槽部分42X和纵向场板沟槽部分42Y在单位网格区M的中心附近交叉,由此,可以具有场板沟槽42、图3所示那样的十字状的图案。

[0054] 如上所述,栅极沟槽14包含:沿Y轴方向延伸的纵向栅极沟槽部分14Y。场板沟槽42在俯视图中被栅极沟槽14包围,因此,纵向场板沟槽部分42Y与纵向栅极沟槽部分14Y在X轴

方向上交替地排列。换言之,栅极沟槽14及场板沟槽42的双方包含沿Y轴方向延伸的部分,这些部分在与Y轴方向正交的X轴方向上交替地排列。

[0055] 另外,如上所述,栅极沟槽14包含:沿X轴方向延伸的横向栅极沟槽部分14X。场板沟槽42在俯视图中被栅极沟槽14包围,因此,横向场板沟槽部分42X与横向栅极沟槽部分14X在Y轴方向上交替地排列。换言之,栅极沟槽14及场板沟槽42的双方包含沿X轴方向延伸的部分,这些部分在与X轴方向正交的Y轴方向上交替地排列。

[0056] 半导体装置10可以还包含第一接触插塞44及第二接触插塞46。第一接触插塞44在俯视图中以与场板沟槽42重叠的方式配置。在一例中,第一接触插塞44在俯视图中可以配置在场板沟槽42内。第二接触插塞46在俯视图中配置在栅极沟槽14与场板沟槽42之间。

[0057] 在图1的例子中,第一接触插塞44可以与场板沟槽42一样,在俯视图下形成为十字状。第一接触插塞44的形状及配置不限于图1的例子,也可以是其他形状或配置。例如,在俯视图中也可以在十字状的场板沟槽42上配置矩形状的1个或多个第一接触插塞44。

[0058] 在图1的例子中,4个第二接触插塞46相对于单位网格区M的中心点对称地配置。第二接触插塞46的每一个在俯视图中可以为正方形。第二接触插塞46的形状及配置不限于图1的例子,也可以是其他形状或配置。例如,第二接触插塞46也可以配置在比图1的例子情况靠近场板沟槽42的位置。

[0059] 第一接触插塞44及第二接触插塞46各自可以由任意的金属材料形成。在一例中,各接触插塞44、46可以由钨(W)、Ti及氮化钛(TiN)中的至少1个形成。

[0060] (场板沟槽的详细情况)

[0061] 参照图4,对半导体装置10的场板沟槽42进行说明。图4是图3的半导体装置10的沿着F4-F4线的概略剖视图。在图4中,表示了纵向场板沟槽部分42Y的沿着宽度方向(X轴方向)的截面。此外,虽然省略了图示,但应当理解,横向场板沟槽部分42X的沿着宽度方向(Y轴方向)的截面除了在XY平面内旋转90°以外,与图4一样。图4所示的截面还表示2个第二接触插塞46。

[0062] 关于形成场板沟槽42的半导体层12的说明,与参照图2的上述说明一样。半导体层12可以还包含与第二接触插塞46的底部邻接地配置的接触区48。

[0063] 接触区48可以是包含p型杂质的p型区。接触区48的p型杂质浓度比体区22高,可以设为 $1 \times 10^{19} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下。

[0064] 场板沟槽42在半导体层12的第二面12B具有开口,并且在Z轴方向上具有深度。场板沟槽42贯穿半导体层12的源极区24以及体区22而延伸至漂移区20。场板沟槽42具有侧壁42A以及底壁42B,底壁42B与漂移区20邻接。场板沟槽42的深度可以为 $1 \mu\text{m}$ 以上且 $10 \mu\text{m}$ 以下。

[0065] 场板沟槽42的侧壁42A可以沿与半导体层12的第二面12B垂直的方向(Z轴方向)延伸,也可以不延伸。在一例中,侧壁42A可以以场板沟槽42的宽度朝向底壁42B变小的方式相对于Z轴方向倾斜。另外,场板沟槽42的底壁42B可以未必是平坦的,例如,其一部分或者整体也可以弯曲。

[0066] 场板沟槽42的宽度可以与栅极沟槽14的宽度相等,或者也可以不同。另外,场板沟槽42的深度可以与栅极沟槽14的深度相等,或者也可以不同。例如,可以是场板沟槽42的宽度比栅极沟槽14的宽度大,且场板沟槽42的深度比栅极沟槽14的深度大。

[0067] 半导体装置10还包含:配置在场板沟槽42内的第二场板电极50。第二场板电极50

可以是构成被施加基准电压(或源极电压)的电极。在本说明书中,将配置有第二场板电极50的沟槽称为场板沟槽42。场板沟槽42可以说是没有配置栅极电极28(参照图2)的沟槽。

[0068] 第二场板电极50包含:被绝缘层26覆盖的上表面50A、以及与上表面50A相反侧的底面50B。第二场板电极50的上表面50A可以位于比半导体层12的第二面12B靠下方的位置。第二场板电极50周围由绝缘层26包围。

[0069] 第二场板电极50的上表面50A以及底面50B可以是平坦的,也可以弯曲。另外,第二场板电极50可以不依赖于Z轴方向的位置而具有一样的宽度,也可以不具有。例如,第二场板电极50可以具有越接近场板沟槽42的底壁42B越小的宽度。另外,第二场板电极50可以具有比栅极电极28(参照图2)小的宽度。在一例中,第二场板电极50可以由导电性多晶硅形成。

[0070] 第一接触插塞44构成为将第二场板电极50与源极电极38耦合。第一接触插塞44贯穿第二场板电极50的上表面50A与源极电极38之间的绝缘层26而延伸。因此,第二场板电极50与源极电极38电连接。在一例中,第一接触插塞44可以具有比第二场板电极50小的宽度。

[0071] 第二接触插塞46构成为将半导体层12与源极电极38耦合。第二接触插塞46与形成在半导体层12内的接触区48相接。第二接触插塞46可以将接触区48与源极电极38电连接。第二接触插塞46贯穿半导体层12与源极电极38之间的绝缘层26而延伸。第二接触插塞46在半导体层12中贯穿源极区24而延伸至体区22。

[0072] (作用)

[0073] 以下,对本实施方式的半导体装置10的作用进行说明。

[0074] 本实施方式的半导体装置10包含在俯视图中配置为网格状的栅极沟槽14、在俯视图中被栅极沟槽14包围并且与栅极沟槽14分离的场板沟槽42。在栅极沟槽14内配置有栅极电极28以及第一场板电极30。另一方面,在场板沟槽42内配置有第二场板电极50。第一场板电极30以及第二场板电极50与源极电极38电连接。

[0075] 通过将源极电极38电连接的第一场板电极30配置在栅极沟槽14内,能够缓和栅极沟槽14周围的半导体层12中的局部电场集中。同样地,通过将源极电极38电连接的第二场板电极50配置在场板沟槽42内,能够缓和场板沟槽42周围的半导体层12中的局部电场集中。因此,除了栅极沟槽14以外还设置场板沟槽42,由此,能够提高半导体装置10的耐压。

[0076] 另外,在场板沟槽42内没有配置栅极电极28,因此,通过配置场板沟槽42,能够抑制栅极漏极间寄生电容以及栅极源极间寄生电容的增加,并且提高半导体装置10的耐压。

[0077] (比较例)

[0078] 在此,参照比较例,对抑制半导体装置10中的栅极漏极间寄生电容以及栅极源极间寄生电容的增加进行说明。

[0079] 图5是比较例的半导体装置100的概略俯视图。半导体装置100包含:如半导体装置10的栅极沟槽14那样在俯视图中配置为网格状的栅极沟槽102。半导体装置100不包含如半导体装置10的场板沟槽42那样的、仅含有构成被施加基准电压(或者源极电压)的电极的沟槽。因此,以比较高的密度配置栅极沟槽102。换言之,在半导体装置100中,由栅极沟槽102包围的单位网格区M'的一边的尺寸(假设为A)比较小。可以在各单位网格区M'配置第二接触插塞46。

[0080] 在栅极沟槽102内,配置有与图2所示的一样的栅极电极28以及第一场板电极30。

配置在栅极沟槽102内的第一场板电极30包围单位网格区M'，由此，能够提高半导体装置100的耐压。另一方面，在栅极沟槽102内还配置有栅极电极28，因此，在半导体装置100中，栅极漏极间寄生电容以及栅极源极间寄生电容比较大。

[0081] 与此相对，在图1所示的半导体装置10中，相互平行地延伸的栅极沟槽14与场板沟槽42之间的距离为A，由此，期待能与图5的半导体装置100匹敌的耐压提高效果。这是因为，可以通过栅极沟槽14内的第一场板电极30和场板沟槽42内的第二场板电极50包围与单位网格区M'相等的面积区域。在设置于半导体装置10的场板沟槽42内没有配置栅极电极28，因此，可以使半导体装置10中的栅极漏极间寄生电容以及栅极源极间寄生电容比半导体装置100小。

[0082] (效果)

[0083] 本实施方式的半导体装置10具有以下优点。

[0084] (1) 半导体装置10包含：在俯视图中配置为网格状的栅极沟槽14、在俯视图中被栅极沟槽14包围并且与栅极沟槽14分离的场板沟槽42。在栅极沟槽14内配置有栅极电极28以及第一场板电极30。另一方面，在场板沟槽42内配置有第二场板电极50。第一场板电极30以及第二场板电极50与源极电极38电连接。因此，能够抑制栅极漏极间寄生电容以及栅极源极间寄生电容的增加，并且提高半导体装置10的耐压。

[0085] (2) 半导体装置10可以还包含：第一接触插塞44，其构成为将第二场板电极50与源极电极38耦合。第一接触插塞44贯穿第二场板电极50的上表面50A与源极电极38之间的绝缘层26而延伸。使用贯穿绝缘层26而延伸的第一接触插塞44将第二场板电极50与源极电极38耦合，由此，能够抑制半导体装置10的耐压降低，并且使第二场板电极50与源极电极38的电连接可靠。

[0086] (3) 场板沟槽42在俯视图中可以形成为十字状。由此，能够比较均匀地缓和单位网格区M中的局部电场集中。

[0087] (4) 半导体层12包含第一导电型的接触区48，接触区48与第二接触插塞46相接。由此，能够可靠地进行经由第二接触插塞46的源极电极38与半导体层12的电连接。

[0088] [第一变更例]

[0089] 图6是第一变更例的半导体装置200的场板沟槽42的概略剖视图。在图6中，对与半导体装置10一样的构成要素标注相同的符号。另外，对于与半导体装置10一样的构成要素省略详细说明。

[0090] 半导体装置200还包含第三场板电极202。第三场板电极202在场板沟槽42内配置在第二场板电极50的底面50B的下方。更详细而言，第三场板电极202配置在第二场板电极50的底面50B与场板沟槽42的底壁42B之间。半导体装置200的第二场板电极50以及第三场板电极202可以分别具有与图2所示的栅极电极28以及第一场板电极30一样的形状。

[0091] 在半导体装置200中，第一接触插塞44还构成为将第三场板电极202与源极电极38耦合。第一接触插塞44贯穿第二场板电极50而延伸至第三场板电极202。第一接触插塞44可以延伸至比第三场板电极202的上表面202A靠下方的位置。

[0092] 在半导体装置200中，第二场板电极50以及第三场板电极202与源极电极38电连接，因此，与半导体装置10一样，能够提高耐压。另外，场板沟槽42内的第二场板电极50以及第三场板电极202可以通过与栅极沟槽14内的栅极电极28以及第一场板电极30一样的制造

工艺来形成。因此,半导体装置200可以通过相对简化的制造工艺来实现。

[0093] [第二变更例]

[0094] 图7是第二变更例的示例性的半导体装置300的概略俯视图。在图7中,对与半导体装置10一样的构成要素标注相同的符号。另外,对于与半导体装置10一样的构成要素省略详细说明。图7表示包含被栅极沟槽14包围的一个单位网格区M的区域。

[0095] 在半导体装置300中,场板沟槽42包含:在俯视图中沿Y轴方向延展的第一沟槽302、在俯视图中沿X轴方向延展并且与第一沟槽302分离的第二沟槽304及第三沟槽306。第一沟槽302在俯视图中在第二沟槽304与第三沟槽306之间延伸。

[0096] 这样,在单位网格区M内,场板沟槽42可以包含多个独立的沟槽302、304、306。此时,可以在俯视图中与各沟槽302、304、306重叠的方式配置第一接触插塞44。

[0097] 根据场板沟槽42的形状以及配置来变更单位网格区M内的电场分布,由此,能够在半导体装置300中得到期望的耐压或者动作特性。

[0098] [第三变更例]

[0099] 图8是第三变更例的示例性的半导体装置400的概略俯视图。在图8中,对与半导体装置10一样的构成要素标注相同的符号。另外,对于与半导体装置10一样的构成要素省略详细的说明。

[0100] 在半导体装置400中,由在俯视图中配置成网格状的栅极沟槽14包围的单位网格区M在俯视图中为矩形状。在图8的例子中,单位网格区M的X轴方向的尺寸比单位网格区M的Y轴方向的尺寸小。

[0101] 图9是图8的半导体装置400的放大俯视图。图9表示包含被栅极沟槽14包围的一个单位网格区M的、在图8中用单点划线包围的区域F9。

[0102] 在半导体装置400的单位网格区M中,场板沟槽42在俯视图中可以形成为矩形状。在图9的例子中,场板沟槽42在俯视图中沿X轴方向延伸并且在Y轴方向上具有宽度。即,场板沟槽42的长边方向是X轴方向。场板沟槽42配置在单位网格区M的中央附近。

[0103] 第一接触插塞44配置成在俯视图中与场板沟槽42重叠。在图9的例子中,第一接触插塞44与场板沟槽42一样,在俯视图中沿X轴方向延伸并且在Y轴方向上具有宽度。

[0104] 第二接触插塞46在俯视图中配置在栅极沟槽14与场板沟槽42之间。在图9的例子中,正方形形状的第二接触插塞46配置在栅极沟槽14与场板沟槽42之间的Y轴方向的中间。在各单位网格区M配置有两个第二接触插塞46。

[0105] 在具有图8和图9所示那样的矩形状的单位网格区M的半导体装置400中,也可以抑制栅极漏极间寄生电容和栅极源极间寄生电容的增加,并且提高耐压。

[0106] [第四变更例]

[0107] 图10是第四变更例的示例性的半导体装置500的概略俯视图。在图10中,对与半导体装置10一样的构成要素标注相同的符号。另外,对于与半导体装置10一样的构成要素省略详细的说明。图10表示包含被栅极沟槽14包围的一个单位网格区M的区域。

[0108] 在半导体装置500中,第二接触插塞46在俯视图中沿Y轴方向延伸,并且在X轴方向上具有宽度。即,第二接触插塞46的长度方向为Y轴方向。在图10的例子中,线状的第二接触插塞46配置成靠近栅极沟槽14与场板沟槽42之间的场板沟槽42。在各单位网格区M配置有两个第二接触插塞46。

[0109] 这样,根据第二接触插塞46的形状以及配置来变更单位网格区M内的电场分布,由此,能够在半导体装置500中得到期望的耐压或者动作特性。

[0110] (其他变更例)

[0111] 上述实施方式以及变更例分别可以如以下那样进一步变更来实施。

[0112] • 单位网格区M的形状在俯视图中不限于矩形。例如,单位网格区M在俯视图中可以为三角形状或六边形状。

[0113] • 半导体层12内的各区的导电型可以反转。即,可以将p型区设为n型区,将n型区设为p型区。

[0114] 可以在技术上不矛盾的范围内,组合本说明书中记载的各种例子中的一个或多个。

[0115] 在本说明书中,“A和B中的至少一个”应理解为是指“仅A、或仅B、或A和B两者”。

[0116] 本说明书中使用的“在~上”这样的用语包含“在~上”和“在~的上方”的含义,除非上下文清楚地表明。因此,“第一层形成于第二层上”这样的表述是指,在某实施方式中,第一层可以与第二层接触地直接配置于第二层上,而在其他实施方式中,第一层可以在不与第二层接触的情况下配置于第二层的上方。即,“在~上”这样的用语不排除在第一层与第二层之间形成其他层的构造。

[0117] 本说明书中使用的“垂直”、“水平”、“上方”、“下方”、“上”、“下”、“前方”、“后方”、“纵”、“横”、“左”、“右”、“前”、“后”等指示方向的用语取决于说明和图示的设备的特定朝向。在本公开中,可以想到各种替代的朝向,因此,表示这些方向的用语不应被狭义地解释。

[0118] 例如,本说明书中使用的Z轴方向不需要一定是铅垂方向,也不需要与铅垂方向完全一致。例如,X轴方向也可以是铅垂方向,或者Y轴方向也可以是铅垂方向。

[0119] [附记]

[0120] 以下记载了能够从本公开掌握的技术思想。此外,并不意味着限定而是为了辅助理解,对附记所记载的构成要素标注实施方式中对应的构成要素的附图标记。附图标记是为了辅助理解而作为例子来展示的,各附记所记载的构成要素不应限定于由附图标记表示的构成要素。

[0121] (附记1)

[0122] 一种半导体装置,具有:

[0123] 半导体层(12);

[0124] 栅极沟槽(14),其形成于所述半导体层(12),并且在俯视图中配置成网格状;

[0125] 场板沟槽(42),其形成于所述半导体层(12),在俯视图中被所述栅极沟槽(14)包围,并且与所述栅极沟槽(14)分离;

[0126] 绝缘层(26),其形成于所述半导体层(12)上;

[0127] 栅极电极(28),其配置于所述栅极沟槽(14)内,并包含被所述绝缘层(26)覆盖的上表面(28A)以及与所述上表面(28A)相反侧的底面(28B);

[0128] 第一场板电极(30),其在所述栅极沟槽(14)内配置于所述栅极电极(28)的所述底面(28B)的下方;

[0129] 第二场板电极(50),其配置于所述场板沟槽(42)内,并包含被所述绝缘层(26)覆盖的上表面(50A);以及

- [0130] 源极电极 (38), 其形成于所述绝缘层 (26) 上,
- [0131] 所述第一场板电极 (30) 以及所述第二场板电极 (50) 与所述源极电极 (38) 电连接。
- [0132] (附记2)
- [0133] 根据附记1所述的半导体装置, 其中,
- [0134] 所述半导体装置还具有: 第一接触插塞 (44), 其构成为将所述第二场板电极 (50) 与所述源极电极 (38) 耦合,
- [0135] 所述第一接触插塞 (44) 贯穿所述第二场板电极 (50) 的所述上表面 (50A) 与所述源极电极 (38) 之间的所述绝缘层 (26) 而延伸。
- [0136] (附记3)
- [0137] 根据附记2所述的半导体装置, 其中,
- [0138] 所述第一接触插塞 (44) 配置为在俯视图中与所述场板沟槽 (42) 重叠。
- [0139] (附记4)
- [0140] 根据附记1~3中任一项所述的半导体装置, 其中,
- [0141] 所述场板沟槽 (42) 在俯视图中形成为十字状。
- [0142] (附记5)
- [0143] 根据附记1~3中任一项所述的半导体装置, 其中,
- [0144] 所述场板沟槽 (42) 在俯视图中形成为矩形状。
- [0145] (附记6)
- [0146] 根据附记1~3中任一项所述的半导体装置, 其中,
- [0147] 所述场板沟槽 (42) 包含: 第一沟槽 (302), 其在俯视图中沿第一方向延展; 第二沟槽 (304) 及第三沟槽 (306), 其在俯视图中沿与所述第一方向正交的第二方向延展, 并且与所述第一沟槽 (302) 分离,
- [0148] 所述第一沟槽 (302) 在俯视图中在所述第二沟槽 (304) 与所述第三沟槽 (306) 之间延伸。
- [0149] (附记7)
- [0150] 根据附记1~6中任一项所述的半导体装置, 其中,
- [0151] 所述半导体层 (12) 包含: 第二导电型的漂移区 (20); 第一导电型的体区 (22), 其形成在所述漂移区 (20) 上; 第二导电型的源极区 (24), 其形成在所述体区 (22) 上,
- [0152] 所述栅极沟槽 (14) 以及所述场板沟槽 (42) 贯穿所述源极区 (24) 以及所述体区 (22) 而延伸至所述漂移区 (20)。
- [0153] (附记8)
- [0154] 根据附记1~7中任一项所述的半导体装置, 其中,
- [0155] 所述半导体装置还具有: 第二接触插塞 (46), 其构成为将所述半导体层 (12) 与所述源极电极 (38) 耦合,
- [0156] 所述第二接触插塞 (46) 贯穿所述半导体层 (12) 与所述源极电极 (38) 之间的所述绝缘层 (26) 而延伸。
- [0157] (附记9)
- [0158] 根据附记8所述的半导体装置, 其中,
- [0159] 所述半导体层 (12) 包含第一导电型的接触区 (48), 所述接触区 (48) 与所述第二接

触插塞(46)相接。

[0160] (附记10)

[0161] 根据附记8或9所述的半导体装置,其中,

[0162] 所述第二接触插塞(46)配置于在俯视图中所述栅极沟槽(14)与所述场板沟槽(42)之间。

[0163] (附记11)

[0164] 根据附记2~10中任一项所述的半导体装置,其中,

[0165] 所述第二场板电极(50)包含与所述上表面(50A)相反侧的底面(50B),

[0166] 所述半导体装置还具有:第三场板电极(202),其在所述场板沟槽(42)内配置于所述第二场板电极(50)的所述底面(50B)的下方。

[0167] (附记12)

[0168] 根据附记11所述的半导体装置,其中,

[0169] 所述第一接触插塞(44)还构成为将所述第三场板电极(202)与所述源极电极(38)耦合,并贯穿所述第二场板电极(50)而延伸。

[0170] (附记13)

[0171] 根据附记1~12中任一项所述的半导体装置,其中,

[0172] 所述半导体层(12)包含:由所述栅极沟槽(14)包围的多个单位网格区(M),

[0173] 所述多个单位网格区(M)分别在俯视图中为矩形状。

[0174] (附记14)

[0175] 根据附记1~12中任一项所述的半导体装置,其中,

[0176] 所述半导体层(12)包含:由所述栅极沟槽(14)包围的多个单位网格区(M),

[0177] 所述多个单位网格区(M)分别在俯视图中为正形状。

[0178] (附记15)

[0179] 根据附记13或14所述的半导体装置,其中,

[0180] 所述场板沟槽(42)是分别配置于所述多个单位网格区(M)的多个场板沟槽(42)中的一个。

[0181] 以上的说明仅为示例。本领域技术人员应当认识到,除了为说明本公开的技术目的而列举的构成要素和方法(制造工艺)以外,还可以进行更多的可想到的组合和置换。本公开旨在包括在包含权利要求书的本公开范围内所包含的所有替代、变形和变更。

[0182] 符号说明

[0183] 10、100、200、300、400、500...半导体装置

[0184] 12...半导体层

[0185] 12A...第一面

[0186] 12B...第二面

[0187] 14...栅极沟槽

[0188] 14X...横向栅极沟槽部分

[0189] 14Y...纵向栅极沟槽部分

[0190] 14A...侧壁

[0191] 14B...底壁

- [0192] 16…半导体基板(漏极区)
- [0193] 18…外延层
- [0194] 20…漂移区
- [0195] 22…体区
- [0196] 24…源极区
- [0197] 26…绝缘层
- [0198] 28…栅极电极
- [0199] 28A…上表面
- [0200] 28B…底面
- [0201] 30…第一场板电极
- [0202] 30A…上表面
- [0203] 32…栅极绝缘部
- [0204] 34…下侧绝缘部
- [0205] 36…中间绝缘部
- [0206] 38…源极电极
- [0207] 40…漏极电极
- [0208] 42…场板沟槽
- [0209] 44…第一接触插塞
- [0210] 46…第二接触插塞
- [0211] 48…接触区
- [0212] 50…第二场板电极
- [0213] 202…第三场板电极
- [0214] 302…第一沟槽
- [0215] 304…第二沟槽
- [0216] 306…第三沟槽
- [0217] M…单位网格区。



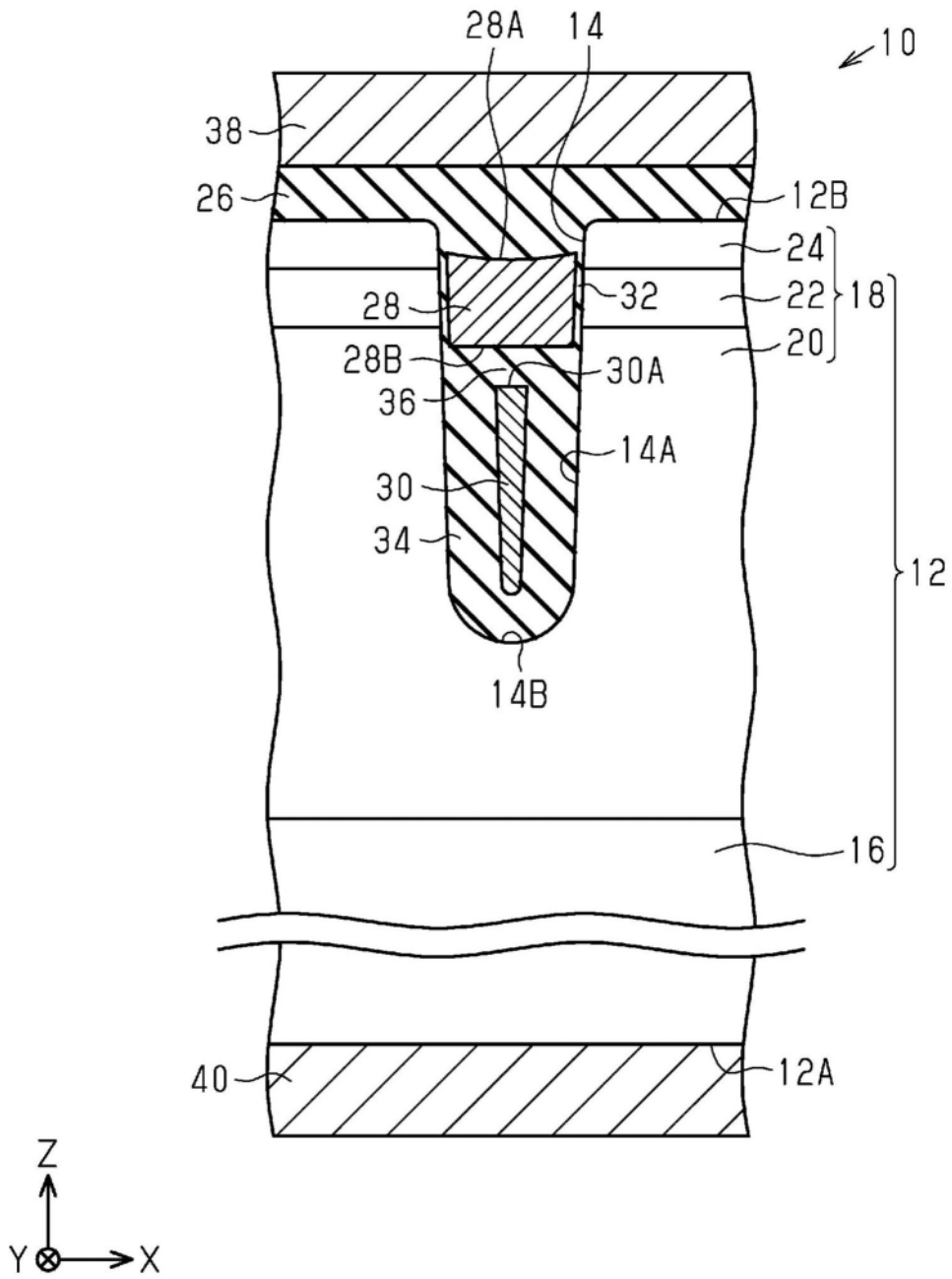


图2

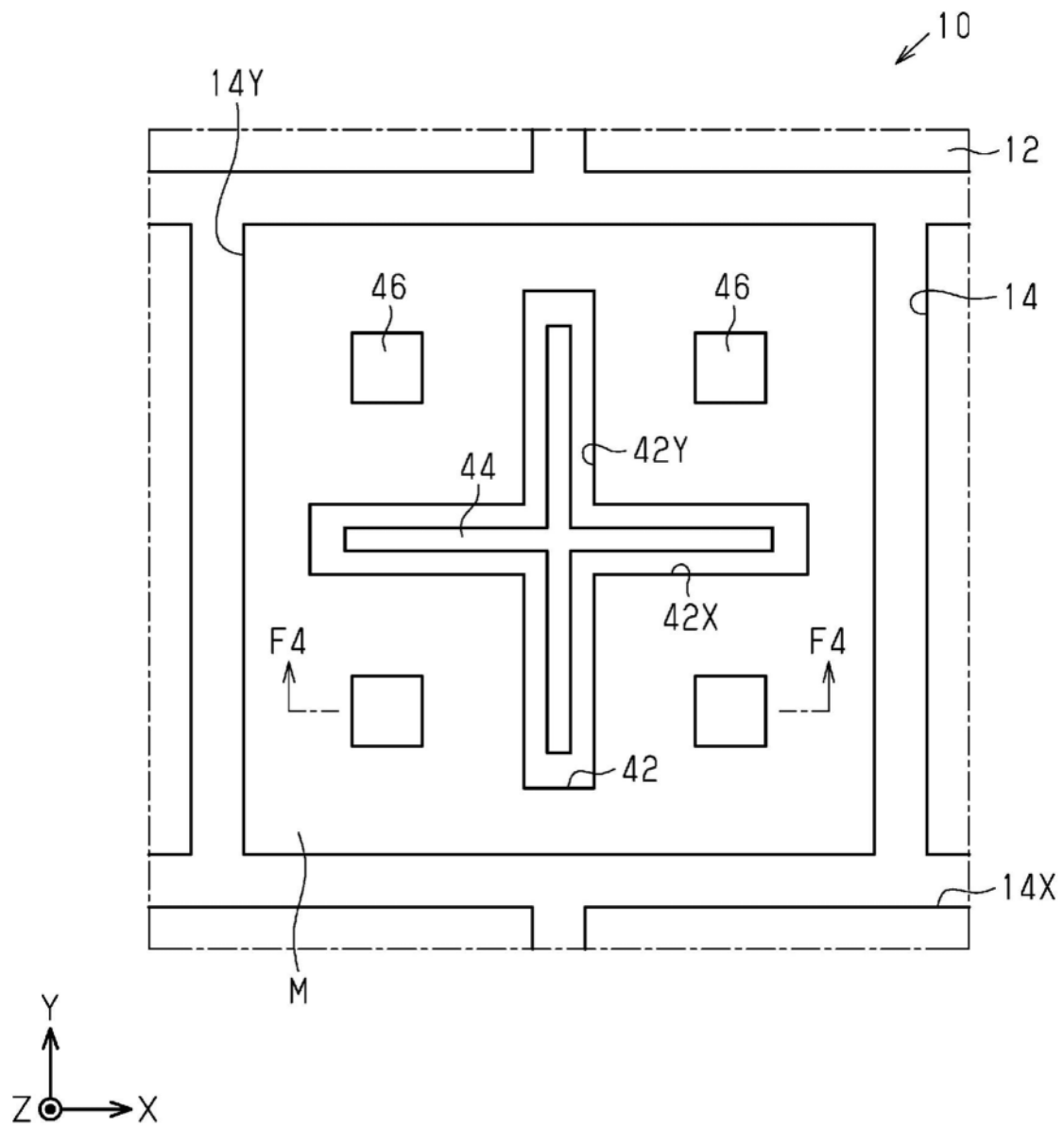


图3

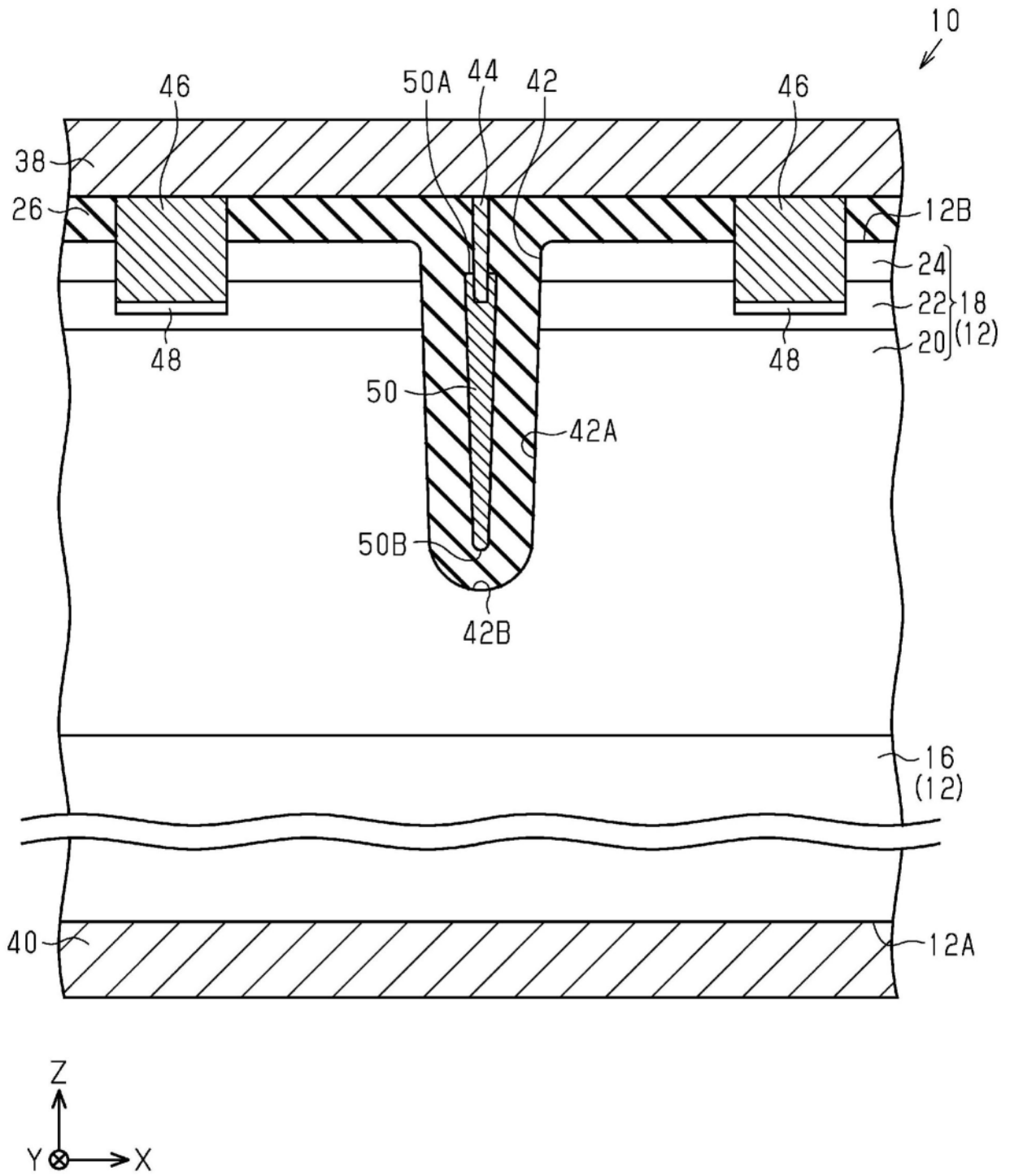


图4

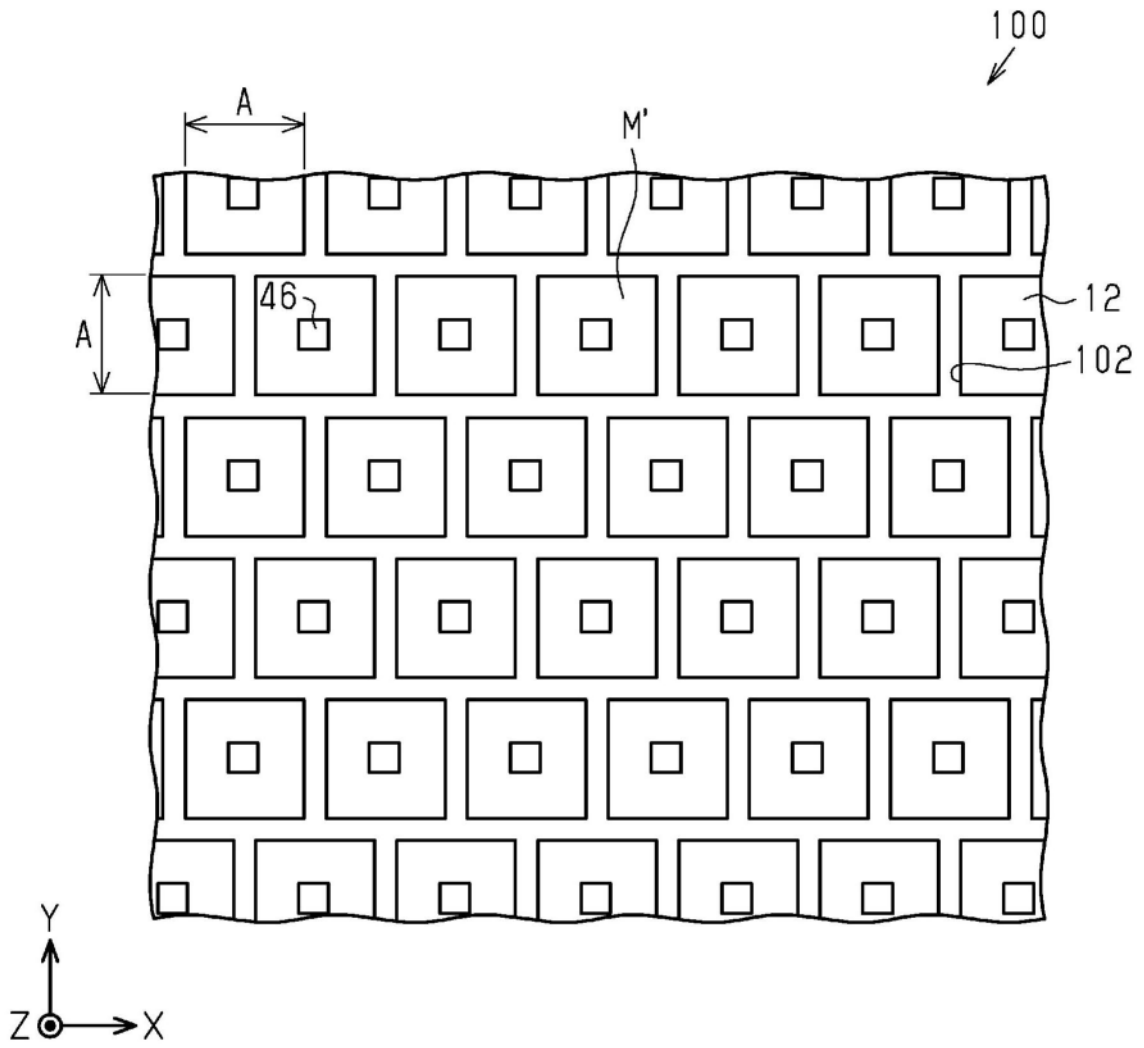


图5

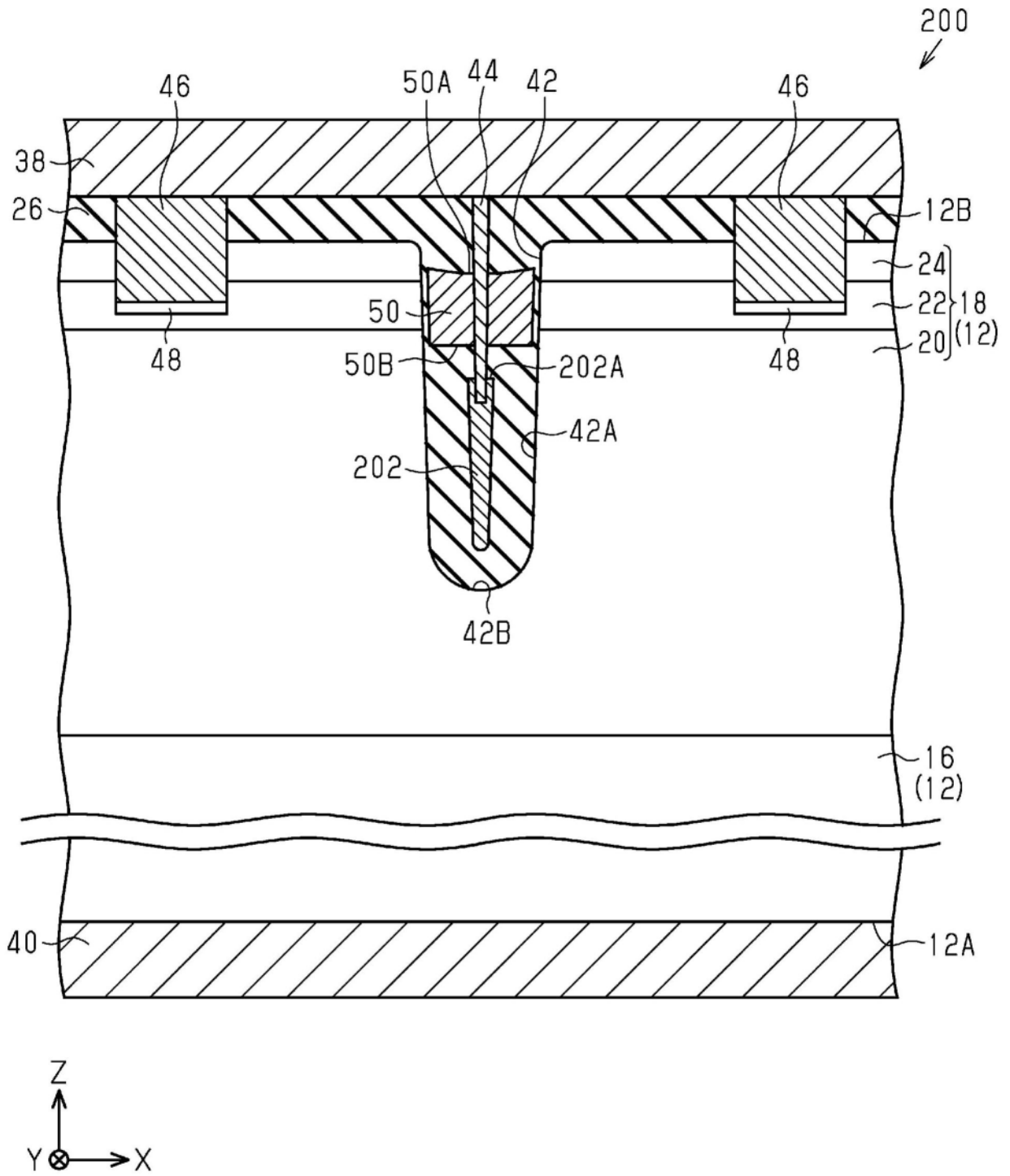


图6

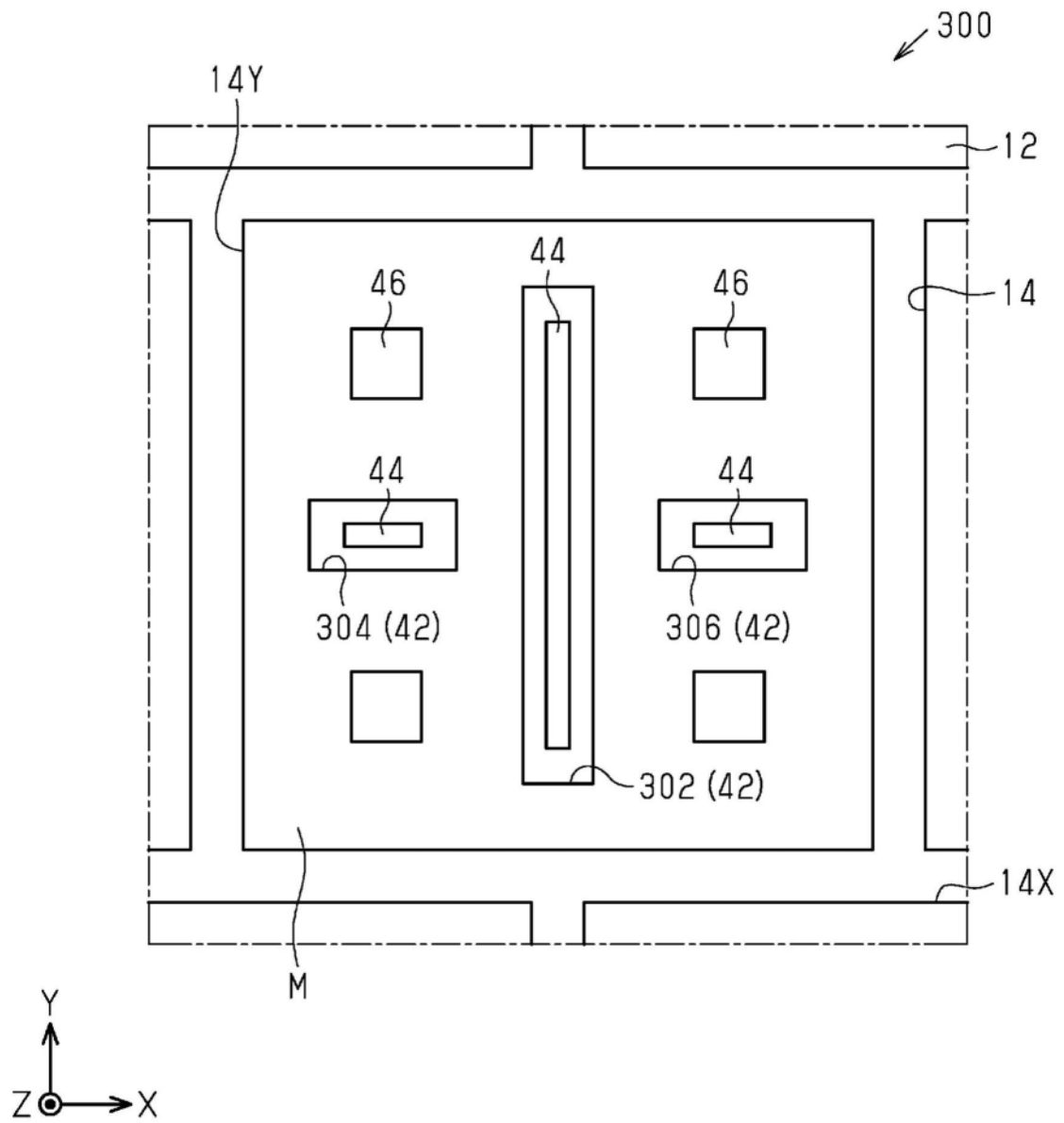


图7

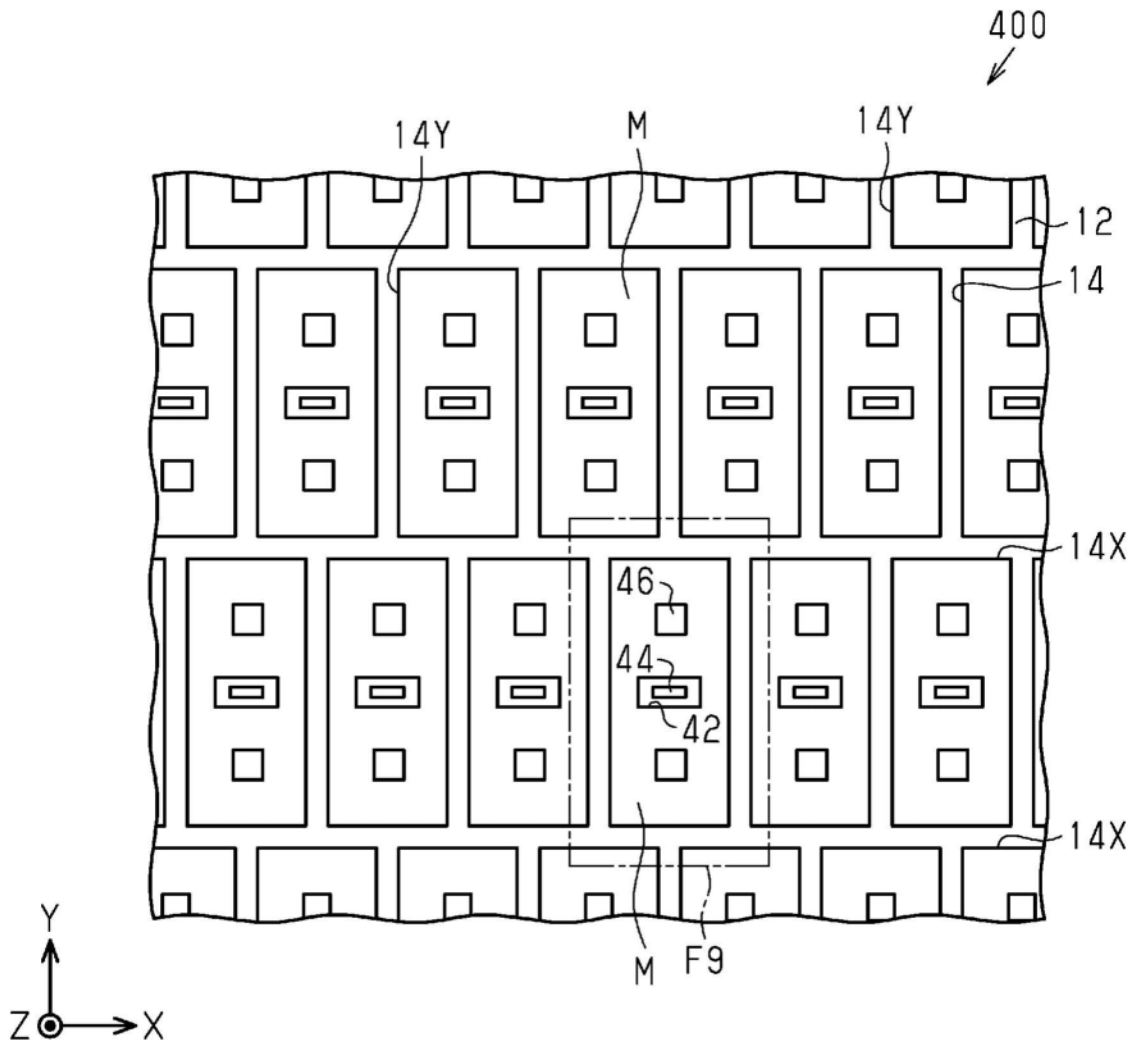


图8

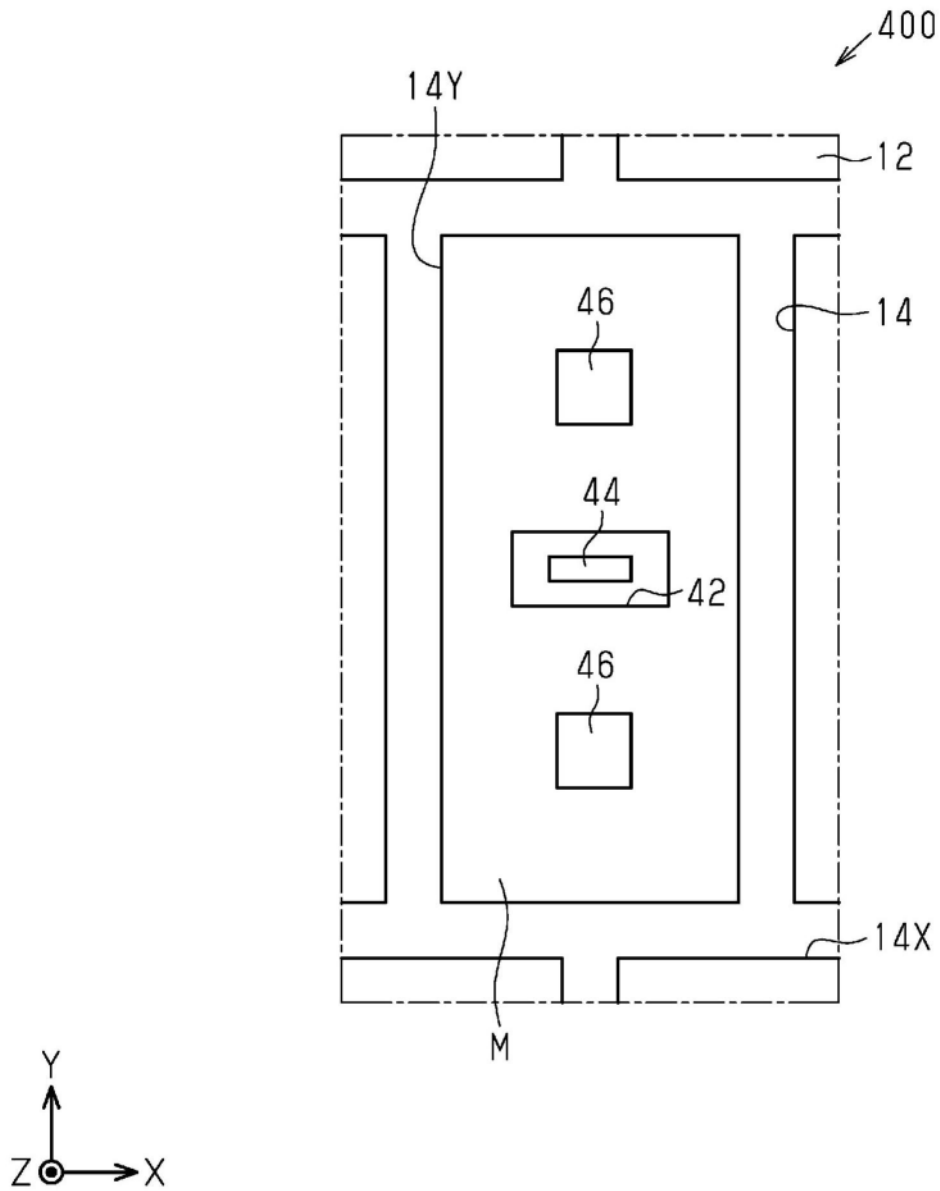


图9

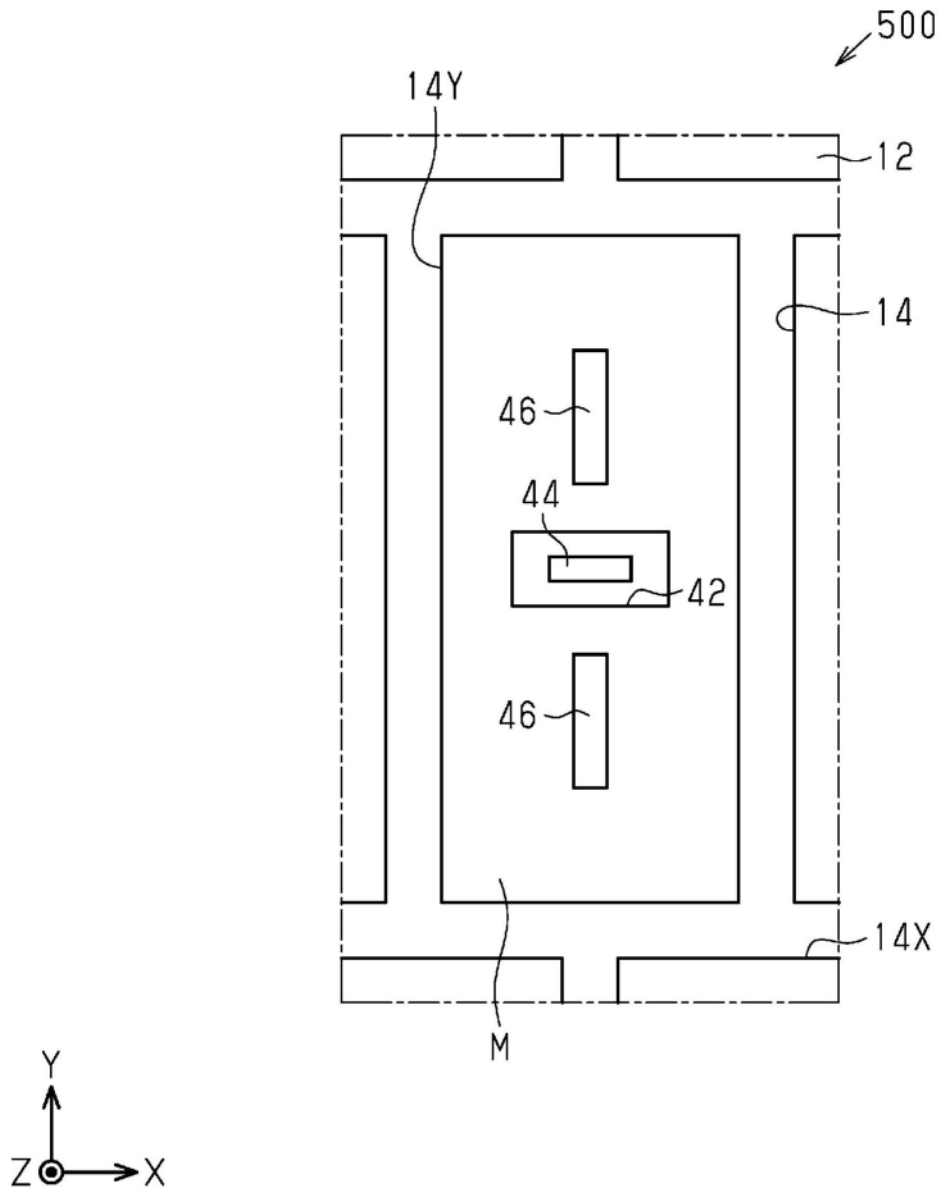


图10